(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3853513号
(P3853513)
(45)発行日　平成18年12月6日(2006.12.6)　(24)登録日　平成18年9月15日(2006.9.15)

(51)Int.Cl.　F I
H01L 21/8242 (2006.01)　H01L 27/10　681E
H01L 27/108 (2006.01)

請求項の数 6　(全 30 頁)

(21)出願番号　特願平10-114317
(22)出願日　平成10年4月9日(1998.4.9)
(65)公開番号　特開平11-297950
(43)公開日　平成11年10月29日(1999.10.29)
審査請求日　平成15年3月10日(2003.3.10)

(73)特許権者　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(74)代理人　100123788
弁理士　宮崎　昭夫
(74)代理人　100106138
弁理士　石橋　政幸
(74)代理人　100127454
弁理士　緒方　雅昭
(72)発明者　藤澤　宏樹
東京都青梅市新町六丁目１６番地の３　株式会社　日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】ダイナミック型ＲＡＭ

(57)【特許請求の範囲】
【請求項１】
外部端子から供給された電源電圧を受け、それを降圧した降圧電圧を発生させる降圧回路及び昇圧電圧発生回路を含む内部電圧発生回路と、
上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第１の内部回路と、
上記内部電圧発生回路で形成された降圧電圧で動作する第２の内部回路とを備え、
上記第１の内部回路は、上記電源電圧又は昇圧電圧に対応した第１の膜厚のゲート絶縁膜を持つ第１のＭＯＳＦＥＴで構成され、
上記第２の内部回路は、上記降圧電圧に対応した上記第１の膜厚よりも薄い第２の膜厚のゲート絶縁膜を持つ第２のＭＯＳＦＥＴで構成され、
上記第１の内部回路は、上記昇圧電圧で動作してアドレス選択ＭＯＳＦＥＴと記憶キャパシタからなるダイナミック型メモリセルと、上記ダイナミック型メモリセルが接続されたワード線の選択信号を形成するワードドライバと、上記電源電圧で動作して外部端子から供給された入力信号を受ける入力回路及び外部端子へ出力信号を送出する出力回路を含み、
上記第２の内部回路は、上記メモリセルからの読み出し信号を増幅するセンスアンプと、上記メモリセルの選択信号を形成するＸ及びＹデコーダ回路及び上記入力回路を通した入力信号に対応した内部信号を形成する回路及び一部に上記第１のＭＯＳＦＥＴを有する第１の遅延回路を含み、

上記センスアンプは、上記ワードドライバの動作タイミング信号を上記第１のＭＯＳＦＥＴが支配的に作用する上記第１の遅延回路により遅延させた動作タイミング信号で動作するものであることを特徴とするダイナミック型ＲＡＭ。

【請求項２】

請求項１において、

上記第１の遅延回路は、

上記第１のＭＯＳＦＥＴにより構成され、遅延すべき入力信号が入力端子に供給されたインバータ回路と、

上記インバータ回路の出力信号を伝達する抵抗手段と、

上記抵抗手段を通した信号が伝えられ、上記第２のＭＯＳＦＥＴのゲート容量を利用して構成されたキャパシタと、

上記第２のＭＯＳＦＥＴにより構成され、上記抵抗とキャパシタからなる時定数回路の出力信号が入力端子に供給されて、上記遅延信号を形成する１ないし２つのインバータ回路からなることを特徴とするダイナミック型ＲＡＭ。

【請求項３】

請求項２において、

上記メモリセルのアドレス選択ＭＯＳＦＥＴが形成された半導体領域には、負電圧にされたバックバイアス電圧が供給されるものであり、

上記バックバイアス電圧は、上記内部電圧発生回路により形成されるものであることを特徴とするダイナミック型ＲＡＭ。

【請求項４】

請求項３において、

上記センスアンプを駆動するドライブ回路及び第２の遅延回路を更に備え、

上記ドライブ回路は、上記動作タイミング信号に対応して立ち上がり、上記動作タイミング信号を上記第２のＭＯＳＦＥＴにより構成されてセンスアンプに対応された上記第２の遅延回路の遅延信号に対応して立ち下がり、上記電源電圧又は昇圧電圧に対応した第１のタイミング信号を受けてセンスアンプを構成するＰチャンネル型ＭＯＳＦＥＴのソースに電源電圧を供給するオーバードライブ用の第１のＮチャンネル型ＭＯＳＦＥＴと、

上記第１のタイミング信号の立ち下がりに対応して立ち上がり、上記電源電圧又は昇圧電圧に対応した第２のタイミング信号を受けて上記センスアンプを構成するＰチャンネル型ＭＯＳＦＥＴのソースに上記降圧電圧を供給するドライブ用の第２のＮチャンネル型ＭＯＳＦＥＴと、

上記動作タイミング信号を受けてオン状態にされて、上記センスアンプを構成するＮチャンネル型ＭＯＳＦＥＴのソースに回路の接地電位を供給するドライブ用の第３のＮチャンネル型ＭＯＳＦＥＴとからなり、

上記第１と第２のＮチャンネル型ＭＯＳＦＥＴは、そのゲート絶縁膜が厚い膜厚にされた上記第１のＭＯＳＦＥＴにより構成され、

上記第３のＮチャンネル型ＭＯＳＦＥＴは、そのゲート絶縁膜が薄い膜厚にされた上記第２のＭＯＳＦＥＴにより構成されてなることを特徴とするダイナミック型ＲＡＭ。

【請求項５】

請求項１において、

上記電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第１の内部回路には、かかる電圧がゲートに印加された平滑用ＭＯＳ容量、位相補償用容量を含み、

上記内部電圧発生回路で形成された降圧電圧を受けて動作する第２の内部回路には、かかる電圧がゲートに印加された平滑用ＭＯＳ容量、位相補償用容量を含むものであることを特徴とするダイナミック型ＲＡＭ。

【請求項６】

請求項３において、

上記内部電圧発生回路は、基板電圧を所望の電圧に設定する電圧検出回路を備えた上記

基板バックバイアス電圧発生回路を有し、

上記電圧検出回路は、

定電流源がドレインに設けられ、ゲートが回路の接地電位に接続され、ソースと基板電圧との間に検出電圧調整部が設けられた上記第２のＭＯＳＦＥＴで構成された第４のＮチャンネル型ＭＯＳＦＥＴと、

上記第４のＭＯＳＦＥＴのドレイン出力を受けて検出信号を形成するインバータ回路からなり、

上記検出電圧調整部は、上記第４のＮチャンネル型ＭＯＳＦＥＴのソースと基板電圧との間に設けられ、それぞれのゲートが上記第４のＮチャンネル型ＭＯＳＦＥＴのソースに接続され、ドレイン，ソース経路が直列形態にされた第５、第６及び第７のＮチャンネル型ＭＯＳＦＥＴ及びそれぞれのドレイン，ソース間を短絡するヒューズ手段からなり、

上記第５及び第６のＮチャンネル型ＭＯＳＦＥＴは、ゲート絶縁膜の膜厚が厚く形成された上記第１のＭＯＳＦＥＴからなり、上記第７のＮチャンネル型ＭＯＳＦＥＴは、ゲート絶縁の膜厚が薄く形成された上記第２のＭＯＳＦＥＴからなり、かつ、それぞれのＭＯＳＦＥＴのゲート長としきい値電圧との関係においてしきい値電圧のばらつきの小さなゲート長の範囲であって、しきい値電圧がそれぞれ異なるようにそれぞれのゲート長を設定してなり、

上記ヒューズの選択的な切断によって上記検出電圧の調整を行うようにするものであることを特徴とするダイナミック型ＲＡＭ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、半導体集積回路装置に関し、例えば高速化と低消費電力化に向けられたダイナミック型ＲＡＭ（ランダム・アクセス・メモリ）に利用して有効な技術に関するものである。

【０００２】

【従来の技術】

階層ワード線構成にしつつ、三重ウェル構造として深い深さのＮウェルを備えたダイナミック型ＲＡＭの例として、特開平８－１８１２９２公報がある。

【０００３】

【発明が解決しようとする課題】

ダイナミック型ＲＡＭにおいては、外部端子から供給された電源電圧から複数種類の内部電圧を形成して内部回路ブロックに供給している。例えば、微細デバイスの信頼性確保と消費電力の低減のため、内部回路を外部電源電圧ＶＤＤ（５Ｖ）から降圧した降圧電圧（３Ｖ）で動作させる方式が、１６Ｍビットのダイナミック型ＲＡＭ以来広く用いられてきた。６４Ｍビット世代では、外部電圧ＶＤＤが３．３Ｖに低下し、メモリセルのキャパシタに２．５Ｖ程度の降圧電圧を供給するもの、あるいは周辺回路も降圧した電圧で動作させるなど内部回路での動作電圧を低くする方向に向いている。

【０００４】

ダイナミック型メモリセルでは、オフ状態でのリーク電流やワード線の浮き上がりによるリーク電流によって情報保持時間が短くなってしまうのを防ぐために、そのしきい値電圧が大きくなるように形成する必要がある。一方、上記メモリセル以外の内部回路では、低消費電力化のためには動作電圧を低くすることが望ましく、かかる低電圧において所望の動作速度を確保するためには、ＭＯＳＦＥＴのしきい値電圧を小さくすることが望ましい。

【０００５】

従来のダイナミック型ＲＡＭでは、上記のような相反する要求を満たすために、上記メモリセルでの情報保持時間と上記周辺回路の動作速度とを考慮した比較的大きなしきい値電圧を持つようなＭＯＳＦＥＴを形成する。上記３重ウェル構造によって、メモリセルのＭ

ＯＳＦＥＴが形成されるＰ型ウェル領域と周辺回路のＭＯＳＦＥＴが形成されるＰ型ウェル領域又は基板とを電気的に分離して、メモリセルのアドレス選択ＭＯＳＦＥＴを構成するもののチャンネル部分に負のバックバイアス電圧を供給して、そのしきい値電圧が大きくなるような修正を加える一方で、周辺回路を構成するＭＯＳＦＥＴのチャンネル部分には回路の接地電位を与えつつ、イオン打ち込み技術により上記チャンネル部分の不純物濃度を低くし修正してしきい値電圧が小さくするように調整するものである。

【０００６】

本願発明者等においては、２５６Ｍビットのような大記憶容量を持つようにされたダイナミック型ＲＡＭの検討において、いっそうの低消費電力化を図るために動作電圧を２Ｖ以下にすることを検討した。このように動作電圧が２Ｖあるいは１．８Ｖのように低くなると、上記のようなしきい値電圧の修正技術では、所望の動作速度が得られないばかりか、プロセスバラツキが大きくなってしまうという問題が生じてしまう。そこで、本願発明者等においては、動作電圧に応じた２種類のゲート絶縁膜を持つＭＯＳＦＥＴを用いて１つの半導体集積回路装置を構成することを考えた。かかる２種類のゲート絶縁膜のＭＯＳＦＥＴを用いた場合には、２種類のゲート絶縁膜のＭＯＳＦＥＴを用いた回路間での動作制御あるいはタイミング調整において、それぞれのゲート絶縁膜の膜厚のばらつきによる動作タイミングのワーストケースを想定したタイミング設定が必要になり、動作速度の大きな妨げになるという新たな問題点につき当たった。

【０００７】

この発明の目的は、信頼性を損なうことなく、デバイスの微細化と高速化及び低消費電力化を実現した半導体集積回路装置を提供することにある。この発明の他の目的は、信頼性を損なうことなく、デバイスの微細化と高速化及び高集積化及び低消費電力化を図ったダイナミック型ＲＡＭを含む半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００８】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給された電源電圧を受けて動作する内部電圧発生回路より、降圧電圧及び必要に応じて昇圧電圧を形成して内部回路を動作させる半導体集積回路装置において、上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第１の内部回路を上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第１のＭＯＳＦＥＴで構成し、上記降圧電圧を受けて動作する第２の内部回路を上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第２のＭＯＳＦＥＴで構成する。

【０００９】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、上記第１の内部回路の動作に対応して第２の内部回路を動作させるるときには、上記第２の内部回路の動作タイミング信号を上記第１の内部回路を構成する第１のＭＯＳＦＥＴを用いた遅延回路で第１の内部回路の動作状態をモニタして形成する。

【００１０】

【発明の実施の形態】

図１には、この発明に係るダイナミック型ＲＡＭの一実施例の全体ブロック図が示されている。制御入力信号は、ロウアドレスストローブ信号／ＲＡＳ、カラムアドレスストローブ信号／ＣＡＳ、ライトイネーブル信号／ＷＥ及び出力イネーブル信号／ＯＥとされる。ここで、／はロウレベルがアクティブレベルを表す論理記号のオーバーバーに対応している。Ｘアドレス信号とＹアドレス信号は、共通のアドレス端子Ａｄｄからロウアドレスストローブ信号／ＲＡＳとカラムアドレスストローブ信号／ＣＡＳに同期して時系列的に入力される。

【００１１】
アドレスバッファを通して入力されたＸアドレス信号とＹアドレス信号とは、ラッチ回路にそれぞれ取り込まれる。ラッチ回路に取り込まれたＸアドレス信号は、前記のようなプリデコーダにより供給され、その出力信号がＸデコーダに供給されてワード線ＷＬの選択信号が形成される。ワード線の選択動作により、メモリアレイの相補ビット線には上記のような読み出し信号が現れ、センスアンプにより増幅動作が行われる。ラッチ回路に取り込まれたＹアドレス信号は、前記のようなプリデコーダに供給され、その出力信号がＹデコーダに供給されてビット線ＤＬの選択信号が形成される。Ｘ救済回路及びＹ救済回路は、不良アドレスの記憶動作と、記憶された不良アドレスと上記取り込まれたアドレス信号とを比較し、一致なら予備のワード線又はビット線の選択をＸデコーダ及びＹデコーダに指示するとともに、正規ワード線又は正規ビット線の選択動作を禁止させる。
【００１２】
センスアンプで増幅された記憶情報は、図示しないカラムスイッチ回路により選択されものが共通入出力線に接続されてメインアンプに伝えられる。このメインアンプは、特に制限されないが、書き込み回路も兼ねたアンプとされる。つまり、読み出し動作のときには、Ｙスイッチ回路を通して読み出された読み出し信号を増幅して、出力バッファを通して外部端子Ｉ／Ｏから出力させる。書き込み動作のときには、外部端子Ｉ／Ｏから入力された書き込み信号が入力バッファを介して取り込まれ、メインアンプを介して共通入出力線及び選択ビット線に伝えられ、選択ビット線では上記センスアンプの増幅動作により書き込み信号が伝えられてメモリセルのキャパシタにそれに対応した電荷が保持される。
【００１３】
クロック発生回路（メインコントロール回路）は、上記信号／ＲＡＳと／ＣＡＳに対応して入力されたアドレス信号の取り込み制御タイミング信号や、センスアンプの動作タイミング信号等のように、メモリセルの選択動作に必要な各種のタイミング信号を発生させる。内部電源発生回路は、電源端子から供給されたＶＤＤとＶＳＳのような動作電圧を受け、上記プレート電圧、内部昇圧電圧ＶＰＰ、内部降圧電圧ＶＤＬ、ＶＤＬ／２のようなプリチャージ電圧、基板バックバイアス電圧ＶＢＢのようり各種内部電圧を発生させる。リフレッシュカウンタは、リフモードにされたときにリフレッシュ用のアドレス信号を生成してＸ系の選択動作に用いられる。
【００１４】
この実施例では、同図に斜線を付した各回路は、その動作電圧である電源電圧ＶＤＤ又は昇圧電圧ＶＰＰによるゲート絶縁膜破壊が生じないような比較的厚い膜厚のゲート絶縁膜のＭＯＳＦＥＴ（本願明細書では、ＭＯＳＦＥＴを絶縁ゲート型電界効果トランジスタ、いわゆるＭＩＳＦＥＴをも含むという意味で用いている。）で構成される。それ以外の各回路は、以下に説明する一部の例外を除いてその動作電圧である降圧電圧ＶＤＬに対応した比較的薄いゲート絶縁膜のＭＯＳＦＥＴで構成されている。
【００１５】
上記アドレスバッファや上記制御信号を受ける制御バッファ、入力バッファ及び出力バッファは、システムの電源電圧ＶＤＤで動作する他の装置との間でのインターフェイスのために電源電圧ＶＤＤで動作させられる。内部電圧発生回路は、電源電圧ＶＤＤと接地電位ＶＳＳを基に降圧電圧ＶＤＬ、昇圧電圧ＶＰＰ及び負電圧ＶＢＢを形成するので必然的に上記電源電圧ＶＤＤで動作させられる。そして、メモリアレイ（メモリセル）及びワードドライバは、前記のようなメモリセルのキャパシタ電荷のフルライト動作のために昇圧電圧ＶＰＰで動作させられる。このような比較的高い電圧で動作させられるＭＯＳＦＥＴは、上記比較的厚い膜厚（例えば８ｎｍ）のゲート絶縁膜のＭＯＳＦＥＴで構成される。
【００１６】
これに対して、上記のようなメインコントロール回路、クロック発生回路の上記制御バッファを除いた内部回路、リフレッシュカウンタ、ラッチ回路、プリデコーダ、Ｘ，Ｙ救済回路、Ｘデコーダ、Ｙデコーダ、センスアンプ及びメインアンプといった各回路は、上記降圧電圧ＶＤＬで動作させられ、それに対応して上記比較的薄い膜厚（例えば４ｎｍ）の

ゲート絶縁膜のＭＯＳＦＥＴで構成される。動作電圧は上記降圧電圧ＶＤＬであるが、ワード線の選択動作に対応してセンスアンプを活性化させるタイミング信号を形成するタイミング回路は、上記ワードドライバの動作をモニタするために、比較的厚い膜厚のゲート絶縁膜のＭＯＳＦＥＴを用いた遅延回路により構成される。このように上記動作電圧、つまりゲート絶縁膜の耐圧との関係でＭＯＳＦＥＴのゲート絶縁膜の膜厚を設定するという本願発明での原則の例外の１つとして上記タイミング回路があげられる。

【００１７】

図２には、上記タイミング回路の一実施例の概略ブロック図が示されている。この実施例では、ロウ系のクロック信号ＲＣＬＫの立ち上がりに対応してシェアードスイッチ回路及びビット線イコライズ回路の制御信号ＳＨＲ／ＢＬＥＱをセット（シェアードスイッチの一方をオフ状態に、イコライズＭＯＳＦＥＴ及びプリチャージＭＯＳＦＥＴをオフ状態）にし、遅延回路ＤＬ１の遅延信号によりサブワード線ＳＷＬをセット（選択）し、遅延回路ＤＬ２の遅延時間によりセンスアンプＳＡをセット（動作状態）し、遅延回路ＤＬ３にてオーバードライブＭＯＳＦＥＴをオフにし、代わってＶＤＬ供給用のスイッチＭＯＳＦＥＴをオン状態にする。上記クロック信号ＲＣＬＫの立ち下がりにより、サブワード線ＳＷＬをリセット（非選択）にし、遅延回路ＤＬ４によりセンスアンプＳＡのリセット（非動作）する。

【００１８】

上記シェアードスイッチＭＯＳＦＥＴは、高電圧ＶＰＰがゲートに印加されてスイッチがオン状態にされ、そのロウレベルへの変化によりオフ状態にされるのものであるために、その動作をモニタするために遅延回路ＤＬ１は上記厚いゲート絶縁膜のＭＯＳＦＥＴを用いて構成される。同様にサブワード線の選択動作をモニタするために遅延回路ＤＬ２も上記厚いゲート絶縁膜のＭＯＳＦＥＴを用いて構成される。つまり、サブワード線が選択されて、選択されたメモリセルのアドレス選択ＭＯＳＦＥＴがオン状態になって、ビット線容量にプリチャージされた電荷と、メモリセルのキャパシタに保持された電荷とのチャージシェアに要する時間を待ってセンスアンプを動作させる必要があるために、上記遅延回路ＤＬ２には、サブワードドライバと同じ上記厚いゲート絶縁膜のＭＯＳＦＥＴを用いて構成されるものである。

【００１９】

これに対して、センスアンプのオーバードライブ時間を設定する遅延回路ＤＬ３は、薄いゲート絶縁膜で形成されるセンスアンプの動作をモニタするために、センスアンプと同じ薄いゲート絶縁膜で形成されたＭＯＳＦＥＴを用いて構成される。また、サブワード線ＳＷＬのリセットをまって非動作状態にされるセンスアンプ、及びシェアードスイッチＭＯＳＦＥＴやイラライズＭＯＳＦＥＴの動作タイミングを設定する遅延回路ＤＬ４は、サブワードドライバでの動作時間をモニタするためにそれと同じ上記厚いゲート絶縁膜のＭＯＳＦＥＴを用いて構成されるものである。

【００２０】

上記タイミング回路を他の内部回路と同じく薄いゲート絶縁膜のＭＯＳＦＥＴで構成した場合、上記サブワードドライバ等の厚い膜厚のゲート絶縁膜を持つＭＯＳＦＥＴでの最も長い時間に対応したワーストケースを考慮した時間と、薄いゲート絶縁膜のＭＯＳＦＥＴを用いた遅延回路の最も短い時間になった場合のワーストケースとの両方を考慮した余分な時間マージンを設定する必要があり、上記のような２つのワーストケースが生じる稀な場合を除いて、大半のダイナミック型ＲＡＭでは必要以上にセンスアンプの動作時間を長く設定してしまうことになるものである。ダイナミック型ＲＡＭでは、アドレス入力からそれに対応した読み出し信号が得られるまでの時間のうち、上記センスアンプの動作時間に占める時間が比較的大きく、上記ワード線の選択タイミングとセンスアンプの活性化のタイミングはできるだけ短くするのが高速化を図る上で極めて重要になるものである。

【００２１】

図３には、上記遅延回路ＤＬ２の一実施例の回路図が示されている。上記のように遅延回路ＤＬ２は、サブワードドライバでの動作時間をモニタするためにそれと同じ上記厚いゲ

ート絶縁膜のＭＯＳＦＥＴを用いて構成されるものであるが、それは全ての素子が厚いゲート絶縁膜のＭＯＳＦＥＴで構成されるという意味ではない。遅延回路ＤＬ２は、上記のようにサブワードドライバでの動作時間をモニタするものであればよいから、その遅延時間が厚いゲート絶縁膜のＭＯＳＦＥＴのプロセスバラツキに対応して形成されれば足りる。この趣旨により、厚いゲート絶縁膜のＭＯＳＦＥＴ（以下、厚膜ＭＯＳという）は、入力信号を受けるＰチャンネル型ＭＯＳＦＥＴＱ３０とＮチャンネル型ＭＯＳＦＥＴＱ３１のみで構成される。このＣＭＯＳインバータ回路の出力部には、抵抗Ｒ１０とＲ１１及び薄いゲート絶縁膜からなるＭＯＳＦＥＴ（以下、薄膜ＭＯＳという）Ｑ３２とＱ３３のゲート容量を利用したキャパシタからなる時定数回路が設けられる。そして、上記時定数回路の出力信号を受けるバッファ回路ＢＡ１とＢＡ２を通して出力タイミング信号ＲＳＡ１Ｔが形成される。このバッファ回路での遅延時間は、全体の遅延時間に対して無視できる程度にされる。

【００２２】

上記ＭＯＳＦＥＴＱ３０とＱ３１のプロセスバラツキに対応したオン抵抗値が支配的に作用して上記抵抗Ｒ１０とＲ１１及びキャパシタからなる時定数を決定する。つまり、この実施例の遅延回路ＤＬ２は、上記抵抗Ｒ１０やＲ１１及びキャパシタＱ３２、Ｑ３３はいわばプロセスバラツキには無関係の一定の遅延時間を形成するものであり、ワード線の選択動作のプロセスバラツキに対応した遅延時間の設定には、上記厚い膜厚にされたゲート絶縁膜のＭＯＳＦＥＴのオン抵抗値が支配的に作用するようにされる。

【００２３】

図４には、上記サブワードドラバの一実施例の回路図が示されている。この実施例のメモリアレイは、メインワード線とサブワード線からなる階層ワード線方式にされる。このような階層ワード線方式に関しては後に説明するが、サブワードドライバは、メインワード線の選択信号と、サブワード選択線ＦＸとを受けて、サブワード線の選択信号を形成する。つまり、ＰチャンネルＭＯＳＦＥＴＱ３４とＮチャンネル型ＭＯＳＦＥＴＱ３５によりインバータ回路の入力端子に上記メンンワード線を接続し、その動作電圧が上記サブワード選択線ＦＸから供給される。また、サブワード線のリセット用ＭＯＳＦＥＴＱ３６のゲートにも上記サブワード選択線ＦＸが供給される。

【００２４】

サブワード線の選択レベルを昇圧電圧ＶＰＰに対応した高電圧にするために、上記サブワード選択線ＦＸの選択レベルはＶＰＰのような高電圧にされる。また、メインワード線の非選択レベルはＶＰＰのような高電圧にされる。したがって、メインワードドライバＭＷＤの動作電圧はＶＰＰにされる。このメインワードドライバＭＷＤに選択信号を供給するプリデコーダは、降圧電圧ＶＤＬを動作電圧として動作する。したがって、メインワードドハイバの入力部には、上記ＶＤＬ信号をＶＰＰ信号に変換するレベル変換回路が設けられる。上記低電圧ＶＤＬで動作するプリデコーダは、薄膜ＭＯＳで構成され、上記高電圧ＶＰＰで動作するメインワードドライバＭＷＤ及びサブワードドライバは厚膜ＭＯＳで構成されるものである。

【００２５】

サブワードドラバの動作は、次の通りである。メインワード線がロウレベルの選択レベルであって、ＰチャンネルＭＯＳＦＥＴＱ３４のソースに接続されるＦＸ線がＶＰＰの選択レベルで、ＮチャンネルＭＯＳＦＥＴＱ３６のゲートにＦＸ線が０Ｖの選択レベルであるとき、ＰチャンネルＭＯＳＦＥＴＱ３４がオン状態に、ＮチャンネルＭＯＳＦＥＴＱ３５とＱ３６がオフ状態になって、サブワード線をＶＰＰのような選択レベルにする。

【００２６】

メインワード線がＶＰＰのようなハイレベルの非選択レベルであると、ＰチャンネルＭＯＳＦＥＴＱ３４がオフ状態になり、ＮチャンネルＭＯＳＦＥＴＱ３５がオン状態になるので、ソースに接続されるＦＸ線がＶＰＰの選択レベルで、ＮチャンネルＭＯＳＦＥＴＱ３６のゲートにＦＸ線が０Ｖの選択レベルであっても、サブワード線は非選択レベル

にされる。また、メインワード線がロウレベルの選択レベルであって、Ｐチャンネル型ＭＯＳＦＥＴＱ３４がオン状態でも、そのソースに接続されるＦＸ線が０Ｖの非選択レベルで、Ｎチャンネル型ＭＯＳＦＥＴＱ３６のゲートにＦＸ線がＶＰＰの非選択レベルであるとＭＯＳＦＥＴＱ３６のオン状態によりサブワード線を０Ｖのような非選択レベルにする。

【００２７】

図５には、上記ロウ系の選択動作の一例を説明するためのタイミング図が示されている。クロック信号ＲＣＬＫのハイレベルへの立ち上がりより、シェーアドスイッチ制御信号ＳＨＲとイコライズ信号ＢＬＥＱがロウレベルにされる。これにより、非選択側のビット線がセンスアンプから切り離されるとともに、イコライズＭＯＳＦＥＴ及びプリチャージＭＯＳＦＥＴがオフ状態にされる。

【００２８】

上記信号ＲＣＬＫの立ち下がりを受けて、ワード線がロウレベルからハイレベルへの選択レベルにされる。このようなワード線の選択動作により、選択されたメモリセルのＭＯＳＦＥＴがオン状態となり、相補ビット線の一方に選択されたメモリセルからの記憶電荷に対応した微小読み出し信号が現れる。上記のようなワード線の選択動作及びビット線と寄生容量とメモリセルのキャパシタとのチャージシェアによる上記微小読み出し信号が得られるまでの時間をまって、センスアンプの活性化信号ＲＳＡＮが形成される。実際には、センスアンプの高速動作のためにセンスアンプはその動作開始時に一時的に電源電圧ＶＤＤのような高電圧で動作させられる。

【００２９】

上記クロック信号ＲＣＬＫの立ち下がりにより、ワード線が選択レベルから非選択レベルに切り替えられ、このワード線の非選択レベルにされることを待って、センスアンプの活性化信号ＲＳＡＮがロウレベルの非活性レベルにされ、シェアードスイッチ制御信号ＳＨＲ及びイコライズ信号ＢＬＥＱがハイレベルにされて、相補ビット線のハーフプリチャージ（イコライズ動作）が実施される。

【００３０】

上記のように高電圧での動作を行うシェアードスイッチ制御信号ＳＨＲ及びイコライズ信号ＢＬＥＱのオフ状態をモニタしたワード線選択タイミングや、ワード線の選択タイミングからセンスアンプを活性化させるセンスアンプタイミング及びワード線のオフ状態をモニタしたセンスアンプの非活性させるセンスアンプタイミングを行う上記遅延回路ＤＬ１、ＤＬ２及びＤＬ４に、上記厚膜ＭＯＳを用いることにより、そのプロセスバラツキを反映させたタイミング設定が可能となり、余分な時間マージンの設定が不要にできるためにアドレス入力から読み出し信号が得られるまでの時間を短くすること、言い換えるならば、メモリアクセス時間の短縮化を図ることができるものとなる。

【００３１】

図６には、この発明に係るダイナミック型ＲＡＭの一実施例を説明するための素子構造断面図が示されている。この実施例では、上記のようなメモリセル部、厚膜ＭＯＳと薄膜ＭＯＳとの素子構造が代表として例示的に示されている。メモリセルの記憶キャパシタは、２層目のポリシリコン層をストレージノードＳＮＣＴとして用い、アドレス選択用ＭＯＳＦＥＴの一方のソース，ドレインを構成するＮ＋拡散層と接続される。上記２層目ポリシリコン層からなるストレージノードＳＮＣＴは王冠構造とされ、薄いゲート絶縁膜を介して３層目ポリシリコン層からなるプレート電極ＰＬＴが形成されて構成される。アドレス選択用ＭＯＳＦＥＴのゲートは、サブワード線ＳＷＬと一体的に構成され、１層目ポリシリコン層ＦＧとその上部に形成されたタングステンシリサイド（ＷＳｉ）とにより形成される。

【００３２】

アドレス選択用ＭＯＳＦＥＴの他方のソース，ドレインを構成するＮ＋拡散層は、ポリシリコン層とその上部設けられた上記同様なタングステンシリサイド（Ｍ１）から構成されたビット線ＢＬに接続される。上記メモリセルの上部には、第２層目のメタル層Ｍ２から

なるメインワード線ＭＷＬ、図示しないサブワード選択線ＦＸＢが形成され、その上部には第３層目からなるメタル層Ｍ３からなるＹ選択線ＹＳや、サブワード選択線ＦＸが形成される。そして、上記アドレス選択ＭＯＳＦＥＴのゲート絶縁膜は、約８ｎｍ程度の比較的厚い厚さで形成される。これにより、上記ゲートが接続されるサブワード線ＳＷＬの昇圧電圧ＶＰＰのような選択レベルに対して十分な耐圧を持つとともに、しきい値電圧が比較的大きく形成されて情報保持特性を確保するようにできる。

【００３３】

この実施例では、上記アドレス選択ＭＯＳＦＥＴが形成されるＰ型ウェル領域ＰＷＥＬＬは、深い深さのＮ型ウェル領域ＤＷＥＬＬにより電気的に分離されて、－１Ｖ程度の負のバックバイアス電圧ＶＢＢが供給される。このような負電圧ＶＢＢの供給によっても上記アドレス選択ＭＯＳＦＥＴのしきい値電圧を高くするとともに、上記ＰＷＥＬＬに発生するマイノリティキャリアが上記上記キャパシタに接続されるＮ＋拡散層に到達するのを防いで情報保持時間を長くするようにされる。

【００３４】

メモリセル部の周辺部に設けられるサブワードドライバＳＷＤや外部端子から供給される電源電圧を受ける動作する入力バッファ等を構成する厚ゲート絶縁膜を持つＮチャンネル型ＭＯＳＦＥＴも、上記メモリセルのアドレス選択ＭＯＳＦＥＴと同じく形成される。ただし、それが形成されるＰ型ウェル領域が上記ＤＷＥＬＬによって分離されてい場合には回路の接地電位が与えられる。これにより、メモリセルを構成するＭＯＳＦＥＴと同じゲート絶縁膜の膜厚にされるが、しきい値電圧は小さく形成される。メモリアレイとは離れて形成される入力バッファ等を構成するＮチャンネル型ＭＯＳＦＥＴは、Ｐ型基板上に形成されるものであってもよい。

【００３５】

これらの周辺回路を構成するために、１層目メタル層Ｍ１が形成されている。例えば、上記ＣＭＯＳインバータ回路を構成するためにＮチャンネル型ＭＯＳＦＥＴと図示しない同様な厚膜構造のＰチャンネル型ＭＯＳＦＥＴとのゲートを接続する配線は、上記１層目のメタル層Ｍ１が用いられる。上記ＣＭＯＳインバータ回路を構成するＭＯＳＦＥＴのドレイン等とと他の回路との接続に第２層目メタル層Ｍ２を用いる場合には、スルーホールを介してダミーとしての第１層目メタル層Ｍ１に落とし、この第１層目の配線層Ｍ１とコンタクトを介して上記ドレインに接続される。

【００３６】

プリデコーダやセンスアンプ等のように降圧電圧ＶＤＬで動作する薄いゲート絶縁膜を持つＮチャンネル型ＭＯＳＦＥＴは、そのゲート絶縁膜が４ｎｍのように薄く形成されるだけで、あとの構造は前記の厚膜ＭＯＳＦＥＴと同様である。上記のような２種類のゲート絶縁膜を形成する方法としては、まず薄いゲート絶縁膜を形成し、その後に薄膜ＭＯＳを形成する部分をマクスして上記薄いゲート絶縁膜を除去して、あらためて厚いゲート絶縁膜を形成する。あるいは、上記薄いゲート絶縁膜上に重合わせるようにしてゲート絶縁膜を形成して膜厚を厚くするものであってもよい。このような薄膜ＭＯＳＦＥＴでカラム選択スイッチを構成して、３層目のメタル層Ｍ３で形成されたＹ選択線ＹＳをカラム選択スイッチＭＯＳＦＥＴのゲートに接続させる場合、スルーホールを介して上記ダミーとしてのメタル層Ｍ２、メタル層Ｍ１に落とし上記カラムスイッチＭＯＳＦＥＴのゲートや、同図のようにソース，ドレインと接続される。

【００３７】

この実施例のような素子構造を採るとき、上記降圧電圧ＶＤＬで動作させられるＭＯＳＦＥＴのゲート絶縁膜を薄く形成するものでありるので、そのしきい値電圧を小さくすることができる。この結果、上記降圧電圧ＶＤＬを２Ｖあるいは１．８Ｖ程度のようにＣＭＯＳ回路の動作下限電圧付近まで低下させても、必要な電流を確保することができるから所望の動作速度を維持することができる。そして、後述するようなバーンイン試験においても、電源電圧ＶＤＤの上昇に追従して上記降圧電圧ＶＤＬも上昇するが、バーンイン試験時の降圧電圧ＶＤＬは、そのときの電源電圧ＶＤＤの約１／２程度であるために、上記の

ような薄いゲート絶縁膜に形成してもゲート絶縁膜の耐圧を確保することができる。

【００３８】

図７には、この発明に係るダイナミック型ＲＡＭの一実施例の概略レイアウト図が示されている。同図においては、ダイナミック型ＲＡＭを構成する各回路ブロックのうち、この発明に関連する部分が判るように簡略化されて示されており、それが公知の半導体集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上において形成される。

【００３９】

この実施例では、特に制限されないが、メモリアレイは、全体として８個に分けられる。半導体チップの長手方向に沿った上下に４個、左右に２個ずつのメモリアレイが分割されて設けられ、上記チップの長手方向に沿った中央部分にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路等の周辺回路（Peripheral）等が設けられる。上記メモリアレイの上記中央側にはメインアンプＭＡが配置される。

【００４０】

上述のように半導体チップの長手方向に沿った上下に２個ずつの４個と、左右に２個ずつに分けられて合計８個からなる各メモリアレイにおいて、長手方向に対して左右方向の中間部にＸ系プリデコーダ回路ＲＯＷＰＤＣ及び救済回路ＲＯＷＲＥＤ、Ｙ系プリデコーダ回路ＣＯＬＰＤＣ及び救済回路ＣＯＬＲＥＤが配置される。上記メモリアレの上記中間部分に沿ってメインワードドライバ領域ＭＷＤが形成されて、それぞれのメモリアレイに対応して下、上方側に延長するように設けられたメインワード線をそれぞれが駆動するようにされる。

【００４１】

上記メモリアレイにおいて、特に制限されないが、上記チップ中央部分とは反対側のチップ周辺側にＹデコーダＹＤＣが設けられる。この実施例においては、上記中央側に配置されたメインアンプＭＡと周辺側に配置されたＹデコーダＹＤＣとにより上記８分割されてなる各メモリアレイが挟さまれるように配置される。上記メモリアレイは、後述するように複数のサブアレイに分割される。かかるサブアレイは、それを挟むように配置されたセンスアンプ領域、サブワードドライバ領域に囲まれて形成される。上記センスアンプアンプ領域と、上記サブワードドライバ領域の交差部は交差領域とされる。上記センスアンプ領域に設けられるセンスアンプは、シェアードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプを除いて、センスアンプを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリセルアレイの相補ビット線に選択的に接続される。

【００４２】

上述のように半導体チップの長手方向に沿って４個ずつに分けられたメモリアレイは、２個ずつ組となって配置される。このように２個ずつ組となって配置された２つのメモリアレイは、その中間部分にＸ系プリデコーダ回路ＲＯＷＰＤＣ及び救済回路ＲＯＷＲＥＤ、Ｙ系プリデコーダ回路ＣＯＬＰＤＣ及び救済回路ＣＯＬＲＥＤが配置される。つまり、上記Ｘ系プリデコーダ回路ＲＯＷＰＤＣ及び救済回路ＲＯＷＲＥＤ、Ｙ系プリデコーダ回路ＣＯＬＰＤＣ及び救済回路ＣＯＬＲＥＤを中心として、メモリアレイが上下に配置される。上記メインワードドライバＭＷＤは、上記１つのメモリアレイを貫通するようにチップ長手方向に延長されるメインワード線の選択信号を形成する。また、上記メインワードドライバＭＷＤにサブワード選択用のドライバも設けれら、後述するように上記メインワード線と平行に延長されてサブワード選択線の選択信号を形成する。

【００４３】

１つのサブアレイは、図示しないが５１２本のサブワード線と、それと直交する５１２対からなる相補ビット線（又はデータ線）とにより構成される。なお、不良ワード線又は不良ビット線の救済のために予備のワード線及び予備の相補ビット線に設けられるものである。上記１つのメモリアレイにおいて、上記サブアレイがワード線の配列方向に１６個設けられるから、全体としての上記サブワード線は約８Ｋ分設けられ、ビット線の配列方向

に８個設けられるから、相補ビット線は全体として約４Ｋ分設けられる。このようなメモリアレイが全体で８個設けられるから、全体では８×８Ｋ×４Ｋ＝２５６Ｍビットのような大記憶容量を持つようにされる。これにより、相補ビット線その長さが、上記１６個のサブアレイに対応して１／１６の長さに分割される。サブワード線は、上記８個のサブアレイに対応して１／８の長さに分割される。

【００４４】

上記１つのメモリアレイの分割されたサブアレイ毎にサブワードドライバ（サブワード線駆動回路）が設けられる。サブワードドライバは、上記のようにメインワード線に対して１／８の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、１つのメインワード線に対して、相補ビット線方向に４本からなるサブワード線を配置させる。このようにメインワード線方向には８本に分割され、及び相補ビット線方向に対して４本ずつが割り当てられたサブワード線の中から１本のサブワード線を選択するために、メインワードドライバＭＷＤには図示しないサブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される４本のサブワード選択線の中から１つを選択する選択信号を形成する。

【００４５】

図７のようなレイアウトを採用した場合において、Ｙアドレスが入力されると、アドレスバッファＡＤＤＢＵＰを通して上記メモリアレイの中間部に設けられた救済回路、プリデコーダを介してチップの周辺側に配置されたＹデコーダＹＤＣに伝えられ、ここでＹ選択信号が形成される。上記Ｙ選択信号より１つのサブアレイの相補ビット線が選択されて、それと反対側のチップ中央部側のメインアンプＭＡに伝えられ、増幅されて図示しない出力回路を通して出力される。

【００４６】

この構成は、一見すると信号がチップを引き回されて読み出し信号が出力されるまでの時間が長くなるように判断される。しかし、救済回路には、アドレス信号をそのまま入力する必要があるので、救済回路をチップ中央のいずれかに配置すると、不良アドレスであるか否かの判定結果をまってプリデコーダの出力時間が決定される。つまり、プリデコーダと救済回路とが離れていると、そこでの信号遅延が実際のＹ選択動作を遅らせる原因となる。

【００４７】

この実施例では、メモリアレイを挟んでメインアンプＭＡとＹデコーダＹＤＣが両側に配置されるため、サブアレイの相補ビット線を選択するための信号伝達経路と、選択された相補ビット線から入出力線を通ってメインアンプＭＡの入力に至る信号伝達経路との和は、いずれの相補ビット線を選択しようともメモリアレイを横断するだけの信号伝達経路となって上記のように１往復するものの半分に短縮できるものである。これにより、メモリアクセスの高速化が可能になるものである。

【００４８】

図８には、この発明に係るダイナミック型ＲＡＭをより詳細に説明するための概略レイアウト図が示されている。同図には、メモリチップ全体の概略レイアウトと、８分割された１つのメモリアレイのレイアウトが示されている。同図は、図１の実施例を別の観点から図示したものである。つまり、図１と同様にメモリチップは、長手方向（ワード線方向）に沿った上下に４個、左右に２個ずつのメモリアレイ（Array)が８分割され、その長方向における中央部分には複数からなるボンディングパッド及び入出力回路等の周辺回路（Bonding Pad & peripheral
Circuit）が設けられる。

【００４９】

上記８個のメモリアレイは、前記のようにそれぞれが約３２Ｍビットの記憶容量を持つようにされるものであり、そのうちの１つが拡大して示されているように、ワード線方向に

８分割され、ビット線方向に１６分割されたサブアレイが設けられる。上記サブアレイのビット線方向の両側には、上記ビット線方向に対してセンスアンプ（Sence Amplifier)が配置される。上記サブアレイのワード線方向の両側には、サブワードドライバ（Sub-Word Driver)が配置される。

【００５０】

上記１つのメモリアレイには、全体で８１９２本のワード線と４０９６対の相補ビット線が設けられる。これにより、全体で約３２Ｍビットの記憶容量を持つようにされる。上記のように８１９２本のワード線が１６個のサブアレイに分割して配置されるので、１つのサブアレイには５１２本のワード線（サブワード線）が設けられる。また、上記のように４０９６対の相補ビット線が８個のサブアレイに分割して配置されるので、１つのサブアレイには５１２対の相補ビット線が設けられる。

【００５１】

メモリアレイのメインワード線に対応してメインワードドライバＭＷＤが設けられる。つまり、同図に示されたメモリアレイの左側には、アレイコントロール（Array control)回路及びメインワードドライバ(Main Word dricer)が設けられる。上記アレイコントロール回路には、第１のサブワード選択線を駆動するドライバが設けられる。上記メモリアレイには、上記８分割されたサブアレイを貫通するように延長されるメインワード線が配置される。上記メインワードドライバは、上記メインワード線を駆動する。上記メインワード線と同様に第１のサブワード選択線も上記８分割されたサブアレイを貫通するように延長される。上記アレイの下部（チップ周辺側）には、Ｙデコーダ（YDecoder）及びＹ選択線ドライバ（YSdriver）が設けられる。

【００５２】

図９には、この発明に係るダイナミック型ＲＡＭにおけるサブアレイとその周辺回路の一実施例の概略レイアウト図が示されている。同図には、図８に示されたメモリアレイの中の斜線を付した位置に配置された４つのサブアレイＳＢＡＲＹが代表として例示的に示されている。同図においては、サブアレイＳＢＡＲＹが形成される領域には斜線を付すことによって、その周辺に設けられサブワードドライバ領域、センスアンプ領域及びクロスエリアとを区別するものである。

【００５３】

サブアレイＳＢＡＲＹ（１５）は、ワード線の延長方向を水平方向とすると、サブワード線ＳＷＬが５１２本配置され、相補ビット線対は５１２対から構成される。それ故、上記５１２本のサブワード線ＳＷＬに対応した５１２個のサブワードドライバＳＷＤ（１７）は、かかるサブアレイの左右に２５６個ずつに分割して配置される。上記５１２対の相補ビット線ＢＬに対応して設けられる５１２個のセンスアンプＳＡ（１６）は、前記のようなシェアードセンスアンプ方式とされ、かかるサブアレイの上下に２５６個ずつに分割して配置される。

【００５４】

上記サブアレイＳＢＡＲＹ（１５）は、正規のサブワード線ＳＷＬが５１２本に加えて、図示しないが予備ワード線も設けられる。それ故、上記５１２のサブワード線ＳＷＬと上記予備ワード線に対応したサブワードドライバＳＷＤ（１７）が、かかるサブアレイ（１５）の左右に分割して配置される。上記のように右下のサブアレイ（１５）が５１２対の相補ビット線ＢＬからなり、上記同様に２５６個のセンスアンプ（１６）が上下に配置される。上記右側の上下に配置されるサブアレイＳＢＡＲＹに形成される２５６対の相補ビット線は、それに挟まれたセンスアンプＳＡに対してシェアードスイッチＭＯＳＦＥＴを介して共通に接続される。上記同様に図示しないが、予備のビット線も設けられ、それに対応したセンスアンプ（１６）も上下に振り分けられた設けられる。

【００５５】

メインワード線ＭＷＬは、その１つが代表として例示的に示されているように延長される。また、カラム選択線ＹＳは、その１つが代表として例示的に示されるように同図の縦方向に延長される。上記メインワード線ＭＷＬと平行にサブワード線ＳＷＬが配置され、上

記カラム選択線ＹＳと平行に相補ビット線ＢＬ（図示ぜす）が配置されるものである。上記４個からなるサブアレイに対して、８本のサブワード選択線ＦＸ０Ｂ～ＦＸ７Ｂが、メインワード線ＭＷＬと同様に４組（８個）のサブアレイを貫通するように延長される。そして、サブワード選択線ＦＸ０Ｂ～ＦＸ３Ｂからなる４本と、ＦＸ４Ｂ～ＦＸ７Ｂからなる４本とが上下のサブアレイ上に分けて延長させるようにする。このように２つのサブアレイに対して１組のサブワード選択線ＦＸ０Ｂ～ＦＸ７Ｂを割り当て、かつ、それらをサブアレイ上を延長させるようにする理由は、メモリチップサイズの小型化を図るためである。

【００５６】

つまり、各サブアレイに対して上記８本のサブワード選択線ＦＸ０Ｂ～ＦＸ７Ｂを割り当て、しかもそれをセンスアンプエリア上に配線チャンネルに形成した場合、図４のメモリアレイのよううに１６個ものサブアレイが上下のメモリアレイにおいて合計３２個も配置されるために、８×３２＝２５６本分もの配線チャンネルが必要になるものである。これに対して、上記の実施例では、配線そのものが、２つのサブアレイに対して上記８本のサブワード選択線ＦＸ０Ｂ～ＦＸ７Ｂを割り当て、しかも、それをサブアレイ上を通過するように配置させることにより、格別な配線チャンネルを設けることなく形成することができる。

【００５７】

そもそも、サブアレイ上には、８本のサブワード線に対して１本のメインワード線が設けられるものであり、その８本の中の１本のサブワード線を選択するためにサブワード選択線が必要になるものである。メモリセルのピッチに合わせて形成されるサブワード線の８本分に１本の割り合いでメインワード線が形成されるものであるために、メインワード線の配線ピッチは緩やかになっている。したがって、メインワード線と同じ配線層を利用して、上記サブワード選択線をメインワード線の間に形成することは比較的容易にできるものである。

【００５８】

上記メインワード線ＭＷＬと平行に延長されるものを第１のサブワード選択線ＦＸ０Ｂとすると、左上部のクロスエリアに設けられ，上記第１のサブワード選択線ＦＸ０Ｂからの選択信号を受けるサブワード選択線駆動回路ＦＸＤを介して、上記上下に配列されるサブワードドライバに選択信号を供給する第２のサブワード線ＦＸ０が設けられる。上記第１のサブワード選択線ＦＸ０Ｂは上記メインワード線ＭＷＬ及びサブワード線ＳＷＬと平行に延長されるのに対して上記第２のサブワード選択線は、それと直交するカラム選択線ＹＳ及び相補ビット線ＢＬと平行に延長される。上記８本の第１のサブワード選択線ＦＸ０Ｂ～ＦＸ７Ｂに対して、上記第２のサブワード選択線ＦＸ０～ＦＸ７は、偶数ＦＸ０，２，４，６と、奇数ＦＸ１，３，５，７とに分割されてサブアレイＳＢＡＲＹの左右に設けられたサブワードドライバＳＷＤに振り分けられて配置される。

【００５９】

上記サブワード選択線駆動回路ＦＸＤは、同図において■で示したように、１つのクロスエリアの上下に２個ずつ分配して配置される。つまり、上記のように左上部のクロスエリアでは、下側に配置されたサブワード選択線駆動回路が上記第１のサブワード選択線ＦＸ０Ｂに対応され、左中間部のクロスエリアに設けられた２つのサブワード選択線駆動回路ＦＸＤが、第１のサブワード選択線ＦＸ２Ｂと、ＦＸ４Ｂに対応され、左下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第１のサブワード選択線ＦＸ６Ｂに対応される。

【００６０】

中央上部のクロスエリア（１８）では、下側に配置されたサブワード選択線駆動回路が上記第１のサブワード選択線ＦＸ１Ｂに対応され、中央中間部のクロスエリアに設けられた２つのサブワード選択線駆動回路ＦＸＤが、第１のサブワード選択線ＦＸ３Ｂと、ＦＸ５Ｂに対応され、中央下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第１のサブワード選択線ＦＸ７Ｂに対応される。そして、右上部のクロス

エリアでは、下側に配置されたサブワード選択線駆動回路が上記第１のサブワード選択線ＦＸ０Ｂに対応され、右中間部のクロスエリアに設けられた２つのサブワード選択線駆動回路ＦＸＤが、第１のサブワード選択線ＦＸ２Ｂと、ＦＸ４Ｂに対応され、右下部のクロスエリアに設けられた上側に配置されたサブワード選択線駆動回路が上記第１のサブワード選択線ＦＸ６Ｂに対応される。このようにメモリアレイの端部に設けられたサブワードドライバは、その右側にはサブアレイが存在しないから、左側だけのサブワード線ＳＷＬを駆動する。

【００６１】

この実施例のようにサブアレイ上のメインワード線のピッチの間にサブワード選択線を配置する構成では、格別な配線チャンネルが不要にできるから、１つのサブアレイに８本のサブワード選択線を配置するようにしてもメモリチップがお大きくなることはない。しかしながら、上記のようなサブワード選択線駆動回路ＦＸＤを形成するために領域が増大し、高集積化を妨げることとなる。つまり、上記クロスエリアには、同図において点線で示したようなメイン入出力線ＭＩＯやサブ入出力線ＬＩＯに対応して設けられるスイッチ回路ＩＯＳＷや、センスアンプを駆動するパワーＭＯＳＦＥＴ、シェアードスイッチＭＯＳＦＥＴを駆動するための駆動回路、プリチャージＭＯＳＦＥＴを駆動する駆動回路等の周辺回路が形成されるために面積的な余裕が無いからである。

【００６２】

サブワードドライバにおいては、上記第２のサブワード選択線ＦＸ０～６等には、それと平行に第１サブワード選択線ＦＸ０Ｂ～６Ｂに対応した選択信号を通す配線が設けられるものであるが、その負荷が後述するように小さいので、上記第２のサブワード選択線ＦＸ０～６のように格別なドライバＦＸＤを設けることなく、上記第１サブワード選択線ＦＸ０Ｂ～６Ｂと直接接続される配線によって構成される。ただし、その配線層は上記第２のサブワード選択線ＦＸ０～６と同じものが用いられる。

【００６３】

上記クロスエリアのうち、偶数に対応した第２のサブワード選択線ＦＸ０～ＦＸ６の延長方向Ａに配置されたものには、○にＰで示したようにセンスアンプに対して降圧電圧ＶＤＬを供給するＮチャンネル型のパワーＭＯＳＦＥＴと、○にＯで示したようにセンスアンプに対して後述するようなオーバードライブ用の電源電圧ＶＤＤを供給するＮチャンネル型のパワーＭＯＳＦＥＴ、及び○にＮで示したようにセンスアンプに対して回路の接地電位ＶＳＳを供給するためのＮチャンネル型のパワーＭＯＳＦＥＴが設けられる。

【００６４】

上記クロスエリアのうち、奇数に対応した第２のサブワード選択線ＦＸ０～ＦＸ６の延長方向Ｂに配置されたものには、○にＢで示したようにビット線のプリチャージ及びイコライズ用ＭＯＳＦＥＴをオフ状態にさせるＮチャンネル型の駆動ＭＯＳＦＥＴと、○にＮで示したようにセンスアンプに対して回路の接地電位ＶＳＳを供給するためのＮチャンネル型のパワーＭＯＳＦＥＴが設けられる。このＮチャンネル型のパワーＭＯＳＦＥＴは、センスアンプ列の両側からセンスアンプを構成するＮチャンネル型ＭＯＳＦＥＴの増幅ＭＯＳＦＥＴのソースに接地電位を供給するものである。つまり、センスアンプエリアに設けられる１２８個又は１３０個のセンスアンプに対しては、上記Ａ側のクロスエリアに設けられたＮチャンネル型のパワーＭＯＳＦＥＴと、上記Ｂ側のクロスエリアに設けられたＮチャンネル型のパワーＭＯＳＦＥＴの両方により接地電位が供給される。

【００６５】

上記のようにサブワード線駆動回路ＳＷＤは、それを中心にして両側のサブアレイのサブワード線を選択する。これに対して、上記選択された２つのサブアレイのサブワード線に対応して２つのセンスアンプが活性化される。つまり、サブワード線を選択状態にすると、アドレス選択ＭＯＳＦＥＴがオン状態となり、記憶キャパシタの電荷がビット線電荷と合成されてしまうので、センスアンプを活性化させてもとの電荷の状態に戻すという再書き込み動作を行う必要があるからである。このため、上記端部のサブアレイに対応したものを除いて、上記Ｐ、Ｏ及びＮで示されたパワーＭＯＳＦＥＴは、それを挟んで両側のセ

ンスアンプを活性化させるために用いられる。これに対して、メモリアレイの端に設けられたサブアレイの右側に設けられたサブワード線駆動回路ＳＷＤでは、上記サブアレイのサブワード線しか選択しないから、上記上記Ｐ、Ｏ及びＮで示されたパワーＭＯＳＦＥＴは、上記サブアレイに対応したセンスアンプのみを活性化するものである。

【００６６】

上記センスアンプは、シェアードセンス方式とされ、それを挟んで両側に配置されるサブアレイのうち、上記サブワード線が非選択された側の相補ビット線に対応したシェアードスイッチＭＯＳＦＥＴがオフ状態にされて切り離されることにより、上記選択されたサブワード線に対応した相補ビット線の読み出し信号を増幅し、メモリセルの記憶キャパシタをもとの電荷状態に戻すというリライト動作を行う。

【００６７】

図１０には、この発明に係るダイナミック型ＲＡＭにおけるサブアレイとその周辺回路を形成するウェル領域の一実施例の概略レイアウト図が示されている。同図には、図８に示されたメモリアレイの中の点線で囲まれたように、上記斜線を付した位置に配置された４つのサブアレイＳＢＡＲＹを含む８個が代表として例示的に示されている。

【００６８】

同図において、白地の部分はＰ型基板（ＰＳＵＢ）を表している。このＰ型基板ＰＳＵＢには、回路の接地電位ＶＳＳが与えられる。上記Ｐ型基板ＰＳＵＢには、斜線で示したように２種類のＮ型ウェル領域ＮＷＥＬＬ（ＶＤＬ）とＮＷＥＬＬ（ＶＤＤ又はＶＤＤＣＬＰ）とが形成される。つまり、センスアンプＳＡを構成するＰチャンネル型の増幅ＭＯＳＦＥＴが形成されるＮ型ウェル領域と、前記Ａ列のクロスエリアに配置される前記パワースイッチＭＯＳＦＥＴが形成されるＮ型ウェル領域は、昇圧電圧ＶＰＰを利用して形成されたクランプ電圧ＶＤＤＣＬＰ又はＶＤＤが供給される。

【００６９】

前記Ｂ列のクロスエリアには、サブ入出力線ＬＩＯに対応して設けられるスイッチ回路ＩＯＳＷを構成するＰチャンネル型ＭＯＳＦＥＴや、メイン入出力線に設けられるプリチャージ用とイコライズ用のＰチャンネル型ＭＯＳＦＥＴが形成されるＮ型ウェル領域が形成され、降圧電圧ＶＤＬが供給される。

【００７０】

サブアレイと、サブワード線駆動回路ＳＷＤが形成される全体には、深い深さに形成されたＮ型ウェル領域ＤＷＥＬＬが形成される。この深い深さのＮ型ウェル領域には、ワード線の選択レベルに対応された昇圧電圧ＶＰＰが供給される。この深い深さのＮ型ウェル領域ＤＷＥＬＬには、上記サブワード線駆動回路ＳＷＤを構成するＰチャンネル型ＭＯＳＦＥＴが形成されるＮ型ウェル領域ＮＷＷＬＬが形成され、上記深い深さのＮ型ウェル領域ＤＷＥＬＬと同様に昇圧電圧ＶＰＰが印加される。

【００７１】

上記深い深さのＮ型ウェル領域ＤＷＥＬＬには、メモリセルを構成するＮチャンネル型のアドレス選択ＭＯＳＦＥＴ及びサブワード駆動回路ＳＷＤのＮチャンネル型ＭＯＳＦＥＴを形成するためのＰ型ウェル領域ＰＷＥＬＬが形成される。これらのＰ型ウェル領域ＰＷＥＬＬには、負の電圧にされた基板バックバイアス電圧ＶＢＢが供給される。

【００７２】

図８で示された８分割された１つのアレイでみると、特に制限されないが、上記深い深さのＮ型ウェル領域ＤＷＥＬＬは、ワード線方向に対応して並べられた８個のサブアレイを１つの単位として、全体で１６個がビット線方向に並べられて形成される。そして、アレイ上を延長されるメインワード線の両端に配置されたサブワードドライバ（Sub-Word Driver)に対応されたクロスエリアが前記Ａ列とされ、前記同様にＢ列のように交互に配置される。それ故、端部を除いて上記Ａ列とそれの両側に配置される２つのセンスアンプ（Sence Amplifier)のＰチャンネル型ＭＯＳＦＥＴを形成するためのＮ型ウェル領域ＮＷＥＬＬ（ＶＤＤ又はＶＤＤＣＬＰ）が共通化して設けられる。

【００７３】

図１１には、この発明に係るダイナミック型ＲＡＭのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例の回路図が示されている。同図においては、２つのサブアレイ１５に上下から挟まれるようにされたセンスアンプ１６と前記交差エリア１８に設けられる回路が例示的に示され、他はブロック図として示されている。また、点線で示された回路ブロックは、前記符号によりそれぞれが示されている。

【００７４】

ダイナミック型メモリセルは、上記１つのサブアレイ１５に設けられたサブワード線ＳＷＬと、相補ビット線ＢＬ，ＢＬＢのうちの一方のビット線ＢＬとの間に設けられた１つが代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択ＭＯＳＦＥＴＱｍと記憶キャパシタＣｓから構成される。アドレス選択ＭＯＳＦＥＴＱｍのゲートは、サブワード線ＳＷＬに接続され、このＭＯＳＦＥＴＱｍのドレインがビット線ＢＬに接続され、ソースに記憶キャパシタＣｓが接続される。記憶キャパシタＣｓの他方の電極は共通化されてプレート電圧ＶＰＬＴが与えられる。上記ＭＯＳＦＥＴＱｍの基板（チャンネル）には負のバックバイアス電圧ＶＢＢが印加される。上記バックバイアス電圧ＶＢＢは、－１Ｖのようなバックバイアス電圧ＶＢＢに設定される。上記サブワード線ＳＷＬの選択レベルは、上記ビット線のハイレベルに対して上記アドレス選択ＭＯＳＦＥＴＱｍのしきい値電圧分だけ高くされた高電圧ＶＰＰとされる。

【００７５】

センスアンプを降圧電圧ＶＤＬで動作させるようにした場合、センスアンプにより増幅されてビット線に与えられるハイレベルは、上記内部電圧ＶＤＬレベルにされる。したがって、上記ワード線の選択レベルに対応した高電圧ＶＰＰはＶＤＬ＋Ｖth＋αにされる。センスアンプの左側に設けられたサブアレイの一対の相補ビット線ＢＬとＢＬＢは、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。かかる相補ビット線ＢＬとＢＬＢは、シェアードスイッチＭＯＳＦＥＴＱ１とＱ２によりセンスアンプの単位回路の入出力ノードと接続される。

【００７６】

センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたＮチャンネル型の増幅ＭＯＳＦＥＴＱ５，Ｑ６及びＰチャンネル型の増幅ＭＯＳＦＥＴＭＯＳＦＥＴＱ７，Ｑ８から構成される。Ｎチャンネル型ＭＯＳＦＥＴＱ５とＱ６のソースは、共通ソース線ＣＳＮに接続される。Ｐチャンネル型ＭＯＳＦＥＴＱ７とＱ８のソースは、共通ソース線ＣＳＰに接続される。上記共通ソース線ＣＳＮとＣＳＰには、それぞれパワースイッチＭＯＳＦＥＴが接続される。特に制限されないが、Ｎチャンネル型の増幅ＭＯＳＦＥＴＱ５とＱ６のソースが接続された共通ソース線ＣＳＮには、上記クロスエリア１８に設けられたＮチャンネル型のパワースイッチＭＯＳＦＥＴＱ１４により接地電位に対応した動作電圧が与えられる。

【００７７】

特に制限されないが、上記Ｐチャンネル型の増幅ＭＯＳＦＥＴＱ７とＱ８のソースが接続された共通ソース線ＣＳＰには、上記クロスエリア１８に設けられたオーバードライブ用のＮチャンネル型のパワーＭＯＳＦＥＴＱ１５と、上記内部電圧ＶＤＬを供給するＮチャンネル型のパワーＭＯＳＦＥＴＱ１６が設けられる。上記オーバードライブ用の電圧には、特に制限されないが、外部端子から供給される電源電圧ＶＤＤが用いられる。あるいは、センスアンプ動作速度の電源電圧ＶＤＤ依存性を軽減するために、ゲートにＶＰＰが印加され、ドレインに電源電圧ＶＤＤが供給されたＮチャンネル型ＭＯＳＦＥＴのソースから得られるわずかに降圧したクランプ電圧ＶＤＤＣＬＰを用いるようにするものでもよい。

【００７８】

上記Ｎチャンネル型のパワーＭＯＳＦＥＴＱ１５のゲートに供給されるセンスアンプオーバードライブ用活性化信号ＳＡＰ１は、上記Ｎチャンネル型ＭＯＳＦＥＴＱ１６のゲートに供給される活性化信号ＳＡＰ２と同相の信号とされ、ＳＡＰ１とＳＡＰ２は時系列的にハイレベルにされる。特に制限されないが、ＳＡＰ１とＳＡＰ２のハイレベルは昇圧電圧

ＶＰＰレベルの信号とされる。つまり、昇圧電圧ＶＰＰは、約３．８Ｖであるので、上記Ｎチャンネル型ＭＯＳＦＥＴＱ１５を十分にオン状態にさせることができる。ＭＯＳＦＥＴＱ１５がオフ状態の後にはＭＯＳＦＥＴＱ１６のオン状態によりソース側から内部電圧ＶＤＬに対応した電圧を出力させることができる。

【００７９】

上記センスアンプの駆動回路において、上記信号ＳＡＰ１とＳＡＰ２は、ＶＰＰレベルに対応された高電圧にする必要があるため、前記タイミング回路で形成されたＶＤＬレベルのタイミング信号をレベル変換して形成される。したがって、ＭＯＳＦＥＴＱ１５とＱ１６は厚いゲート絶縁膜のＭＯＳＦＥＴで構成される。これに対して、接地電位側のＭＯＳＦＥＴＱ１４のゲートに供給されるタイミング信号ＳＡＮは、前記ＶＤＬレベルの信号がそのまま供給され、かかるＭＯＳＦＥＴＱ１４は薄いゲート絶縁膜とされる。

【００８０】

上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるイコライズＭＯＳＦＥＴＱ１１と、相補ビット線にハーフプリチャージ電圧ＶＢＬＲを供給するスイッチＭＯＳＦＥＴＱ９とＱ１０からなるプリチャージ（イコライズ）回路が設けられる。これらのＭＯＳＦＥＴＱ９～Ｑ１１のゲートは、共通にプリチャージ信号ＰＣＢが供給される。このプリチャージ信号ＰＣＢを形成するドライバ回路は、図示しないが、上記クロスエリアにインバータ回路を設けて、その立ち下がりを高速にする。つまり、メモリアクセスの開始時にワード線選択タイミングに先行して、各クロスエリアに分散して設けられたインバータ回路を通して上記プリチャージ回路を構成するＭＯＳＦＥＴＱ９～Ｑ１１を高速に切り替えるようにするものである。

【００８１】

上記クロスエリア１８には、図１１に示した回路以外にも、必要に応じて、センスアンプのコモンソース線ＣＳＰとＣＳＮのハーフプリチャージ回路、ローカル入出力線ＬＩＯのハーフプリチャージ回路、シェアード選択信号線ＳＨＲとＳＨＬの分散ドライバ回路等も設けられる。

【００８２】

センスアンプの単位回路は、シェアードスイッチＭＯＳＦＥＴＱ３とＱ４を介して図下側のサブアレイ１５の同様な相補ビット線ＢＬ，ＢＬＢに接続される。スイッチＭＯＳＦＥＴＱ１２とＱ１３は、カラムスイッチ回路を構成するものであり、上記選択信号ＹＳが選択レベル（ハイレベル）にされるとオン状態となり、上記センスアンプの単位回路の入出力ノードとローカル入出力線ＬＩＯ１とＬＩＯ１Ｂ、ＬＩＯ２，ＬＩＯ２Ｂ等とを接続させる。例えば、上側のサブアレイのサブワード線ＳＷＬが選択されたときには、センスアンプの上側シェアードスイッチＭＯＳＦＥＴＱ１とＱ２はオン状態に、下側シェアードスイッチＭＯＳＦＥＴＱ３とＱ４とがオフ状態にされる。

【００８３】

これにより、センスアンプの入出力ノードは、上記上側の相補ビット線ＢＬ，ＢＬＢに接続されて、選択されたサブワード線ＳＷＬに接続されたメモリセルの微小信号を増幅し、上記カラムスイッチ回路（Ｑ１２とＱ１３）を通してローカル入出力線ＬＩＯ１，ＬＩＯ１Ｂに伝える。上記ローカル入出力線ＬＩＯ１，ＬＩＯ１Ｂは、上記センスアンプ列に沿って、つまり、同図では横方向に延長される。上記ローカル入出力線ＬＩＯ１，ＬＩＯ１Ｂは、クロスエリア１８に設けられたＮチャンネル型ＭＯＳＦＥＴＱ１９とＱ２０からなるＩＯスイッチ回路を介してメインアンプ６１の入力端子が接続されるメイン入出力線ＭＩＯ，ＭＩＯＢに接続される。なお、上記ＩＯスイッチ回路は、選択信号ＩＯＳＷによりスイッチ制御され、後述するように上記Ｎチャンネル型ＭＯＳＦＥＴＱ１９とＱ２０のそれぞれにＰチャンネル型ＭＯＳＦＥＴを並列に接続したＣＭＯＳスイッチとされる。

【００８４】

特に制限されないが、上記カラムスイッチ回路は、１つの選択信号ＹＳにより二対の相補ビット線ＢＬ，ＢＬＢを二対のローカル入出力線ＬＩＯ１，ＬＩＯ１ＢとＬＩＯ２，ＬＩＯ２Ｂと接続させる。それ故、１つのメインワード線の選択動作により選択されたサブア

レイにおいて、その両側に設けられる一対のセンスアンプに対応して設けられる上記二対のカラムスイッチ回路により合計四対の相補ビット線が選択されることになる。バーストモードでは、上記カラム選択信号ＹＳが切り換えられ、上記ローカル入出力線ＬＩＯ１，ＬＩＯ１Ｂとサブレイの相補ビット線ＢＬ，ＢＬＢとが順次に切り換えられる。

【００８５】

アドレス信号Ａｉは、アドレスバッファ５１に供給される。このアドレスバッファは、時分割的に動作してＸアドレス信号とＹアドレス信号を取り込む。Ｘアドレス信号は、プリデコーダ５２に供給され、メインローデコーダ１１とメインワードドライバ１２を介してメインワード線ＭＷＬの選択信号が形成される。上記アドレスバッファ５１は、外部端子から供給されるアドレス信号Ａｉを受けるものであるので、外部端子から供給される電源電圧ＶＤＤにより動作させられ、上記プリデコーダは、降圧電圧ＶＤＬにより動作させられ、上記メインワードドライバ１２は、昇圧電圧ＶＰＰにより動作させられる。カラムデコーダ（ドライバ）５３は、上記アドレスバフッァ５１の時分割的な動作によって供給されるＹアドレス信号を受けて、上記選択信号ＹＳを形成する。

【００８６】

上記メインアンプ６１は、降圧電圧ＶＤＬにより動作させられ、外部端子から供給される電源電圧ＶＤＤで動作させられる出力バッファ６２を通して外部端子Ｄout から出力される。外部端子Ｄinから入力される書き込み信号は、入力バッファ６３を通して取り込まれ、同図においてメインアンプ６１に含まれる後述するようなライトアンプを通して上記メイン入出力線ＭＩＯとＭＩＯＢに書き込み信号を供給する。上記出力バッファの入力部には、レベルシフト回路とその出力信号を上記クロック信号に対応したタイミング信号に同期させて出力させるための論理部が設けられる。

【００８７】

特に制限されないが、上記外部端子から供給される電源電圧ＶＤＤは、３．３Ｖにされ、内部回路に供給される降圧電圧ＶＤＬは２．０Ｖに設定され、ワード線の選択信号（昇圧電圧）は、３．８Ｖにされる。ビット線のプリチャージ電圧ＶＢＬＲは、ＶＤＬ／２に対応した１．０Ｖにされ、プレート電圧ＶＰＬＴも１．０Ｖにされる。そして、基板電圧ＶＢＢは－１．０Ｖにされる。

【００８８】

図１２には、この発明に係るダイナミック型ＲＡＭの他の一実施例の概略レイアウト図が示されている。この実施例では、メモリアレイは、全体として４個に分けられる。半導体チップの長手方向に沿った上下に２個、左右に２個ずつのメモリアレイが分割されて設けられ、前記同様に上記チップの長手方向に沿った中央部分にアドレス入力回路、データ入出力回路及びボンディングパッド列からなる入出力インターフェイス回路（Periphral)等が設けられる。上記メモリアレイの上記中央側にはメインアンプＭＡが配置される。

【００８９】

上述のように半導体チップの長手方向に沿った上下に２個と、左右に２個ずつに分けられて合計４個からなる各メモリアレイにおいて、長手方向に対して左右方向の中間部にＸ系プリデコーダ回路ＲＯＷＰＤＣ及び救済回路ＲＯＷＲＥＤ、Ｙ系プリデコーダ回路ＣＯＬＰＤＣ及び救済回路ＣＯＬＲＥＤが纏めて配置される。つまり、上記４個のメモリアレイにそれぞれ対応して、上記Ｘ系プリデコーダ回路ＲＯＷＰＤＣ及び救済回路ＲＯＷＲＥＤ、Ｙ系プリデコーダ回路ＣＯＬＰＤＣ及び救済回路ＣＯＬＲＥＤが上記左右２個ずつ設けられたメモリアレイに対応して２組ずつ振り分けて設けられる。

【００９０】

上記メモリアレの上記中間部分に沿って前記同様にメインワードドライバ領域ＭＷＤが形成されて、それぞれのメモリアレイに対応して下、上方側に延長するように設けられたメインワード線をそれぞれが駆動するようにされる。この構成では、前記同様なザブアレイを用いた場合には、１６個のサブアレイを貫通するようにメインワード線が延長される。そして、上記メモリアレイにおいて、上記チップ中央部分とは反対側のチップ周辺側にＹデコーダＹＤＣが設けられる。つまり、この実施例においても、上記中央側に配置された

メインアンプＭＡと周辺側に配置されたＹデコーダＹＤＣとにより上記４分割されてなる各メモリアレイがそれぞれ挟さまれるように配置されるものである。

【００９１】

図１３には、この発明に用いられるキャパシタの一実施例の回路図が示されている。この実施例では、ＭＯＳＦＥＴのゲート電極を一方の電極とし、ゲート絶縁膜を誘電体とし、ソースとドレインを共通接続して他方の電極として容量素子として利用する。この場合、そのキャパシタの両電極間にＶＰＰあるいはＶＤＤのような大きな電圧が印加される平滑容量、あるいは位相補償容量は、厚いゲート絶縁膜のＭＯＳＦＥＴを利用し、キャパシタの両電極間にＶＳＬのような降圧電圧しか印加されない平滑容量、あるいは位相補償容量は、薄いゲート絶縁膜のＭＯＳＦＥＴを利用するものである。これにより、誘電体として利用するゲート絶縁膜の耐圧破壊を防止しつつ、低電圧ＶＤＬしか印加されない容量は、ゲート絶縁膜が薄くされることによって小さな面積で大きな容量を得ることができる。

【００９２】

図１４には、基板電圧発生回路に設けられる電圧検出回路の一実施例の構成図が示されている。図１４（Ａ）の回路図に示されているように、薄いゲート絶縁膜のＭＯＳＦＥＴＱ４０のドレインに定電流源を設け、ゲートに回路の接地電位を供給する。このＭＯＳＦＥＴＱ４０のソースと基板電圧ＶＢＢとの間に、直列形態にされたＭＯＳＦＥＴＱ３７、Ｑ３８及びＱ３９を設け、それぞれのゲートを上記ＭＯＳＦＥＴＱ４０のソースに接続する。そして、それぞれのドレイン，ソース間にヒューズを設けて短絡状態にしておく。

【００９３】

上記ＭＯＳＦＥＴＱ３７～Ｑ３９のうち、ＭＯＳＦＥＴＱ３７とＱ３８が厚いゲート絶縁膜を持つようにされ、ＭＯＳＦＥＴＱ３９が薄いゲート絶縁膜を持つようにされる。そして、図１４（Ｂ）のゲート長としきい値電圧ＶＴＨとの特性図に示すように、ゲート長ＬＧを比較的長くしてしきい値電圧ＶＴＨのばらつきが小さな領域を用い、ＭＯＳＦＥＴ３８とＱ３９はゲート長ＬＧ＝ａのように短く形成して、ＭＯＳＦＥＴＱ３７のゲート長ＬＧ＝ｃのように大きく形成して、３通りのしきい値電圧ＶＴＨの設定を行う。

【００９４】

そして、上記ＭＯＳＦＥＴＱ４０のしきい値電圧との関係で、基板電圧ＶＢＢが－１Ｖになったときに、ＭＯＳＦＥＴＱ４０のドレイン電圧がインバータ回路のロジックスレッショルド電圧以下になるようなＭＯＳＦＥＴＱ３７～Ｑ３９の組み合わせをヒューズの選択的な切断によって選ぶようにするものである。このような検出電圧調整部を用いることにより、ＭＯＳＦＥＴのプロセスばらつきを補償して上記基板電圧ＶＢＢの設定を行うことができる。つまり、上記ＭＯＳＦＥＴＱ４０のドレイン電圧の低下よりインバータ回路を通した出力信号がハイレベルにされると、基板電圧ＶＢＢを発生させるチャージポンプ回路の動作を停止させる。基板電圧ＶＢＢがリーク電流等によって絶対値的に小さく、バックバイアスが浅くなると、上記ＭＯＳＦＥＴＱ４０のドレインが上昇してインバータ回路を通した出力信号のロウレベルにより、上記基板電圧ＶＢＢを発生させるチャージポンプ回路の動作を再開させる。このようなチャージポンプ回路の間欠的な動作によって、基板電圧ＶＢＢをほぼ－１Ｖのような一定電圧にすることができるものとなる。

【００９５】

本願発明では、前記のようなメモリセルの情報保持特性、バーンイン時のＭＯＳＦＥＴの耐圧の確保と、低消費電力化のための内部電圧の低電圧化と動作速度の維持という互いに相反するような技術的課題を、それぞれの動作電圧に対応した２種類のゲート絶縁膜を用いて回路を構成することを活用し、上記２種類のＭＯＳＦＥＴのゲート絶縁膜の膜厚とゲート長Ｌｇとの組み合わせにより３通りのしきい値電圧を実現し、電圧検出回路の調整範囲、言い換えるならば、基板電圧のプロセスばらつきの補償範囲を広く、しかも設定電圧を精度よくすることができる。

【００９６】

図１５には、内部電圧発生回路の一実施例のブロック図が示されている。この実施例の電圧発生回路は、チャージポンプ回路を利用して昇圧電圧ＶＰＰ又は負電圧ＶＢＢを形成す

るものである。電圧発生回路は、ＶＰＰ又はＶＢＢと所望の設定電圧との比較を行う検出回路と、この検出信号を受けて制御信号を形成する制御回路、この制御回路により動作制御が行われる発振回路、上記発振回路の発振信号を受けて昇圧電圧ＶＰＰ又は基板電圧ＶＢＢを発生するチャージポンプ回路からなる発生回路で構成される。

【００９７】

上記の各回路ブロックのうち、斜線を付した検出回路及び発生回路は、厚膜ＭＯＳＦＥＴで構成され、降圧電圧ＶＤＬで動作させられる制御回路及び発振回路は薄膜ＭＯＳＦＥＴで構成される。上記検出回路は、動作電圧が降圧電圧ＶＤＬとされるために、本来なら薄膜ＭＯＳＦＥＴを用いるものであるが、上記調整範囲に上記のような調整範囲を広く、あるいは精度よくするために厚膜ＭＯＳＦＥＴが用いられる。また、ＶＰＰ用の検出回路では、必然的に厚膜ＭＯＳＦＥＴが用いられる。

【００９８】

図１６には、この発明に用いられるレベルシフト回路の一実施例の回路図が示されている。図１６（Ａ）において、降圧電圧ＶＤＬに対応した低振幅の入力信号Ｄinは、Ｎチャンネル型ＭＯＳＦＥＴＱ４４のゲートと、Ｎチャンネル型ＭＯＳＦＥＴＱ４２のソースに接続される。このＭＯＳＦＥＴＱ４２のゲートには、上記降圧電圧ＶＤＬが供給される。上記一対のＭＯＳＦＥＴＱ４２とＱ４４のドレインと電源電圧ＶＤＤ（又はＶＰＰ）との間には、互いにゲートとドレインとが交差接続されたＰチャンネル型ＭＯＳＦＥＴＱ４１とＱ４３が設けられる。

【００９９】

この回路の動作は、次の通りである。上記入力信号Ｄinがハイレベル（ＶＤＬ）なら、Ｎチャンネル型ＭＯＳＦＥＴＱ４２がオフ状態に、Ｎチャンネル型ＭＯＳＦＥＴＱ４４がオン状態にされる。ＭＯＳＦＥＴＱ４４のオン状態により、出力信号Ｄout はロウレベルにされ、ＭＯＳＦＥＴＱ４１をオン状態にさせる。ＭＯＳＦＥＴＱ４１のオン状態により、ＭＯＳＦＥＴＱ４３のゲートをＶＤＤ（又はＶＰＰ）にするので、ＭＯＳＦＥＴＱ４３はオフ状態にされる。上記入力信号Ｄinがロウレベル（０Ｖ）なら、Ｎチャンネル型ＭＯＳＦＥＴＱ４２がオン状態に、Ｎチャンネル型ＭＯＳＦＥＴＱ４４がオフ状態にされる。ＭＯＳＦＥＴＱ４２のオン状態により、入力信号Ｄinのロウレベルがチャンネル型ＭＯＳＦＥＴＱ４３のゲートに伝えられてオン状態にされる。ＭＯＳＦＥＴＱ４３のオン状態により、ＭＯＳＦＥＴＱ４１のゲートをＶＤＤ（又はＶＰＰ）にするので、ＭＯＳＦＥＴＱ４１はオフ状態にされ、出力信号Ｄout はＶＤＤ（又はＶＰＰ）のようなハイレベルにされる。

【０１００】

図１６（Ｂ）において、降圧電圧ＶＤＬに対応した入力信号Ｄ１は、上記同様にＮチャンネル型ＭＯＳＦＥＴＱ４４のゲートと、Ｎチャンネル型ＭＯＳＦＥＴＱ４２のソースに接続される。このＭＯＳＦＥＴＱ４２のゲートには、上記降圧電圧ＶＤＬが供給される。上記一対のＭＯＳＦＥＴＱ４２とＱ４４のドレインと電源電圧ＶＤＤ（又はＶＰＰ）との間には、互いにゲートとドレインとが交差接続されたＰチャンネル型ＭＯＳＦＥＴＱ４１とＱ４３が設けられる。

【０１０１】

例えば、ノア（ＮＯＲ）論理を実現するために、そのドレインが出力端子Ｄout に接続されたＮチャンネル型ＭＯＳＦＥＴＱ４４には並列形態にＮチャンネル型ＭＯＳＦＥＴＱ４６が設けられ、上記出力端子Ｄout にドレインが接続されたＰチャンネル型ＭＯＳＦＥＴＱ４３には、Ｐチャンネル型ＭＯＳＦＥＴＱ４５が直列形態に設けられる。これらのＮチャンネル型ＭＯＳＦＥＴＱ４６とＰチャンネル型ＭＯＳＦＥＴＱ４５のゲートには、電源電圧ＶＤＤ（又はＶＰＰ）に対応したタイミング信号Ｄ２が供給される。なお、ＭＯＳＦＥＴＱ４５とＱ４３とは接続の上下を逆にしてもよい。

【０１０２】

この回路の動作は、次の通りである。上記低振幅信号Ｄ１がロウレベル（０Ｖ）なら、Ｎチャンネル型ＭＯＳＦＥＴＱ４２がオン状態に、Ｎチャンネル型ＭＯＳＦＥＴＱ４４がオ

フ状態にされている。したがって、タイミング信号Ｄ２がハイレベルのときには、上記Ｐチャンネル型ＭＯＳＦＥＴＱ４１とＱ４３によるラッチ動作とは無関係に、タイミング信号Ｄ２のハイレベルによりオン状態にされるＮチャンネル型ＭＯＳＦＥＴＱ４６によって、出力端子Dout は回路の接地電位ＶＳＳのようなロウレベルにされる。

【０１０３】

タイミング信号Ｄ２がハイレベルからロウレベルに変化すると、上記Ｐチャンネル型ＭＯＳＦＥＴＱ４５がオン状態に、Ｎチャンネル型ＭＯＳＦＥＴＱ４６がオフ状態にされる。したがって、上記信号Ｄ１がロウレベルならＮチャンネル型ＭＯＳＦＥＴＱ４２がオン状態になって、信号Ｄ１のロウレベルを上記Ｐチャンネル型ＭＯＳＦＥＴＱ４３のゲートに供給してオン状態にさせる。したがって、オン状態にされた上記ＭＯＳＦＥＴＱ４５とＱ４３によって出力端子Dout はロウレベルからハイレベルに変化させられる。もしも、信号Ｄ１がハイレベルなら、Ｎチャンネル型ＭＯＳＦＥＴＱ４２がオフ状態に、Ｎチャンネル型ＭＯＳＦＥＴＱ４４がオン状態にされので、上記出力端子Dout からは上記接地電位ＶＳＳのようなロウレベルが引き続き出力される。このように図１６（Ｂ）の回路では、低振幅信号Ｄ１と大振幅信号Ｄ２との論理を採りながらレベル変換動作も合わせて行うようにすることができる。

【０１０４】

図１７には、上記内部電圧回路の電圧特性図が示されている。降圧回路及び昇圧回路のそれぞれは、外部電圧ＶＤＤの許容変動範囲を含んでほぼ一定の電圧を形成する。つまり、３．３Ｖ版ではＶＰＰは３．６Ｖ、ＶＤＬは２．０Ｖに安定化される。２．５Ｖ版でも、特に制限されないが、ＶＰＰは３．６Ｖ、ＶＤＬは２Ｖに安定化される。上記ＶＤＬは１．８Ｖのようにいっそう低電圧化することも可能である。

【０１０５】

３．３Ｖ版では電源電圧ＶＤＤの検出回路が設けられて、４．２Ｖ以上に電源電圧を高くすると、ＶＰＰは昇圧動作が停止させて電源電圧ＶＤＤがそのまま出力され、降圧電圧ＶＤＬはＶＤＤに追従してＶＤＤ－２．３Ｖになるように変化し、電源電圧ＶＤＤが５．５Ｖに設定されるバーンイン試験時には、上記ＶＰＰはＶＤＤに対応して５．５Ｖまで高くなる。しかし、降圧電圧ＶＤＬは、３．２Ｖのような低い電圧にとどまるために、上記のように約４ｎｍのような薄いゲート絶縁膜にしても絶縁破壊が生じない。

【０１０６】

２．５Ｖ版でも上記同様に電源電圧ＶＤＤの検出回路が設けられて、３．２Ｖ以上に電源電圧を高くすると、ＶＰＰはＶＤＤ＋０．８Ｖを出力させるように動作し、降圧電圧ＶＤＬはＶＤＤに追従してＶＤＤ－０．８Ｖになるように変化し、電源電圧ＶＤＤが４．０Ｖに設定されるバーンイン試験時には、上記ＶＰＰはＶＤＤに対応して４．８Ｖまで高くなる。しかし、降圧電圧ＶＤＬは、やはり３．２Ｖ程度にとどまるために、上記のように約４ｎｍのような薄いゲート絶縁膜にしても絶縁破壊は生じない。

【０１０７】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）　外部端子から供給された電源電圧を受けて動作する内部電圧発生回路より、降圧電圧及び必要に応じて昇圧電圧を形成して内部回路を動作させる半導体集積回路装置において、上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第１の内部回路を上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第１のＭＯＳＦＥＴで構成し、上記降圧電圧を受けて動作する第２の内部回路を上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第２のＭＯＳＦＥＴで構成することにより、信頼性を損なうことなく、デバイスの微細化と高速化及び低消費電力化を実現することができるという効果が得られる。

【０１０８】

（２）　上記昇圧電圧として、電源電圧が所定電圧以上にされたときにはそれに依存して上昇されて上記所定電圧以上の電源電圧又は昇圧電圧にされたバーンイン試験時での上記電源電圧及昇圧電圧を含ものであり、上記降圧電圧として、電源電圧が所定電圧以上にさ

れたときにはそれに依存して上昇されるものであり、上記電源電圧が上記所定電圧以上にされたバーンイン試験時での降圧電圧も含むものとすることにより、半導体集積回路装置の高信頼性を実現することができるという効果が得られる。

【０１０９】

（３）　外部端子から供給されに入力信号を受ける入力回路及び外部端子へ出力信号を送出する出力回路と、上記内部電圧発生回路と、上記内部電圧発生回路で形成された昇圧電圧で動作させられる内部回路に対して厚い膜厚のゲート絶縁膜を持つＭＯＳＦＥＴを用いることにより、外部とのインターフェイスを実現しつつ、上記バーンイン試験を含めたデバイスの耐圧を確保することができるという効果が得られる。

【０１１０】

（４）　降圧電圧で動作させられる内部回路であっても、上記電源電圧又は昇圧電圧で動作させられる内部回路の動作タイミング信号に対応して降圧電圧で動作させられる内部回路の動作タイミング信号を形成するものは、上記厚いゲート絶縁膜のＭＯＳＦＥＴが支配的に作用する遅延回路とすることにより、厚いゲート絶縁膜のＭＯＳＦＥＴのプロセスばらつきに対応したタイミング設定ができ、時間マージンを最小に設定することができるから２種類のゲート絶縁膜のＭＯＳＦＥＴを用いつつ、高速化を維持することができるという効果が得られる。

【０１１１】

（５）　ダイナミック型ＲＡＭを構成するアドレス選択ＭＯＳＦＥＴと記憶キャパシタからなるダイナミック型メモリセルと、かかるダイナミック型メモリセルが接続されたワード線の選択信号を形成するワードドライバを昇圧電圧で動作させ、アドレス信号及び必要に応じて設けられるクロック信号を含む制御入力信号と書き込み入力信号を入力させる入力回路及び、上記メモリセルから読み出された読み出し信号を出力させる出力回路を電源電圧で動作させることにより、メモリセルの情報保持時間を確保しつつ、外部装置との入出力インターフェイスを実現することができるという効果が得られる。

【０１１２】

（６）　上記メモリセルのアドレス選択ＭＯＳＦＥＴが形成された半導体領域に負電圧にされたバックバイアス電圧を供給し、かるバックバイアス電圧を上記内部電圧発生回路により形成することにより、アドレス選択ＭＯＳＦＥＴのしきい値電圧をいっそう高くすることができ、情報保持特性を改善を図ることができるという効果が得られる。

【０１１３】

（７）　上記ワードドライバの動作タイミング信号を上記厚いゲート絶縁膜のＭＯＳＦＥＴが支配的に作用する遅延回路により遅延させた動作タイミング信号により動作させることにより、メモリセルからビット線に読み出された読み出し信号に対応したセンスアンプの動作タイミングを設定することができ、高速なメモリアクセスを実現できるという効果が得られる。

【０１１４】

（８）　上記センスアンプの動作タイミング信号を第２のＭＯＳＦＥＴにより構成されてセンスアンプに対応された薄いゲート絶縁膜のＭＯＳＦＥＴを用いた遅延回路の遅延信号により、上記電源電圧又は昇圧電圧に対応したセンスアンプを構成するＰチャンネル型ＭＯＳＦＥＴのソースに電源電圧を供給するオーバードライブ用Ｎチャンネル型ＭＯＳＦＥＴの動作時間を設定し、かかる動作時間後に上記センスアンプを構成するＰチャンネル型ＭＯＳＦＥＴのソースに上記降圧電圧を供給するドライブ用Ｎチャンネル型ＭＯＳＦＥＴを駆動することにより、オーバードライブ時間をセンスアンプの動作に対応させて実施することができるという効果が得られる。

【０１１５】

（９）　上記厚いゲート絶縁膜のＭＯＳＦＥＴが支配的に作用する遅延回路は、上記厚いゲート絶縁膜のＭＯＳＦＥＴにより構成され、遅延すべき入力信号が入力端子に供給されたインバータ回路と、このインバータ回路の出力信号を伝達する抵抗手段と、上記抵抗手段を通した信号が伝えられ、上記第２のＭＯＳＦＥＴのゲート容量を利用して構成された

キャパシタと、上記第２のＭＯＳＦＥＴにより構成され、上記抵抗とキャパシタからなる時定数回路の出力信号が入力端子に供給されて、上記遅延信号を形成する１ないし２つのインバータ回路で構成することにより、少ない素子数で比較的大きな遅延時間を低消費電力により形成することができるという効果が得られる。

【０１１６】

（１０）　上記電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する内部回路には、かかる電圧がゲートに印加された平滑用ＭＯＳ容量、位相補償用容量を含み、内部電圧発生回路で形成された降圧電圧を受けて動作する第２の内部回路には、かかる電圧がゲートに印加された平滑用ＭＯＳ容量、位相補償用容量を含むように使い分けることにより、耐圧の確保と小さなサイズでの大きな容量値を実現できるという効果が得られる。

【０１１７】

（１１）　上記内部電圧発生回路には、定電流源がドレインに設けられ、ゲートが回路の接地電位に接続され、ソースと基板電圧との間に検出電圧調整部が設けられた上記薄いゲート絶縁膜のＭＯＳＦＥＴで構成された第４のＮチャンネル型ＭＯＳＦＥＴと、上記第４のＭＯＳＦＥＴのドレイン出力を受けて検出信号を形成するインバータ回路で構成されて基板電圧を所望の電圧に設定する電圧検出回路を備えた基板電圧発生回路を含み、上記検出電圧調整部をゲートが上記第４のＮチャンネル型ＭＯＳＦＥＴのソースに接続され、ドレイン，ソース経路が直列形態にされた第５、第６及び第７のＮチャンネル型ＭＯＳＦＥＴ及びそれぞれのドレイン，ソース間を短絡するヒューズ手段で構成しておいて、上記第５及び第６のＮチャンネル型ＭＯＳＦＥＴをゲート絶縁膜の膜厚が厚く形成し、上記第７のＮチャンネル型ＭＯＳＦＥＴは、ゲート絶縁の膜厚を薄く形成し、かつ、それぞれのＭＯＳＦＥＴのゲート長としきい値電圧との関係においてしきい値電圧のばらつきの小さなゲート長の範囲であって、しきい値電圧がそれぞれ異なるようにそれぞれのゲート長を設定し、上記ヒューズの選択的な切断によって上記検出電圧の調整を行うことよりＭＯＳＦＥＴのプロセスばらつきの補償範囲を広くでき高精度にＶＢＢ電圧の設定を行うことができるという効果が得られる。

【０１１８】

（１２）　ダイナミック型ＲＡＭとして、上記メインワード線の延長方向に対して分割された長さとされ、かつ、上記メインワード線と交差するビット線方向に対して複数配置され、複数からなるダイナミック型メモリセルのアドレス選択端子が接続されてなるサブワード線及び上記複数のサブワード線とそれと直交するように配置され、上記ダイナミック型メモリセルの入出力端子がその一方に接続された複数の相補ビット線対からなるサブアレイと、上記メインワード線の選択信号と上記サブワード選択線を通して伝えられた選択信号とを受けて、上記サブワード線の選択信号を形成する複数からなるサブワード線駆動回路と、上記メインワード線の選択信号を形成するメインワード線駆動回路とを含むものとすることにより、大記憶容量化と高速化を実現できるという効果が得られる。

【０１１９】

（１３）　上記ダイナミック型ＲＡＭにおいて、上記サブアレイに対応した上記複数からなるサブワード線配列の両端側にサブワード線駆動回路が振り分けられて分割して配置し、上記複数からなる相補ビット線配列の両端側にセンスアンプが振り分けられて分割して配置し、上記１つのサブアレイを、上記複数のサブワード線駆動回路列と上記複数のセンスアンプ列とにより囲まれるように形成することにより、大記憶容量化と高速化を実現できるという効果が得られる。

【０１２０】

（１４）　上記センスアンプを、シェアードセンス方式とし、それを中心にして隣接するサブアレイのビット線に対応して設け、上記サブワード線駆動回路を中心にして隣接するサブアレイのサブワード線を選択することにより、大記憶容量化と高速化を実現できるという効果が得られる。

【０１２１】

（１５）　上記降圧電圧を、ほぼ２Ｖ以下あって薄いゲート絶縁膜のＭＯＳＦＥＴで構成されるＣＭＯＳ回路の下限動作電圧よりも高い電圧に設定することにより、低消消費電力化を図りつつ、動作速度を維持することができるという効果が得られる。

【０１２２】

（１６）　外部端子から供給された電源電圧を受け、それを降圧した降圧電圧を発生させる降圧回路と、上記高圧電圧より高い電圧を受けて動作する第１の内部回路と、上記降圧電圧で動作する第２の内部回路とを備え、上記第１の内部回路を基本的に第１膜厚のゲート絶縁膜を持つ第１のＭＯＳＦＥＴで構成し、上記第２の内部回路を基本的に上記第１膜厚より薄い第２膜厚のゲート絶縁膜を持つ第２のＭＯＳＦＥＴで構成し、上記第２の内部回路において、上記第１の内部回路に対するタイミング信号を形成する遅延回路を上記第１のＭＯＳＦＥＴを用いて構成することにより、プロサスばらつきを考慮した時間マージンの設定を最小にすることができるという効果が得られる。

【０１２３】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ダイナミック型ＲＡＭにおいて、サブアレイの構成、または半導体チップに搭載される複数のメモリアレイの配置は、その記憶容量等に応じて種々の実施形態を採ることができる。また、サブワードドライバの構成は、種々の実施形態を採ることができる。入出力インターフェイスの部分は、クロック信号に従ってリード／ライト動作が行われるようなシンクロナスあるいはランバス仕様のダイナミック型ＲＡＭとしてもよい。ダイナミック型ＲＡＭは、ＣＭＯＳ回路等のロジック回路と混在されて１つの半導体集積回路装置を構成するものであってもよい。昇圧電圧で動作させられる回路は、前記メモリセルやその選択回路の他、何であってもよい。

【０１２４】

この発明は、外部端子から供給される電源電圧又はそれを昇圧した電圧で動作する内部回路と、上記電源電圧の降圧電圧で動作する内部回路とを備えた半導体集積回路装置に広く利用することができる。この場合、ゲート絶縁膜の膜厚は、その動作電圧に対応して、前記のようなバーンイン試験時の電圧を考慮した耐圧や、その回路に要求される特別な理由によって決められるものであればよい。

【０１２５】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子から供給された電源電圧を受けて動作する内部電圧発生回路より、降圧電圧及び必要に応じて昇圧電圧を形成して内部回路を動作させる半導体集積回路装置において、上記外部端子から供給された電源電圧又は上記内部電圧発生回路で形成された昇圧電圧を受けて動作する第１の内部回路を上記電源電圧又は昇圧電圧に対応した厚い膜厚のゲート絶縁膜を持つ第１のＭＯＳＦＥＴで構成し、上記降圧電圧を受けて動作する第２の内部回路を上記降圧電圧に対応した薄い膜厚のゲート絶縁膜を持つ第２のＭＯＳＦＥＴで構成することにより、信頼性を損なうことなく、デバイスの微細化と高速化及び低消費電力化を実現することができる。

【０１２６】

上記第１の内部回路の動作に対応して第２の内部回路を動作させるるときには、上記第２の内部回路の動作タイミング信号を上記第１の内部回路を構成する第１のＭＯＳＦＥＴが支配的に作用するようにされた遅延回路で第１の内部回路の動作状態をモニタして形成することにより、プロサスばらつきを考慮した時間マージンの設定を最小にすることができるという効果が得られる。

【図面の簡単な説明】

【図１】この発明に係るダイナミック型ＲＡＭの一実施例を示す全体ブロック図である。

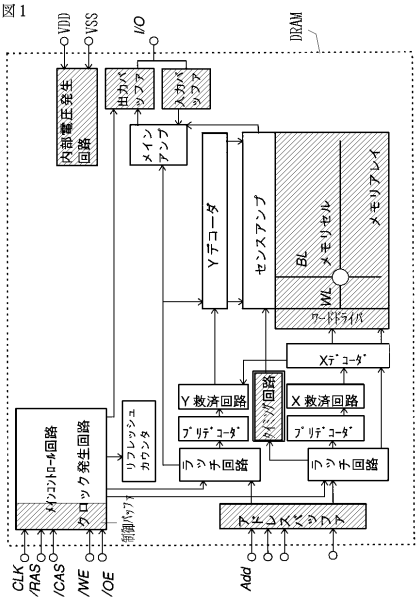
【図２】図１のタイミング回路の一実施例を示す概略ブロック図である。

【図３】図２の遅延回路ＤＬ２の一実施例を示す回路図である。

【図４】この発明に係るダイナミック型ＲＡＭに用いられるサブワードドラバの一実施例を示す回路図である。
【図５】この発明に係るダイナミック型ＲＡＭのロウ系の選択動作の一例を説明するためのタイミング図である。
【図６】この発明に係るダイナミック型ＲＡＭの一実施例を説明するための素子構造断面図である。
【図７】この発明に係るダイナミック型ＲＡＭの一実施例を示す概略レイアウト図である。
【図８】この発明に係るダイナミック型ＲＡＭをより詳細に説明するための概略レイアウト図である。
【図９】この発明に係るダイナミック型ＲＡＭにおけるサブアレイとその周辺回路の一実施例を示す概略レイアウト図である。
【図１０】この発明に係るダイナミック型ＲＡＭにおけるサブアレイとその周辺回路を形成するウェル領域の一実施例の概略レイアウト図である。
【図１１】この発明に係るダイナミック型ＲＡＭのセンスアンプ部を中心にして、アドレス入力からデータ出力までの簡略化された一実施例を示す回路図である。
【図１２】この発明に係るダイナミック型ＲＡＭの他の一実施例を示す概略レイアウト図である。
【図１３】この発明に用いられるキャパシタの一実施例を示す回路図である。
【図１４】この発明に係るダイナミック型ＲＡＭの基板電圧発生回路に設けられる電圧検出回路の一実施例を示す構成図である。
【図１５】この発明に係るダイナミック型ＲＡＭに設けられる内部電圧発生回路の一実施例を示すブロック図である。
【図１６】この発明に用いられるレベルシフト回路の一実施例を示す回路図である。
【図１７】この発明に係るダイナミック型ＲＡＭの内部電圧回路の一例を示す電圧特性図である。
【符号の説明】
ＹＤＣ…Ｙデコーダ、ＭＡ…メインアンプ、ＣＯＬＲＥＤ…Ｙ系救済回路、ＣＯＬＰＤＣ…Ｙ系プリデコーダ、ＲＯＷＲＥＤ…Ｘ系救済回路、ＲＯＷＰＤＣ…Ｘ系プリデコーダ、ＳＡ…センスアンプ、ＳＷＤ…サブワードドライバ、ＭＷＤ…メインワードドライバ、ＭＷＬ…メインワード線、ＳＷＬ…サブワード線、ＹＳ…カラム選択線、ＳＢＡＲＹ…サブアレイ、
１５…メセリセルアレイ（サブアレイ）、１６…センスアンプ領域、１７…サブワードドライバ領域、１８…交差領域（クロスエリア）、
５１…アドレスバッファ、５２…プリデコーダ、５３…デコーダ、６１…メインアンプ、６２…出力バッファ、６３…入力バッファ、
Ｑ１～Ｑ４６…ＭＯＳＦＥＴ、

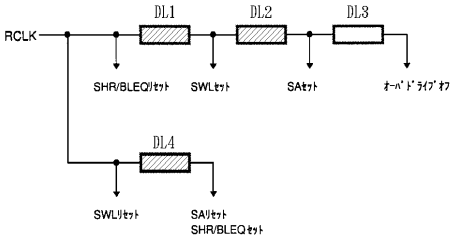
【図１】

図1



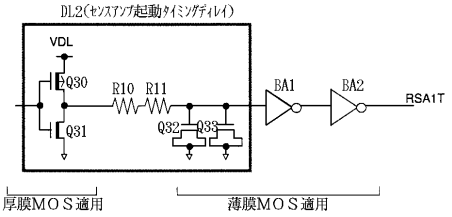
【図２】

図2



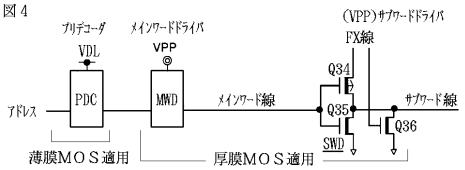
【図３】

図3



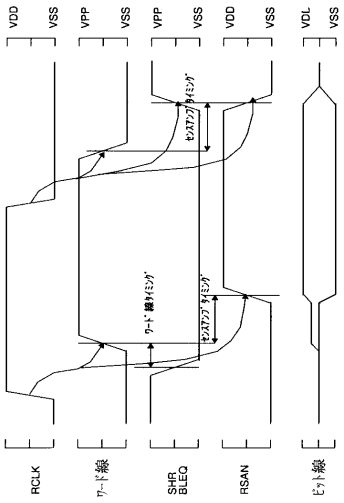
【図４】

図4



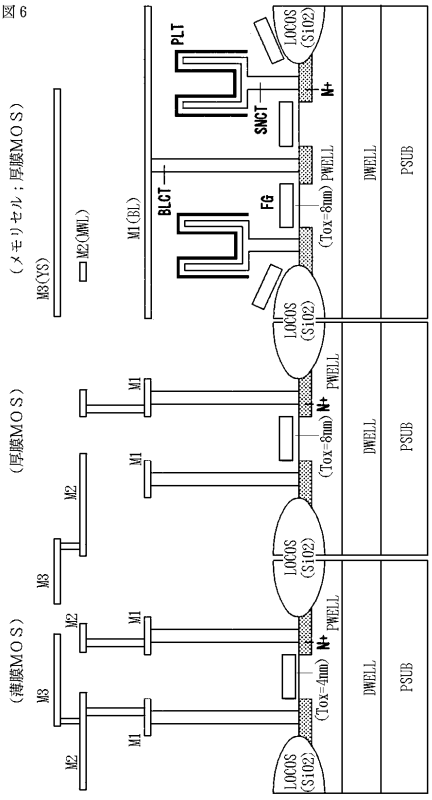
【図５】

図5



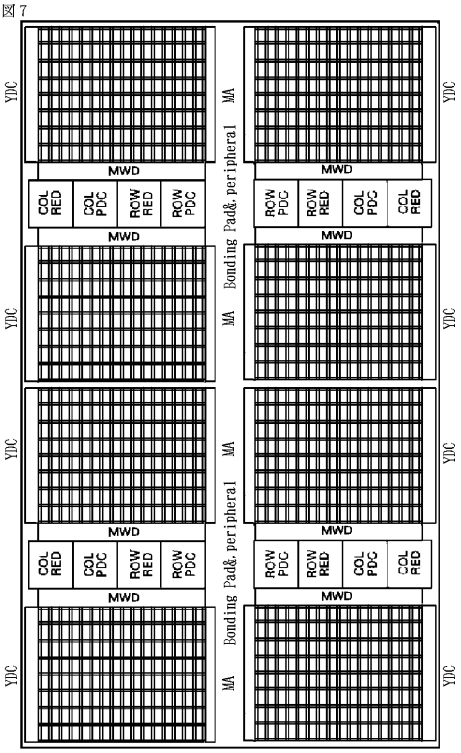
【図６】

図6



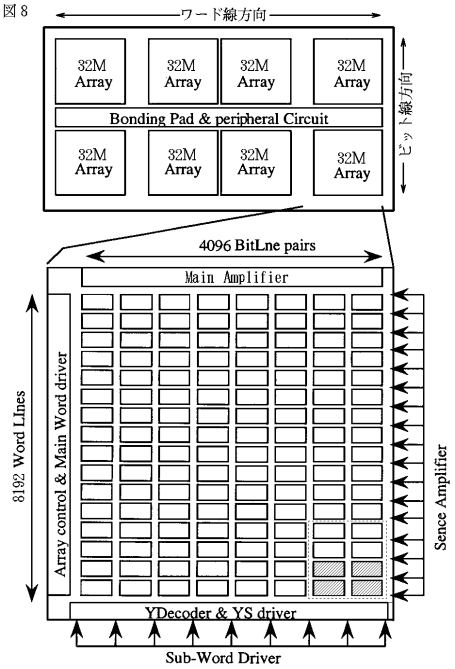
【図７】

図7



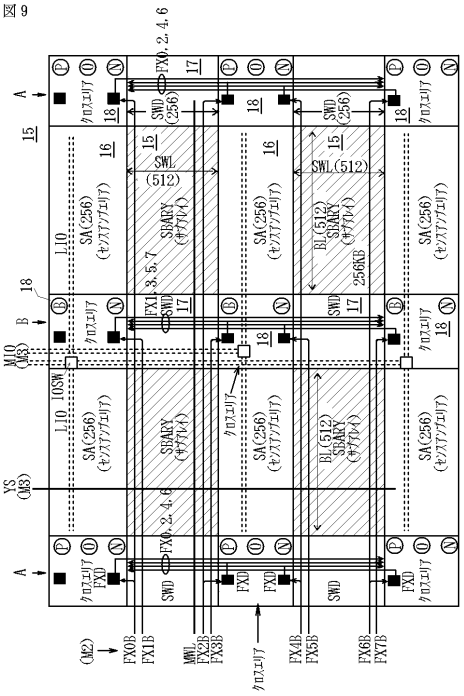
【図８】

図8



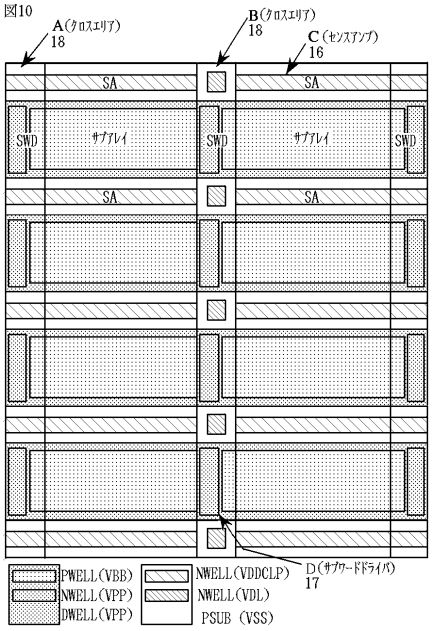
【図９】

図9



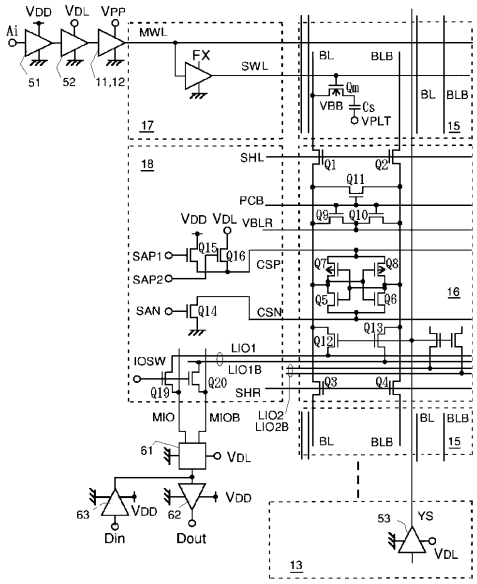
【図１０】

図10



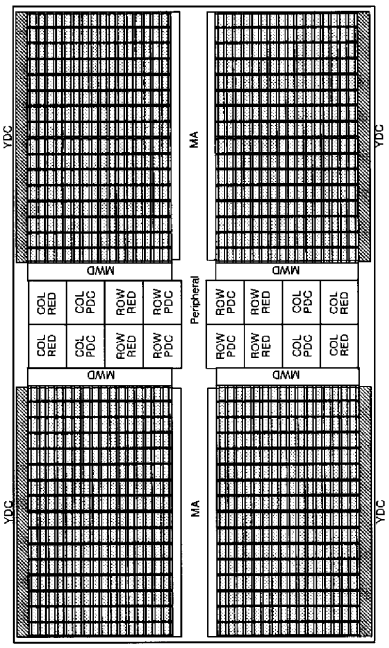
【図１１】

図11



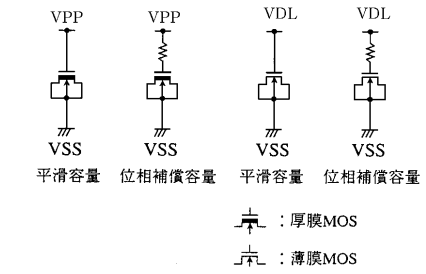
【図１２】

図12



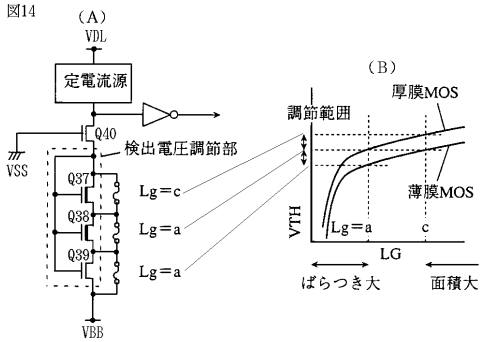
【図１３】

図13



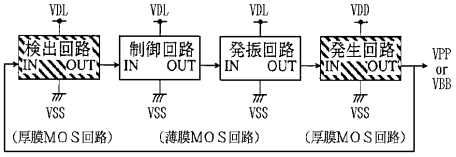
【図１４】

図14



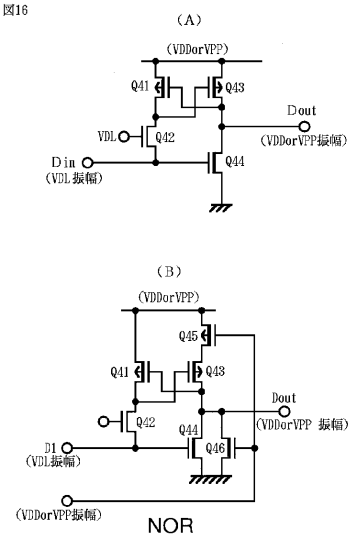
【図１５】

図15



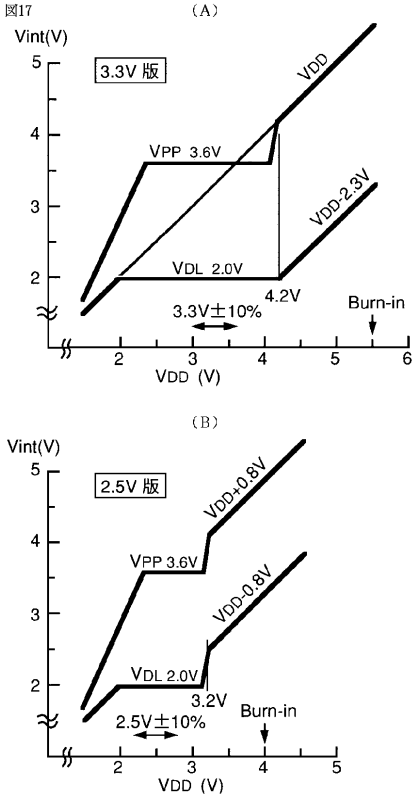
【図１６】

図16



【図１７】

図17


(A)
Vint(V)
3.3V 版
VDD
VPP 3.6V
VDD-2.3V
VDL 2.0V
4.2V
3.3V±10%
Burn-in
VDD (V)
(B)
Vint(V)
2.5V 版
VDD+0.8V
VPP 3.6V
VDD-0.8V
VDL 2.0V
3.2V
2.5V±10%
Burn-in
VDD (V)

フロントページの続き

(72)発明者　梶谷　一彦
東京都青梅市新町六丁目１６番地の３　株式会社　日立製作所　デバイス開発センタ内
(72)発明者　福井　健一
東京都小平市上水本町五丁目２０番１号　株式会社　日立製作所　半導体事業部内
(72)発明者　立花　利一
千葉県茂原市早野３６８１番地　日立デバイスエンジニアリング株式会社内

審査官　河口　雅英

(56)参考文献　特開平０６－１８８３８７（ＪＰ，Ａ）
特開平０９－２０４７７７（ＪＰ，Ａ）
特開平０９－２７０１９１（ＪＰ，Ａ）
特開平０８－０１７９４１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 27/108
H01L 21/8242