

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5926547号
(P5926547)

(45) 発行日 平成28年5月25日 (2016. 5. 25)

(24) 登録日 平成28年4月28日 (2016. 4. 28)

(51) Int. Cl.

F I

H O 1 L 23/12 (2006. 01)

H O 1 L 23/12

S O 1 T

H O 1 L 31/02 (2006. 01)

H O 1 L 31/02

B

請求項の数 10 (全 18 頁)

(21) 出願番号 特願2011-266379 (P2011-266379)
 (22) 出願日 平成23年12月6日 (2011. 12. 6)
 (65) 公開番号 特開2012-124486 (P2012-124486A)
 (43) 公開日 平成24年6月28日 (2012. 6. 28)
 審査請求日 平成26年11月26日 (2014. 11. 26)
 (31) 優先権主張番号 12/962, 761
 (32) 優先日 平成22年12月8日 (2010. 12. 8)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390041542
 ゼネラル・エレクトリック・カンパニイ
 アメリカ合衆国、ニューヨーク州 123
 45、スケネクタデイ、リバーロード、1
 番
 (74) 代理人 100137545
 弁理士 荒川 聡志
 (74) 代理人 100105588
 弁理士 小倉 博
 (74) 代理人 100129779
 弁理士 黒川 俊久
 (72) 発明者 リチャード・アルフレッド・ビューブレ
 アメリカ合衆国、ニューヨーク州・123
 09、ニスカユナ、ワン・リサーチ・サー
 クル

最終頁に続く

(54) 【発明の名称】 半導体デバイスパッケージ

(57) 【特許請求の範囲】

【請求項 1】

半導体デバイスパッケージ (10) であって、
 半導体材料から構成される基板 (14) と、該基板 (14) 上に形成された複数の金属接
 続パッド (16) とを含み、該複数の金属接続パッド (16) が前記基板 (14) の対向
 する第1及び第2の表面 (18、20) の各々上に形成されており、前記第1及び第2の
 表面 (18、20) 間にエッジ (24) が延びた半導体デバイス (12) と、
 前記基板 (14) 上に形成された複数の金属接続パッド (16) を含む前記半導体デバイ
 ス (12) を覆うように、前記半導体デバイス (12) 上に施工された第1のパッシベ
 ション層と、
 前記半導体デバイス (12) の第1の表面 (18) に付加され且つ前記第1のパッシベ
 ション層 (22) よりも大きな厚みを有するベース誘電体積層シート (42) と、
 前記第1のパッシベーション層 (22) よりも大きな厚みを有し且つ前記半導体デバイ
 スの第2の表面 (20) 及び前記エッジ (24) を覆うように前記第1のパッシベーション
 層 (22) 及び前記半導体デバイス (12) の上に施工される第2のパッシベーション層
 (30) と、
 前記半導体デバイス (12) の複数の金属接続パッド (16) に電氣的に結合された複数
 の金属相互接続 (36) と、
 を備え、前記複数の金属相互接続 (36) の各々が、前記第1及び第2のパッシベーシ
 ョン層 (22、30) または前記ベース誘電体積層シート (42) を通って形成されるそれ

10

20

ぞれのビア（３４）を貫通して延びて、前記複数の金属接続パッド（１６）のうちの１つと直接金属接続を形成する、半導体デバイスパッケージ（１０）。

【請求項２】

前記第１のパッシベーション層（２２）が、窒化ケイ素及び酸化ケイ素のうちの１つを含む、請求項１に記載の半導体デバイスパッケージ（１０）。

【請求項３】

前記第２のパッシベーション層（３０）が、前記第１のパッシベーション層（２２）並びに前記半導体デバイス（１２）の第２の表面及びエッジ（２４）の上に施工され、且つ前記半導体デバイス（１２）の形状に実質的に一致するように形成された少なくとも１つの誘電体積層シートを含む、請求項１または２に記載の半導体デバイスパッケージ（１０）。

10

【請求項４】

前記第１のパッシベーション層（２２）と前記第２のパッシベーション層（３０）との間に位置付けられた接着層を更に備える、請求項３に記載の半導体デバイスパッケージ（１０）。

【請求項５】

前記第２のパッシベーション層（３０）が、前記半導体デバイス（１２）の形状に実質的に一致するように前記第１のパッシベーション層（２２）並びに前記半導体デバイス（１２）の第２の表面及びエッジ（２４）の上に施工される液体誘電体材料を含む、請求項１乃至４のいずれかに記載の半導体デバイスパッケージ（１０）。

20

【請求項６】

前記ベース誘電体積層シート（４２）に付加され、且つ前記半導体デバイス（１２）の周囲を過ぎて外に延びる追加の誘電体積層シート（７４）を更に備える、請求項１乃至５のいずれかに記載の半導体デバイスパッケージ（１０）。

【請求項７】

前記複数の金属相互接続（３６）が、前記半導体デバイス（１２）の周囲を過ぎて前記追加の誘電体積層シート（７４）上に延びる、請求項６に記載の半導体デバイスパッケージ（１０）。

【請求項８】

前記半導体デバイス（１２）の周囲を過ぎて外に延びた前記追加の誘電体積層シート（７４）上に形成される重ね継手（９０）を更に備え、前記重ね継手（９０）が、別の半導体デバイスパッケージ（９４）と前記半導体デバイスパッケージ（１０）を結合するよう構成される、請求項６に記載の半導体デバイスパッケージ（１０）。

30

【請求項９】

前記半導体デバイス（１２）が光ダイオードを含み、前記半導体デバイスパッケージ（１０）が更に、前記ベース誘電体積層シート（４２）及び前記第２のパッシベーション層（３０）のうちの１つを通して形成されて、前記光ダイオードの１つの表面を露出させるようにする光学窓（８２）を備える、請求項１乃至８のいずれかに記載の半導体デバイスパッケージ（１０）。

【請求項１０】

40

前記第２のパッシベーション層（３０）が、前記半導体デバイスパッケージ（１０）に対する所望の降伏電圧を提供し且つ前記半導体デバイスパッケージ（１０）に対して最小の寄生インダクタンスを更に提供する厚みを有するように構成される、請求項１乃至９のいずれかに記載の半導体デバイスパッケージ（１０）。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明の実施形態は、全体的に、半導体デバイスをパッケージングするための構造及び方法に関し、より詳細には、高い降伏電圧及び低い寄生インダクタンスを提供する半導体デバイスパッケージ構造に関する。

50

【背景技術】

【0002】

パワー半導体デバイスは、例えば、スイッチモードの電源のような、パワーエレクトロニクス回路におけるスイッチ又は整流器として使用される半導体デバイスである。ほとんどの半導体デバイスは、転流モード（すなわち、デバイスがオン又はオフである）でのみ使用されており、従って、この転流モードに最適化されている。一般的なパワー半導体デバイスの1つは、高電圧パワー半導体ダイオードである。高電圧パワー半導体ダイオードは、低パワー半導体ダイオードと同様の原理で作動するが、より大きな電流量を流すことができ、通常はオフ状態において大きな逆バイアス電圧をサポートすることができる。使用中、高電圧パワー半導体ダイオードは、電力用被覆層（POL）パッケージング及び相互接続システムを介して外部回路に接続され、POLパッケージはまた、ダイオードにより生成された熱を除去し、ダイオードを外部環境から保護する方法を提供する。

10

【0003】

効率的に作動させるために、半導体ダイオードは、アノード及びカソード接合間の誘電体分離並びにアノード及びカソード間の低ループインダクタンスを必要とする。アノード及びカソード接合間の誘電体分離の提供に関して、高い逆降伏電圧（例えば、最大で10kV）を可能にする誘電体材料が半導体ダイオードに提供される。しかしながら、このような誘電体材料は、厚みが増える場合が多く、半導体ダイオードにおける特定のPOLパッケージング技術と適合しない可能性があり、厚みが適正に制御されない場合には、寄生インダクタンスの増加につながる可能性がある。アノード及びカソード間の低ループインダクタンスを提供することに関して、従来のパッケージング技術を用いたときに、インダクタンスの制御に関して問題が発生する。すなわち、このようなパッケージの高い寄生インダクタンスに関連した問題は、従来のパッケージング技術に固有のものであり、このインダクタンスは、転流中にダイオードにおいて損失を生じさせるので、半導体ダイオードの動作周波数を制限する。

20

【0004】

アノード及びカソード接合間の誘電体分離を提供するために、半導体ダイオードは、高い逆降伏電圧を提供できると共に、最適POLパッケージ及びパッケージング技術に適合し、パッケージインダクタンスに悪影響を及ぼさない高誘電体材料を含む。アノード及びカソード間に低ループインダクタンスを提供するために、半導体ダイオード用POLパッケージは、寄生インダクタンスが最小になるように構成されるのが望ましい。POLパッケージはまた、ダイオードアレイを構築する目的で、複数のダイオード間のインダクタンス及びキャパシタンスの再現性及びマッチングを可能にする必要がある。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許第7,262,444号明細書

【発明の概要】

【0006】

従って、ダイオードにおいて高い降伏電圧並びに半導体ダイオードパッケージにおける低い寄生インダクタンスを提供する半導体ダイオードパッケージに対する必要性がある。

40

【0007】

本開示の実施形態は、高い降伏電圧及び低い寄生インダクタンスをもたらす半導体デバイスパッケージ構造を提供することにより上述の欠点を克服する。複数のパッシベーション層が半導体デバイスの周りに形成され、該パッシベーション層は、半導体デバイスパッケージに対し所望の降伏電圧を提供し、且つ半導体デバイスパッケージに最小の寄生インダクタンスを更に提供する厚みを有する。

【0008】

本発明の1つの態様によれば、半導体デバイスパッケージは、半導体材料から構成される基板と、該基板上に形成された複数の金属接続パッドとを有する半導体デバイスを含み

50

、該複数の金属接続パッドは、半導体デバイスの対向する第1及び第2の表面の各々上に形成されており、該第1及び第2の表面間に半導体デバイスのエッジが延びる。半導体デバイスパッケージはまた、半導体デバイス及び基板上に形成された複数の金属接続パッドを覆うように半導体デバイス上に施工された第1のパッシベーション層と、半導体デバイスの第1の表面に付加され且つ第1のパッシベーション層よりも大きな厚みを有するベース誘電体積層シートを含む。半導体デバイスパッケージは、更に、第1のパッシベーション層よりも大きな厚みを有し且つ半導体デバイスの第2の表面及びエッジを覆うように第1のパッシベーション層及び半導体デバイスの上に施工される第2のパッシベーション層と、半導体デバイスの複数の金属接続パッドに電気的に結合された複数の金属相互接続とを含み、複数の金属相互接続の各々が、第1及び第2のパッシベーション層及びベース誘電体積層シートを通して形成されるそれぞれのビアを貫通して延びて、複数の金属接続パッドのうちの1つと直接金属接続を形成する。

10

【0009】

本発明の別の態様によれば、半導体デバイスパッケージを形成する方法は、半導体材料から構成される基板と、該基板上に形成された複数の金属接続パッドとを有する半導体デバイスを提供するステップを含み、該複数の金属接続パッドは半導体デバイスの上面及び底面上に形成される。本方法はまた、半導体デバイスの上面及び底面上並びに上面及び底面間に延びる半導体デバイスのエッジ上に第1のパッシベーション層を施工するステップと、半導体デバイスの底面にベース誘電体フィルムを接着するステップと、半導体デバイスの上面及びエッジの上並びに第1のパッシベーション層の上に第2のパッシベーション層を施工してパッシベート半導体デバイスを形成するステップとを含み、第2のパッシベーション層は第1のパッシベーション層よりも大きい厚みを有する。本方法は更に、複数の金属相互接続に露出するように、ベース誘電体フィルム並びに第1及び第2のパッシベーション層をパターン形成するステップと、パターン形成されたベース誘電体フィルム並びにパターン形成された第1及び第2のパッシベーション層を貫通して延びる複数の金属相互接続を形成して、複数の金属接続パッドとの直接金属接続を形成するステップと、を含む。

20

【0010】

本発明の更に別の態様によれば、半導体デバイスパッケージを形成する方法は、半導体材料から構成される基板と、該基板上に形成された複数の金属接続パッドとを有する半導体デバイスを提供するステップを含み、該複数の金属接続パッドは半導体デバイスの上面及び底面上に形成される。本方法はまた、半導体デバイスの上面及び底面をパッシベートし、且つ半導体デバイスのエッジをパッシベートするように半導体デバイスの周囲に薄い第1のパッシベーション層を施工するステップと、半導体デバイスの底面にベース誘電体積層体を施工するステップと、半導体デバイスの少なくともエッジの上及び第1のパッシベーション層の上に第2のパッシベーション層を施工してパッシベート半導体デバイスを形成するステップとを含み、第2のパッシベーション層は、半導体デバイスパッケージに対して所望の降伏電圧を提供し且つ半導体デバイスパッケージに対し最小の寄生インダクタンスを更に提供する厚みを有するように施工される。本方法は更に、ベース誘電体積層フィルム及び第1及び第2のパッシベーション層をパターン形成して、そこを貫通する複数のビアを形成するステップと、ビアを貫通して延びる複数の金属相互接続を形成して、複数の金属接続パッドとの直接金属接続を形成するステップと、を含む。

30

40

【0011】

これら及び他の利点並びに特徴は、添付図面に関連して提供される本発明の好ましい実施形態に関する以下の詳細な説明から明らかになるであろう。

【0012】

各図面は、本発明を実施するために現在企図される実施形態を示している。

【図面の簡単な説明】

【0013】

【図1】本発明の1つの実施形態による、半導体デバイスパッケージの概略側断面図。

50

【図 2】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 3】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 4】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 5】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 6】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

10

【図 7】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 8】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 9】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 10】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 11】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

20

【図 12】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 13】本発明の 1 つの実施形態による、製造 / 堆積プロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 14】本発明の 1 つの実施形態による、重ね継手の種々の段階における半導体デバイスパッケージの概略側断面図。

【図 15】本発明の 1 つの実施形態による、重ね継手の種々の段階における半導体デバイスパッケージの概略側断面図。

【図 16】本発明の 1 つの実施形態による、重ね継手の種々の段階における半導体デバイスパッケージの概略側断面図。

30

【図 17】本発明の 1 つの実施形態による、重ね継手の種々の段階における半導体デバイスパッケージの概略側断面図。

【図 18】本発明の 1 つの実施形態による、組み立てプロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 19】本発明の 1 つの実施形態による、組み立てプロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【図 20】本発明の 1 つの実施形態による、組み立てプロセスの種々の段階における半導体デバイスパッケージの概略側断面図。

【発明を実施するための形態】

【0014】

40

本発明の実施形態は、高い降伏電圧及び低い寄生インダクタンスを有する半導体デバイスパッケージ、並びにこのような半導体デバイスパッケージを形成する方法を提供する。半導体デバイスパッケージは、厚みの異なる複数の誘電体層を用いて半導体デバイスのエッジがパッシベートされ、半導体デバイスの上面及び底面に電気相互接続システムが形成されるように製造される。

【0015】

図 1 を参照すると、本発明の例示的な実施形態による半導体デバイスパッケージ 10 が図示されている。半導体デバイスパッケージ 10 は、種々の実施形態による、ダイ、ダイオード、又は他の電子デバイスの形態とすることができる半導体デバイス 12 を含む。本発明の 1 つの例示的な実施形態によれば、半導体デバイス 12 は、例えば、逆方向のバツ

50

クバイアスを有する光ダイオードのような、高電圧半導体ダイオードの形態である。図 1 に示すように、本発明の 1 つの実施形態によれば、半導体デバイス 12 は、台形状を有することができるが、例えば矩形形状など、半導体デバイス 12 用に他の形状及び構成も想定されることは理解される。更に、半導体デバイス 12 の形状及びサイズに関して、半導体デバイス 12 は、例えば、最大で 40 mm 又はそれ以上の厚み / 高さを有する、「厚みのある」デバイスの形態であることは理解される。

【0016】

半導体デバイス 12 は、シリコン、カーバイド、窒化ガリウム、ガリウムヒ素、又は他の半導体材料などの半導体材料から形成された基板 14 を含み、該半導体材料に不純物を添加して、一方側に n 形半導体と呼ばれる負電荷キャリア（電子）を含む領域と、他方側に p 形半導体と呼ばれる正電荷キャリア（ホール）を含む領域とを生成する。基板内のこれらの 2 つの領域間の境界部は P N 接合と呼ばれ、ダイオードの動作が起こる場所であり、基板は、定義上の電流を p 形側（すなわちアノード）から n 形側（すなわちカソード）の方向に導通するが、反対方向には導通しない。半導体デバイス 12 は、通常は、3 kV 又はそれ以上の電圧で作動し、10 kV を超える電圧も想定される点で「高電圧」デバイスと見なされる。

【0017】

基板上に形成され、且つ p 及び n 領域の各々に付加されるのは、半導体デバイス 12 への電氣的接続を形成できる複数の金属回路及び / 又は接続パッド（すなわち端子）16 である。図 1 に示すように、回路 / 接続パッド 16 が基板の表面 18、20 上に形成され、半導体デバイス 12 の 2 つの表面との電氣的接続部を形成することができるようになる。

【0018】

また、半導体デバイスパッケージ 10 には、基板 14 及び金属回路 / 接続パッド 16 を覆うように表面 18、20 及び半導体デバイス 12 のエッジ 24 付近に形成された第 1 のパッシベーション又は誘電体層 22 が含まれる。第 1 のパッシベーション層 22 は、窒化ケイ素、酸化ケイ素、又は別の好適な誘電体材料のような、均一の厚みを有するように半導体デバイス 12 上に施工される高性能フィルムの形態である。本発明の 1 つの実施形態によれば、窒化ケイ素 / 酸化ケイ素パッシベーション層 22 は、プラズマ化学気相堆積法（PECVD）を用いてほぼ 1 ~ 2 ミクロン程度の厚みを有するように施工される。従って、第 1 のパッシベーション層 22 は、以下で詳細に説明するように、半導体デバイスパッケージ 10 の製造処理ステップ（例えば、エッチング、積層、その他）の間など、半導体デバイス 12 のエッジ 24 をパッシベートし、並びに基板 14 及び金属回路 / 接続パッド 16 の表面を保護する役割を果たす。

【0019】

図 1 に示すように、第 1 のパッシベーション層 22 の一部は、反応性イオンエッチング（RIE）を用いることなどによって、半導体デバイス 12 の金属回路 / 接続パッド 16 に隣接した位置にて除去され、これら回路 / 接続パッド 16 に形成される電気相互接続を提供するようにする。本発明の 1 つの実施形態によれば、半導体デバイスパッケージ 10 が能動光デバイスの形態である場合、窒素物又は酸化物パッシベーション層 22 が光学的に透明であり、半導体デバイスパッケージ 10 の光学窓 28 の保護を提供しながら、光を透過させることができるようにする。しかしながら、半導体デバイス 12 が能動光デバイスの形態ではないデバイス / ダイオードの形態である場合があり、従って、本開示の実施形態は、光学窓 28 を含まず、光学的に透明なパッシベーション層を使用する必要もない場合がある点は理解される

第 1 のパッシベーション層 22 は、半導体デバイス 12 のエッジ 24 をパッシベートし、内部に形成された金属回路 / 接続パッド 16 に保護カバーを提供する働きをするが、第 1 のパッシベーション層 22（すなわち、窒化ケイ素 / 酸化ケイ素のコーティング）は通常、大電圧を保持するには不十分であることは理解される。従って、半導体デバイスパッケージ 10 はまた、第 2 のパッシベーション又は誘電層 30 を含み、第 1 のパッシベーション層 22 の上部に施工され、半導体デバイス 12 のエッジ 24 を超えて外部に延びてお

10

20

30

40

50

り、これらの間に、第2のパッシベーション層30の形態に応じて接着層（図示せず）を任意選択的に含む。図1に示すように、第2のパッシベーション層30は、第1のパッシベーション層22と比べて誘電体材料のより厚い層又はコーティングとして施工され、より高い絶縁耐力を提供し、半導体デバイスパッケージ10の降伏電圧を上昇させるようにする。第2のパッシベーション層30の厚みは、本発明の1つの実施形態によれば、最大で1～2mmとすることができる。

【0020】

第1のパッシベーション層22の形成に使用される窒化物及び酸化物は、数ミクロンよりも大幅に厚く施工することはできないので、第2のパッシベーション層30は、第1のパッシベーション層22とは異なる材料から形成されるが、既に施工された第1のパッシベーション層22の窒化物／酸化物フィルムに対して良好に適合するものである。従って、第2のパッシベーション層30は、ポリイミド、エポキシ樹脂、バラリエン（paralyene）、シリコン、その他などの材料から形成することができる。1つの実施形態によれば、第2のパッシベーション層30は、予形成される積層シート又はフィルムの形態であり、Kapton（登録）、Ultem（登録）、ポリテトラフルオロエチレン（PTFE）、Upilex（登録）、ポリスルホン材料（例えば、Udel（登録）、Radel（登録））、或いは、液晶高分子（LCP）又はポリイミド材料のような別のポリマーフィルムから形成される。或いは、第2のパッシベーション層30は、液体形態であり、以下で詳細に説明されるように、スプレーコーティング塗布、成形プロセス、又は選択的堆積プロセス（すなわち、「直接描画法」）のうちの何れかによって施工することができる。何れの実施形態においても、第2のパッシベーション層30が、積層形態、又は液体形態、或いはこれらの組み合わせで施工される誘電体材料から形成されるかに関係なく、第2のパッシベーション層30は、その厚みが所望／所要の絶縁強度に対して十分であるが、それでも半導体デバイス12の誘導ループを過大に増大させるような制御方式で半導体デバイス12のエッジ24の上に施工される。従って、第2のパッシベーション層30の典型的な厚みは、例えば、必要とされる1000ボルトの絶縁破壊強度ごとにおよそ10から50ミクロンの範囲である。

【0021】

図1に更に示されるように、本発明の1つの実施形態によれば、ベース誘電層状皮膜42が半導体デバイス12の表面18に施工され、より厚い誘電層が半導体デバイスの周囲で完全に形成されるようになる（すなわち、第2のパッシベーション層30と積層体42の組み合わせが半導体デバイス12の周囲に形成される）。第1及び第2のパッシベーション層22、30、並びにベース誘電体積層体、及びベース誘電積層体42に固定される誘電フィルム38の追加の積層シートの各々は、選択的にパターン形成されて複数のビア及び／又は開口34を形成する。ビア／開口34は、半導体デバイス12上に形成された金属回路／接続パッド16に相当する位置に形成され、回路／接続パッド16を露出させるようにする。本発明の1つの実施形態によれば、ビア／開口34は、半導体デバイス12上への第1及び第2のパッシベーション層22、30、ベース誘電積層体42、及び誘電フィルム38の施工に続いて実施されるレーザアブレーション又はレーザ孔加工プロセスを用いて、第1及び第2のパッシベーション層22、30、ベース誘電積層体42、及び誘電フィルム38を貫通して形成される。或いは、ビア／開口34は、第1のパッシベーション層22上への施工前に実施されるレーザアブレーション又はレーザ孔加工プロセスを用いて、第2のパッシベーション層30及び／又は誘電積層体42、38内に予形成することができる。ビア／開口34が第2のパッシベーション層30及び／又は誘電積層体42、38を貫通して予穿孔される1つの実施形態において、ビア／開口34を第1のパッシベーション層22を貫通して回路／接続パッド16まで下方に延長するために、反応性イオンエッチング（RIE）プロセスが実施されることになる。本発明の追加の実施形態によれば、ビア／開口34はまた、プラズマエッチング、フォトリソグラフィ、又は機械的孔加工プロセスを含む他の方法を用いて形成してもよい点は理解される。

【0022】

ビア／開口３４の各々の内部には、ビア／開口３４を通して半導体デバイス１２上の回路／接続パッド１６にまで下方に延びた金属相互接続３が形成される。従って、金属相互接続３６は、回路／接続パッド１６への直接の金属及び電気接続を形成し、該相互接続は、緊密にバックされた閉鎖構成で形成される。金属相互接続３６は、金属層／材料をスパッタリング又は電気めっきプロセスなどによって施工し、次いで、施工された金属材料を所望の形状を有する相互接続３６にパターン形成することによって形成される。１つの実施形態によれば、金属相互接続３６は、スパッタリングプロセスによりチタン接着層及び銅シード層を施工し、その後、金属相互接続３６の厚みを増加させるためにその上に追加の銅を電気めっきすることにより形成される。図１に示すように、半導体デバイス１２の表面２０上では、金属相互接続３６の銅めっきは、半導体デバイス１２の回路／接続パッド１６から出て、ビア／開口３４を通して第２のパッシベーション層３０の外側表面にわたり、半導体デバイス１２のエッジ２４を通過して延び、半導体デバイス１２のエッジ２４を通過して外部に延びる領域の相互接続３６は、ベース誘電積層体４２に固定された誘電フィルム３８の追加の積層シート上に形成される。半導体デバイス１２の表面１８上では、金属相互接続３６の銅めっきは、半導体デバイス１２の回路／接続パッド１６から出て、ベース誘電積層体４２及び誘電フィルム３８内に形成されたビア／開口３４を通過して誘電フィルム３８の外側表面にわたって延び、相互接続３６は、フィルム３８上、及び表面２０上に形成された相互接続３６とは反対側のフィルム３８の側面上で半導体デバイス１２のエッジ２４を通過して延びており、そこから電氣的に絶縁されるようにする。

【００２３】

好都合には、半導体デバイスパッケージ１０の構造は、高い降伏電圧及び低いインダクタンスループを有するパッケージをもたらす。すなわち、第１及び第２のパッシベーション層２２、３０並びに金属相互接続３６は、１０ｋＶの高い降伏電圧を提供することができ、その厚みは、半導体デバイスパッケージ１０におけるアノード及びカソード間の寄生インダクタンスを減少させるようにも制御される。半導体デバイスパッケージ１０の構造は、改善され／効率的な動作周波数で作動するのを可能にし、後続の信号伝送（例えば、フーリエ処理での方形波パルスの生成）に対してのスイッチング時間が短く、信号強度が向上される。

【００２４】

図２から１０を参照すると、本発明の実施形態による、半導体デバイスパッケージ１０を製造する技術の種々の処理ステップが記載されている。図２に示すように、半導体デバイスパッケージ１０の堆積プロセスは、半導体デバイス１２上への第１のパッシベーション又は誘電体層２２の施工から始まる。第１のパッシベーション層２２は、半導体デバイス１２の表面１８、２０及びエッジ２４の周囲に形成され、半導体デバイスの基板１４及び金属回路／接続パッド１６を覆うようにする。第１のパッシベーション層２２は、窒化ケイ素又は酸化ケイ素などの高性能フィルムの形態であり、均一な厚みを有するように半導体デバイス１２上に施工される。本発明の１つの実施形態によれば、窒化ケイ素／酸化ケイ素のパッシベーション層２２は、プラズマ化学気相堆積法（PECVD）を用いてほぼ１～２ミクロン程度の厚みを有するように施工される。従って、第１のパッシベーション層２２は、半導体デバイス１２のエッジ２４をパッシベートすると共に、更に基板１４及び金属回路／接続パッド１６の表面を保護する役割を果たす。

【００２５】

ここで図３を参照すると、堆積プロセスの次のステップにおいて、第１のパッシベーション層２２がそこに施工された状態の半導体デバイス１２は、接着層４０並びに積層体／フィルムの形態である同伴するベース誘電体層４２に載置される。本発明の実施形態によれば、ベース誘電体層４２は、Kapton（登録）、Ultram（登録）、ポリテトラフルオロエチレン（PTFE）、Upilex（登録）、ポリスルホン材料（例えば、Udel（登録）、Radel（登録））、或いは、液晶高分子（LCP）又はポリイミド材料のような別のポリマーフィルムなど、複数の誘電材料の何れかから形成することができる。接着層４０及びベース誘電積層体４２上に半導体デバイス１２を載置すると、接着

層 4 0 が硬化され、該半導体デバイス 1 2 を誘電積層体 4 2 上に固定する。

【 0 0 2 6 】

堆積プロセスは、別の誘電体又はパッシベーション層（すなわち、第 2 のパッシベーション層）の半導体デバイス 1 2 の表面 2 0 及びエッジ 2 4 上への施工に進む。本発明の実施形態によれば、図 4 ～ 7 において以下で図示され説明されるように、このような誘電体層は、誘電材料の予形成積層シート又はフィルムの施工により、或いは、スプレーコーティング塗布、成形プロセス、又は選択的堆積プロセス（すなわち、「直接描画法」）により液体誘電材料の施工によるなど、複数の施工プロセスの何れかに従って施工することができる点は理解される。

【 0 0 2 7 】

図 4 A から 4 C を参照すると、本発明の 1 つの実施形態によれば、誘電体材料 4 4 の積層シートが、半導体デバイス 1 2 の表面 2 0 及びエッジ 2 4 を覆って施工され、これらの間に接着層 4 6（例えば、B ステージ、粘着性接着剤）が含まれて誘電体材料 4 4 のシートを半導体デバイス 1 2 に固定する。図 4 A に示すように、誘電体シート 4 4 の厚みは、第 1 のパッシベーション層 2 2 の厚みよりも大きく、この誘電体シート 4 4 の厚みは、半導体デバイス 1 2 に必要とされる絶縁破壊強度に基づいて決定され制御される。一般に、誘電体シート 4 4 の厚みは、必要とされる 1 k V の絶縁破壊強度ごとにおよそ 1 0 から 5 0 ミクロンの範囲になる。

【 0 0 2 8 】

図 4 A に示すように、誘電体材料 4 4 の積層シートが半導体デバイス 1 2 の表面 2 0 及びエッジ 2 4 を覆って施工されると、半導体デバイス 1 2 のエッジ 2 4 に隣接して空隙 4 8 が残される場合があり、これは「テンティング」と呼ばれる。空隙 4 8 は、堆積プロセスの次のステップにおいて、図 4 B で示すようにエポキシ又はポリイミド材料 5 0 で充填され、その後で硬化される。1 つの特定の実施形態によれば、空隙 4 8 は、一方の端部からエポキシ / ポリイミド材料 5 0 で充填され、他方の端部には通気孔（図示せず）が設けられて空気を外に放出する。テンティングが見られない場合には、図 4 B に示すステップは必要ではないことは理解される。

【 0 0 2 9 】

次に、図 4 C を参照すると、本発明の 1 つの実施形態によれば、誘電体材料 5 2 の追加の積層シートは、半導体デバイスパッケージ 1 0 の消費電力に応じて、半導体デバイス 1 2 の表面 2 0 及びエッジ 2 4 を覆って施工することができる（すなわち、更に絶縁耐力を強化する）。従って、誘電体材料 5 2 の 1 つの追加シートは、誘電体シート 4 4 の上部に位置付けることができ、これらの間に接着層 5 4 を含めてシート 4 4、5 2 を共に固定する。図 4 C に示していないが、必要に応じて、半導体デバイス 1 2 の表面 2 0 上に更に追加のシートを付加してもよい。

【 0 0 3 0 】

図 4 A から 4 C に示す誘電積層体 4 4、5 2 は、連続した積層体として形成されるが、代替として、本発明の別の実施形態による、予パターン形成された積層体を堆積できる点は理解される。すなわち、誘電積層体 4 4、5 2 は、半導体デバイス 1 2 上に積層される前に予穿孔又はアブレーションされるピア及び / 又は追加開口（図示せず）を有することができる。これらのピア及び / 又は開口は、半導体デバイス 1 2 上の回路 / 接続パッド 1 6 に対応する位置に形成することができる。

【 0 0 3 1 】

次に、図 5 を参照すると、本発明の別の実施形態によれば、スプレーコーティング塗布により半導体デバイス 1 2 の表面 2 0 及びエッジ 2 4 を覆って液体誘電体材料が施工される。液体誘電体材料は、第 1 のパッシベーション層 2 2 の厚みよりも大きな厚みを有する誘電体層 5 8 が形成されるように、半導体デバイス 1 2 上にスプレーされ、この誘電体層 5 8 の厚みは、半導体デバイス 1 2 に必要とされる絶縁破壊強度に基づいて決定され制御される。上述のように、誘電体層 5 8 の厚みは、必要とされる 1 k V の絶縁破壊強度ごとにおよそ 1 0 から 5 0 ミクロンの範囲になる。誘電体層 5 8 の所望の厚み及び幾何形状に

10

20

30

40

50

応じて、複数のスプレーコーティングステップの実施が必要となる場合がある。

【0032】

ここで図6A～6Cを参照すると、本発明の別の実施形態によれば、結果として得られる誘電体層の形状及び厚みを制御するために成型型を利用して、半導体デバイス12の表面20及びエッジ24を覆って液体誘電体材料が施工される。図6Aに示すように、半導体デバイス12及び接着されたベース誘電体層42は、半導体デバイス12が下向きになるように反転される。次に、半導体デバイス12は、これらの下方に位置する成型型60に載置され、半導体デバイス12は、例えば、成型型60の中心に形成された突出部62により成型型60内の所定位置に保持され、半導体デバイス12と成型型60との間にスペースが形成されるようになる。成型型60内での半導体デバイス12の正確な位置決めは、例えば、ピン整列機構（図示せず）により可能にすることができる。次のステップにおいて、図6Bに示すように、成型型60は、例えば、エポキシ又はポリイミドのような液体誘電体材料64で充填され、該液体は、成型型内に設けられた充填ポート（図示せず）を通して半導体デバイス12及び成型型60間のスペースに注入される。誘電体材料64の注入を可能にするために、通気ポート（図示せず）も設けられる。成型型60が液体誘電体材料64で充填されると、誘電体が硬化されて、図6Cに示すように成型型が取り外され、半導体デバイス12の表面20及びエッジ24を覆う完成した誘電体層66が形成される。成型型60は、Teflon（登録）又は類似の材料から構成されるので、誘電体層66は、成型型60から取り外される際に該成型型60に固着させるべきではない。

【0033】

次に、図7を参照すると、本発明の更に別の実施形態によれば、液体誘電体材料は、選択的堆積プロセス又は、直接描画プロセスによって半導体デバイス12の表面20及びエッジ24上に施工される。半導体デバイス12上への誘電体材料の直接描画において、誘電体材料は、液体形態の誘電体材料のライン又はドット70を堆積させるプログラム可能分配ツール（図示せず）を用いて分配される。例えば、プログラム可能分配ツールは、液体形態の誘電体材料のライン又はドット70を選択的に堆積させるインクジェットプリントタイプの形態とすることができる。ライン/ドット70は、半導体デバイス12の必要なカバレージを得るように描かれ、複数の層内に施工されて誘電体材料の必要な幾何形状及び厚みを得ることができる。次いで、施工した誘電体材料のライン/ドット70は、硬化されてパッシベーションを完成する。

【0034】

次に、図8を参照すると、図4から図7の実施形態において図示され説明された技術のうちの何れかによって、半導体デバイス12の表面20及びエッジ24上に第2の誘電層又はパッシベーション層（以下では一般に参照符号30で示す）を施工すると、半導体デバイスパッケージ10の堆積プロセスは、第2のパッシベーション層30のアブレーションに進むことができる。すなわち、第2のパッシベーション層30の正確な所望幾何形状/厚みが得られない一部のケースでは、プロファイルに対する僅かな修正の実施を必要とする場合があることは理解される。使用される1つの方法は、過剰材料をアブレーションで除去し、パッシベーション層30の必要なプロファイルを得るレーザアブレーション又は類似の方法である。図8に示すように、パッシベーション層30は、半導体デバイス12の台形状と一致するように台形状を有するものとして図示されているが、例えば、矩形形状など、パッシベーション層30及び半導体デバイス12の両方について他の形状及び構成が想定されることは理解される。積層体施工（図4A～4C）、スプレーコーティング施工（図5）、成型施工（図6A～6C）、又は直接描画施工（図7）を含む、上述の誘電体材料施工法の何れかにおいて、レーザアブレーション又は別の方法を用いて第2のパッシベーション層30の厚み及び/又は幾何形状の修正を実施することができる。しかしながら、第2のパッシベーション層30の所望の幾何形状が、特に成型施工又は直接描画施工を用いて想定できるような、半導体デバイス12上への誘電体材料の最初の施工の際に得られた場合、厚み及び幾何形状を変更するために第2のパッシベーション層30

0のアブレーションを行わなくてもよいことは理解される。

【0035】

図8に更に示すように、半導体デバイス12は、半導体デバイス12のエッジ24に沿って第2のパッシベーション層30の所望のプロファイルを過ぎて外に延びるあらゆる誘電積層体（並びに付随する接着層）の部分が除去されるように「トリミング」される。図8に示す本発明の実施形態によれば、ベース誘電積層体42及び接着層40の一部は、例えばレーザアブレーションなどを用いて半導体デバイス12からトリミングされる。

しかしながら、例えば、図4Cに示す誘電積層体52（及び接着層56）のような、半導体デバイス12のエッジ24に沿って第2のパッシベーション層30の所望のプロファイルを過ぎて外に延びる付加的な誘電積層体もトリミングすることができることは理解される。半導体デバイス12の表面20及びエッジ24の周囲に形成された誘電体材料から何らかの過剰な材料を除去することと同様に、半導体デバイス12のエッジ24に沿って第2のパッシベーション層30の所望のプロファイルを過ぎて外に延びるあらゆる誘電積層体42のトリミングは、半導体デバイス12に付加された誘電体層の残りの部分の所望の形状を得るために実施することができる。従って、図8の実施形態において、ベース誘電積層体42から外にある半導体デバイス12のトリミングは、半導体デバイス12の周囲の第2のパッシベーション層30の全体的な台形形状を維持するようにある角度を付けて実施される。

【0036】

次に、図9を参照すると、第2のパッシベーション層30を成形し、ベース誘電体層42から外にある半導体デバイス12をトリミングすると、パッシベート半導体デバイス72が形成される。続いて、パッシベート半導体デバイス72は、接着層76を介して誘電体シート（例えば、ポリイミドシート）74に取り付けられる。図9に示すように、誘電体シート74は、予めカットされたウィンドウ78開口を含み、該ウィンドウは、半導体デバイス12のサイズにほぼ一致する。しかしながら、誘電体シート74はまた、連続シート（すなわち、予めカットされたウィンドウがない）の形態とすることができ、誘電体シート74上にパッシベート半導体デバイス72を配置した後に続いて形成することができることは理解される。

【0037】

パッシベート半導体デバイス72を誘電体シート74に固定すると、半導体デバイスパッケージ10の堆積プロセスは、図10から13に示すパターン形成及び相互接続ステップに進む。これらの堆積ステップに関して、半導体デバイス12の表面20及びエッジ24の上に第2のパッシベーション層30を施工するのに使用される技術により、パッシベーション層30をパターン形成すること、及び半導体デバイス12の上部及び底部に電気相互接続を形成することに関して必要とされる正確なステップが決定付けられることは理解される。パターン形成及び相互接続ステップで利用されるこのような正確な堆積プロセスステップの変形形態を以下で取り上げる。

【0038】

図10を参照すると、本発明の1つの実施形態によれば、ビア及びコンタクト領域（すなわち、開口）34が第1及び第2のパッシベーション層22、30内に形成され、半導体デバイス12の回路/接続パッド16にアクセスできるようにする。ビア/開口34は、半導体デバイス12上の回路/接続パッド16に相当する位置に形成され、ビア/開口34は、回路/接続パッド16の上に形成された第1のパッシベーション層22にまで下がって形成される。本発明の実施形態によれば、ビア/開口34は、レーザアブレーション又はレーザ孔加工プロセス、プラズマエッチング、フォトリソグラフィ、又は機械的孔加工プロセスを用いて形成することができる。第2のパッシベーション層30が、図4A～4Cに示すシート44、52のような1つ又はそれ以上の誘電積層体/シートの形態で施工される本発明の実施形態において、ビア/開口34は、半導体デバイス12の上に施工された誘電体層及び接着層を貫通して機械的に孔加工することができる。第2のパッシベーション層30が、図5～7におけるような、スプレーコーティング、直接描画法

10

20

30

40

50

、又は成形によって施工される本発明の実施形態において、ビア／開口３４は、レーザアブレーション又はレーザ孔加工を用いて、パッシベーション層３０内でデバイス１２への相互接続を必要とする領域に形成することができる。しかしながら、第２のパッシベーション層３０を施工する特定の方法は、その後のビア／開口３４のアブレーション又は孔加工の必要性を排除することができることは理解される。例えば、成形型又は直接描画法を利用した誘電体材料の施工において、１つ又はそれ以上のビア／開口３４を第２のパッシベーション層３０に既に形成しておいてもよい。

【００３９】

パターン形成／相互接続プロセスの次のステップにおいて、図１１に示すように、ビア／開口３４は更に、該ビア／開口３４に相当する位置にて回路／接続パッド１６の上に存在する第１のパッシベーション層２２を取り除くことにより、半導体デバイス１２上の回路／接続パッド１６まで下方に延長される。本発明の１つの実施形態によれば、半導体デバイス１２の金属回路及び接続パッド１６に隣接する第１のパッシベーション層２２は、反応性イオンエッチング（ＲＩＥ）プロセスを用いて除去されるが、他の好適な技術も利用できることは想定される。第１のパッシベーション層２２の除去によりビア／開口３４を延長すると、半導体デバイス１２の回路／接続パッド１が露出され、これら回路／接続パッドに対する電気相互接続が形成されるようにする。

【００４０】

回路／接続パッド１６まで下方へのビア／開口３４の形成が完了すると、ビア／開口３４は清浄化され（ＲＩＥ煤除去プロセスなどにより）、その後、図１２に示すように金属化されて相互接続３６を形成する。金属相互接続３６は通常、スパッタリングと電気めっき施工の組み合わせによって形成される。例えば、最初に、スパッタリングプロセスによってチタン接着層及び銅シード層を施工し、その後、電気めっきプロセスが所望のレベルまで銅の厚みを増大させることができる。続いて、施工した金属材料がパターン形成されて、所望の形状を有する相互接続３６にする。図１２に示すように、金属相互接続３６は、半導体デバイス１２上で回路／接続パッド１６への直接金属及び電気接続を形成する。金属相互接続３６は、半導体デバイス１２の回路／接続パッド１６から外に、ビア／開口３４を通して半導体デバイス１２の対向する表面１８、２０にわたって延びる。金属相互接続３６は更に、誘電体シート７４上の銅めっきの形態など、誘電体シート７４の対向する表面上で半導体デバイス１２のエッジ２４を通過して外に延びる。

【００４１】

半導体デバイス１２が光学ダイオード（すなわち、光ベースのスイッチングを備えたダイオード）の形態である本発明の１つの実施形態によれば、ベース誘電体層４２の追加部分８０を除去するために、更なるパターン形成ステップが実施される。図１３に示すように、ベース誘電体層４２及び接着層４０の一部８０は、パッシベート半導体デバイス７２の表面１８からアブレーションされ、金属回路／接続パッド１６がブレーション用のバックストップ又はマスクとして機能する。従って、パッシベート半導体デバイス７２の表面１８上に開放窓８２が形成され、光ダイオード１２に光を到達させることができるようになる。このような実施形態において、第１のパッシベーション層２２は、半導体デバイスパッケージ１０の光学窓８２の保護を提供しながら、光を透過させることができる光学的に透明で且つ反射防止性の材料から構成されることになることは理解される。

【００４２】

本発明の別の実施形態によれば、半導体デバイスパッケージ１０の特定の用途において、並列及び／又は直列に配列されたこのような半導体デバイスパッケージ１０のアレイを利用することが望ましい場合があることは理解される。従って、半導体デバイスパッケージ１０のアレイを組み立てる効率的な技法が極めて望ましい。ここで図１４～１７を参照すると、本発明の１つの実施形態によれば、このようなパッケージのアレイの組み立て／接合に対応するために、半導体デバイスパッケージ１０上に重ね継手が形成される。

【００４３】

図１４に示すように、半導体デバイスパッケージ１０のパターン形成及び相互接続が完

10

20

30

40

50

了すると、誘電体シート 74 及び接着層 76 は、半導体デバイス 12 の対向する側部上で重ね継手が形成されるのが望ましい区域 84 にてアブレーションにより除去される。図 14 に示すように、その上に金属相互接続（例えば、銅めっき）36 が存在しない誘電体シート 74 の区域においてアブレーションが実施される。誘電体シート 74 及び接着層 76 のアブレーション後、パッシベート半導体デバイス 72 の表面 20 上に追加の接着層 86 及び誘電体シート 88 が施工／積層され、接着層 86 及び誘電体シート 88 は、図 15 で分かるように、重ね継手を通過して外に延びる。重ね継手形成プロセスの次のステップにおいて、図 16 に示すように、付加的に施工された接着層 86 は、重ね継手区域 84 においてアブレーションされ、当該重ね継手区域 84 に誘電体シート 88 だけが残るようにする。次いで、誘電体シート 74 及び接着層 76 の残りの部分、並びに重ね継手区域 84 の外側にある（すなわち、半導体デバイス 12 から離れている）誘電体シート 88 及び接着層 86 の残りの部分は、図 17 に示す最終アブレーションステップにおいて除去され、規定の重ね継手 90 をその上に有する完成した半導体デバイスパッケージ 10 が、付加した誘電体シート 88 から個別化されるようになる。

10

【0044】

完成半導体デバイスパッケージ 10 内での重ね継手 90 の形成は、デバイスパッケージの別の同一のデバイスへの接合を容易にすることができ、その結果、半導体デバイスパッケージ 10 のアレイを容易に形成することができるようになる。ここで、図 18 から 20 を参照すると、重ね継手を用いた半導体デバイスパッケージのアレイを組み立てる組み立てプロセスが図示されている。図 18 に示すように、組み立てプロセスの第 1 のステップにおいて、重ね継手 90 の誘電体シート 88 上に接着フィルム又は液体 92 を堆積させる。組み立てプロセスの次のステップにおいて、図 19 に示すように、ピン整列システム（図示せず）又は同様の整列ツールなどを用いて、1 つ又はそれ以上の追加の半導体デバイスパッケージ 94 を半導体デバイスパッケージ 10 と整列させる。本発明の 1 つの実施形態によれば、次に、積層プレス（図示せず）を利用して、重ね継手 90 上の井接着剤 92 を加熱し、半導体デバイスパッケージ 10 を追加の半導体パッケージ 94 に接着可能にする。より具体的には、接着剤 92 は、半導体デバイスパッケージ 10 の誘電体シート 88 を半導体パッケージ 94 の誘電体シート 88 に固定する。

20

【0045】

接着剤 92 は、半導体デバイスパッケージ 10 と半導体デバイスパッケージ 94 との間の機械的な接合を可能にするが、デバイスパッケージ間の電氣的接続を形成する機構も依然として必要である。すなわち、図 20 に示すように、導電性材料／構成要素 96 が半導体デバイスパッケージ 10 のエッジ上に設けられており、半導体デバイスパッケージ 94 まで覆って延びている。例えば、金属ストリップ、はんだ、又は他の導電性材料（例えば、導電性接着剤）を半導体デバイスパッケージ 10、94 間に設ける。はんだ 96 は、例えば、半導体デバイスパッケージ 10 の対向する側部上に形成され、誘電体シート 74 及び誘電体シート 88 の外向きの対向面上にある相互接続（例えば、銅めっき）36 上に施工する。従って、はんだ 96 は、隣接する半導体デバイスパッケージ 10、94 の相互接続 36 に機械的及び電氣的に直接結合され、これらの間に電氣的接続を形成する。

30

【0046】

半導体デバイスパッケージ 10、94 のアレイを形成することに関して、各半導体デバイスパッケージ 10（図 2 から 12 に示すような）を個々に構成する堆積技術は、半導体デバイスパッケージ 10、94 のアレイにおける各半導体デバイスパッケージのインダクタンス、キャパシタンス、及び抵抗のマッチングをもたらす高度に再現性のあるプロセスであることは理解される。半導体デバイスパッケージ 10、94 のアレイにおける各半導体デバイスパッケージのインダクタンス、キャパシタンス、及び抵抗をマッチングさせることは、有利なことに、改善された動作性能を有するアレイをもたらす結果となる。

40

【0047】

従って、本発明の 1 つの実施形態によれば、半導体デバイスパッケージは、半導体材料から構成される基板と、該基板上に形成された複数の金属接続パッドとを有する半導体デ

50

バイスを含み、該複数の金属接続パッドは、半導体デバイスの対向する第1及び第2の表面の各々上に形成されており、該第1及び第2の表面間に半導体デバイスのエッジが延びる。半導体デバイスパッケージはまた、半導体デバイス及び基板上に形成された複数の金属接続パッドを覆うように半導体デバイス上に施工された第1のパッシベーション層と、半導体デバイスの第1の表面に付加され且つ第1のパッシベーション層よりも大きな厚みを有するベース誘電体積層シートを含む。半導体デバイスパッケージは、更に、第1のパッシベーション層よりも大きな厚みを有し且つ半導体デバイスの第2の表面及びエッジを覆うように第1のパッシベーション層及び半導体デバイスの上に施工される第2のパッシベーション層と、半導体デバイスの複数の金属接続パッドに電氣的に結合された複数の金属相互接続とを含み、複数の金属相互接続の各々が、第1及び第2のパッシベーション層及びベース誘電体積層シートを通して形成されるそれぞれのビアを貫通して延びて、複数の金属接続パッドのうちの1つと直接金属接続を形成する。

10

【0048】

本発明の別の実施形態によれば、半導体デバイスパッケージを形成する方法は、半導体材料から構成される基板と、該基板上に形成された複数の金属接続パッドとを有する半導体デバイスを提供するステップを含み、該複数の金属接続パッドは半導体デバイスの上面及び底面上に形成される。本方法はまた、半導体デバイスの上面及び底面上並びに上面及び底面間に延びる半導体デバイスのエッジ上に第1のパッシベーション層を施工するステップと、半導体デバイスの底面にベース誘電体フィルムを接着するステップと、半導体デバイスの上面及びエッジの上並びに第1のパッシベーション層の上に第2のパッシベーション層を施工してパッシベート半導体デバイスを形成するステップとを含み、第2のパッシベーション層は第1のパッシベーション層よりも大きい厚みを有する。本方法は更に、複数の金属相互接続に露出するように、ベース誘電体フィルム並びに第1及び第2のパッシベーション層をパターン形成するステップと、パターン形成されたベース誘電体フィルム並びにパターン形成された第1及び第2のパッシベーション層を貫通して延びる複数の金属相互接続を形成して、複数の金属接続パッドとの直接金属接続を形成するステップと、を含む。

20

【0049】

本発明の更に別の実施形態によれば、半導体デバイスパッケージを形成する方法は、半導体材料から構成される基板と、該基板上に形成された複数の金属接続パッドとを有する半導体デバイスを提供するステップを含み、該複数の金属接続パッドは半導体デバイスの上面及び底面上に形成される。本方法はまた、半導体デバイスの上面及び底面をパッシベートし、且つ半導体デバイスのエッジをパッシベートするように半導体デバイスの周囲に薄い第1のパッシベーション層を施工するステップと、半導体デバイスの底面にベース誘電体積層体を施工するステップと、半導体デバイスの少なくともエッジの上及び第1のパッシベーション層の上に第2のパッシベーション層を施工してパッシベート半導体デバイスを形成するステップとを含み、第2のパッシベーション層は、半導体デバイスパッケージに対して所望の降伏電圧を提供し且つ半導体デバイスパッケージに対し最小の寄生インダクタンスを更に提供する厚みを有するように施工される。本方法は更に、ベース誘電体積層フィルム及び第1及び第2のパッシベーション層をパターン形成して、そこを貫通する複数のビアを形成するステップと、ビアを貫通して延びる複数の金属相互接続を形成して、複数の金属接続パッドとの直接金属接続を形成するステップと、を含む。

30

40

【0050】

限られた数の実施形態のみに関して本発明を詳細に説明してきたが、本発明はこのような開示された実施形態に限定されないことは理解されたい。むしろ、本発明は、上記で説明されていない多くの変形、改造、置換、又は均等な構成を組み込むように修正することができるが、これらは、本発明の技術的思想及び範囲に相応する。加えて、本発明の種々の実施形態について説明してきたが、本発明の態様は記載された実施形態の一部のみを含むことができる点を理解されたい。従って、本発明は、上述の説明によって限定されると見なすべきではなく、添付の請求項の範囲によってのみ限定される。

50

【符号の説明】

【 0 0 5 1 】

- 1 0 半導体デバイスパッケージ
- 1 2 半導体デバイス
- 1 4 基板
- 1 6 金属接続パッド
- 1 8 第 1 の表面
- 2 0 第 2 の表面
- 2 2 第 1 のパッシベーション層
- 2 4 エッジ
- 2 8 光学窓
- 3 0 第 2 のパッシベーション層
- 3 4 ビア / 開口
- 3 6 金属相互接続
- 3 8 誘電フィルム

10

【 図 1 】

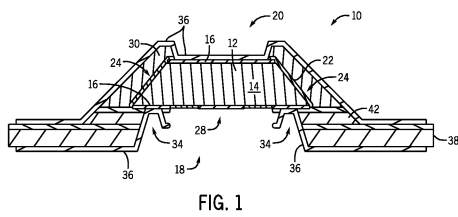


FIG. 1

【 図 2 】

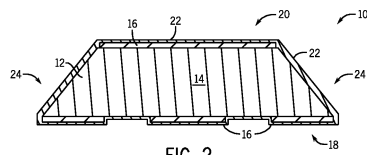


FIG. 2

【 図 3 】

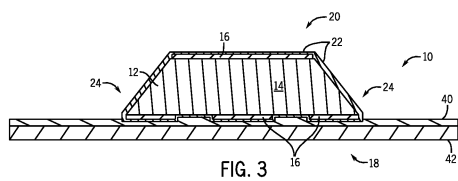


FIG. 3

【 図 4 】

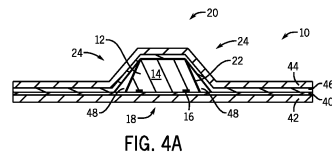


FIG. 4A

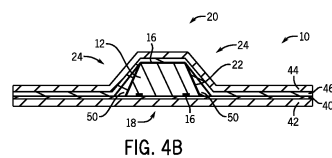


FIG. 4B

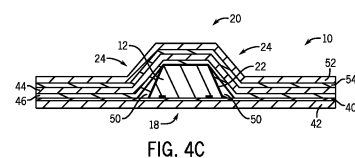


FIG. 4C

【 図 5 】

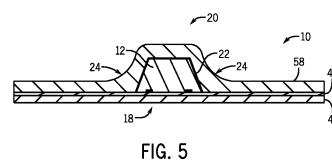


FIG. 5

【図 6】

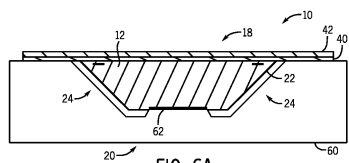


FIG. 6A

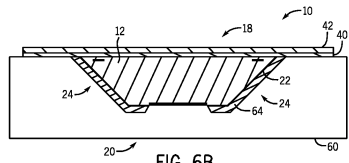


FIG. 6B

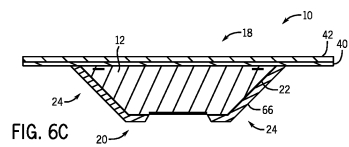


FIG. 6C

【図 7】

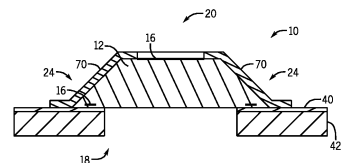


FIG. 7

【図 12】

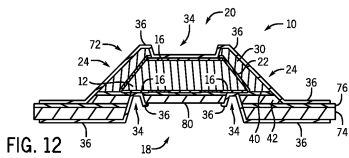


FIG. 12

【図 13】

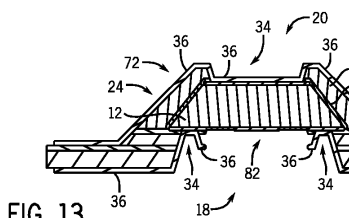


FIG. 13

【図 14】

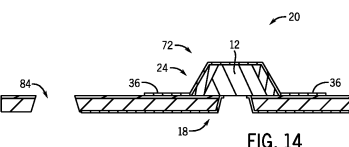


FIG. 14

【図 8】

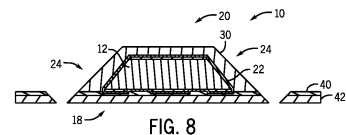


FIG. 8

【図 9】

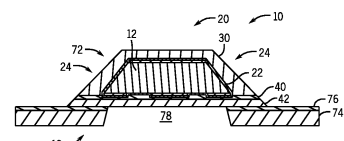


FIG. 9

【図 10】

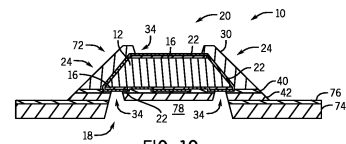


FIG. 10

【図 11】

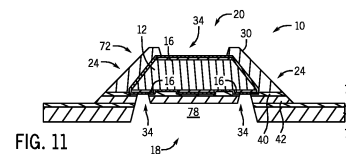


FIG. 11

【図 15】

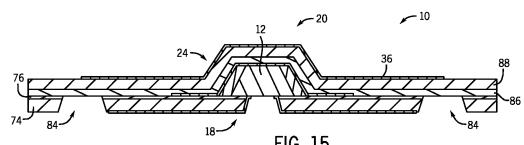


FIG. 15

【図 16】

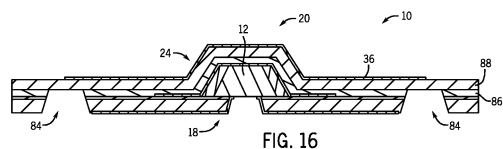


FIG. 16

【図 17】

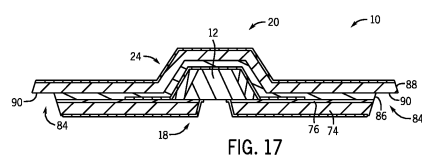
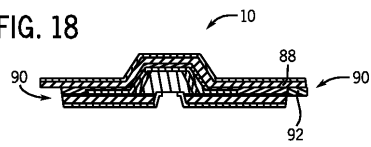


FIG. 17

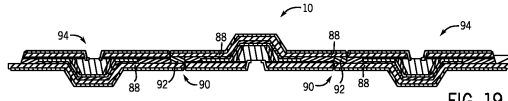
【 図 18 】

FIG. 18



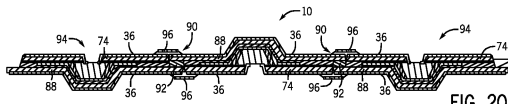
【 図 19 】

FIG. 19



【 図 20 】

FIG. 20



フロントページの続き

- (72)発明者 パウル・アラン・マッコンネリー
アメリカ合衆国、ニューヨーク州・１２３０９、ニスカユナ、ワン・リサーチ・サークル
- (72)発明者 アルン・ビルバクシャ・ゴウワダ
アメリカ合衆国、ニューヨーク州・１２３０９、ニスカユナ、ワン・リサーチ・サークル
- (72)発明者 トマス・パート・ゴルチカ
アメリカ合衆国、ニューヨーク州・１２３０９、ニスカユナ、ビルディング・ケイダブリュー - ビ
ー１３１５、リーパー・ロード、１番

審査官 吉 澤 雅博

- (56)参考文献 特開２０００－３０７０２９（ＪＰ，Ａ）
特開２００９－２１８４７０（ＪＰ，Ａ）
国際公開第２００９／１５６９７０（ＷＯ，Ａ１）

- (58)調査した分野(Int.Cl.，ＤＢ名)
H 0 1 L 2 3 / 1 2
H 0 1 L 3 1 / 0 2