



(12) 发明专利

(10) 授权公告号 CN 1897161 B

(45) 授权公告日 2012.09.26

(21) 申请号 200610100860.8

(22) 申请日 2006.07.09

(30) 优先权数据

60/700,037 2005.07.15 US

11/162,262 2005.09.02 US

(73) 专利权人 张国飙

地址 610051 四川省成都市建设路 59 号

5A-001 信箱

(72) 发明人 张国飙

(51) Int. Cl.

G11C 17/10(2006.01)

(56) 对比文件

US 6380597 B1, 2002.04.30, 全文.

US 5272370 A, 1993.12.21, 说明书第 4 栏第  
21 行 - 第 8 栏第 54 行, 附图 1-8.

审查员 王曦

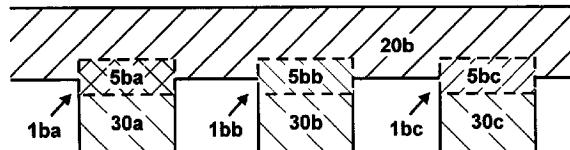
权利要求书 1 页 说明书 8 页 附图 11 页

(54) 发明名称

三维 N 进制掩膜编程只读存储器

(57) 摘要

N 进制掩膜编程存储器, 本发明提出一种 N(>2) 进制掩膜编程存储器 (N-MPM), 尤其是三维 N(>2) 进制掩膜编程存储器 (3-D N-MPM)。N-MPM 存储元具有 N 种可能状态。数字信息按 N 进制代码来存储。由于每个存储元可以存储 >1 位信息, N-MPM 比常规的二进制 MPM (2-MPM, 每个存储元存储 1 位信息) 存储密度大。



1. 一种三维 N 进制掩膜编程只读存储器, 其特征在于含有：  
一个含有晶体管的半导体衬底 (0) ;

多个相互叠置的掩膜编程存储层 (100、200), 所述存储层叠置于该衬底上并通过多个位于该存储器之内的接触通道孔与该衬底耦合, 每个存储层含有多个掩膜编程存储元, 每个掩膜编程存储元含有一条高层地址线、一条低层地址线和一个似二极管元件, 每个所述掩膜编程存储层均是平面化的；

所述掩膜编程存储元具有至少 N 种可能状态, 其中  $N > 2$ ; 在一读电压下, 处于不同状态的存储元具有不同的读电流范围; 其中, 处于相同状态的存储元具有相同的结特性; 处于不同状态的存储元具有不同的结特性。

2. 根据权利要求 1 所述的三维 N 进制掩膜编程只读存储器, 其特征还在于: 该似二极管元件具有一定掺杂浓度, 处于不同状态的存储元具有不同的掺杂浓度。

3. 根据权利要求 1 所述的三维 N 进制掩膜编程只读存储器, 其特征还在于: 处于不同状态的存储元具有不同几何形状。

4. 一种 N 进制掩膜编程只读存储器, 其特征在于含有：

多个掩膜编程存储元和存储哑元, 每个掩膜编程存储元含有一个似二极管元件并具有至少 N 种可能状态, 其中  $N > 2$ ; 在一读电压下, 处于不同状态的存储元具有不同的读电流范围;

一个具有第一输入和第二输入的读出电路, 该第一输入与一存储元耦合, 该第二输入与第一和第二哑元耦合, 该第一哑元处于该 N 种状态中的第一种状态, 该第二哑元处于该 N 种状态中的第二种状态。

5. 根据权利要求 4 所述的 N 进制掩膜编程只读存储器, 其特征还在于: 所述第一种和第二种状态是相邻状态。

6. 根据权利要求 4 所述的 N 进制掩膜编程只读存储器, 其特征还在于: 处于相同状态的存储元具有相同几何形状; 处于不同状态的存储元具有不同几何形状。

7. 根据权利要求 4 所述的 N 进制掩膜编程只读存储器, 其特征还在于: 处于相同状态的存储元具有相同的结特性; 处于不同状态的存储元具有不同的结特性。

8. 根据权利要求 4 所述的 N 进制掩膜编程只读存储器是一种三维 N 进制掩膜编程只读存储器, 所述三维 N 进制掩膜编程只读存储器的特征在于还含有：

一个含有晶体管的半导体衬底 (0) ;

多个相互叠置的掩膜编程存储层 (100、200), 所述存储层叠置于该衬底上并通过多个位于该存储器之内的接触通道孔与该衬底耦合;

所述掩膜编程存储元和存储哑元位于所述掩膜编程存储层内。

## 三维 N 进制掩膜编程只读存储器

### 技术领域

[0001] 本发明涉及集成电路领域,更确切地说,涉及掩膜编程存储器。

### 背景技术

[0002] 掩膜编程存储器 (mask-programmable memory, 简称为 MPM), 尤其是三维掩膜编程存储器 (three-dimensional mask-programmable memory, 简称为 3D-MPM、也被称为 3D-MPROM, 参见专利号为 ZL98119572.5 的中国专利“三维只读存储器及其制造方法”), 存储容量大, 成本低并能提供优良的数据安全保护, 故被视为多媒体资料的理想存储体。图 1A- 图 1B 表示一种 3D-MPM00。它的两个存储层 100、200 叠置在衬底 0 上。每个存储层上含有多个存储元 1aa、1ab...。每个存储元位于两条地址线 (如字线 20a 和位线 30a) 的交叉处并根据存储的信息选择性地为它们提供似二极管电连接。似二极管电连接在一个方向上的导电性好于另一方向, 它一般由一二极管结实现, 如 pn 二极管结、肖特基二极管结等。现有技术中, 存储元只有两种状态:“无通道孔”和“有通道孔”。如存储元 1aa 处于“无通道孔”状态, 即它不含通道孔, 地址线 20a、30a 由绝缘介质 16 隔开; 存储元 1ab 处于“有通道孔”状态, 即它含有通道孔 3ab, 并为地址线 20a、30b 提供电连接。在存储元 1ab 中, 由于其通道孔 3ab (也就是二极管结的结面积) 与地址线交叉区 (即高低两层地址线 20a、30b 在交叉处相互重叠的区域) 相同, 是两条地址线之间可能具有的最大通道孔, 故通道孔 3ab 又被称为“全通道孔”。由于存储元只有两个状态, 它只能代表一位 (指二进制位) 信息, 故 MPM 的存储密度受限。为了进一步提高存储密度, 本发明提出一种 N(>2) 进制掩膜编程存储 (N-ary mask-programmable memory, 简称为 N-MPM)。

### 发明内容

[0003] 本发明的主要目的是提供一种每个存储元能存储 >1 位的、大容量掩膜编程存储器, 尤其是三维掩膜编程存储器。

[0004] 根据这些以及别的目的, 本发明提供一种 N(>2) 进制掩膜编程存储器 (N-ary mask-programmable memory, 简称为 N-MPM), 尤其是三维 N(>2) 进制掩膜编程存储器 (简称为 3-D N-MPM)。N-MPM 存储元具有 N 种可能状态。数字信息按 N 进制代码来存储。由于每个存储元可以存储 >1 位信息, N-MPM 比常规的二进制 MPM (2-MPM, 每个存储元存储 1 位信息) 存储密度大。

[0005] 本发明的 N-MPM 包括:一条低层地址线;一条位于该低层地址线上方的高层地址线;一个位于该高低层地址线交叉处并与该高低层地址线耦合的存储元, 所述存储元对该高低层地址线选择性地提供似二极管电连接, 并具有至少 N 种可能状态。

[0006] 本发明的 3-D N-MPM 还包括:至少两个相互叠置的掩膜编程存储层, 每个存储层均含有多个存储元, 所述存储元具有至少 N 种可能状态。

[0007] 本发明中 N-MPM 存储元提供的似二极管电连接在一个方向上的导电性好于另一方向, 它一般由一二极管结实现, 如 pn 二极管结、肖特基二极管结等。存储元的 N 种可能状

态可以通过改变二极管结的结形状（如几何形状）和 / 或结特性（如掺杂浓度）来实现。相应地，N-MPM 可以分为结形状型、结特性型和混合型。

[0008] 在结形状型 N-MPM 中，存储元的 N 种可能状态可通过改变二极管结的形状（即结形状）来实现。通常改变结形状的方法是改变二极管结的几何面积。具体说来，高低两层地址线之间除了具有“无通道孔”和“全通道孔”两种状态以外，还需要具有“局部通道孔”状态。对于局部通道孔来说，其二极管结的面积介于无通道孔和全通道孔之间。注意到，如果使用  $nF$  ( $F$  指地址线线宽、 $n \geq 1$ ) 开口工艺，局部通道孔（特征尺寸  $< 1F$ ）可以通过  $nF$  ( $n \geq 1$ ) 开口掩膜版（特征尺寸  $\geq 1F$ ）来实现（参见申请号为 03108107.X 的中国专利申请“集成电路的层间连接结构”）。

[0009] 在结特性型 N-MPM 中，存储元的 N 种可能状态可通过改变二极管结的特性（即结特性）来实现。通常改变结特性的方法是改变二极管结的掺杂特性。由于掺杂特性不同，存储元的伏 - 安 (IV) 特征也不同。在读出过程中，不同的读电压按大小依次加在字线上。如果一存储元被读出为“1”，那么一限流电路被开启。该限流电路限制在剩余读过程中流过该存储元的电流，从而避免它被过大的电流损伤。

[0010] 在 N-MPM 中，N 可以是 2 的整数幂，也可以是 2 的非整数幂。当 N 为 2 的整数幂时 ( $N = 2^n$ ,  $n$  为整数)，每个存储元存储整数位，即 n 位 ( $n$  为整数)。同时，N-MPM 的译码是对每个存储元单独进行的。当 N 为 2 的非整数幂时 ( $N = 2^x$ ,  $x$  为非整数)，N-MPM 以字为单位进行译码，每个字含有 m 个存储元（用符号  $N \times m$  表示，其中，N 代表进制，m 代表字宽， $N > 2$ 、 $m \geq 2$  且均为正整数）。译码时，将 m 个 N 进制码 ( $N \times m$ ) 一起转换为 i 位二进制码 ( $2 \times i$ )：

$$[0011] i \leq \text{INT}[\log_2(N^m)].$$

[0012] 这里， $\text{INT}[z]$  是指小于 z 的最大整数。将 i 位平均到 m 个存储元中，每个存储元存储非整数位（指二进制位）信息（参见申请号为 200510059914.6 的中国专利申请“非整数位系统”）。

## 附图说明

[0013] 图 1A 是表示一种三维掩膜编程存储器 (3D-MPM) 的断面图；图 1B 是其存储层 200 的俯视图；

[0014] 图 2 是表示一种 N 进制掩膜编程存储器 (N-MPM) 的断面图；

[0015] 图 3AA- 图 3AC 是表示第一种结形状型 N-MPM 存储元的俯视图、y-z 断面图和 z-x 断面图；图 3BA- 图 3BC 是表示第二种结形状型 N-MPM 存储元的俯视图、y-z 断面图和 z-x 断面图；图 3CA- 图 3CC 是表示第三种结形状型 N-MPM 存储元的俯视图、y-z 断面图和 z-x 断面图；

[0016] 图 4A- 图 4D 表示一种利用  $nF$  开口工艺制造结形状型 N-MPM 的工艺流程；

[0017] 图 5A- 图 5B 表示两种采用合并开口的 4 进制 MPM (4-MPM) 存储元；

[0018] 图 6A- 图 6C 表示三种结形状型 N-MPM 的读出电路；

[0019] 图 7 列举了两套适用于 4-MPM 的结面积比；

[0020] 图 8A 是表示一种结特性型 N-MPM 的断面图；图 8B 表示其伏 - 安 (IV) 特性；

[0021] 图 9A- 图 9C 表示一种制造结特性型 N-MPM 的工艺流程；

[0022] 图 10A 表示一种结特性型 N-MPM 的读出电路；图 10B 是表示一种限流电路的电路

图 ;图 10C 表示在读过程中字线和位线电压的时序图 ;

[0023] 图 11 是表示一种三维 N 进制掩膜编程存储器 (3-D N-MPM) 的断面图 ;

[0024] 图 12 是表示一种实现将 N-MPM(N 是 2 的非整数幂 ) 中的 N 进制码转换成二进制的电路图。

[0025] 本说明书主要描述了 N-MPM 中二极管的结形状、结特性和读出电路。为简便计,在部分断面图中,二极管膜(也被称为准导通膜)未被画出。有关这些膜的细节,可参见专利号为 ZL98119572.5 的中国专利“三维只读存储器及其制造方法”和申请号为 02113333.6 的中国专利申请“改进的三维掩膜编程只读存储器”。

## 具体实施方式

[0026] 本发明提供一种 N(>2) 进制掩膜编程存储器 (N-ary mask-programmable memory, 简称为 N-MPM)。N-MPM 存储元具有 N 种可能状态。数字信息按 N 进制代码来存储。由于每个存储元可以存储 >1 位信息, N-MPM 比常规的二进制 MPM(2-MPM, 每个存储元存储 1 位信息) 存储密度大。

[0027] 如图 2 所示,该实施例是一种三进制 MPM,即 3-MPM(N = 3)。其存储元具有 3 种可能状态,它们在图中由不同的斜线区 5ba-5bc 表示。3-MPM 将数字信息以 3 进制码的形式存储。譬如说,数字  $11_{10}$  在 3-MPM 中被存为  $102_3$ 。在本说明书中,下标 N 表示该代码的进制,如  $11_{10}$  表示 11 是 10 进制码; $102_3$  表示 102 是 3 进制码。对于 3-MPM 来说,它只需要 3 个存储元来存储数字  $11_{10}$ ( $11_{10} = 102_3$ ) ;而对于常规的 2-MPM 来说,它只需要 4 个存储元来存储数字  $11_{10}$ ( $11_{10} = 1011_2$ )。相应地,3-MPM 比 2-MPM 存储密度大。很明显,N 越大,N-MPM 的存储密度越大。

[0028] 存储元的 N 种可能状态可以通过改变二极管结的结形状(如几何形状)和 / 或结特性(如掺杂浓度)来实现。相应地, N-MPM 可以分为结形状型、结特性型和混合型。

[0029] 图 3AA- 图 3CC 表示第一种 N-MPM- 结形状型 N-MPM。在结形状型 N-MPM 中,存储元的 N 种状态可通过改变二极管结的形状(即结形状)来实现。通常改变结形状的方法是改变二极管结的几何面积。具体说来,高低两层地址线之间除了具有“无通道孔”和“全通道孔”两种状态以外,还需要具有“局部通道孔”状态。对于局部通道孔来说,其二极管结的面积介于无通道孔和全通道孔之间。

[0030] 图 3AA- 图 3AC 是表示第一种结形状型 N-MPM 存储元 1bd 的俯视图、y-z 断面图和 z-x 断面图。它采用局部通道孔,其二极管结“efgh”2bd 位于地址线交叉区“abcd”(即高层地址线 20b 和低层地址线 30d 在交叉处相互重叠的区域)中间。结面积比 r, 定义为结面积“efgh”和地址线重叠面积“abcd”之比,可以表示为

[0031]  $r = \text{二极管结面积} / \text{地址线交叉区面积} = f/F$

[0032] 这里, f 是二极管结的宽度, F 是地址线的宽度。相应地,存储元 1bd 的结电阻  $R_c$  是全通道孔(如图 1B 中的 1ab) 的  $\sim 1/r$  倍,而远远小于无通道孔的情形(如图 1B 中的 1aa)。

[0033] 为了实现图 3AA- 图 3AC 中的局部通道孔,需要使用  $<1F$  的开口掩膜版,即特征尺寸小于  $1F$  的开口掩膜版。这种掩膜版的成本较高。另一方面,基于一种 nF 开口工艺(参见图 4A- 图 4D,以及申请号为 03108107.X 的中国专利申请“集成电路的层间连接结构”),

<1F 的开口（如局部通道孔）可以通过  $nF$  ( $n \geq 1$ ) 开口掩膜版来实现。图 3BA- 图 3CC 表示两个采用  $nF$  开口工艺形成的局部通道孔。

[0034] 图 3BA- 图 3BC 表示第二种结形状型 N-MPM 存储元 1bd'。其结开口（指对开口掩膜版曝光后在光刻胶中形成的开口）“ijk1”3bd' 的特征尺寸为 1F，即  $1F \times 1F$ ，并相对于高层地址线 20b 在 -y 方向移动了距离 S ( $S = 1F - f$ )。在完成高层地址线后（具体工艺步骤参见图 4A- 图 4D），二极管结“ijcd”2bd' 只形成在结开口“ijk1”3bd' 与地址线交叉区“abcd”的重叠区域，其尺寸为  $f \times 1F$ 。在该实施例中，二极管结 2bd' 位于地址线交叉区“abcd”的边缘，它的一条边线“cd”与高层地址线 20b 的一条边线“vw”重合。

[0035] 图 3CA- 图 3CC 表示第三种结形状型 N-MPM 存储元 1bd”。其结开口“mnop”3bd”的特征尺寸为  $>1F$ ，即  $nF \times n' F$ ，且  $n, n' > 1$ 。与图 3BA 相比较，结开口 3bd”不仅沿 -y 方向延伸，也在 -x 和 +x 方向延伸。由于采用了  $nF$  开口工艺，二极管结“ijcd”2bd”只形成在结开口“mnop”3bd”和地址线交叉区“abcd”的重叠区域，故只要结开口 3bd”在 y 方向上与高层地址线 20b 的重合尺寸为  $f$ ，则二极管结 2bd”的最后尺寸仍为  $f \times 1F$ 。类似地，在该实施例中，二极管结 2bd”位于地址线交叉区“abcd”的边缘。

[0036] 在图 3BA- 图 3CC 中，结开口 3bd'、3bd”的特征尺寸  $\geq 1F$ ，用来形成这些结开口的  $nF$  ( $n \geq 1$ ) 开口掩膜版成本较低。此外，在图 3BA、图 3CA 中，二极管结 2bd'、2bd”的最终结面积仅由边线“ij”决定，而与其它边线（如“mo”、“op”）无关。因此，在  $nF$  开口掩膜版的制造过程中，除了边线“ij”外，结开口不需要严格的精度控制。也就是说， $nF$  开口掩膜版是一低精度掩膜版，这能进一步降低掩膜版成本。

[0037] 图 4A- 图 4D 描述了一种  $nF$  开口工艺的工艺流程。图 4A- 图 4C 是其在 z-x 方向上的断面图；图 4D 是在 y-z 方向上的断面图。它含有如下步骤：

[0038] A) 淀积第一 N 型硅膜 30d4、一导体膜 30d3、第二 N 型硅膜 30d2 和一抛光停止膜 30d1。抛光停止膜 30d1（如氮化硅）是非必要的，它可用作 CMP（化学机械抛光）步骤的停止膜。之后，刻蚀这些膜以形成低层地址线 30c、30d。接着，在低层地址线之间淀积层间介质 35，再通过一个 CMP 步骤将其平面化，且将抛光停止膜 30d1 暴露出来（图 4A）；

[0039] B) 在平面化后的低层地址线上淀积一层绝缘介质 16。对  $nF$  开口掩膜版曝光，并在结开口区域（如 3bd”）除去绝缘介质 16。注意到，这时结开口尺寸 ( $>1F$ ) 大于地址线（如 30d）的线宽 (1F)（图 4B）；

[0040] C) 将抛光停止膜 30d1 刻蚀除去，并暴露第二 N 型硅膜 30d2。淀积第一 P 型硅膜 20b4、另一导体膜 20b3、第二 P 型硅膜 20b2 和另一抛光停止膜 20b1，最后刻蚀这些膜以形成高层地址线 20b（图 4C、图 4D）。

[0041] 从上述工艺步骤可以看出，在  $nF$  工艺流程中，二极管结只形成在结开口和地址线交叉区的重叠区域。因此，即使结开口在地址线交叉区外延伸，也不会影响最后形成的结面积。此外，不同存储元的结开口还可以合并在一起，反映在  $nF$  开口掩膜版上，即一个大的合并开口图形可以用来形成多个二极管结。很明显，含有合并开口图形的  $nF$  开口掩膜版的成本更低。

[0042] 图 5A- 图 5B 表示两个采用合并开口的 4-MPM 存储元。在图 5A 中，4-MPM 存储元 1ca、1cb、1cc、1cd 分别代表“0”、“1”、“2”、“3”，它们可通过将结开口 3ca、3cb、3cc、3cd 相对于地址线 20c 沿 -y 方向分别移动 1F、2/3F、1/3F、0 而实现。这里，高层地址线被分为多个

地址线对 (如 20c/20d), 每个地址线对 20c/20d 含有两条相邻的地址线 (如 20c、20d)。在一组地址线对 20c/20d 中, 所有结开口相向移动 : 比如说, 结开口 3cb 向 3db 移动 2/3F (即沿 -y 方向移动), 而结开口 3db 向 3cb 移动 +2/3F (即沿 +y 方向移动), 它们自然形成一合并开口 5b (由粗黑线表示); 又比如说, 结开口 3cc 向 3dc 移动 -1/3F, 而结开口 3dc 向 3cc 移动 +1/3F。加上由于采用 nF 开口工艺, 结开口 3cc、3dc 可以在地址线交叉区外延伸, 最后它们相遇并形成一合并开口 5c (由粗黑线表示)。注意到, 图 5A 中所有开口在 y 方向上的尺寸均 >1F。

[0043] 在图 5B 中, 图 5A 中的开口 5a-5d 还可以沿 +x 和 -x 方向延伸, 直至它们与相邻的开口相遇并合并。比如说, 开口 5c 可以沿 +x 方向延伸并与 5d 合并, 它也可以沿 -x 方向延伸并与 5b 合并。实际上, 地址线对 20c/20d 中的所有开口 5a-5d 可以形成一合并开口 7 (由粗黑线表示), 其最小尺寸为 5F/3 (在开口 5b 处)。很明显, 采用这种形式的开口可以极大地降低掩膜版成本。注意到, 开口 7 的最左边和最右边的边缘还可以继续向左、向右延伸, 直至与相邻开口相遇并合并; 开口 7 甚至还可以与相邻地址线对上的开口合并。

[0044] 图 6A- 图 6C 描述了三种 N-MPM 的读出电路。它们一般采用差分放大器 (如 8x-8z、8a-8d) 将位线上的电压变化转换成数码输出。为了为差分放大器提供参考电压, 这些实施例中设计了多个哑元。哑元与存储元结构类似, 并具有多个 r 值。在图 6A- 图 6B 中, 哑元的种类为 N-1, 且具有与存储元不同的 r 值; 在图 6C 中, 哑元的种类为 N, 且具有与存储元相同的 r 值。在这些实施例中, 双引号中的数值为存储元中存储的数码, 括号中的数值为其 r 值。

[0045] 图 6A 表示第一种读出电路。每个 N-MPM 单元阵列需要 N-1 条哑位线。该实施例含有四条数据位线 30a-30d (它们整个被称为数据位线组 30DT) 和三条哑位线 32a-32c (它们整个被称为哑位线组 32DY)。哑元的 r 值介于存储元的 r 值之间: 存储元的 r 值分别为 0、1/3、2/3 和 1; 哑元的 r 值则分别为 1/6、1/2 和 5/6。读电路含有一列译码器 (或多路选择器 mux) 6 和一模数转换器 (A/D) 10。列译码器 6 含有开关 6a-6d, 在读周期的任意时刻只有一个开关关闭。模数转换器 10 含有差分放大器 8x-8z。

[0046] 该实施例的读出过程如下: 为读出存储元 1cc 存储的信息, 首先将字线 20c 电压提高, 然后列译码器 6 中的开关 6c 闭合; 位线 30c 上的电压变化通过信号线 11 送至模数转换器 10; 它分别在差分放大器 8x-8z 处与哑位线信号 32a-32c 比较; 比较的结果 2x-2z 可以用来推断存储元 1cc 中存储的信息。如 2x-2y 的输出分别为 1、1、0, 则表示存储元 (如 1cc) 存储的信息为 “2<sub>4</sub>”。

[0047] 图 6B 表示第二种读出电路。每个 N-MPM 单元阵列需要 N-1 条哑位线。在该实施例中, 每条数据位线 30a-30d 分别与差分放大器 8a-8d 的一个输入相连; 每条哑位线 (32a-32c) 通过列译码器 4 与信号线 13 相连, 然后被送至所有差分放大器 8a-8d 的另一输入。列译码器 4 含有开关 4a-4c, 并且在读周期的任意时刻只有一个开关关闭。在信号线 13 还可以含有一 1x 的驱动器 15, 它可以帮助驱动差分放大器 8a-8d 的输入。

[0048] 该实施例的每个读过程需要至少 N-1 个读周期 (如在该实施例中, 为 3 个读周期):

[0049] A) 在第一读周期中, 只有开关 4a 关闭。哑信号 32a 在差分放大器 8a-8d 处与数据位线信号 30a-30d 比较。这时, 输出 2a-2d 为 0、1、1、1, 并存储在第一缓冲器 (未画出)

中；

[0050] B) 在第二读周期中, 只有开关 4b 关闭。哑信号 32b 在差分放大器 8a-8d 处与数据位线信号 30a-30d 比较。这时, 输出 2a-2d 为 0、0、1、1, 并存储在第二缓冲器(未画出)中；

[0051] C) 在第三读周期中, 只有开关 4c 关闭。哑信号 32c 在差分放大器 8a-8d 处与数据位线信号 30a-30d 比较。这时, 输出 2a-2d 为 0、0、0、1, 并存储在第三缓冲器(未画出)中；

[0052] D) 最后, 根据存储于第一、第二和第三缓冲器中的输出可计算出存储元 1ca-1cd 中存储的信息。

[0053] 图 6C 表示第三种读出电路。与图 6A- 图 6B 不同, 其哑元 1c0' -1c3' 与存储元具有相同的 r 值, 即均为 0、1/3、2/3 和 1。在该实施例中, 每个 N-MPM 单位阵列需要 N 条哑位线。列译码器 14 含有三个开关信号 14a-14c, 每个开关信号(如 14a)能同时控制两个开关(如 4e 和 4f), 并将两条哑位线(如 34a 和 34b)与同一条信号线 13 相连。这样, 信号线 13 上的电压是两条位线(如 34a 和 34b)上电压的平均值, 其等效的 r 值为两个哑元(如 1c0' 和 1c1')的平均值(如 0 和 1/3 的平均值, 即 1/6)。剩下的读过程与图 6B 相同。由于哑元的 r 值与存储元相同, 在设计开口掩膜版时哑元开口的设计较为简单。这能进一步降低掩膜版成本。

[0054] 图 7 列举了两套用于 4-MPM 的 r 值。在第一套中, r 值均匀分布在 0(无通道孔)和 1(全通道孔)之间。这种分布一般适用于理想的生产环境中, 如光刻过程中没有对准误差。在第二套中, r 值的分别是非均匀的, 如 r 的第一增值( $\Delta r$ )(从“0”到“1”,  $\Delta r = 0.37$ )大于第二  $\Delta r$ (从“1”到“2”,  $\Delta r = 0.27$ )。这套 r 值提供更大的工艺余量, 故更适合于量产环境。比如说, 如果高层地址线掩膜版与开口掩膜版的对准误差沿 -y 方向为 10%, 对于第一套 r 值, “0”-“3”存储元在硅片上的实际 r 值分别为 0.1、0.34、0.77、1, 其最小的  $\Delta r$  为 0.23; 对于第二套 r 值, 这些值分别为 0.1、0.47、0.74、1, 其最小的  $\Delta r$  为 0.26, 较第一套的大。较大的  $\Delta r$  可以使读出电路的设计更为简单。方程(1)列出了一种在考虑对准误差的情形下计算各个存储元 r 值的方法:

$$r[0_N] = 0; r[i_N] = MA + i \times x \quad (i = 1 \dots N-2); r[(N-1)_N] = 1 \quad (1)$$

[0056] 这里,  $x = (1-2 \times MA) / (N-1)$ , MA 是最大的对准误差(以 F 为单位)。

[0057] 在结特性型 N-MPM 中, 存储元的 N 种状态可通过改变二极管结的特性(结特性)来实现。通常改变结特性的方法是改变二极管结的掺杂特性。由于掺杂特性不同, 存储元的伏-安(IV)特征也不同。图 8A 表示一种结特性型 3-MPM, 其存储元 1ba-1bc 具有不同的结特性: 存储元 1ba 的二极管结 3ba 比存储元 1bb 的二极管结 3bb 掺杂浓度高; 而存储元 1bc 含有一绝缘介质 16 故不导电。由于存储元 1ba 掺杂浓度高, 它比存储元 1bb 的二极管开启电压较低, 在相同读出电压下能导通较大电流(图 8B), 故其读出时间较短。

[0058] 图 9A-图 9C 描述了一种制造结特性型 N-MPM 的工艺流程:A) 形成低层地址线 30a、30b、30c。每条低层地址线含有一层 N 型硅膜 3ba-3bc。这时, 所有的 N 型硅膜 3ba-3bc 具有相同的掺杂浓度。接着在低层地址线的顶端形成一绝缘介质 16(图 9A); B) 对第一开口掩膜版曝光, 清除存储元 1ba 处的光刻胶 17a 并刻蚀该处的绝缘介质 16, 接着实施一离子注入, 以增加二极管结 3ba 处的掺杂浓度(图 9B); C) 对第二开口掩膜版曝光, 清除存储元

1bb 处的光刻胶 17b 并刻蚀该处的绝缘介质 16( 图 9C) ;D) 形成高层地址线 20b( 包括 P 型硅膜 3b), 以形成结特性型 N-MPM 存储元 ( 图 8A)。

[0059] 图 10A 表示一种结特性型 N-MPM 的读出电路。存储元 1ba 的二极管 7ba 导电性较强, 故它画得较 7bb 大。每条位线 ( 如 30a) 与一读出放大器 ( 如 8a) 和限流电路 ( 如 32a) 相连。当读出放大器 8a 的输入电压超过一阈值时, 其输出 2a 翻转。另一方面, 限流电路 32a 限制流过二极管 7ba 的电流大小。如图 10B 所示, 限流电路 32a 可含有一开关 34a 和一电压源  $V_H$ 。开关 34a 由读出放大器 8a 的输出 2a 控制。当输出 2a 为高时, 开关 34a 关闭, 地址线 30a 的电压被限制为  $V_H$ 。这样, 在剩余读过程中流过二极管 7ba 的电流受到限制, 从而避免它被过大的电流损伤。

[0060] 图 10C 是字线电压和位线电压的时序图。读出过程可以分为两阶段 :T1 和 T2。在 T1 阶段, 读电压  $V_{R1}$  被加在字线 20b 上, 存储元 1ba 中的二极管 7ba 导通, 位线 30a 上的电压上升, 当其电压超过差分放大器 8a 的阈值电压  $V_t$  时, 存储元 1ba 被读出为 “1”。另一方面, 由于存储元 1bb、1bc 导电性较弱, 它们在 T1 阶段不能使读出放大器 8b 翻转, 故被读出为 “0”。在 T2 阶段, 一个较大的读电压  $V_{R2}$  ( $V_{R2} > V_{R1}$ ) 被加在字线 20b 上。由于读电压较大, 存储元 1bb 上流过足够大的电流, 并被读出为 “1”。这时, 存储元 1bc 上仍没有电流, 故它仍被读出为 “0”。注意到, 在 T2 阶段, 存储元 1ba 的限流电路 32a 将被开启。这样, 位线 30a 上的电压将升至  $V_H$ , 二极管 7ba 上的电压降仅为  $V_{R2} - V_H$ 。相应地, 存储元 1ba 上流过的电流较小, 这样可以避免它被过大的读电流损伤。最后, 通过在 T1 和 T2 阶段的读出值 2a-2c, 可以算出存储元 1ba-1bc 中存储的信息。

[0061] 除了结形状型和结特性型, N-MPM 还可以采用别的形式, 如混合型 N-MPM。混合型 N-MPM 结合了结形状型和结特性型 N-MPM 的优点。具体说来, 对于不同的存储元可能状态, 二极管结的形状和特性均可改变。相应地, 每个存储元能存储更多位数码信息。

[0062] 图 11 表示一种三维 N 进制掩膜编程存储器 (3-D N-MPM)。它是一个采用 N-MPM 的三维掩膜编程存储器。在该实施例中, 3-D N-MPM00 含有两个存储层 100、200。存储层 200 叠置在存储层 100 上, 并均叠置于衬底 0 上。注意到, 图 1A 中存储元只能有两种状态。与之相比, 该实施例中的存储元可以具有更多状态。具体说来, 绝缘介质 16 并非只是将高低两层地址线之间 ( 如 30x、20a 之间 ) 的通道孔完全断开或接通, 它可以将它们之间的通道孔部分断开或接通, 从而形成局部通道孔。因此, 该存储器是一 N 进制存储器。3-D N-MPM 结合了 N 进制存储器和三维存储器的优势, 它能达到其它半导体存储器无法达到的 存储密度 : 如采用 100nm 技术以及 8 层和 2 位 / 元的设计, 3-D N-MPM 的存储密度可以达到  $\sim 5\text{GByte}/\text{cm}^2$ 。

[0063] 在 N-MPM 中, N 可以是 2 的整数幂, 也可以是 2 的非整数幂。当 N 为 2 的整数幂时 ( $N = 2^n$ , n 为整数 ), 每个存储元存储整数位, 即 n 位 (n 为整数 )。同时, N-MPM 的译码是对每个存储元单独进行的。当 N 为 2 的非整数幂时 ( $N = 2^x$ , x 为非整数 ), N-MPM 以字为单位进行译码。如图 12 所示, 每个字 80 含有 m 个存储元 80a、80b...80m ( 用符号  $N \times m$  表示, 其中, N 代表进制, m 代表字宽,  $N > 2$ 、 $m \geq 2$  且均为正整数 )。译码时, 通过一 N 进制译码器 84, 将 m 个 N 进制码 ( $N \times m$ ) 一起转换为 i 位二进制码 ( $2 \times i$ ) 88a、88b...88i :

[0064]  $i \leq \text{INT}[\log_2(N^m)]$ 。

[0065] 这里, INT[z] 是指小于 z 的最大整数。将 i 位平均到 m 个存储元中, 每个存储元

存储非整数位（指二进制位）信息。相应地，这种 N-MPM 被称为非整数位 N-MPM。

[0066] 有关非整数位 N-MPM，可参见申请号为 200510059914.6 的中国专利申请“非整数位系统”。以下是其中的一些结论：

[0067] 1) 最好能选择  $m$  使系统效率  $\beta > 90\%$ 。这里，系统效率  $\beta$  表示该非整数位系统存储的信息和它所能存储的最大信息量之比，它定义为  $\beta = \text{INT}[\log_2(N^m)]/\log_2(N^m)$ 。具体说来，

[0068] A) 对于  $N = 5$ ,  $m \geq 4$ ;

[0069] B) 对于  $N = 7, 11, 15$ ,  $m \geq 3$ ;

[0070] C) 对于  $N = 6, 12, 13, 14$ ,  $m \geq 2$ ; 或

[0071] D) 对于  $N = 9, 10$ ,  $m \geq 1$ 。

[0072] 2) 最好能选择  $m$  使系统效率  $\beta$  达到局部最大。具体说来，

[0073] A) 对于  $N = 5$ ,  $m = 4, 7, 10, 13, 16, 19, 22, 25, 28$  或  $32$ ;

[0074] B) 对于  $N = 6$ ,  $m = 2, 4, 7, 9, 12, 14, 16, 19, 21, 24, 26$ 、  
28 或  $31$ ;

[0075] C) 对于  $N = 7$ ,  $m = 5, 10, 15, 20, 25$  或  $31$ ;

[0076] D) 对于  $N = 9$ ,  $m = 6, 12, 18, 24$  或  $30$ ;

[0077] E) 对于  $N = 10$ ,  $m = 4, 7, 10, 13, 16, 19, 22, 25$  或  $28$ ;

[0078] F) 对于  $N = 11$ ,  $m = 3, 5, 7, 9, 11, 14, 16, 18, 20, 22, 24$ 、  
27, 29 或  $31$ ;

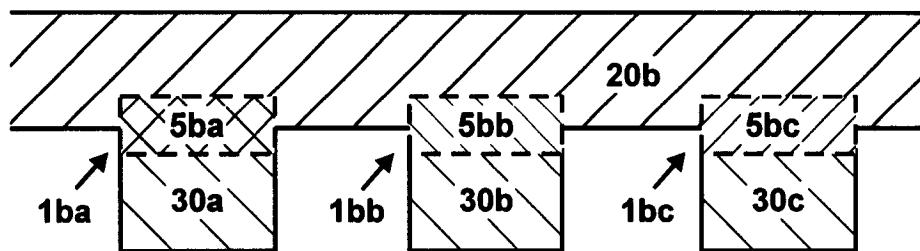
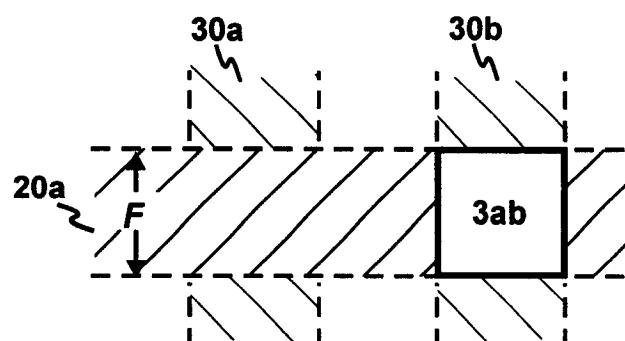
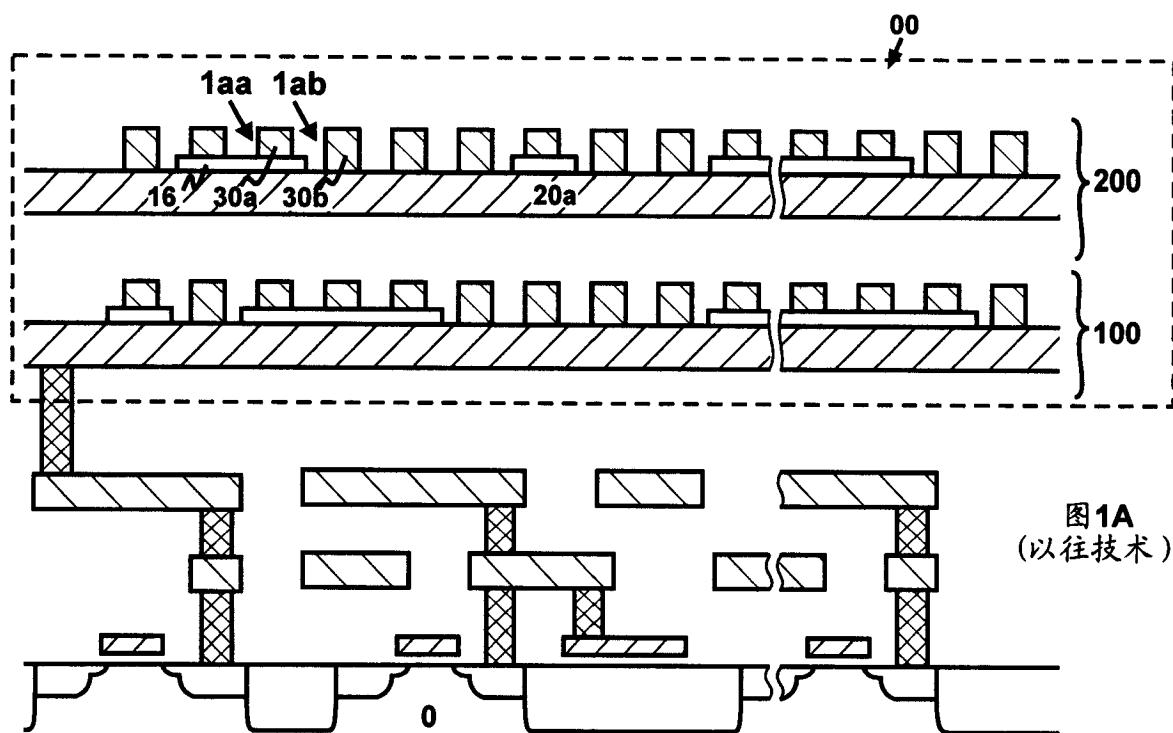
[0079] G) 对于  $N = 12$ ,  $m = 2, 4, 7, 9, 12, 14, 16, 19, 21, 24, 26$ 、  
28 或  $31$ ;

[0080] H) 对于  $N = 13$ ,  $m = 3, 6, 10, 13, 16, 20, 23, 26$  或  $30$ ;

[0081] I) 对于  $N = 14$ ,  $m = 5, 10, 15, 20, 25$  或  $31$ ; 或

[0082] J) 对于  $N = 15$ ,  $m = 10, 21$  或  $32$ 。

[0083] 虽然以上说明书具体描述了本发明的一些实例，熟悉本专业的技术人员应该了解，在不远离本发明的精神和范围的前提下，可以对本发明的形式和细节进行改动，这并不妨碍它们应用本发明的精神。例如说，本发明中的实施例均基于二极管技术，这并不妨碍将本发明的精神应用到其它掩膜编程存储器（如基于晶体管的掩膜编程存储器）中。另外，除了三维掩膜编程存储器，这发明的精神还可以应用到常规的掩膜编程存储器（即所有存储元均处于一个平面内）中。因此，除了根据附加的权利要求书的精神，本发明不应受到任何限制。



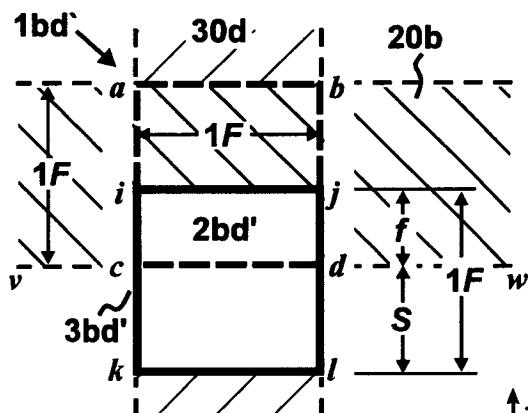


图3BA

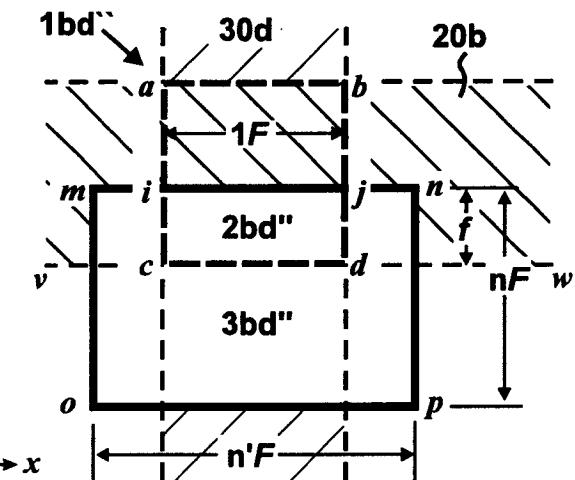


图3CA

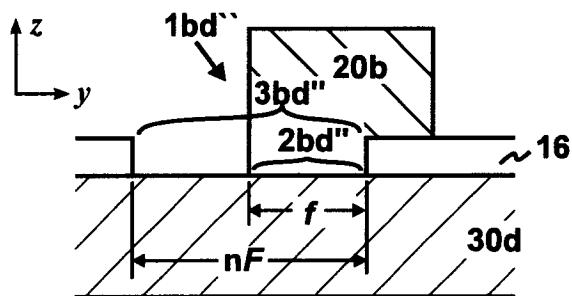


图3CB

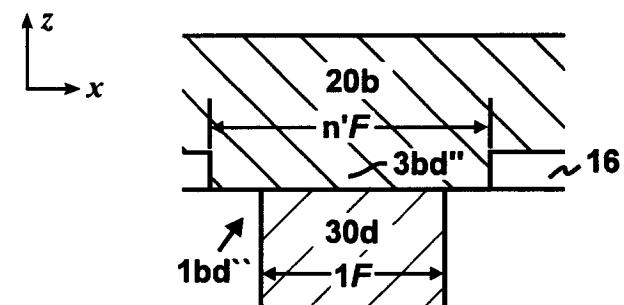


图3CC

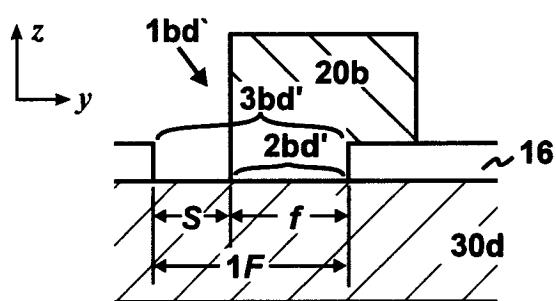


图3BB

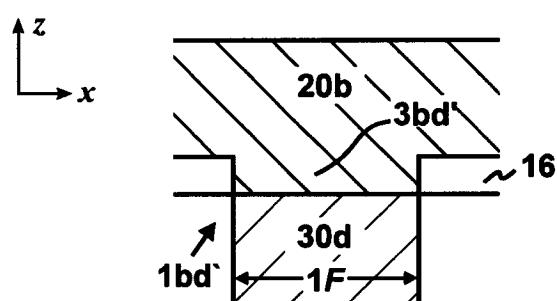


图3BC

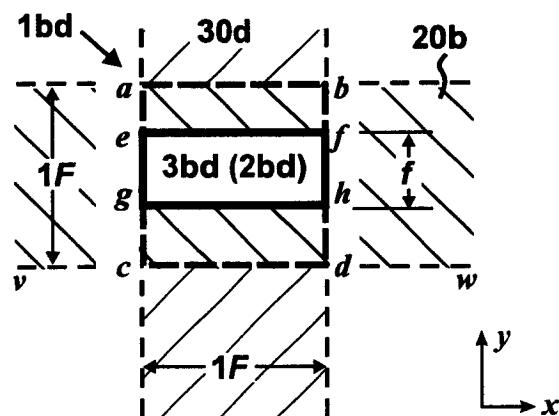


图3AA

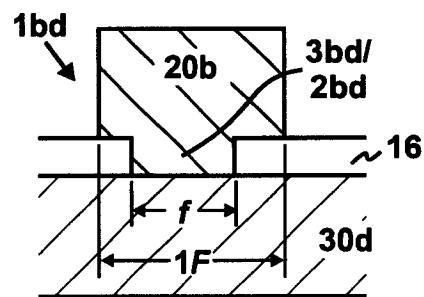


图3AB

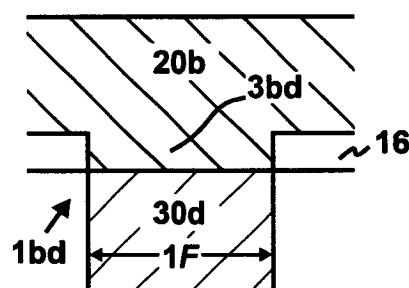


图3AC

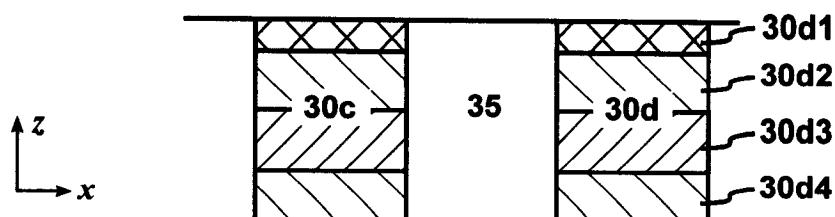


图4A

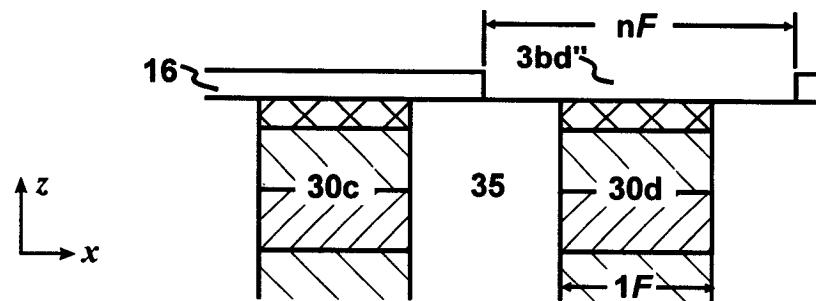


图 4B

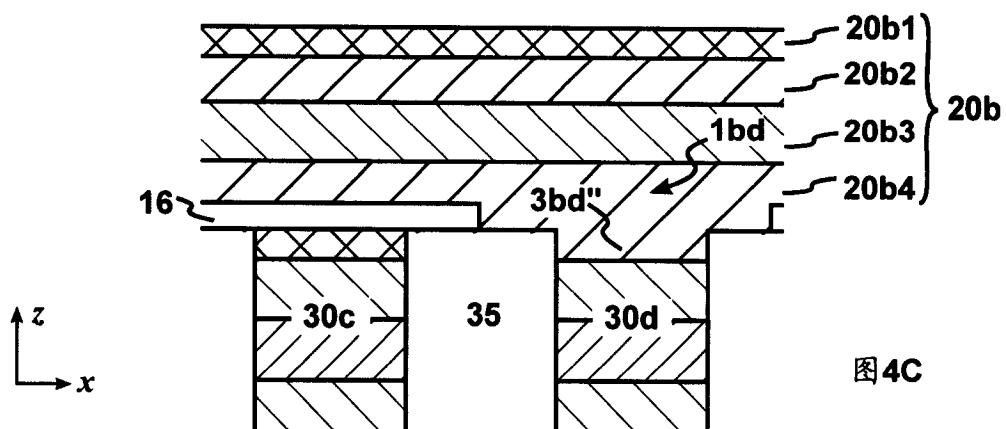


图 4C

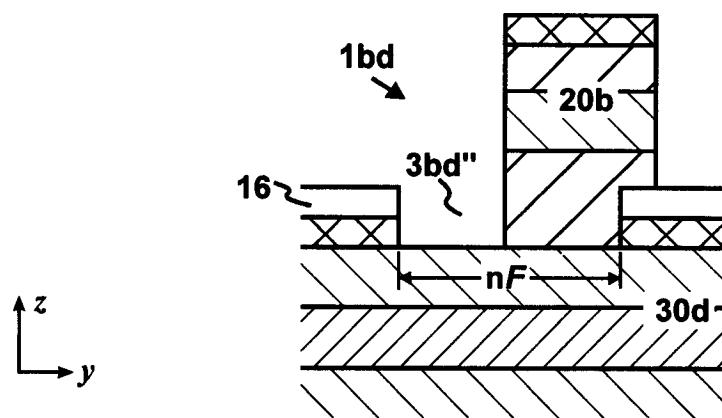


图 4D

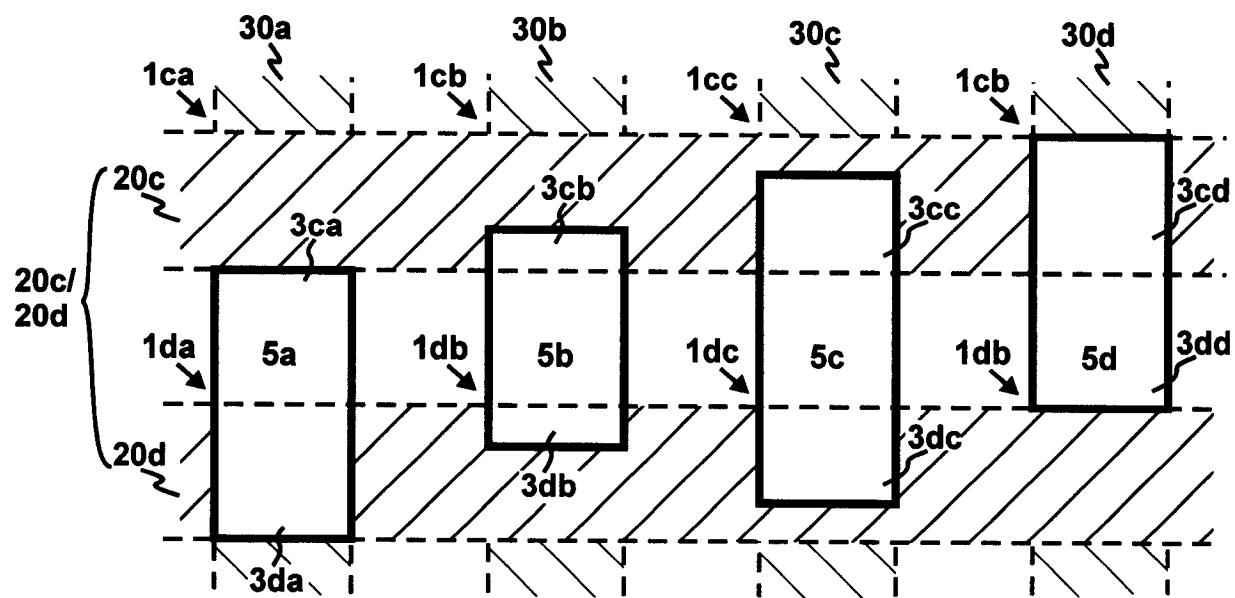


图 5A

$x$   
 $y$

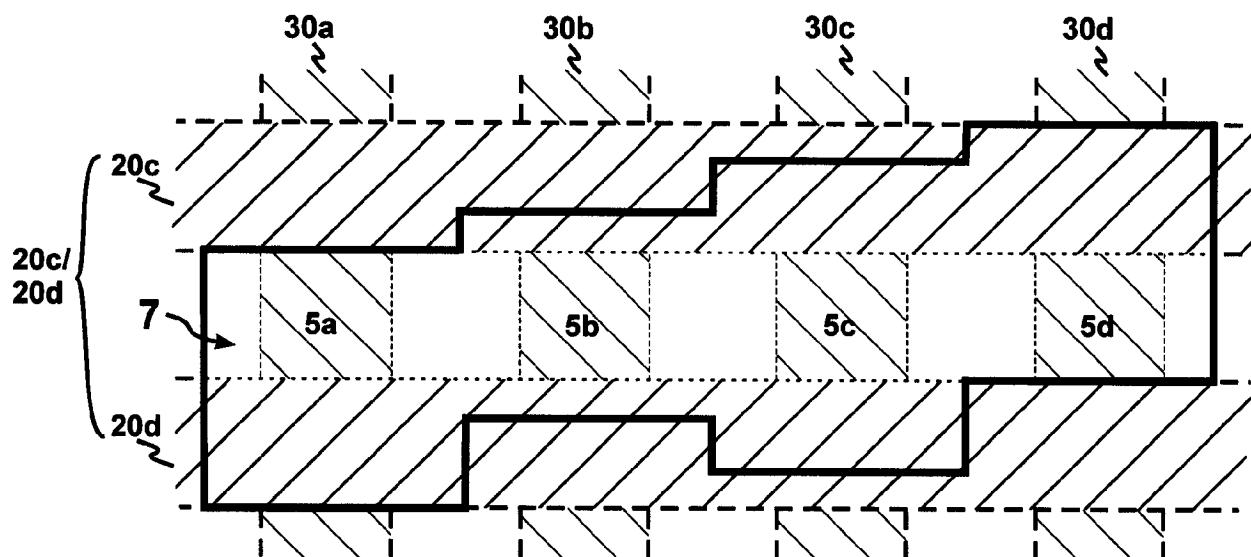


图 5B

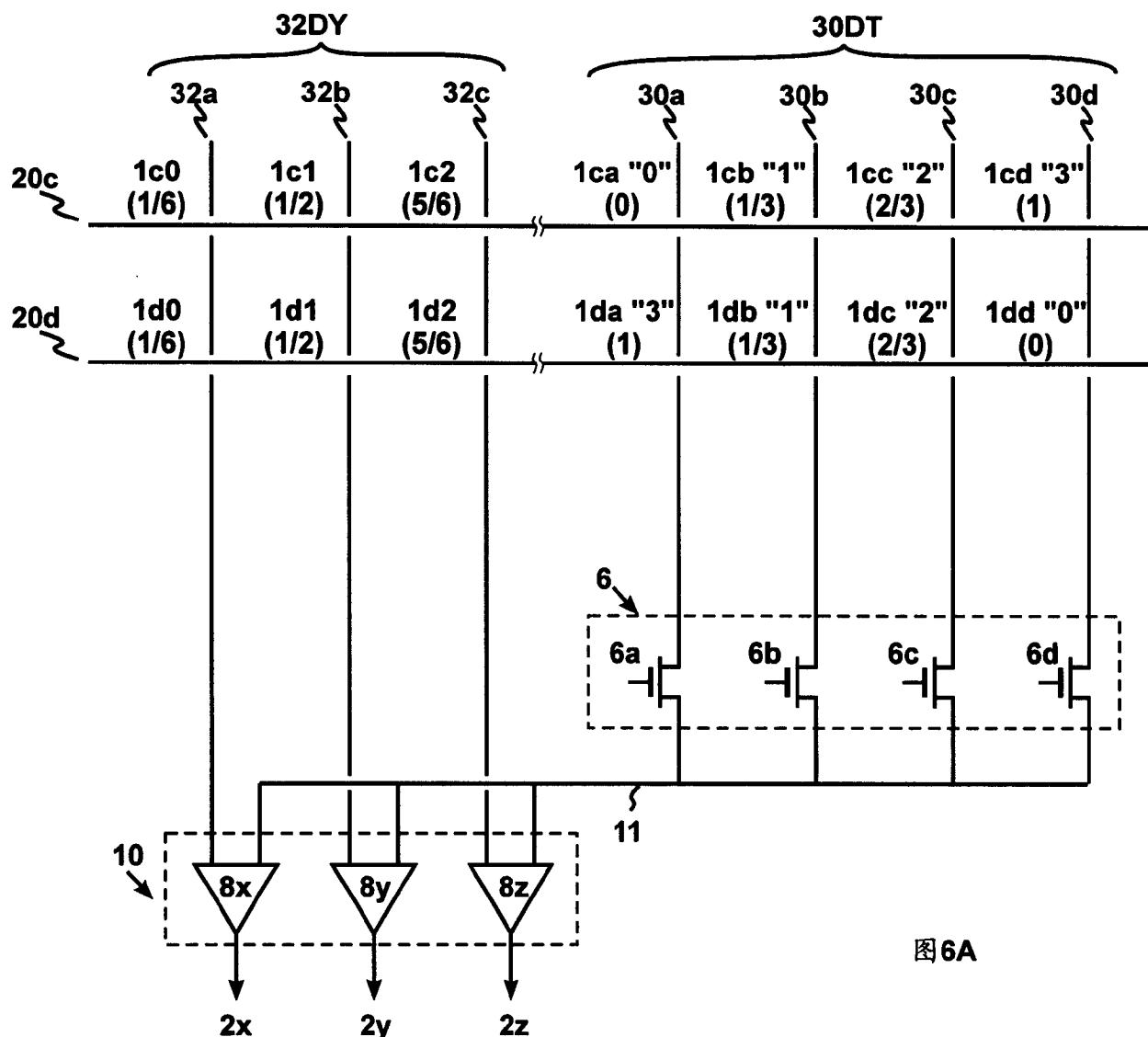
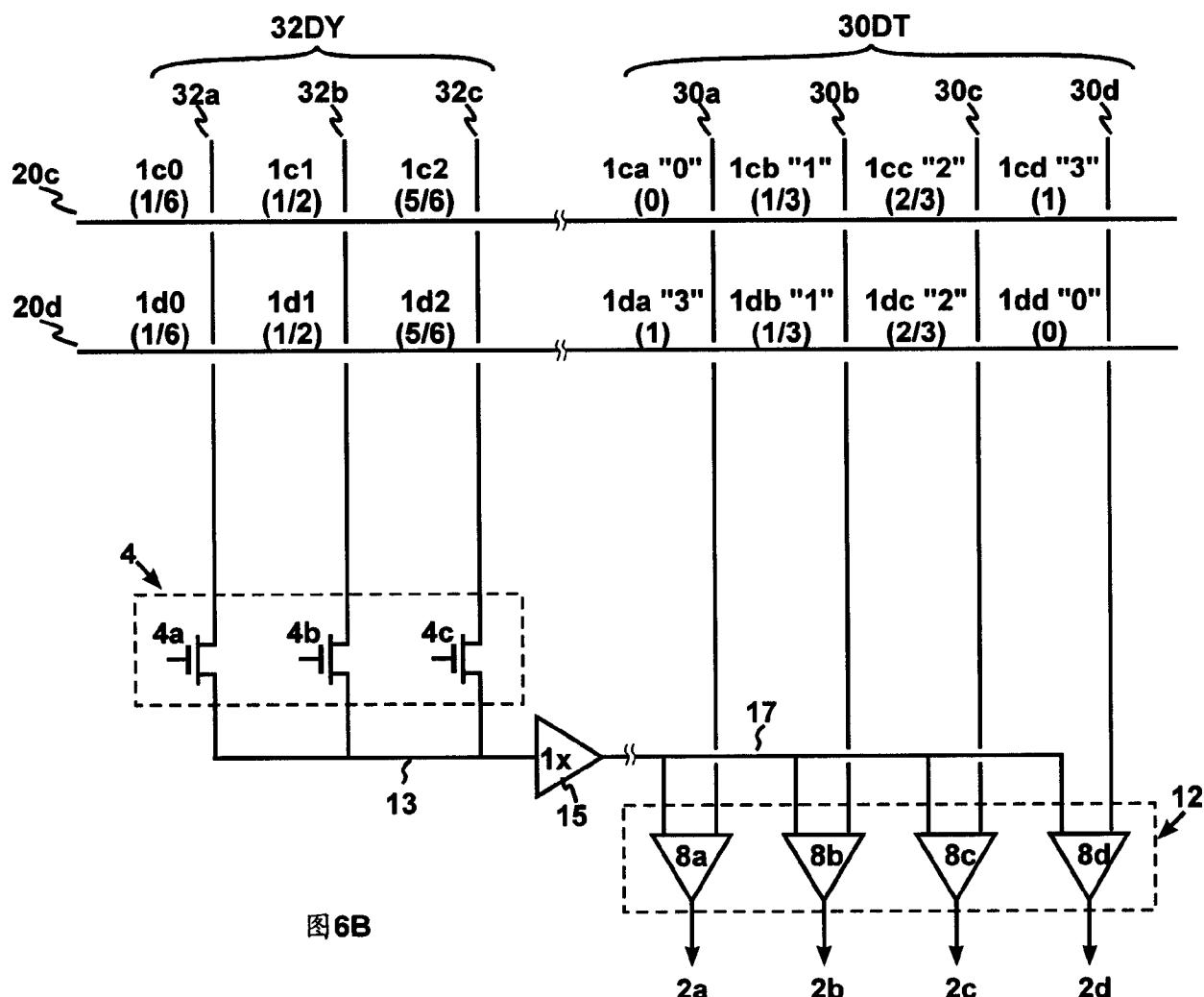
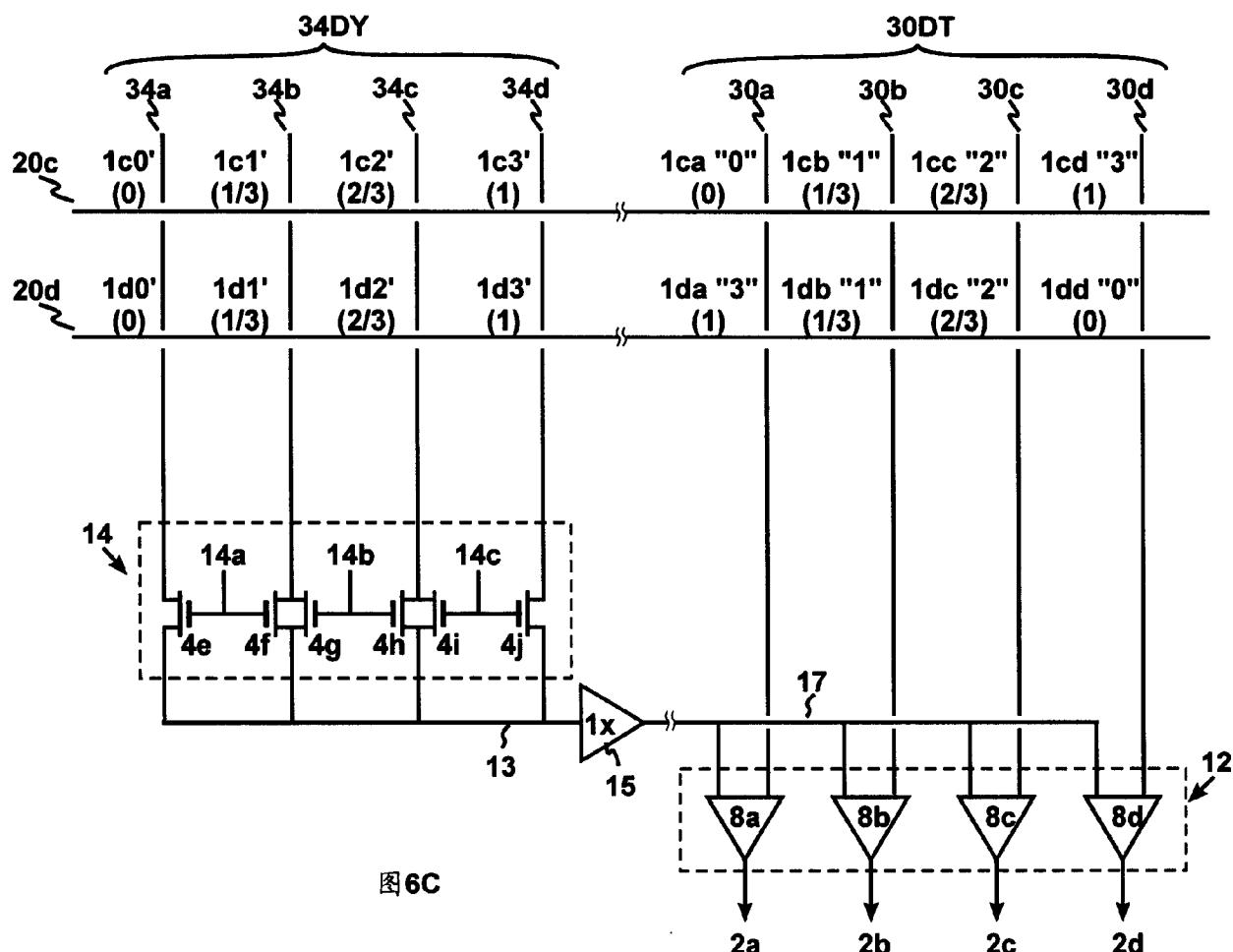


图6A





$r$	"0 <sub>4</sub> "	"1 <sub>4</sub> "	"2 <sub>4</sub> "	"3 <sub>4</sub> "
均匀分布	0	0.33	0.67	1
非均匀分布	0	0.37	0.64	1

图 7

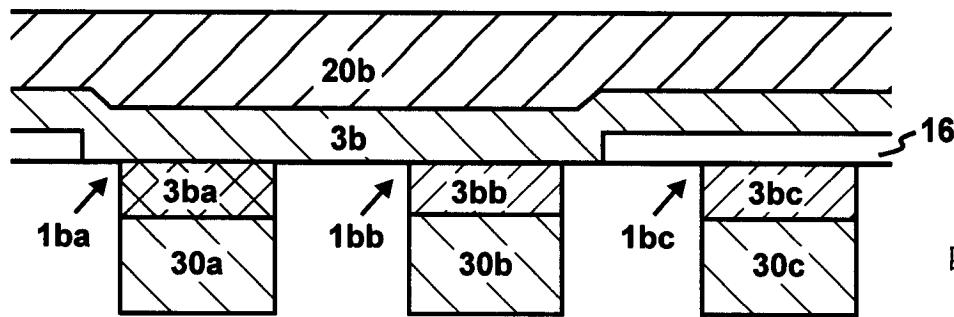


图 8A

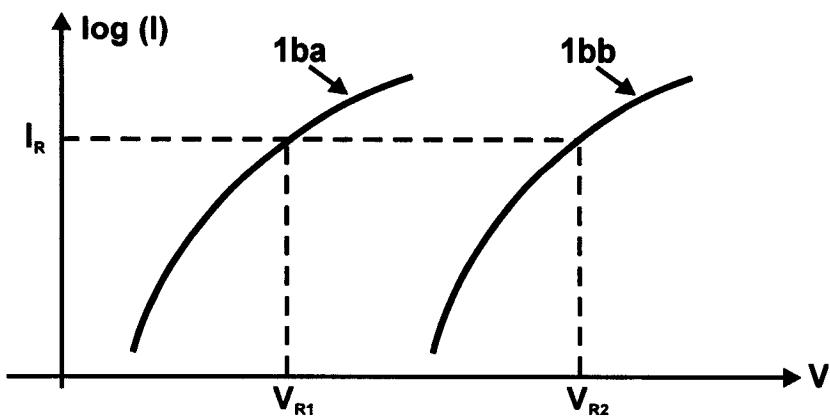


图 8B

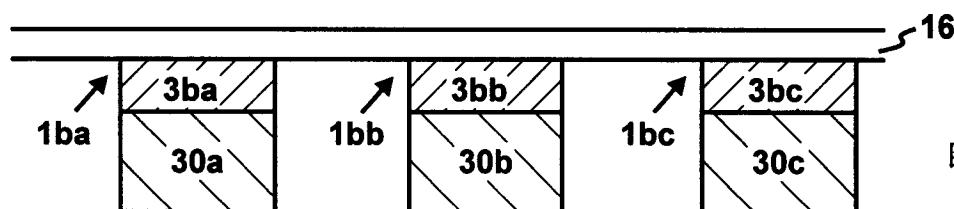


图 9A

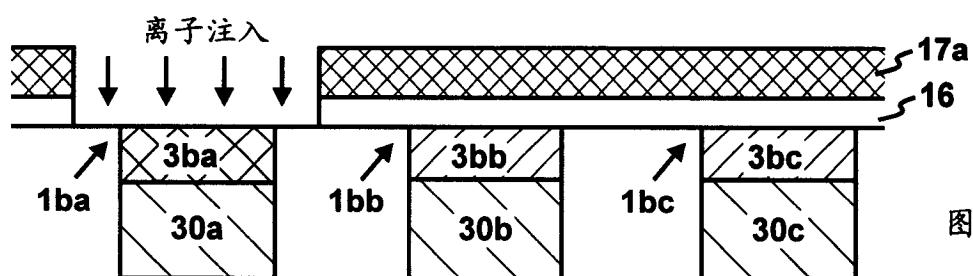


图 9B

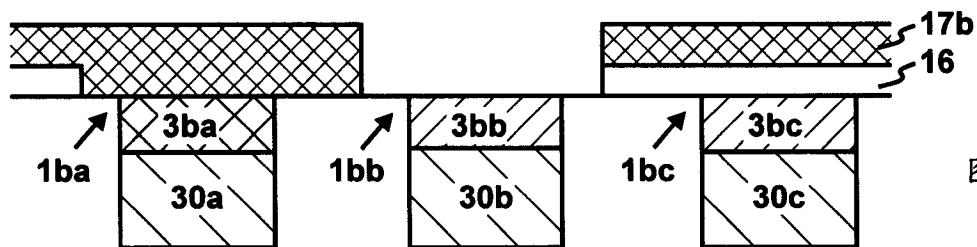


图 9C

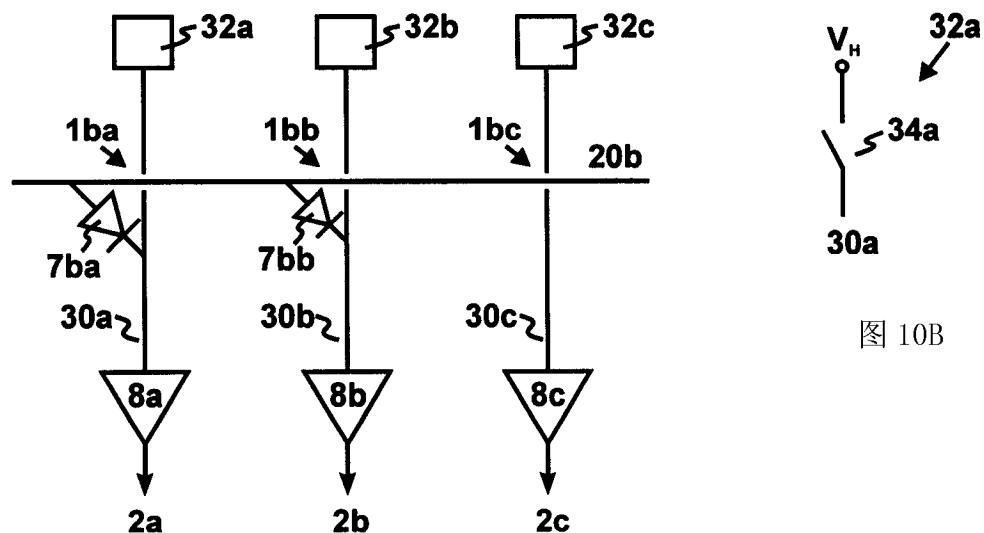


图 10B

图 10A

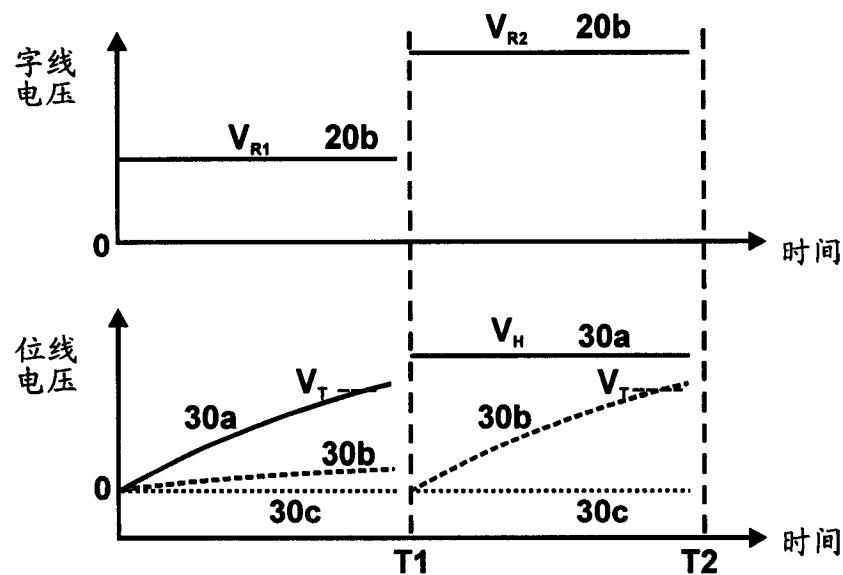


图 10C

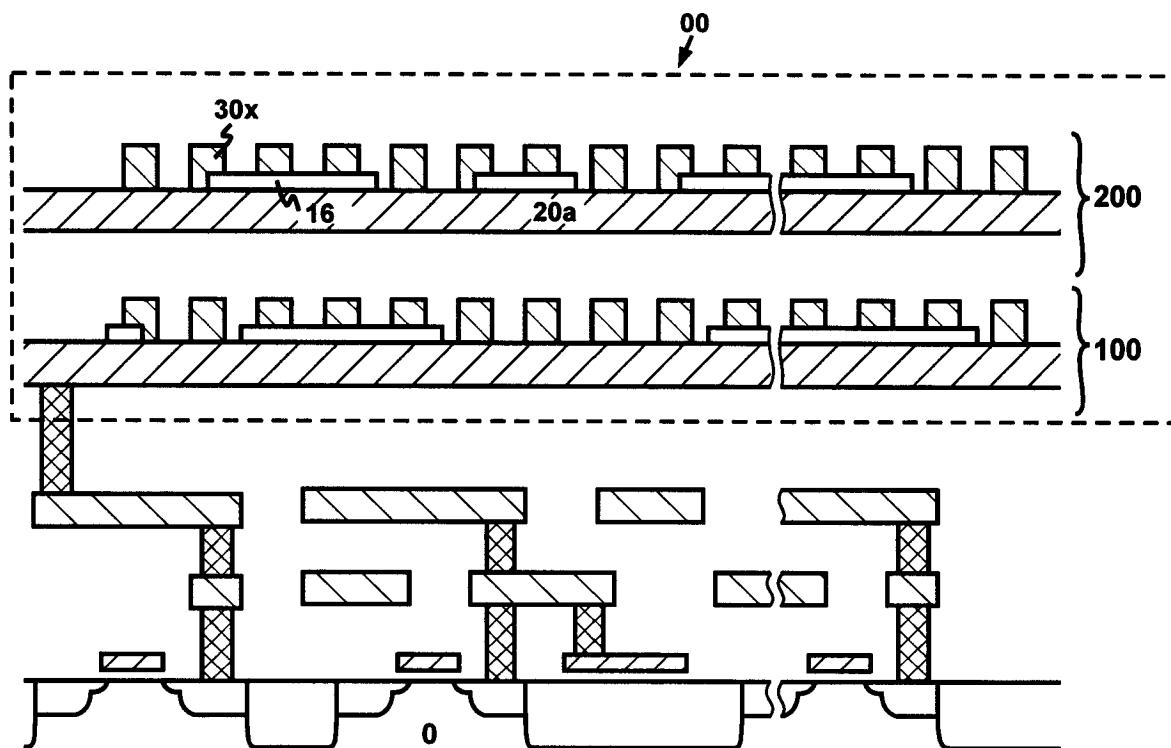


图 11

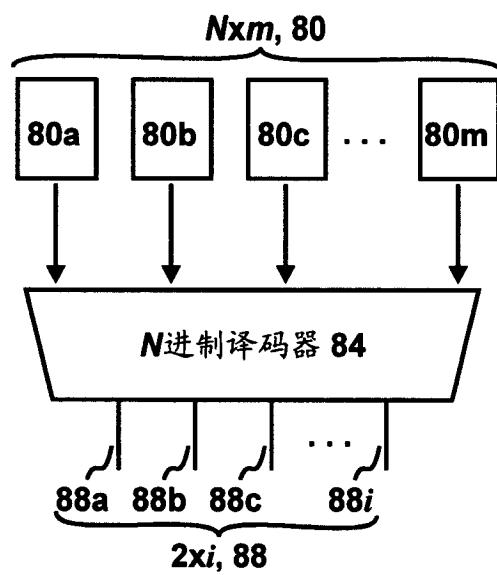


图 12