

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-521801

(P2009-521801A)

(43) 公表日 平成21年6月4日(2009.6.4)

(51) Int.Cl.	F 1	テーマコード (参考)
HO 1 L 21/205 (2006.01)	HO 1 L 21/205	5 F 0 4 5
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 L	5 F 1 4 0
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 V	

審査請求 未請求 予備審査請求 未請求 (全 24 頁)

(21) 出願番号	特願2008-547324 (P2008-547324)	(71) 出願人	500019890 エーエスエム アメリカ インコーポレイ テッド アメリカ合衆国 85034-7200 アリゾナ州 フィニックス イースト ユニバーシティ ドライブ 3440
(86) (22) 出願日	平成18年12月14日 (2006.12.14)	(74) 代理人	110000796 特許業務法人三枝国際特許事務所
(85) 翻訳文提出日	平成20年8月18日 (2008.8.18)	(72) 発明者	バウアー マティアス アメリカ合衆国 85042 アリゾナ州 フェニックス エス. ゴルフサイド レーン 7205
(86) 國際出願番号	PCT/US2006/047646	F ターム (参考)	5F045 AC01 AC05 AC13 AC17 AC18 AC19 AD10 AE29 BB09 CA05 DB02
(87) 國際公開番号	W02007/078802		
(87) 國際公開日	平成19年7月12日 (2007.7.12)		
(31) 優先権主張番号	60/754,569		
(32) 優先日	平成17年12月22日 (2005.12.22)		
(33) 優先権主張国	米国 (US)		

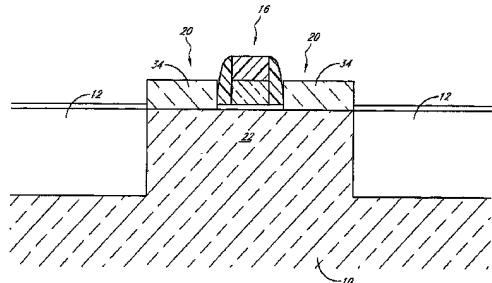
最終頁に続く

(54) 【発明の名称】ドープされた半導体物質のエピタキシャル堆積

(57) 【要約】

炭素ドープされたエピタキシャル半導体薄膜(30)の堆積方法であって、露出した単結晶物質(20)を有するパターニングされた基板(10)を収容するプロセスチャンバ(122)内を、約700 torrより高い圧力に維持するステップを含む。前記方法はさらに、プロセスチャンバ(122)に、シリコンソースガスのフローを供給するステップを含む。前記シリコンソースガスはジクロロシランを含む。前記方法はさらに、プロセスチャンバ(122)に、炭素前駆物質(132)のフローを供給するステップを含む。前記方法はさらに、露出した単結晶物質(20)上に、炭素ドープされたエピタキシャル半導体薄膜(30)を選択的に堆積するステップを含む。

【選択図】図6



【特許請求の範囲】**【請求項 1】**

炭素ドープされたエピタキシャル半導体薄膜の堆積方法であって、
露出した単結晶物質を有するパターニングされた基板を収容するプロセスチャンバ内を
、約 700 torr より高い圧力に維持するステップと、
シリコンソースガスがジクロロシランを含み、前記プロセスチャンバに、前記シリコン
ソースガスのフローを供給するステップと、
前記プロセスチャンバに、炭素前駆物質のフローを供給するステップと、
前記露出した単結晶物質上に、前記炭素ドープされたエピタキシャル半導体薄膜を選択
的に堆積するステップとを含む方法。

10

【請求項 2】

前記炭素ドープされたエピタキシャル半導体薄膜が、前記露出した単結晶物質上に、約
5 nm / 分より速い速度で堆積される請求項 1 の方法。

【請求項 3】

前記プロセスチャンバに、n 型ドーパント水素化物のフローを供給するステップをさら
に含む請求項 1 の方法。

【請求項 4】

前記プロセスチャンバに、HCl のフローを供給するステップをさらに含む請求項 1 の
方法。

20

【請求項 5】

前記プロセスチャンバに、約 10 sccm ~ 約 160 sccm のフローレートで、HCl
のフローを供給するステップをさらに含む請求項 1 の方法。

【請求項 6】

前記プロセスチャンバに、約 80 sccm ~ 約 160 sccm のフローレートで、HCl
のフローを供給するステップをさらに含み、

前記シリコンソースガスが、さらにシランを含む請求項 1 の方法。

【請求項 7】

前記プロセスチャンバに、約 10 sccm ~ 約 40 sccm のフローレートで、HCl
のフローを供給するステップをさらに含み、

前記シリコンソースガスの混合気は、本質的にジクロロシランから成る請求項 1 の方法
。

30

【請求項 8】

前記プロセスチャンバに、水素およびヘリウムから成る群から選択されるキャリアを供
給するステップをさらに含む請求項 1 の方法。

【請求項 9】

前記プロセスチャンバに、約 1 slm ~ 約 10 slm のフローレートで、キャリアを供
給するステップをさらに含む請求項 1 の方法。

【請求項 10】

前記シリコンソースガスが、さらにシランを含む請求項 1 の方法。

【請求項 11】

前記シリコンソースガスが、本質的にジクロロシランから成る請求項 1 の方法。

40

【請求項 12】

前記シリコンソースガスが、シラン、Si₃H₈、および Si₂H_nC_{16-n} (ここで、1 < n < 6) の少なくとも 1 つをさらに含む請求項 1 の方法。

【請求項 13】

前記シリコンソースガスが、前記プロセスチャンバ内で、約 25 torr ~ 約 35 torr
の分圧を有する請求項 1 の方法。

【請求項 14】

前記シリコンソースガスが、前記プロセスチャンバに、約 200 sccm ~ 約 500 sccm
のフローレートで供給される請求項 1 の方法。

50

【請求項 15】

前記炭素前駆物質が、前記プロセスチャンバに、約 50 sccm ~ 約 70 sccm のフローレートで供給される請求項 1 の方法。

【請求項 16】

前記炭素前駆物質が、 $\text{C}(\text{SiH}_3)_4$ 、 CH_3SiH_3 、および 1,3-ジシラブタンから成る群から選択される請求項 1 の方法。

【請求項 17】

前記炭素前駆物質が、 $(\text{SiH}_z\text{Cl}_{3-z})_x\text{CH}_{4-x-y}\text{Cl}_y$ (ここで、当該 $\text{SiH}_3\text{Cl}_{3-z}$ 基の各々について、 $1 \leq x \leq 4$ 、および $0 \leq y \leq 3$ 、および $(x+y) \leq 4$ 、および $0 \leq z \leq 3$) を含む請求項 1 の方法。 10

【請求項 18】

前記プロセスチャンバに、約 100 sccm ~ 約 500 sccm のフローレートで、n 型ドーパント水素化物のフローを供給するステップをさらに含む請求項 1 の方法。

【請求項 19】

前記プロセスチャンバに、 PH_3 のフローを供給するステップをさらに含む請求項 1 の方法。

【請求項 20】

前記プロセスチャンバ内で維持される前記圧力が、大気圧である請求項 1 の方法。

【請求項 21】

前記炭素ドープされたエピタキシャル半導体薄膜が、単結晶シリコン中に、置換ドーピングされた炭素を約 0.8 % ~ 約 1.2 % 含む請求項 1 の方法。 20

【請求項 22】

前記炭素ドープされたエピタキシャル半導体薄膜が、約 0.7 m · cm 未満の抵抗率を有する請求項 1 の方法。

【請求項 23】

前記炭素ドープされたエピタキシャル半導体薄膜が、約 0.5 m · cm 未満の抵抗率を有する請求項 1 の方法。

【請求項 24】

前記炭素ドープされたエピタキシャル半導体薄膜を堆積する前記ステップの間、前記パターニングされた基板が、約 630 ~ 約 650 の温度に保持される請求項 1 の方法。 30

【請求項 25】

前記炭素ドープされたエピタキシャル半導体薄膜を堆積する前記ステップの間、前記パターニングされた基板が、約 600 ~ 約 660 の温度に保持される請求項 1 の方法。

【請求項 26】

前記炭素ドープされたエピタキシャル半導体薄膜を堆積する前記ステップの間、前記パターニングされた基板が、約 600 ~ 約 675 の温度に保持される請求項 1 の方法。

【請求項 27】

前記プロセスチャンバが、枚葉式のプロセスチャンバである請求項 1 の方法。

【請求項 28】

プロセスチャンバ内において、フィールド絶縁酸化膜マスクによって画定された、半導体物質の複数の露出したフィールドを有するパターニングされた基板の位置決めをするステップと、 40

前記プロセスチャンバに、 $(\text{SiH}_z\text{Cl}_{3-z})_x\text{CH}_{4-x-y}\text{Cl}_y$ (ここで、当該 $\text{SiH}_3\text{Cl}_{3-z}$ 基の各々について、 $1 \leq x \leq 4$ 、および $0 \leq y \leq 3$ 、および $(x+y) \leq 4$ 、および $0 \leq z \leq 3$) のフローを供給するステップと、

前記プロセスチャンバに、シリコンソースガスのフローを供給するステップと、

前記半導体物質の複数の露出したフィールド上に、炭素ドープされたエピタキシャル半導体物質を選択的に堆積するステップとを含み、

前記堆積するステップの間、前記プロセスチャンバが約 500 torr より高い圧力に維持され、 50

前記炭素ドープされたエピタキシャル半導体物質が、前記半導体物質の複数の露出したフィールド上に、約 5 nm / 分より速い速度で堆積される方法。

【請求項 29】

前記シリコンソースガスがジクロロシランである請求項 28 の方法。

【請求項 30】

前記プロセスチャンバに、エッチャントのフローを供給するステップをさらに含む請求項 28 の方法。

【請求項 31】

前記炭素ドープされたエピタキシャル半導体物質が、約 20 nm ~ 約 80 nm の厚さに堆積される請求項 28 の方法。

10

【請求項 32】

前記炭素ドープされたエピタキシャル半導体物質が、トランジスタ構造のエレベーテッド・ソース / ドレイン領域の部分を形成する請求項 28 の方法。

【請求項 33】

前記炭素ドープされたエピタキシャル半導体物質を選択的に堆積する前記ステップの間、前記プロセスチャンバが大気圧に維持される請求項 28 の方法。

【請求項 34】

前記炭素ドープされたエピタキシャル半導体物質を選択的に堆積する前記ステップの間、前記プロセスチャンバが約 700 未満の温度に維持される請求項 28 の方法。

20

【請求項 35】

前記炭素ドープされたエピタキシャル半導体物質を選択的に堆積する前記ステップの間、前記プロセスチャンバが約 350 ~ 約 675 の温度に維持される請求項 28 の方法。

【請求項 36】

前記フィールド絶縁マスクを覆う堆積物を実質的に除去するための、時限式ウェットエッティングを実行するステップをさらに含む請求項 28 の方法。

【請求項 37】

選択的に堆積する前記ステップが、前記フィールド絶縁マスク上に実質的な堆積を起こさせずに、前記複数の露出したフィールド上に、前記炭素ドープされたエピタキシャル半導体物質を堆積することを含む請求項 28 の方法。

30

【請求項 38】

反応チャンバ内の基板上にトランジスタデバイスを形成する方法であって、前記基板上の複数の浅いトレンチ分離要素間に、複数の活性領域を画定するステップと、

前記反応チャンバ内に、ジクロロシランのフローを供給するステップと、

前記反応チャンバ内に、 $(SiH_3Cl_{3-z})_xCH_{4-x-y}Cl_y$ (ここで、当該 SiH_3Cl_{3-z} 基の各々について、 $1 \leq x \leq 4$ 、および $0 \leq y \leq 3$ 、および $(x+y) \leq 4$ 、および $0 \leq z \leq 3$) のフローを供給するステップと、

約 5 nm / 分より速い第 1 の堆積速度 d_1 で、前記活性領域上に、引張り歪み $Si:C$ 物質を堆積するステップと、

$d_1 = 100 d_2$ である第 2 の堆積速度 d_2 で、前記トレンチ分離要素上に、 $Si:C$ 物質を堆積するステップとを含む方法。

40

【請求項 39】

前記引張り歪み $Si:C$ 物質が、置換ドーピングされた炭素を約 0.1 % ~ 約 5 % 有する請求項 38 の方法。

【請求項 40】

前記引張り歪み $Si:C$ 物質が、置換ドーピングされた炭素を約 0.5 % ~ 約 2 % 有する請求項 38 の方法。

【請求項 41】

前記浅いトレンチ分離要素上に堆積された前記 $Si:C$ 物質をエッキングするステップ

50

をさらに含む請求項 3 8 の方法。

【請求項 4 2】

前記トランジスタデバイスが、ヘテロバイポーラ型トランジスタである請求項 3 8 の方法。

【請求項 4 3】

前記反応チャンバ内に、n 型ドーパント水素化物のフローとエッチャントのフローとを供給するステップをさらに含む請求項 3 8 の方法。

【請求項 4 4】

前記引張り歪み Si : C 物質を堆積する前記ステップの間、 $(SiH_2Cl_{3-z})_xCH_{4-x-y}Cl_y$ のフローレートを変更するステップをさらに含む請求項 3 8 の方法

。

【請求項 4 5】

前記引張り歪み Si : C 物質を堆積する前記ステップの前に、HF 蒸気を使用して前記活性領域をクリーニングするステップをさらに含む請求項 3 8 の方法。

【請求項 4 6】

前記引張り歪み Si : C 物質が、前記浅いトレンチ分離要素に対して高い位置にある請求項 3 8 の方法。

【請求項 4 7】

前記引張り歪み Si : C 物質がドープされていない請求項 4 6 の方法。

【請求項 4 8】

前記引張り歪み Si : C 物質を堆積する前記ステップの前に、前記引張り歪み Si : C 物質が、前記浅いトレンチ分離要素に対してリセスされる程度に、前記活性領域を選択的にエッチングするステップをさらに含む請求項 3 8 の方法。

【請求項 4 9】

前記活性領域が、前記引張り歪み Si : C 物質の臨界膜圧未満の深さに選択的にエッチングされる請求項 4 8 の方法。

【請求項 5 0】

前記引張り歪み Si : C 物質が n 型ドープされる請求項 4 8 の方法。

【請求項 5 1】

半導体物質を堆積するための装置であって、

ジクロロシラン蒸気のソースと、
 $(SiH_2Cl_{3-z})_xCH_{4-x-y}Cl_y$ 蒸気（ここで、当該 SiH_3Cl_{3-z} 基の各々について、 $1 \leq x \leq 4$ 、および $0 \leq y \leq 3$ 、および $(x+y) \leq 4$ 、および $0 \leq z \leq 3$ ）のソースと、

キャリアガスソースと、

前記ジクロロシラン蒸気のソース、前記 $(SiH_2Cl_{3-z})_xCH_{4-x-y}Cl_y$ 蒸気のソース、および、前記キャリアガスソースを、大気圧以下の半導体物質の堆積用に構成された、枚葉式の化学気相蒸着チャンバへ接続するガス分配ネットワークと、

基板の他の部分を堆積することなく、前記蒸着チャンバ内の前記基板の複数の部分に Si : C 物質を選択的に堆積するのに適した条件の下で、ジクロロシラン蒸気および $(SiH_2Cl_{3-z})_xCH_{4-x-y}Cl_y$ 蒸気を、前記ガス分配ネットワークへ供給するために構成されたコントロールシステムとを備える装置。

【請求項 5 2】

ヒータをさらに備え、

前記コントロールシステムが、当該ヒータを使用して、前記蒸着チャンバを約 600 ~ 約 675 の温度に維持するように構成される請求項 5 1 の装置。

【請求項 5 3】

前記キャリアガスソースが、水素ガスのソース、およびヘリウムガスのソースから成る群から選択される請求項 5 1 の装置。

【請求項 5 4】

10

20

30

40

50

ドーパント水素化物蒸気のソースをさらに備え、
前記ガス分配ネットワークが、さらに、前記ドーパント水素化物蒸気のソースを前記蒸着チャンバに接続する請求項 5 1 の装置。

【請求項 5 5】

前記ドーパント水素化物が PH₃ である請求項 5 4 の装置。

【請求項 5 6】

エッチャント蒸気のソースをさらに備え、
前記ガス分配ネットワークが、さらに、前記エッチャント蒸気のソースを前記蒸着チャンバに接続する請求項 5 1 の装置。

【請求項 5 7】

前記エッチャント蒸気のソースが、 HCl のソースを含む請求項 5 6 の装置。

【請求項 5 8】

前記コントロールシステムが、前記蒸着チャンバ内の前記ジクロロシラン蒸気の分圧が、約 25 torr ~ 約 35 torr である程度に、前記ジクロロシラン蒸気を前記ガス分配ネットワークに供給するために構成される請求項 5 1 の装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、概ねエピタキシャル堆積に関し、より詳細には、炭素ドープされた半導体物質の選択的なインサイチュエピタキシャル堆積に関する。

【背景技術】

【0 0 0 2】

優先権主張出願

本出願は、米国仮特許出願第 60 / 754,569 号（2005 年 1 月 22 日付提出）の利益を主張し、これによって、その全開示を参照によって本明細書に組み込む。

【0 0 0 3】

関連する出願に対する相互参照

本出願は、米国特許出願第 11 / 113,829 号（2005 年 4 月 25 日付提出の Attorney Docket ASME X. 487A）、米国特許出願第 11 / 343,275 号（2006 年 1 月 30 日付提出の Attorney Docket ASME X. 511A）、米国特許出願第 11 / 343,264 号（2006 年 1 月 30 日付提出の Attorney Docket ASME X. 517A）、および、米国特許出願第 11 / 343,244 号（2006 年 1 月 30 日付提出の Attorney Docket 527A）に関連する。これによって、これら関連するすべての出願の全開示を参照によって本明細書に組み込む。

【0 0 0 4】

半導体製造産業では、表面上に物質を堆積するために様々な方法が使用される。例えば、そのような方法の最も幅広く使用されている 1 つは、化学気相蒸着法（CVD）であり、蒸気に含まれている原子又は分子が表面上に堆積し、積層して薄膜を形成する。従来のシリコンソースと、絶縁体といった所定の表面上への堆積方法とを使用するシリコン含有物質の堆積は、いくつかの別個の段階で進行すると考えられる。第 1 の段階である核生成は、最初のわずかな量の原子又は分子が表面上に堆積して、核生成するように生じる。核生成は、下層にある基板表面の性質および品質によって大きく影響される。第 2 の段階の間中、孤立した核は、より大きなアイランドに成長する小さなアイランドを形成する。第 3 の段階では、成長しているアイランドは、連続的な薄膜へ結合し始める。この段階において、薄膜は通常数百オングストロームの厚さを有し、「過渡的」薄膜として知られている。過渡的薄膜は、一般に、過渡的薄膜が形成された後に成長し始めるより厚みのあるバルク薄膜とは異なる化学的および物理的特性を有する。

【0 0 0 5】

いくつかの応用例では、絶縁体表面（例えば酸化シリコン）および半導体表面（例えば

10

20

30

40

50

シリコン)の両方を覆って、均一な堆積あるいは「ブランケット」堆積を達成するのが望ましい。他の応用例では、フィールド絶縁酸化膜といった異なる物質のフィールド内に露出した半導体ウィンドー領域上に、選択的に堆積することが望ましい。例えば多くの場合、ヘテロ接合バイポーラトランジスタは、単結晶の半導体薄膜を活性領域上にのみエピタキシャルに堆積する、選択的な堆積技術を使用して製作される。他のトランジスタ設計は、ソース/ドレイン・コンタクトプロセスにより過剰なシリコンが消費されることを提供するエレベーテッド・ソース/ドレイン構造から利益を得て、よって、結果として得られる浅い接合素子の性能は、影響されないままである。有利なことに、ソース/ドレイン領域上への選択的なエピタキシーは、後続のパターニング及びエッチングステップの回数の低減を可能にする。

10

【0006】

一般に、選択的な堆積は、異なる物質上への堆積の間中の、特異な核生成を有利に利用する。選択的な堆積は、一般に、堆積されている物質の同時のエッチング及び堆積を含む。選択した前駆物質は、一般に、一方の表面上においてより急速に核生成及び成長し、他方の表面上においてさほど急速ではなく核生成及び成長する傾向を有する。例えば、シランは、結局のところ、酸化シリコン及びシリコンの両方の表面上にシリコンを堆積するであろうが、酸化シリコンについては、著しく長い核生成フェーズが存在する。よって、核生成段階の初めには、酸化物上の不連続の薄膜は、シリコン上のマージされた連続的な薄膜と比較して、高い位置に表面が露出したエリアを有する。それゆえに、プロセスに対して加えられたエッチャントは、シリコン上に急速に核生成する薄膜と比較して、酸化物上に不十分に核生成する薄膜に対するより高い効果を有するであろう。よって、プロセスの相対的な選択性は、堆積速度(例えば、前駆物質フローレート、温度、および圧力)と、エッチング速度(例えば、エッチャントフローレート、温度、および圧力)とに影響する要因を調節することにより調整可能である。これらのような変数の変化は、一般に、エッチング速度および堆積速度に関する特異な効果に帰着する。一般には、選択的な堆積プロセスは、フィールド領域においては殆どあるいは全く堆積を遂行しない一方、関心のあるウィンドー領域上では、実現可能な最も高い堆積速度を実現するために調整される。公知の選択的なシリコン堆積プロセスは、シランや、水素キャリアガスを用いる塩化水素酸といった反応物質を含む。

20

【0007】

半導体産業において応用例を有する歪み単結晶体シリコン含有物質を生成するために、様々なアプローチが使用されてきた。1つのアプローチは、素子(トランジスタといった)が製作される前に、基板レベルで歪みを発現させることを含む。例えば、薄い単結晶体シリコン層は、歪みが緩和されたシリコングルマニウム層上に、シリコン層をエピタキシャルに堆積することにより、引張歪みを有して供給され得る。この例では、エピタキシャルに堆積されたシリコン層の格子定数が、下層にあるシリコングルマニウム層のより大きな格子定数に従うので、エピタキシャルに堆積されたシリコンは歪んでいる。一般に、エピタキシャルに堆積された引張り歪みシリコンは、電子移動度の増大を示す。

30

【0008】

歪み単結晶体シリコン含有物質を製作するための別のアプローチは、ドーパントが格子構造中のシリコン原子を置き換える置換ドーピングによる。例えば、単結晶体シリコンの格子構造中のいくつかのシリコン原子に代えてゲルマニウム原子を代用することは、置き換えられるシリコン原子よりもゲルマニウム原子が大きいので、結果として得られる置換ドーピングされた単結晶体シリコングルマニウム物質中に圧縮歪みを生じさせる。あるいは、炭素原子が、それらが置き換えるシリコン原子よりも小さいので、炭素を用いた置換ドーピングにより、単結晶体シリコン中に引張歪みが供給される。

40

【発明の開示】

【発明が解決しようとする課題】

【0009】

不利なことに、エッチャントの使用は、選択的な堆積の多くの化学物質の、遅い堆積速

50

度を引き起こし、それにより、パターニング及びエッチングステップを省略することにより得られるスループットのいくらか或いは全てが、そのより遅い堆積速度によって失われる。さらに、格子構造内においてシリコン原子を置き換えることによるよりも、シリコンの範囲内のドメイン内又はクラスター内においてドーパントが隙間に結合する傾向により、多くの場合、置換ドーピングは複雑になる。したがって、ドープされた半導体物質の選択的なエピタキシャル堆積を実行するための改善された方法が開発されている。

【課題を解決するための手段】

【0010】

本発明の一実施形態では、炭素ドープされたエピタキシャル半導体薄膜の堆積方法は、露出した単結晶物質を有するパターニングされた基板を収容するプロセスチャンバ内を、約 700 torr より高い圧力に維持するステップを含む。前記方法はさらに、前記プロセスチャンバに、シリコンソースガスのフローを供給するステップを含む。前記シリコンソースガスはジクロロシランを含む。前記方法はさらに、前記プロセスチャンバに、炭素前駆物質のフローを供給するステップを含む。前記方法はさらに、前記露出した単結晶物質上に、前記炭素ドープされたエピタキシャル半導体薄膜を選択的に堆積するステップを含む。

10

【0011】

本発明の別の実施形態では、1つの方法は、プロセスチャンバ内において、パターニングされた基板の位置決めをするステップを含む。前記パターニングされた基板は、フィールド絶縁酸化膜マスクによって画定された、半導体物質の複数の露出したフィールドを有する。前記方法はさらに、前記プロセスチャンバに、 $(SiH_3Cl_{3-z})_xCH_4 - x - yCl_y$ (ここで、当該 SiH_3Cl_{3-z} 基の各々について、 $1 \leq x \leq 4$ 、および $0 \leq y \leq 3$ 、および $(x+y) \leq 4$ 、および $0 \leq z \leq 3$) のフローを供給するステップを含む。前記方法はさらに、前記プロセスチャンバに、シリコンソースガスのフローを供給するステップを含む。前記方法はさらに、前記半導体物質の複数の露出したフィールド上に、炭素ドープされたエピタキシャル半導体物質を選択的に堆積するステップを含む。前記堆積するステップの間、前記プロセスチャンバは約 500 torr より高い圧力に維持される。前記炭素ドープされたエピタキシャル半導体物質は、前記半導体物質の複数の露出したフィールド上に、約 5 nm / 分より高い速度で堆積される。

20

【0012】

30

本発明の別の実施形態では、反応チャンバ内の基板上にトランジスタデバイスを形成する方法は、前記基板上の複数の浅いトレンチ分離要素間に、複数の活性領域を画定するステップを含む。前記方法はさらに、前記反応チャンバ内に、ジクロロシランのフローを提供するステップを含む。前記方法はさらに、前記反応チャンバ内に、 $(SiH_3Cl_{3-z})_xCH_4 - x - yCl_y$ (ここで、当該 SiH_3Cl_{3-z} 基の各々について、 $1 \leq x \leq 4$ 、および $0 \leq y \leq 3$ 、および $(x+y) \leq 4$ 、および $0 \leq z \leq 3$) のフローを提供するステップを含む。前記方法はさらに、第1の堆積速度 d_1 で、前記活性領域上に、引張り歪み $Si : C$ 物質を堆積するステップを含む。前記第1の堆積速度 d_1 は、約 5 nm / 分より速い。前記方法はさらに、 $d_1 > 100 d_2$ である第2の堆積速度 d_2 で、前記トレント分離要素上に、 $Si : C$ 物質を堆積するステップを含む。

40

【0013】

40

本発明の別の実施形態では、半導体を堆積するための装置は、ジクロロシラン蒸気のソースを備える。前記装置はさらに、 $(SiH_3Cl_{3-z})_xCH_4 - x - yCl_y$ 蒸気 (ここで、当該 SiH_3Cl_{3-z} 基の各々について、 $1 \leq x \leq 4$ 、および $0 \leq y \leq 3$ 、および $(x+y) \leq 4$ 、および $0 \leq z \leq 3$) のソースを備える。前記装置はさらに、キャリアガスソースを備える。前記装置はさらに、前記ジクロロシラン蒸気のソース、前記 $(SiH_3Cl_{3-z})_xCH_4 - x - yCl_y$ 蒸気のソース、および、前記キャリアガスソースを、大気圧以下の半導体物質の堆積用に構成された、枚葉式の化学気相蒸着チャンバへ接続するガス分配ネットワークを備える。前記装置はさらに、基板の他の部分を堆積することなく、前記蒸着チャンバ内の前記基板の複数の部分に $Si : C$ 物質を選択的に

50

堆積するのに適した条件の下で、ジクロロシラン蒸気および($\text{SiH}_2\text{Cl}_{3-z}$) $_x\text{CH}_{4-x-y}\text{Cl}_y$ 蒸気を、前記ガス分配ネットワークへ供給するために構成されたコントロールシステムを備える。

【0014】

本明細書に開示された方法及び構造の例示的な実施形態は、例証のみを意図する添付の図面において図示される。添付の図面は以下に示す各図面を含み、以下の各図面において、同じ参照符号は同じ又は類似の構成要素を示す。

【発明を実施するための最良の形態】

【0015】

イントロダクション

インサイチュに炭素ドープされた半導体物質を含む、半導体物質の選択的なエピタキシャル堆積を実行するための改善された方法の例示的な実施形態が、本明細書に開示される。本明細書に開示された所定のCVD技術は、改善された結晶品質を有し、取り込まれたドーパントの電気的な活性度が改善され、そして成長速度が改善された半導体薄膜を生産する。或る実施形態では、高濃度にn型ドープされた選択的な堆積が、シリコン前駆物質としてのジクロロシランと、ドーパント水素化物と、選択性を改善するHClとを任意に使用して、大気圧の条件下で実行可能である。メチルシラン(CH_3SiH_3)といった炭素前駆物質が、炭素を含む薄膜を形成するためのプロセスガス混合気に任意に加えられる。低圧化学気相蒸着(LPCVD)および減圧化学気相蒸着(RPCVD)の圧力領域よりも高い圧力(好ましくは約500torrより高く、より好ましくは約700torrより高く、そして最も好ましくは大気圧)での堆積を、高いドーパントの取り込みおよび高い堆積速度の両方と共に、任意に選択できる。

10

20

30

40

50

【0016】

本明細書に開示されたプロセスは、他のプロセスの間で、様々な基板上へのシリコン含有薄膜の堆積に対して有用であるが、或る実施形態は、「混合基板」上への堆積に対して特に有用である。本明細書において使用されるように、用語「混合基板」は、その通常の意味に加えて、2つ以上の異なるタイプの表面を有する基板を意味する。それら表面は、1つ以上の様々な異なる意味で、互いに異なる。例えば、或る応用例では、それら表面は、シリコン、窒化シリコン、および二酸化シリコンといった、異なるシリコン含有物質から作成される。それら表面が同じ要素を含む応用例であっても、表面の電気的特性といった他の特性が異なる場合、それら表面は依然として異なると考えられる。例えば、一般的な応用例では、シリコン含有層は、隣接する誘電体を覆う堆積を最小限にしながら、より好ましくは回避しながら、半導体物質を覆って選択的に形成される。一般的な誘電体物質の例は、二酸化シリコン、窒化シリコン、金属酸化膜、および金属シリケートを含む。

【0017】

混合基板は、第1の表面形態を有する第1の部分と、第2の表面形態を有する第2の部分とを備える基板を含む。本明細書において使用されるように、「表面形態」はその通常の意味に加えて、基板表面の結晶体構造を意味する。例えば、多結晶体の形態は、秩序的な結晶の無秩序な配置から成ることで、中間程度の秩序性を有する結晶体構造である。多結晶体物質中の原子は、結晶内において整列されるが、結晶はそれら自身が互いに長距離秩序を欠く。原子が有限の周期的な配置を欠くので、アモルファス形態は、低度の秩序を有する非晶質体の構造である。他の表面形態は、微結晶体および単結晶体を含む。エピタキシャル薄膜は、それらが成長する基板と同一の結晶構造および方位によって特徴づけられ、それは一般的に単結晶の形態である。

【0018】

多くの半導体の応用例において特に有用である単結晶の形態は、高度の秩序を有する結晶体構造である。より詳細には、本明細書において使用されるように、形態の記述「単結晶」と「単結晶体」は、それらの通常の意味に加えて、許容可能な数の欠陥を有する際だって大きな結晶構造を意味する。一般に、層の結晶化度は、アモルファスから多結晶体、そして単結晶体に至る連続体に沿って低下する。当該技術に熟練している者は、欠陥

の密度が低いにもかかわらず、結晶構造が単結晶と考へられるか否かを容易に決定することができる。単結晶の形態を有する物質中の原子は、比較的長い距離（原子スケールで）にわたって持続する格子状の構造に配列される。

【0019】

混合基板の具体例は、例えば、単結晶と多結晶、単結晶とアモルファス、エピタキシャルと多結晶、エピタキシャルとアモルファス、単結晶と誘電体、エピタキシャルと誘電体、導体と誘電体、および、半導体と誘電体を含む。用語「混合基板」は、2つ以上の異なるタイプの表面を有する基板を含み、よって、2つのタイプの表面を有する混合基板上にシリコン含有薄膜を堆積するための、本明細書に記述された所定の方法は、さらに、3つ以上の異なるタイプの表面を有する混合基板に対しても適用可能である。

10

【0020】

本明細書において使用されるように、用語「基板」は、その通常の意味に加えて、堆積が望まれるワークピース上、あるいは堆積ガスに対して露出する表面のいずれかを意味する。基板の例は、単結晶シリコンウェハ、シリコン・オン・インシュレータ（SOI）基板、あるいは、下層にある基板上に、エピタキシャルシリコン、シリコングルマニウム、又はIII-V族物質が堆積された基板を含む。基板は、ウェハに限定されず、さらに、ガラス、プラスチック、あるいは半導体プロセスに使用される他の基板も含む。一般に、半導体プロセスは、集積回路の組立てのために使用される。そのようなプロセスは、他の様々な分野で使用されるが、それは特に厳格な品質要求を要する。例えば、半導体プロセス技術は、微小電気機械システム（MEMS）の組立てと同様に、種々様々な技術を使用するフラットパネルディスプレイの組立てに、たびたび使用される。

20

【0021】

本明細書において使用されるように、「選択的な」堆積は、その通常の意味に加えて、2つの異なる表面上に、著しく異なる2つの成長速度で、堆積が同時に起きる堆積プロセスを意味する。第1の表面上では、第2の表面上での堆積速度よりも少なくとも10倍速い速度で堆積が起きる。好ましくは、第1の表面上では、第2の表面上での堆積速度よりも少なくとも100倍速い速度で堆積が起きる。「完全に」選択的な堆積プロセスは、一般的に、第2の表面上には正味の堆積が無いのに対して、第1の表面上には堆積が起きるプロセスを意味する。選択的な堆積の他の実施形態では、異なる堆積速度が使用される。

30

【0022】

堆積は、様々なCVD法に従って適切に行われるが、本明細書に開示されたCVD法に従って堆積が行われる場合に、最も高い利点が得られる。開示された方法は、プラズマエンハンスド化学気相蒸着法（PECVD）、紫外光アシストCVD、あるいは熱CVDを含むCVDの使用により、適切に実行される。しかしながら、有利なことに、熱CVDは、PECVDと比較して、基板と装置とにダメージを与える危険性を低減して、選択的な堆積が効果的に達成されることを可能にする。

【0023】

一般的には、基板表面への前駆物質ガスの供給は、内部に基板が配置された適切なチャンバへ、ガス混合気を導入することにより遂行される。例示的な実施形態では、チャンバは、枚葉式のシングルパスかつ水平方式の層流ガスチャンバである。このタイプの適切なリアクタは、アリゾナ州フェニックスのエーエスエムアメリカインコーポレイテッドから市販されている、枚葉式リアクタのEpsilonTMシリーズを含む。本明細書に開示された方法は、シャワーヘッド配置といった代替のリアクタ配置において使用可能であるが、基板の回転を使用する、水平方式のシングルパス層流ガスフロー配置のEpsilonTMチャンバにおいて、均一性および堆積速度の増大の利点が、特に有効であることが見いだされた。これらの利点は、低いプロセスガス滞留時間を使用するプロセスにおいて特に明らかである。プラズマ生成物が、インサイチュに、あるいはリモートプラズマ発生器の下流に任意に導入されるが、上記で述べたように熱CVDが好ましい。

40

【0024】

熱CVDは、シリコン含有薄膜を基板上に堆積するのに有効な基板温度で行われる。好

50

ましくは、熱 CVD は 700 未満の温度で行われる。例えば、好ましい実施形態では、熱 CVD は、約 350 ~ 約 675 、より好ましくは約 500 ~ 約 660 、そして最も好ましくは、約 600 ~ 約 650 の範囲で行われる。例えば、一実施形態では、熱 CVD は約 630 ~ 約 650 で行われる。これらの温度範囲は、サーマル・バジェット、堆積速度、チャンバ容量（枚葉式およびパッチ式リアクタを含む）、並びに、好適な総圧力および分圧などといった、実際の生産における現実性に対応するために調整可能である。基板は、抵抗加熱およびランプ加熱といった様々な方法を使用して加熱される。

【0025】

ジクロロシランを使用する CVD による、選択的に堆積されたシリコン含有薄膜中へのドーパントの取り込みは、好ましくは、ドーパント前駆物質を使用するインサイチュドーピングによって遂行される。電気的に n 型のドーパントについての好ましい前駆物質は、ホスフィン、ヒ素蒸気、およびアルシンといった n 型ドーパント前駆物質を含むドーパント水素化物を含む。シリルホスフィン [(H₃Si)_{3-x}PR_x] およびシリルアルシン [(H₃Si)_{3-x}AsR_x] (ここで、0 < x < 2 および R = H 又は D) は、燐およびヒ素ドーパントについての代替前駆物質である。そのようなドーパント前駆物質は、以下に記述されるような好ましい薄膜である、好ましくは燐ドープされたシリコンおよび Si : C 薄膜の準備に役立つ。本明細書において使用される「Si : C」は、シリコン、炭素、そして任意にドーパントといった他の要素を含む物質を意味する。「Si : C」は、それ自体が化学式どおりの化学式ではなく、よって、明示された要素の特定の比率を含む物質に制限されない。しかしながら、好ましい実施形態では、炭素ドープされたシリコン薄膜は、約 3 % 未満の炭素分を有する。

10

20

30

40

【0026】

プロセス統合の例

図 1 は例示的なシリコンウェハ基板 10 を示す。基板 10 は、ウェハもしくは SOI 基板上に形成されたエピタキシャル層を任意に含む。フィールド絶縁領域 12 は、従来の浅いトレンチ分離 (STI) 技術によって形成され、STI 要素中のウインドー領域に活性領域 14 を画定する。あるいは、フィールド絶縁物質を画定するために、局所的なシリコン酸化 (LOCOS) 、および、LOCOS 又は STI に関する多くのバリエーションを含む他の適切な方法が使用される。一般的には、いくつかの活性領域は、基板 10 全域にわたる STI によって同時に画定され、また、STI は、多くの場合、互いに網目状に分離するトランジスタの活性領域 14 を形成する。例示的な実施形態では、基板は、チャンネル形成に適したレベルに予めドープされている。

【0027】

図 2 は、活性領域 14 を覆うゲート電極 16 を形成後の基板 10 を示す。図 2 に示された例示的な実施形態では、ゲート電極 16 は従来のシリコン電極として図示され、絶縁スペーサおよびキャップ層に囲まれ、ゲート誘電体層 18 によって、下層にある基板 10 から分けられる。しかしながら、他の実施形態では、トランジスタゲートの積層構造は他の構成を有する。いくつかのプロセスフローでは、例えばスペーサが省略される。図示する実施形態では、ゲート電極 16 は、トランジスタゲート電極 16 の両側の活性領域 14 内に、ソース / ドレイン領域 20 を画定する。ゲート電極 16 は、さらに、ゲート電極 16 の下且つソース及びドレイン領域 20 の間に、チャンネル領域 22 を画定する。

30

40

【0028】

図 3 は、露出したシリコンを除去する選択的エッティングステップの結果を示す。例示的な実施形態では、垂直側壁の解像度を向上させ、且つ、露出した酸化物および窒化物の物質に対するダメージを低減するために、反応性イオンエッティング (RIE) が使用されるが、本明細書に開示された方法が、傾斜した側壁のリセスに対して適用可能であることが認識されるであろう。好ましくは、リセスの深さは、リセス内に堆積される層の臨界膜圧未満であるが、臨界膜圧よりも深い深さに堆積することにより、チャンネルに対する歪みを得ることができる。「臨界膜圧」は、特定の条件セットの下で、歪み層が自発的に緩和する厚さである。エッティングされて露出したシリコンは、本質的に活性領域 14 のソース

50

/ドレイン領域20であるので、このエッティングはソース/ドレイン・リセスと呼ばれる。或る実施形態では、ソース/ドレイン領域20上のゲート誘電体層18を取り除く予備のステップが、任意に使用される。

【0029】

図4は、選択的な堆積プロセスを使用して、リセスされたソース/ドレイン領域20を埋め込むステップの結果を示す。例えば、或る実施形態では、本明細書に開示された技術を使用して、n型ドープされた引張り歪みSi:C薄膜が、リセスされたソース/ドレイン領域20内へ堆積される。そのような堆積を得るために使用される例示的な供給ガスは、ジクロロシランの混合物、ホスフィンといったドーパント水素化物、CH₃SiH₃、およびHC1を含む。有利なことに、選択的に堆積されると、ヘテロエピタキシャル薄膜30が、ソース/ドレイン領域20を埋め込み、チャンネル領域22に対して歪みを働かせる。図示する実施形態では、ヘテロエピタキシャル薄膜30は、チャンネル領域22の表面とほぼ同じ高さにある。堆積の前に、露出したリセスされた半導体表面は、HF蒸気を用いてもしくはHFのラスト・ディップにより任意にクリーニングされ、それにより、その表面上に、エピタキシー用のクリーンな表面を残す。

10

【0030】

図5は、延伸されたヘテロエピタキシャル薄膜32に、エレベーテッド・ソース/ドレイン領域20を形成するための選択的な堆積の付加的な延長を示す。チャンネル領域22の表面より下のヘテロエピタキシャル薄膜30の部分が、チャンネル領域22に対して横方向の応力を働かせるので、基板の表面より上の延伸されたヘテロエピタキシャル薄膜32は、自然なシリコン格子定数からの格子の偏差を、ほとんどもしくは全く含む必要はない。従って、チャンネル領域22の表面より上の部分に対する選択的な堆積について、ジクロロシランのフローが継続される一方、炭素ソースガスのフローは、任意に、次第に低減もしくは停止される。そのような実施形態では、延伸されたヘテロエピタキシャル薄膜32を堆積する間、電気的なドーパントソースガス、特にホスフィンのフローが継続され得る。

20

【0031】

図5の延伸されたヘテロエピタキシャル薄膜32は、基板10の表面上に、付加的なシリコン物質を有利に提供する。或る実施形態では、後続のプロセスを通じて絶縁層が堆積され、また、絶縁層を通じて、ソース/ドレイン領域20へのコンタクトが形成される。付加的なシリコン物質は、シリサイドコンタクトの形成を促進し、オーム接觸の形成を通じてコンタクト抵抗を低減する。従って、コンタクトホール内へ、ニッケル、コバルト、あるいは他の金属が堆積され、そのような実施形態において、下層にあるソース/ドレイン領域20に対する浅い接合の電気的な特性に影響を与えることなく、過剰なシリコンを消費することが可能となった。

30

【0032】

図6は改良された実施形態を示し、図2の構造に対して、間に存在するソース/ドレイン・リセスプロセスを使用せずに、n型ドープされた引張り歪みSi:C薄膜の選択的な堆積が行われた。この場合、選択的な堆積は、ソース/ドレイン領域20を上昇させ、それにより、浅い接合を破壊することなしに、コンタクトシリサイド化によって消費されることが可能な、過剰なシリコン34を提供する。任意に、コンタクトシリサイド化によって過剰なシリコン34の全てが消費されることになっている実施形態においては、ドーパントは省略される。

40

【0033】

有利なことに、n型ドープされた引張り歪みSi:C薄膜の選択的な性質は、フィールドを覆う領域から過剰な堆積を除去するための、後続のパターニング及びエッティングステップを不要とする。有利なことに、高価なマスクステップを要求するのではなく、不完全な選択性であっても、絶縁体表面上の望まれない堆積を除去するための、時限式ウェットエッティングの使用を可能にする。さらに、比較的低温にもかかわらず、比較的速い堆積速度で優れた薄膜品質が得られ、これによりスループットを改善する。例えば、プロセスの

50

或る実施形態は、ヘテロバイポーラ型トランジスタ（HBT）のベース構造を形成するために使用される。エレベーテッド・ソース／ドレイン（ESD）構造、リセスされたソース／ドレイン構造、ダイナミック・ランダム・アクセス・メモリ（DRAM）及び／又はスタティック・ランダム・アクセス・メモリ（SRAM）用のコンタクトプラグを形成するために、プロセスの他の実施形態が使用される。

【0034】

n型ドープされた引張り歪みSi:C薄膜の堆積

単結晶シリコンについての格子定数が約5.431であるのに対して、シリコン原子と比較した炭素原子のより小さなサイズにより、ダイヤモンドの形態である単結晶炭素は、約3.567の格子定数を有する。従って、炭素を使用する置換ドーピングによって、単結晶体シリコン内に引張歪みを導入することが可能である。さらに、より小さな炭素原子の置換型の取り込みは、大きなドーパント原子用のより多くの空間を生成する。そのようなプロセスについては、モノメチルシランといった少量の有機的なシリコン前駆物質が、シリコン及び炭素の両方のソースとして、プロセスチャンバに加えられる。

10

【0035】

有利なことに、引張り歪みSi:C薄膜は、半導体中において、改善された電気的なキャリア移動度、および特にホール移動度を示し、それによって素子効率を改善する。臨界膜圧未満の厚さにSi:C薄膜が堆積され、且つ、ホスフィンといったドーパント水素化物がプロセスフローに加えられる場合、堆積された層は引張り歪み状態を維持し、且つ、ホール移動度が著しく改善される。このことは、nチャネル金属酸化膜半導体（NMOS）の応用例において特に有利である。これは、pチャネル金属酸化膜半導体（PMOS）素子において使用される、ホウ素ドープされたシリコングルマニウム薄膜と類似している。

20

【0036】

さらに、Si:C薄膜をドープするためのホスフィンの使用は、他のn型ドーパントが使用される場合でさえ提示されない利点を提供する。例えば、Si:C薄膜がホスフィンでドープされる場合、薄膜中の引張歪みは維持されるか、あるいはそれどころか、わずかに（例えば、約0.2%だけ）増大される。Si:C格子中の炭素の存在は、燐ドーパントの拡散を抑えて、それにより、薄膜が鋭いドーパント特性に形成されることを可能にする。他のn型ドーパントが使用される場合、鋭いドーパント特性に薄膜を成長させるのは困難である。

30

【0037】

しかしながら、実際的な見地から、低い抵抗率のn型ドープされたSi:C薄膜の選択的なエピタキシャル成長は、p型ドープされたシリコングルマニウム薄膜の選択的なエピタキシャル成長に関連して示されることのない難題を提示する。例えば、出願人は、より低い堆積温度およびより高い成長速度の両方によって、置換型の炭素の取り込みが向上されると確信した。しかしながら、Si:C薄膜の成長速度は、堆積温度が減少すると共に低下する。さらに、単結晶シリコン薄膜を選択的にエピタキシャル成長させるための、シリコン前駆物質としてのジクロロシランの使用は、一般的には遅い成長速度に帰着し、比較的高い堆積温度（例えば、約800～約850）の使用によって向上される。従来の堆積技術を使用して、シリコン前駆物質として、ジクロロシランを約750未満の温度で供給することは、無視できる脱離のみを有する塩素終端された表面に帰着する。

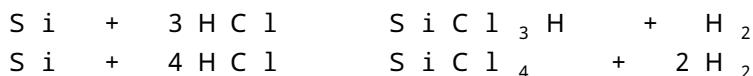
40

【0038】

本明細書に開示されるように、特に、シラン、 Si_2H_6 、 Si_3H_8 、および部分的にあるいは完全に塩化されたジシラン（即ち、 $\text{Si}_2\text{H}_n\text{Cl}_{6-n}$ 、ここで1≤n≤6）といった、それ自身が選択的な成長に力を貸さないシリコン前駆物質を使用するプロセスにおいて、選択性を向上させるために、多くの場合HClが使用される。理論によって制限されることなく、シリコンを堆積中の反応チャンバ内のHClの存在は、エッティング生成物 SiCl_3H および SiCl_4 に帰着すると考えられている。この場合、核生成されたシリコン表面のエッティングは、次の正味の反応に従って進行する。

50

【0039】



シリコン基板の表面上におけるこれら化学反応による質量変化は、基板表面における各々の化学種の濃度に影響する。特に、基板表面における化学種の濃度は、これら化学反応と、濃度および温度勾配によって生成された拡散する流量との間のバランスによって管理される。

【0040】

残留ガスの分析によって得られたスペクトルは、エッティング生成物 SiCl_3H および SiCl_4 を生成する連続反応に関する追加の情報を提供する。理論によって制限されることなく、これらの反応は次の通りであると考えられている。

【0041】



アスタリスク記号 * は、シリコン基板の表面上の SiCl および SiCl_2 の、化学吸着された状態を表示する。結果として得られる SiCl_3H は、それが比較的低い沸点（約 32）および比較的高い蒸気圧を有するので、基板表面に残留しない。シリコン基板のあたりには、気相の HCl が比較的高い濃度で存在するので、 SiCl_3H は、次の反応に従って、 HCl と反応して SiCl_4 を生成する。

【0042】

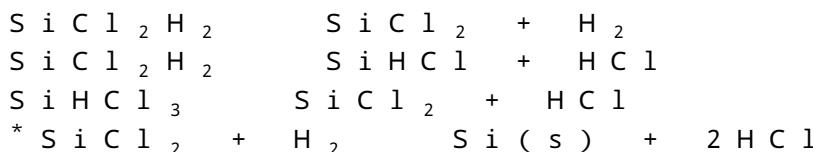


この反応は気相で生じる。

【0043】

ジクロロシランおよび SiHCl_3 の両方は、単結晶シリコンのエピタキシャル成長に適したシリコン前駆物質であり、次の反応に従う。

【0044】



堆積またはエッティングが起こるバランスは、次の反応に従い、



また、次の比率によって決定される。

【0045】

$$[\text{HCl}]^2 / [\text{SiCl}_2][\text{H}_2]$$

例示的な実施形態では、このバランスは、選択的な堆積が達成されるまで、反応チャンバ内へ HCl のフローを増大させる間に、ジクロロシランのフローを比較的一定に保持する

ことにより調整される。代替の実施形態では、H₂のフローは、エッチングプロセスに寄与するために低減されるか、あるいは、堆積プロセスに寄与するために増大させられる。H₂のフローの低減は、希釈度を低下させ、エッチャントの分圧を増大させ、そして、ガス速度を低減することにより、前駆物質の消費量の改善を促進する。

【0046】

シラン、Si₂H₆、Si₃H₈、および部分的にあるいは完全に塩化されたジシラン（即ち、Si₂H_nCl_{6-n}、ここで1≤n≤6）といった他のシリコン前駆物質はまた、特に、ジクロロシランをさらに含むシリコン前駆物質ガス混合気の成分として使用された場合、単結晶シリコンのエピタキシャル成長に適したシリコン前駆物質である。半導体プロセスの基準によると、市販されているHC1は一般的に高い汚染レベル（例えば、水蒸気）を有するので、ジクロロシランを含むシリコン前駆物質ガス混合気の使用が、反応チャンバ内に存在するHC1の量を有利に低減することができ、それにより、より高い薄膜純度に帰着することが認識されるであろう。HC1が存在しない状態でのジクロロシランの吸熱反応は、HC1が存在する状態での発熱反応へ変化する。シリコンソースガスが本質的にジクロロシランから成る実施形態では、本明細書に開示された反応温度および圧力において、ジクロロシランの分解はほとんどなく、それにより、前駆物質の比較的低い利用率に帰着する。シラン、Si₂H₆、Si₃H₈、及び／又は、部分的にあるいは完全に塩化されたジシラン（即ち、Si₂H_nCl_{6-n}、ここで1≤n≤6）といった補足的なシリコンソースの1つ以上を、反応チャンバに追加すること、あるいは、ジクロロシランをこれら補足的なシリコンソースの1つ以上に置き換えることは、シラン、Si₂H₆、Si₃H₈、または部分的にあるいは完全に塩化されたジシラン（即ち、Si₂H_nCl_{6-n}、ここで1≤n≤6）分子内に格納されたエネルギーをタッピングすることにより、より多くの発熱を伴う反応を起こさせる。このことは、前駆物質を分解するためのエネルギー的なバリアが、より容易に克服されることを可能にし、それにより、前駆物質のより良い利用率およびより高い成長速度に帰着する。

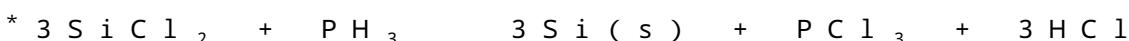
【0047】

例えば、或る実施形態では、ジクロロシランに代えて、シランがシリコン前駆物質として使用される。シランが約75sccm～約100sccmで反応チャンバに供給される実施形態では、HC1のフローは約80sccm～約160sccmに増大される。そのような実施形態では、シランのフローレートは、HC1の所定のフローレートに対して調節され得る。あるいは、HC1のフローレートは、シランの所定のフローレートに対して調節され得る。本明細書に記述されるように、ジクロロシランに代えて、シランがシリコン前駆物質として使用される実施形態では、前駆物質のより高い利用率を達成することができ、その結果、前駆物質のより低いフローレートが使用され得る。

【0048】

或る実施形態では、表面の塩素は、揮発性のエッチング生成物であるHC1およびPCl₃の形成を通じて、PH₃といったドーパント水素化物を使用して除去される。表面の塩素の除去は、本明細書において述べられた反応による本来的なシリコンの成長と比較して、成長速度を有利に改善する。したがって、PH₃が反応チャンバに供給される場合、PH₃のフローの一部はドーピングに寄与しないが、その代りにPCl₃の形成に寄与する。そのような実施形態では、PCl₃は次の反応に従って形成される。

【0049】



上記に開示されるように、シラン、Si₂H₆、Si₃H₈、および部分的にあるいは完全に塩化されたジシラン（即ち、Si₂H_nCl_{6-n}、ここで1≤n≤6）といった補足的なシリコンソースを使用することは、より多くの発熱を伴う反応を起こせる。PH₃が反応チャンバに供給される実施形態では、これがPCl₃、P₂、およびP₄の形成を向上させる。

10

20

30

40

50

【0050】

理論によって制限されることなく、 CH_3SiH_3 といったメチルシランを炭素ソースとして使用して、炭素ドープされた薄膜が堆積される或る実施形態では、堆積は、次の反応に従って進行すると考えられている。

【0051】



一実施形態では、低い抵抗率の単結晶シリコン薄膜は、置換ドーピングされた炭素と、燐といった電気的に活性なドーパントとを含む。炭素は、好ましくは0.1%~5%で、より好ましくは0.5%~2%で、そして最も好ましくは、0.8%~1.2%で置換ドーピングされる。置換ドーピングのレベルは、X線回折およびKellie res/Bertiniの関係を使用して自由に決定される。薄膜は、好ましくは約1.0m·cm以下、より好ましくは0.7m·cm以下、そして最も好ましくは、約0.5m·cm以下の抵抗率を有する。

【0052】

例示的な実施形態では、低い抵抗率の単結晶シリコン薄膜は、好ましくは約350~約675、より好ましくは約500~約660、そして最も好ましくは、約600~約650の温度で堆積される。例えば、一実施形態では、堆積は、約630~約650の温度で行われる。そのような低い堆積温度にもかかわらず、薄膜は、好ましくは約2nm/分より速く、より好ましくは約5nm/分より速く、そして最も好ましくは、約8nm/分より速く成長される。薄膜の厚さは、堆積時間をコントロールすることにより調節され、薄膜は、好ましくは約20nm~約80nm、より好ましくは約25nm~約50nmの厚さを有する。薄膜は、好ましくは約0.4m·cm~約1.1m·cm、より好ましくは約0.5m·cm~約1.0m·cmの抵抗率を有する。反応チャンバ内のジクロロシランの分圧は、好ましくは約10torr~約50torr、より好ましくは約20torr~約40torr、そして最も好ましくは、約25torr~約35torrである。供給するガス混合気の様々な成分についての例示的なフロー レートが、表Aに提供される。

【0053】

この例では、反応チャンバの総圧力は、好ましくは約500torrより高く、より好ましくは約700torrより高く、そして最も好ましくは、ほぼ大気圧である。大気圧でのあるいは大気圧付近での堆積は、最も選択的な堆積プロセスに反しているが、出願人は、この圧力領域での選択的な堆積が活用可能であり、且つ本明細書に開示された所定のプロセスに対して有利であるを見いだした。特に、本明細書に開示された所定のプロセスを使用する堆積は、有利なことに、比較的高い堆積速度および良好なレベルの炭素の取り込みに帰着する。

【0054】

10

20

30

【表1】

表A

ガス混合気成分	好ましいフローレート範囲	フローレート例
ジクロロシラン	200 sccm – 500 sccm	300 sccm
H ₂	1 slm – 10 slm	5 slm
PH ₃ , H ₂ 中1%	100 sccm – 300 sccm	200 sccm
CH ₃ SiH ₃ , H ₂ 中20%	50 sccm – 70 sccm	60 sccm
HCl	10 sccm – 40 sccm	12.5 sccm

10

20

30

40

50

上記で述べたように、ジクロロシランを含むシリコン前駆物質ガス混合気の使用は、反応チャンバ内に存在するHC1の量を有利に低減することができる。HC1を反応チャンバ内へ導入することがまた、反応チャンバ内へ導入される汚染を起こさせてるので、反応チャンバ内のHC1の量の低減は、一般に、薄膜純度の増大に帰着する。

【0055】

他の実施形態では、他のプロセス成分が使用される。特に、堆積される薄膜の特性に依存して、プロセスガス混合気は、シリコンソース、炭素ソース、および燐ソースから成る群から選択される1つ以上の前駆物質を含む。そのようなソースの具体例は：シリコンソースとして、シラン、Si₂H₆、Si₃H₈、部分的にあるいは完全に塩化されたジシラン（即ち、Si₂H_nCl_{6-n}、ここで1≤n≤6）、およびテトラシランを含み；炭素ソースとして、モノシリルメタン、ジシリルメタン、トリシリルメタン、テトラシリルメタン、そして特に、モノメチルシラン、ジメチルシラン、トリメチルシラン、及びテトラメチルシランといったメチルシラン、エチルシラン、ジエチルシラン、トリエチルシラン、テトラエチルシラン、並びに、炭素及びシリコンの両方のソースとしてのメチルエチルシランを含み；電気的に活性なn型ドーパントのソースとして、燐といった様々なドーパント前駆物質を含む。いくつかの実施形態では、炭素ソースは、当該SiH₃Cl_{3-z}基の各々について、

1 x 4、および

0 y 3、および

(x+y) 4、および

0 z 3

である化学式(SiH_zCl_{3-z})_xCH_{4-x-y}Cl_yのクロロメチルシランを含む。他の実施形態では、炭素ソースは、H₃Si-CH₂-SiH₂-CH₃（1,3-ジシラブタン）を含む。

【0056】

クロロメチルシランは、炭素ソースおよびエッチャントソースの両方を有利に供給する。理論によって制限されることなく、クロロメチルシラン中の炭素原子がシリコン原子によって互いに分けられるので、クロロメチルシランは、分子及び原子レベルで炭素の取り込みを促進すると考えられている。これは、堆積中に、炭素原子が炭素鎖およびクラスター内へ共同で結合する傾向を低減する。クロロメチルシランの使用はまた、エッチャントのフローレートを修正することなく、堆積された薄膜中の炭素の濃度が操作されることを可能にすると同時に、選択性を向上させて、且つ、薄膜の成長速度を増大させる傾向を有する。例示的な実施形態では、クロロメチルシランは、大気圧でのSi:C薄膜の選択的な堆積用の、個別のシリコンソースおよび個別のエッチャントと共に使用される。

【0057】

クロロメチルシランの使用は、本明細書に開示されたシリコン前駆物質およびエッチャントの分解速度と同様の分解速度を有する炭素前駆物質を提供することにより、薄膜の均

一性を有利に向上させる。特に、或る堆積温度および圧力といった或るプロセス条件が与えられると、これらの条件の下で同様の速度で分解する前駆物質およびエッチャントの使用は、薄膜の均一性を促進する。塩素の量、即ち特定のクロロメチルシランの重量は、そのクロロメチルシランの分解速度に影響する。

【0058】

改良された実施形態では、メインのキャリアフローとして、H₂に代えてあるいは追加して、ヘリウムが使用される。本明細書に記述されるように、そのような実施形態は、ジクロロシランのSiCl₂およびH₂へのより効果的な分解を提供する。そのH₂は、HC1を使用するシリコンエッチャングには必要ではない。他の実施形態では、H₂に代えてメインのキャリアフローとして使用される他の不活性ガスは、アルゴン、ネオン、キセノン、および窒素を含むが、これらに制限されない。10

【0059】

本明細書に開示された或る実施形態は、有利なことに、置換ドーピングされた炭素と電気的に活性なドーパントとを含む低い抵抗率の単結晶シリコン薄膜の、選択的な堆積を可能にする。或る実施形態では、そのような薄膜は、約5nm/分～約14nm/分の営利上有用な速度で成長する。ジクロロシランと組み合わせたドーパント水素化物（例えば、PH₃）の使用は、結果として得られる薄膜の成長速度を増大させる。ジクロロシランの高い分圧の使用は、有利なことに、プロセスに対して加えられる実質的な量のHC1を要求することなしに、選択的な堆積を得るために十分なエッチャントを生成する。本明細書に開示された或る方法は、n型ドープされたSi:C薄膜を、良い結晶品質、低い抵抗率（シート抵抗）、低い表面粗さ、および低い欠陥密度で選択的に堆積するのに使用可能である。20

【0060】

さらに、本明細書に開示された或る実施形態が使用される場合、マイクロローディング効果もまた低減される。パターニングされたウェハ上での選択的な堆積と関連して、マイクロローディング効果は、ウェハ表面上のパターニングされたウィンドー領域内での、成長速度および薄膜合成の局所的な堆積パターンの不均一性を意味する。例えば、ファセッティングは、選択的な堆積パターンの縁の周囲に、エピタキシャル層の薄層化を引き起こすマイクロローディング効果である。不利なことに、ファセッティングは、エピタキシャル堆積の後に実行される自己整合サリサイド化ステップを複雑にする。或る実施形態では、堆積圧力の低下、及び/又は堆積温度の低下は、マイクロローディング効果の低減もしくは除去を促進する。一実施形態では、選択された堆積ウィンドー領域内において、堆積ウィンドー領域の全域にわたり20%未満の不均一性が存在する。本明細書に開示された或る実施形態が使用される場合、ウェハ表面の全域にわたり、有るか無しかのローディング効果が検出可能である。特に、ジクロロシランを含むシリコン前駆物質、n型ドーパント、および大気圧の堆積環境を使用する実施形態が、ローディング効果を低減するのに特に有效であることが見いだされた。ウィンドー領域のサイズの違いにもかかわらず、ウェハ表面の全域にわたって、各ウィンドー領域における不均一性がほぼ同じであることが見いだされた。したがって、 $\times \text{ cm}^2$ のウィンドー領域についての平均の不均一性は、約(1/2) $\times \text{ cm}^2$ のウィンドー領域についての平均の不均一性と、約5%未満だけ異なるであろう。30

【0061】

或る実施形態では、本明細書に開示された方法が使用されて、シリコン基板(100)のリセスされたウィンドー領域内に、引張り歪みSi:C薄膜を選択的に堆積する。一般的に、マスクが方位<110>に整列されて、シリコン基板(100)中のリセスされたウィンドー領域をエッチャングする場合、(111)表面が露出する。或る構成では、(111)表面上への引張り歪み半導体薄膜の選択的な堆積は、薄膜中の欠陥密度の増大に帰着する。しかしながら、シリコン基板(100)中のリセスされたウィンドー領域をエッチャングするために、マスクを方位<100>に整列させることにより、(111)表面は露出しない。したがって、本明細書において開示された或る方法が使用されて、シリコン

10

20

30

40

50

基板(100)のリセスされたウインドー領域内に、引張り歪みSi:C薄膜を選択的に堆積する場合、マスクが方位<100>に整列されるように、マスクは45°程度自由に回転され、それにより(111)表面の露出を防止する。

【0062】

例示的なリアクタシステム

図7は、キャリアガス、シリコン前駆物質、およびエッチャントガスを使用する例示的なリアクタシステム100を示す。一実施形態では、シリコン前駆物質はジクロロシランである。図示されているように、精製器102はキャリアガスソース104の下流に位置する。不活性ガスのフローのいくらかは、バブラー106の形態をしている蒸発器へ分流され、蒸発器からは、キャリアガスが、気化したジクロロシラン108を搬送する。あるいは、液体の上方の空間におけるジクロロシランの蒸気圧を増大させるために、ジクロロシランは加熱され、キャリアガスがその空間を通り抜ける際に、キャリアガスがジクロロシランを取り込む。如何なる場合であっても、液体の反応物質ソースコンテナ106の下流には、蒸気中の音速を測定することにより、フローするガスの反応物質の濃度を決定するアナライザー110が存在する。その測定に基づいて、ソフトウェアでコントロールされる下流のマスフロー・コントローラ(MFC)112の配置箇所が、アナライザー110によって変更される。そのようなアナライザーは市販されている。

10

【0063】

MFC112を通じたフローは、メインキャリアガスMFC114を通じたメインキャリアガス、およびガス制御板の他の反応物質と、上流の蒸着チャンバー122用のインジェクション・マニホールド120において合流する。あるいは、そのフローは、リアクタシステム100内の如何なる箇所でも合流することができ、合流して得られた供給ガスを基板に対して供給する。塩素蒸気または塩化水素酸蒸気のソースといった、エッチャントガスソース130もまた提供される。図示する実施形態では、炭素用のソース132およびドーパント水素化物用のソース134もまた提供される。

20

【0064】

図示されているように、リアクタシステム100はさらに、システム100が備える制御可能な様々な構成要素と電気的に接続されるセントラル・コントローラ150を備える。コントローラは、ガスフロー、温度、圧力などを定めるようにプログラムされて、本明細書に記述された堆積プロセスを、反応チャンバー122内に収容された基板140上に適用する。一般的に、コントローラ150は、メモリとマイクロプロセッサとを備え、ソフトウェアによってプログラムされ、ハードウェアとして実現され、あるいはその2つの組合せであってもよく、そしてコントローラの機能は、物理的に異なる位置に配置されたプロセッサ間に分配されていてもよい。従って、コントローラ150は、システム100間に分配された複数のコントローラを代表することもできる。

30

【0065】

発明の範囲

上記した最良の形態の記述は、本発明のいくつかの実施形態を開示しているが、本明細書の開示は、例示のみを意図し、且つ本発明を制限しないことが理解されるべきである。開示された特定の構成および操作は、上記記述されたものと異なることができ、本明細書に記述された方法が、ドープされた半導体物質の選択的なエピタキシー以外の状況においても使用可能であることが理解されるべきである。

40

【図面の簡単な説明】

【0066】

【図1】複数のフィールド絶縁領域を有する例示的なシリコンウェハ基板の断面図である。

【図2】活性領域の1つを覆うゲート電極を形成後の図1の基板の断面図である。

【図3】露出したシリコンを除去する選択的なエッチングステップを実行後の図2の基板の断面図である。

【図4】選択的な堆積プロセスを使用して、n型ドープされたヘテロエピタキシャル引張

50

り歪み Si : C 薄膜を、リセスされたソース / ドレイン領域に埋め込んだ後の図 3 の基板の断面図である。

【図 5】高い位置のソース / ドレイン領域を形成するための選択的な堆積の付加的な延長の後の図 4 の基板の断面図である。

【図 6】n 型ドープされた引張り歪み Si : C 薄膜を選択的に堆積した後の図 2 の基板の断面図である。

【図 7】シリコンソースガスソースと、エッチャントソースと、Si : C 層を堆積するために使用することができるキャリアガスソースとを使用する、発明の例示的な実施形態に係る装置についての概略図である。

【図 1】

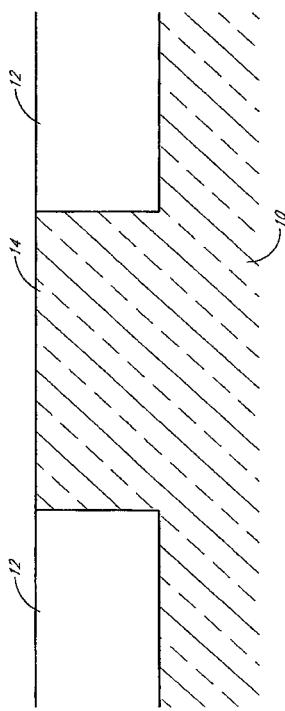


FIG. 1

【図 2】

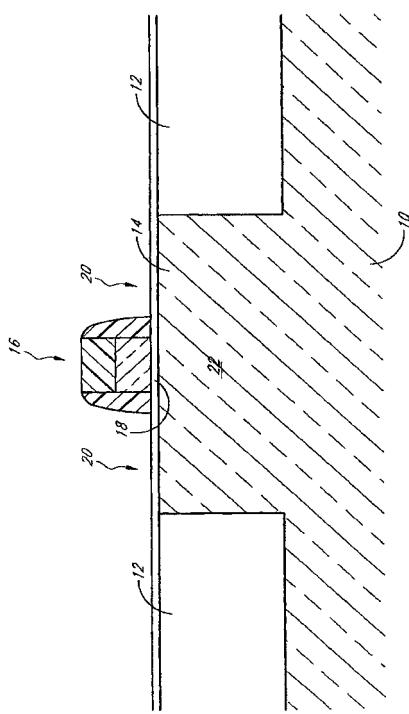


FIG. 2

【図3】

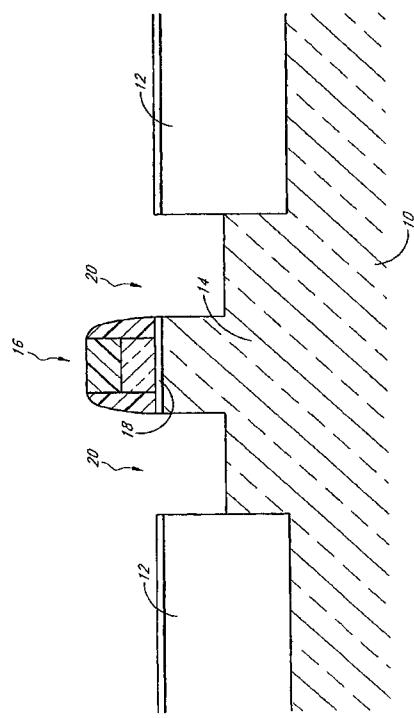


FIG. 3

【図4】

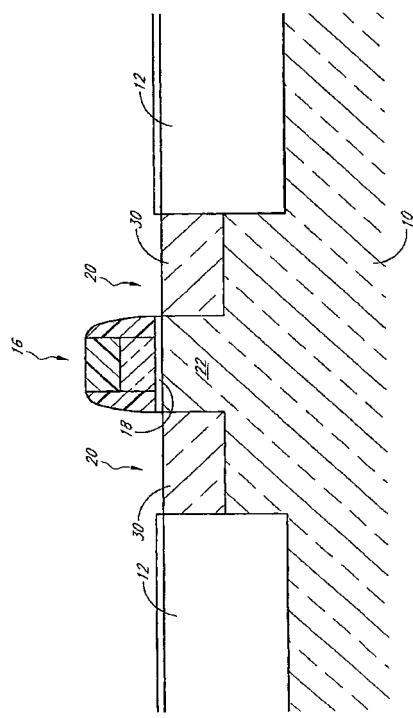


FIG. 4

【図5】

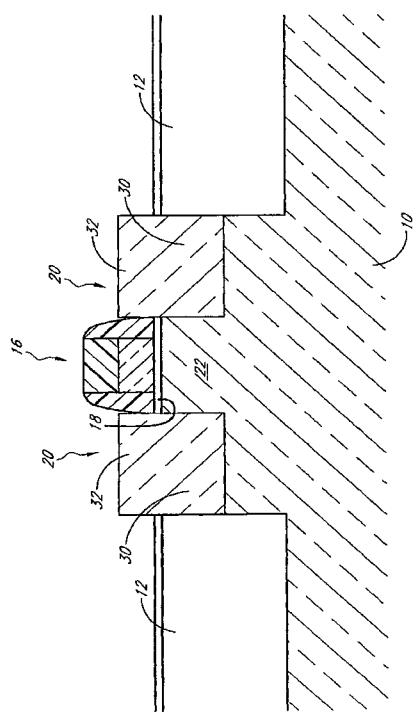


FIG. 5

【図6】

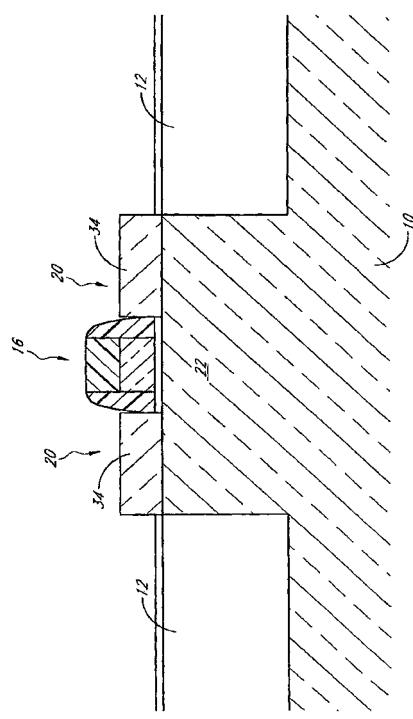
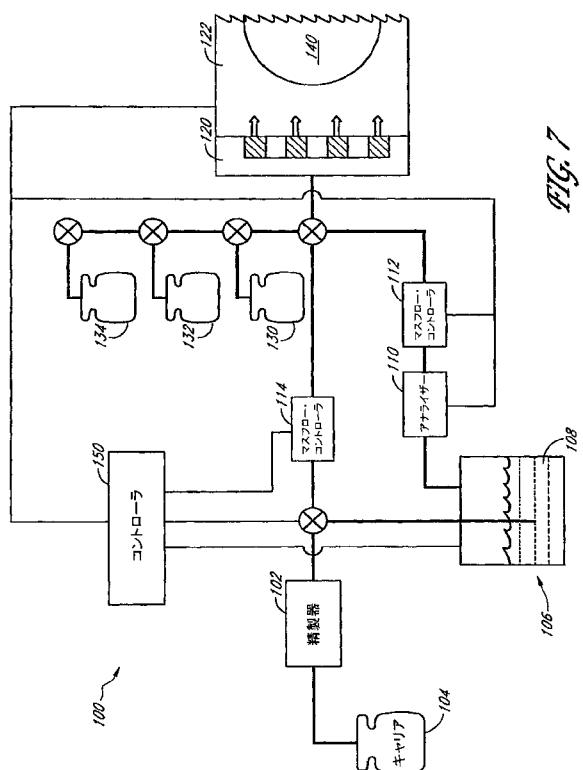
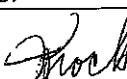


FIG. 6

【図7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 08/47646
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H01L 21/20, H01L 21/36 (2007.01) USPC - 438/503; 257/E21.09 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED <small>Minimum documentation searched (classification system followed by classification symbols)</small> IPC(8) : H01L 21/20, H01L 21/36 (2007.01) USPC : 438/503; 257/E21.09		
<small>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</small> USPC : 438/503; 257/E21.09 - search terms below		
<small>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</small> PubWEST, Google Scholar, Google <small>search terms: carbon, chamber, crystal, depositing, dichlorosilane, doped, epitaxial, exposed, flow, gas, housing, layer, material, patterned, precursor, pressure, process, semiconductor, silicon, single, source, substrate</small>		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/0250298 A1 (BAUER) 10 November 2005 (10.11.2005), abstract; claim 31; fig 1, 7; para [0003], [0004], [0008], [0009], [0023], [0030], [0041], [0042], [0044], [0045], [0048]-[0050]	1-11, 13-37 and 51-58
-		12 and 38-50
Y	OKUYAMA et al., "Growth of oriented Si film on quartz from Si3N4 by thermal and photo-CVD using a D2 lamp", Japanese Journal of Applied Physics, Part 2 (ISSN 0021-4922), vol. 27, p. L499-L501, April 1988 (04.1988), abstract	12
Y	US 6,455,417 B1 (BAO et al.) 24 September 2002 (24.09.2002), col 9 ln 60 to col 10 ln 4, col 10 ln 32-36	38-50
Y	US 2002/0151153 A1 (DROBNY et al.) 17 October 2002 (17.10.2002), para [0007]	42
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		
<small>* Special categories of cited documents:</small> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		<small>"T"</small> later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention <small>"X"</small> document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone <small>"Y"</small> document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art <small>"&"</small> document member of the same patent family
Date of the actual completion of the international search 9 September 2007 (09.09.2007)		Date of mailing of the international search report 04 OCT 2007
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774 

フロントページの続き

(81) 指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF, BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO, CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,L A,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE ,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

F ターム(参考) 5F110 AA01 CC02 DD05 DD13 EE08 EE31 GG02 GG12 HK08 HK25
HK32 HK40 HK41 HL05 HM07 NN02 NN65 NN66
5F140 AA01 AC28 AC36 BA01 BA13 BA16 BF01 BF04 BG08 BH06
BH07 BH27 BJ08 BJ27 BK09 BK18 BK25 BK34 CB01 CB04