(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 7 月 14 日(14.07.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/111098 A1

(51) 国際特許分類:
G01N 27/00 (2006.01)
G01K 7/01 (2006.01)
H01L 21/336 (2006.01)
H01L 21/761 (2006.01)
H01L 21/822 (2006.01)
H01L 21/8234 (2006.01)
H01L 27/04 (2006.01)
H01L 27/06 (2006.01)
H01L 27/08 (2006.01)
H01L 27/088 (2006.01)
H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2015/083889

(22) 国際出願日: 2015 年 12 月 2 日(02.12.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-003464 2015 年 1 月 9 日(09.01.2015) JP

(71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場２５２０番地 Ibaraki (JP).

(72) 発明者: 小埜　和夫(ONO Kazuo); 〒1008280 東京都千代田区丸の内一丁目６番６号　株式会社日立製作所内 Tokyo (JP). 宇佐川　利幸(USAGAWA Toshiyuki); 〒1008280 東京都千代田区丸の内一丁目６番６号　株式会社日立製作所内 Tokyo (JP).

(74) 代理人: 青稜特許業務法人(SEIRYO I.P.C.); 〒1040032 東京都中央区八丁堀二丁目２４番２号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

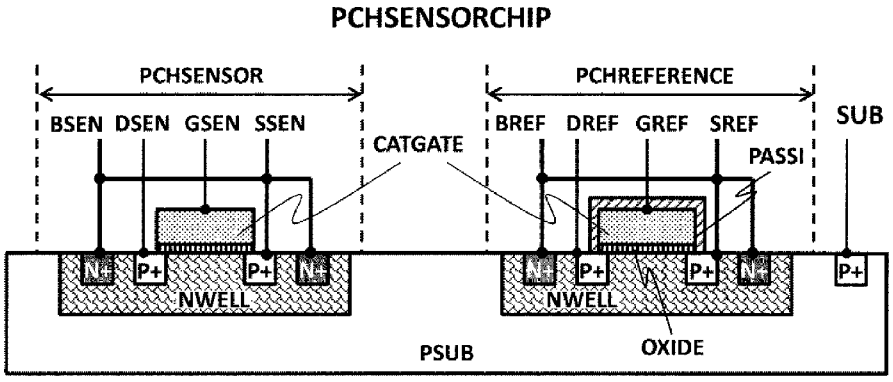
添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SENSOR SYSTEM AND DEVICE

(54) 発明の名称 : センサシステムおよびデバイス

図5



(57) **Abstract**: The present invention addresses the problem of reducing noise in the sense signal from an FET-type hydrogen sensor. In order to solve this problem, one aspect of the sensor system according to the present invention comprises a reference device and a sensor device, each configured by means of an FET on a substrate, and the well potentials of these devices are electrically isolated from each other.

(57) 要約:　ＦＥＴ型水素センサのセンス信号を低ノイズ化する。　上記課題を解決するために、本発明のセンサシステムの一側面は基板上にＦＥＴにより参照デバイスとセンサデバイスを構成し、更に両者のウェル電位は電気的に分離する。

WO 2016/111098 A1

明　細　書

発明の名称 ： センサシステムおよびデバイス

技術分野

[0001] 本発明は、ＦＥＴ型センサシステムにおいて、センサデバイスと参照デバイスの出力の差分から対象物を検知する際に、高精度に対象物を検知する技術に関する。

背景技術

[0002] 地球環境保全の観点から温室効果ガスであるＣＯ２の排出量削減が地球規模の課題である。自動車からの排出を抑制するため、燃焼しても水しか排出しない、水素を燃料とする燃料電池自動車（ＦＣＶ）の開発が進んでいる。ＦＣＶでは水素燃焼時の水素濃度制御、配管からの水素漏えい検知のための水素濃度計の搭載が望ましい。特に水素は空気中の濃度が３．９％に達すると爆発することが知られているため、水素の漏えい検知用途では上記爆発限界濃度に達する前に水素濃度計によりアラートを発するといった安全対策が望ましい。また燃焼時の水素濃度を最適化することで燃費性能を向上可能であるため、燃焼条件にフィードバックをかける目的で水素濃度の監視が望ましい。

[0003] 現在実用化されている水素センサは、接触燃焼式、半導体式、気体熱伝導式などがある。上記以外にも開発段階の方式として固体電解質型とＦＥＴ型がある。

[0004] 接触燃焼式はプラチナ（Ｐｔ）やパラジウム（Ｐｄ）といった触媒金属表面で水素が燃焼し、これによる触媒金属の温度上昇を検出する方式である。水素感度が高いが選択性が低い、検出に酸素が必要、出力が小さいため検出回路に工夫を要する、動作温度が４００℃程度と高くデバイスを高温に保持する必要があるため消費電力が大きい、といった欠点がある。

[0005] 半導体式は金属酸化物半導体表面における水素の酸化反応により半導体内の空乏層が変化するためキャリア濃度が変化し、これに伴う電気伝導の変化

を検出する。金属酸化物半導体表面における酸化反応を起こすために酸素を必要、動作温度が５００℃程度と高くデバイスを高温に保持する必要があるため消費電力が大きい、といった欠点がある。

[0006] 気体熱伝導式は、雰囲気ガス中に水素が混入することで熱伝導率が変化するため、素子から放出される熱量の変化量を検出することで水素を検出する。動作温度が２００℃程度と比較的低いため消費電力が小さいことは利点だが、低濃度水素の検出が難しいため水素漏えい検知用途には向かない。

[0007] また、ＦＥＴ（電界効果トランジスタ）型センサについては、Ｐｔ－Ｔｉ－Ｏゲート構造を持つ例が非特許文献１に開示されている。

先行技術文献

特許文献

[0008] 非特許文献1：ＩＥＥＥ Ｓｅｎｓｏｒｓ Ｊｏｕｒｎａｌ，ｖｏｌ．１２，Ｎｏ．６，Ｊｕｎｅ ２０１２．“Ｐｔ－Ｔｉ－Ｏ Ｇａｔｅ Ｓｉ－ＭＩＳＦＥＴ Ｈｙｄｒｏｇｅｎ Ｇａｓ Ｓｅｎｓｏｒｓ－Ｄｅｖｉｃｅｓ ａｎｄ Ｐａｃｋａｇｉｎｇｓ”

発明の概要

発明が解決しようとする課題

[0009] 実用化されている水素センサをＦＣＶにおける水素漏えい検知に使う場合、低濃度の水素を精度よく検出可能な接触燃焼式と半導体式が候補となる。しかしこれらの方式には環境物質である環状シロキサン被毒に弱いという欠点があることを我々は実験により見出した。これに対してＰｔ-Ｔｉ－0ゲート構造を有するＦＥＴ型水素センサは環状シロキサン被毒耐性が高いことも、発明者らは同時に実験により確認している。

[0010] 図１に実験結果の概略を示す。縦軸に水素濃度を任意単位で、横軸に時間軸を示す。グラフはＦＥＴ型水素センサ（FET-based sensor）と、接触燃焼式（Catalytic combustion）および酸化物半導体センサ（Oxide semiconductor sensor）の測定結果を対比したものである。なお、実験に用いたＰｔ－Ｔ

ｉ－Ｏゲート構造を持つＦＥＴ型水素センサの詳細な構造については非特許文献１に詳しい。環状シロキサンは道路の舗装に用いるアスファルトやシリコーン製品から環境雰囲気に放出され、高温では電気製品の接点の導通不良の原因になりうることが知られている。

[0011] 図１によると、例えば０．５程度の水素濃度中で測定を行っている場合、接触燃焼式と半導体式は環状シロキサン雰囲気中では１００秒程度で水素に対する活性を急激に失い、感度が低下するため、検出される水素濃度が低下する。一方でＦＥＴ型水素センサでは触媒活性がほとんど変化しないため、検出される水素濃度は変化しない。

[0012] 接触燃焼式と半導体式は４００℃以上の高温で動作するため、触媒表面で環状シロキサンが酸化される。この結果、シリコン酸化物が表面に付着して水素に対する触媒の活性サイトを覆ってしまい、水素に対する触媒作用が失われるメカニズムが考えられる。ＦＥＴ型水素センサでは動作温度が１００℃程度と比較的低いためこのような現象が起こらず、活性が維持されると考えられる。環状シロキサン耐性が高いことからＦＥＴ型水素センサはＦＣＶに適用することが可能な水素センサということができる。本願発明はこのＦＥＴ型水素センサに関するものである。

[0013] 図２により、本願発明で対象とするＦＥＴ型水素センサの水素検知メカニズムを説明する。

[0014] 図２Ａは参照ＦＥＴ、図２Ｂはセンサ ＦＥＴのデバイス断面の概略を示している。参照ＦＥＴとセンサＦＥＴのデバイス断面構造はサイズや膜構成を含めてほぼ同一に作製される。両者は同一のシリコン基板（ＳＵＢ）上に形成される。つまり図２では図２Ａ、図２Ｂと分離して記載しているが、実際はそれぞれの基板（ＳＵＢ）はつながっており、同じ基板（ＳＵＢ）上に参照ＦＥＴとセンサＦＥＴが隣接して形成される。基板（ＳＵＢ）上にウェル（ＷＥＬＬ）を設け、この中にＦＥＴデバイスを形成する。

[0015] 触媒ゲート電極（ＣＡＴＧＡＴＥ）はＰｔ－Ｔｉ－Ｏの積層膜やＰｄ膜など様々な種類が存在するが本願中におけるＦＥＴ型水素センサでは水素ガス

に対して活性を持つ触媒ゲート全てを対象とする。ゲート絶縁膜（ＯＸＩＤＥ）は通常のＦＥＴと同様にＳｉＯ２で構成されることがほとんどである。しかし本願のＦＥＴ型水素センサはこれに限定するものではない。参照ＦＥＴは触媒ゲート電極（ＣＡＴＧＡＴＥ）が検出対象遮断膜（ＰＡＳＳＩ）で覆われる。検出対象遮断膜（ＰＡＳＳＩ）は水素透過性が無いため水素が触媒ゲート電極（ＣＡＴＧＡＴＥ）まで到達せず、よって参照ＦＥＴはセンサＦＥＴと同一の構造を持ちながらも水素感応性を持たない。

[0016] センサＦＥＴでは、図２では図示していないが、触媒ゲート電極（ＣＡＴＧＡＴＥ）を覆う保護膜等にスルーホール等を設けることにより、触媒ゲート電極（ＣＡＴＧＡＴＥ）が水素にさらされる構成となっている。

[0017] センサＦＥＴと参照ＦＥＴのバイアス条件について説明する。センサＦＥＴと参照ＦＥＴには同じドレインソース電圧（ＶＤＳ）がそれぞれのドレイン、ソース端子に印加される。参照ＦＥＴのドレイン端子は（ＤＲＥＦ），ソース端子は（ＳＲＥＦ），センサＦＥＴのドレイン端子は（ＤＳＥＮ），ソース端子は（ＳＳＥＮ）と示した。さらに両者のゲートには同一のゲート電圧（ＶＧ）を印加する。ゲート電圧（ＶＧ）は接地電位を基準とするゲート電位であり、ソース電位に対するゲート電位ではない。参照ＦＥＴのウェル電位（ＢＲＥＦ）とソース端子（ＳＲＥＦ）を接続し、センサＦＥＴのウェル電位（ＢＳＥＮ）とソース端子（ＳＳＥＮ）を接続して動作させる。これによりＦＥＴの閾電圧が基板の電圧により変動する基板効果を除去することが出来る。（ＶＲＥＦ）は参照ＦＥＴの出力であり、（ＶＳＥＮ）はセンサＦＥＴの出力である。

[0018] 図２Ｂに示す通り、参照ＦＥＴの触媒ゲート電極（ＣＡＴＧＡＴＥ）の触媒作用により、水素ガスは水素原子もしくは水素イオンに分解される。この分解された水素は触媒ゲート電極（ＣＡＴＧＡＴＥ）に吸蔵され、ゲート絶縁膜（ＯＸＩＤＥ）との界面付近に双極子（ＤＩＰＯＬＥ）を形成する。この双極子（ＤＩＰＯＬＥ）の作用によりセンサＦＥＴには参照ＦＥＴと比較してΔＶの閾電圧変化が生じ、これを検出回路により検出することで水素濃

度を同定する。

[0019] 図２Ｃは水素検知時の参照ＦＥＴとセンサＦＥＴのＩＤＳ－ＶＤＳ特性を比較した概略図である。同一のドレインからソースに流れる電流（ＩＤＳ）が印加されているため動作電流は同一である。また同一のドレインソース電圧（ＶＤＳ）が印加されているためＩＤＳ－ＶＧＳ曲線は参照ＦＥＴ（点線で示す）とセンサＦＥＴ（実線で示す）で同じ形となり、ΔＶだけセンサＦＥＴの曲線がＶＧＳの負側にシフトした形となる。このように閾電圧変化ΔＶが参照ＦＥＴにおけるゲートソース電圧Ｖｇｓ０とセンサＦＥＴにおけるゲートソース電圧Ｖｇｓの差分として現れる。前述の通りＶＧは参照ＦＥＴとセンサＦＥＴで同一なので、Ｖｇｓ＝ＶＧ－ＶＳよりΔＶは両者のソース電位の差分として最終的に検出される。

[0020] なお、動作方法としては、上記のように電流を一定として電圧の差ΔＶを検出する動作方法のほか、電圧を一定として電流の差ΔＩを検出する動作方法もある。図２のデバイスでは、ΔＶの値が大きくとれ、また、水素濃度との相関が強いため、電圧差を検出するメリットがある。

[0021] これまでの説明では検知対象ガスとして水素の例を説明してきたが、ＦＥＴ型センサでは触媒金属ＣＡＴＧＡＴＥの種類を変更することにより水素以外の様々なガス検知が可能になることから、以下の説明ではＦＥＴ型ガスセンサ全般の課題について述べる。

[0022] 図３に従来のＦＥＴ型ガスセンサの断面構造の概略を示し、課題を説明する。Ｐ型基板（ＰＳＵＢ）上に２つの独立したＰウェル（ＰＷＥＬＬ）を設け、その中にそれぞれ１つずつのＮチャネルＦＥＴデバイスを形成する。一つはセンサＦＥＴ（ＮＣＨＳＥＮＳＯＲ）であり、もう一つは参照ＦＥＴ（ＮＣＨＲＥＦＥＲＥＮＣＥ）である。触媒金属（ＣＡＴＧＡＴＥ），検知対象遮断膜（ＰＡＳＳＩ），ゲート絶縁膜（ＯＸＩＤＥ）は図２と同じである。Ｐ拡散領域（Ｐ＋）、Ｎ拡散領域（Ｎ＋）はそれぞれコンタクトを取るために高濃度に不純物を打ち込んだ拡散層領域である。

[0023] 図２と同じく、センサＦＥＴの各端子を、ウェル電位（ＢＳＥＮ）、ドレ

イン端子（ＤＳＥＮ）、ゲート端子（ＧＳＥＮ）、ソース端子（ＳＳＥＮ）として示す。参照ＦＥＴの各端子を、ウェル電位（ＢＲＥＦ）、ドレイン端子（ＤＲＥＦ）、ゲート端子（ＧＲＥＦ）、ソース端子（ＳＲＥＦ）として示す。基板の給電電位を（ＳＵＢ）で示す。これらの記号は、明細書中で共通に用いることにする。

[0024] 図３から分かる通り、同一のＰ型基板（ＰＳＵＢ）上にＰウェル（ＰＷＥＬＬ）を隣接して作成するため、参照ＦＥＴとセンサＦＥＴのウェルは低抵抗で電気的に接続される。このため、図２Ａ、図２Ｂで示したようにウェルとソースを短絡することが出来ない。このような状態で参照ＦＥＴとセンサＦＥＴの出力の差分により水素を検知する際には、以下に説明する通り基板効果を除去することができず、検知対象物の濃度算出が困難になる。

[0025] 図４は図３に記載のセンサデバイスの出力信号を検出する回路を含めたセンシングシステムの一例である。ウェル電位が基板を介して短絡されている部分を太い線で示した。図示されるように、センサＦＥＴと参照ＦＥＴの基板電位が共通となっている。独立した２つのＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）は、それぞれ参照ＦＥＴとセンサＦＥＴの出力を増幅して取り出すアナログ回路ブロックである。

[0026] ＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）は、センサＦＥＴのドレイン端子（ＤＳＥＮ）にドレイン電位（ＶＤＳＥＮ）を供給し、ソース端子（ＳＳＥＮ）の電位（ＶＳＳＥＮ）を増幅し、補正演算を行う演算回路（ＣＡＬ）にセンサ出力（ＶＳＥＮ）として出力する。

[0027] 参照ＦＥＴに接続されるＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）も上記センサＦＥＴに接続されたＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）と同様、参照ＦＥＴのドレイン端子（ＤＲＥＦ）にドレイン電位（ＶＤＲＥＦ）を供給し、ソース端子（ＳＲＥＦ）の電位（ＶＳＲＥＦ）を増幅し、補正演算を行う演算回路（ＣＡＬ）にセンサ出力（ＶＲＥＦ）として出力する機能を有する。

[0028] 上記２つのＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）で検出された参照

ＦＥＴ出力と参照ＦＥＴ出力は演算回路（ＣＡＬ）に入力され、２つのセンサ出力（ＶＳＥＮ）と（ＶＲＥＦ）の差分を取って、システム（ＳＹＳＴＥＭ）に検知対象の濃度情報（ＳＩＧ）として渡される。

[0029] 基準電圧生成回路（ＶＧＥＮ）は，センサＦＥＴ向けドレインソース電圧（ＶＤＳＳＥＮ）、参照ＦＥＴ向けドレインソース電圧（ＶＤＳＲＥＦ）、参照ＦＥＴとセンサＦＥＴに共通のゲート電圧（ＶＧ）を生成する。

[0030] 図３と図４で構成されるセンサシステムにおいて、参照ＦＥＴの閾電圧Ｖｔｈ＿ｓｅｎｓとセンサＦＥＴの閾電圧Ｖｔｈ＿ｒｅｆは以下の式（１）で記述される。

[0031] [数1]

$$Vth_sens = Vth0 + \frac{1}{Cox}\sqrt{2\varepsilon qN_A\left(2\phi_F + VG - Vth_sens\right)} + Vth_sen(1/f) + \Delta V$$

$$Vth_ref = Vth0 + \frac{1}{Cox}\sqrt{2\varepsilon qN_A\left(2\phi_F + VG - Vth_ref\right)} + Vth_ref(1/f)$$

[0032] ここでＶｔｈ０はプロセスばらつきなどの参照ＦＥＴとセンサＦＥＴに共通して含まれる雑音成分を含んだ閾電圧である。Ｃｏｘはゲート容量、εは誘電率、ｑは素電荷、ＮＡはドーピング濃度、φＦはフェルミエネルギー、ＶＧはゲート電位であり、それぞれ参照ＦＥＴとセンサＦＥＴに共通である。Ｖｔｈ＿ｓｅｎ（１／ｆ）はセンサＦＥＴ出力に重畳される１／ｆノイズ成分、Ｖｔｈ＿ｒｅｆ（１／ｆ）参照ＦＥＴ出力に重畳される１／ｆノイズ成分である。ΔＶは対象ガスを検知したことによるセンサＦＥＴの閾電圧の変化分であり、参照ＦＥＴは図３の検知対象遮断膜（ＰＡＳＳＩ）により対象ガスが参照ＦＥＴの触媒ゲート電極（ＣＡＴＧＡＴＥ）に接触しないためこの項が含まれない。

[0033] 上記２つの式の差分からΔＶだけが残ることが望ましい。しかし、右辺第２項と第３項は差分により除去することが出来ない。これがガス検出時の誤差として残りセンサシステム全体の計測精度や信頼性を劣化させる。右辺第２項は基板効果であり、参照ＦＥＴ、センサＦＥＴそれぞれの、ウェルとソースの電位に差が生じる為に現れる項である。右辺第３項はＦＥＴのノイズ

として良く知られる１／ｆノイズの項であり、これはランダム雑音であるため除去ができない。

課題を解決するための手段

[0034] 上記課題を解決するために、本発明のセンサシステムの一側面は基板上にＦＥＴにより参照デバイスとセンサデバイスを構成し、更に両者のウェル電位は電気的に分離する。

[0035] 本発明の他の一側面は、P型半導体基板と、P型半導体基板に形成された第一のNウェル内にP型FETで形成された検知対象物に対して感応性を持つセンサFETと、P型半導体基板に形成された第二のNウェル内にP型FETで形成された検知対象に対して感応性を持たない参照FETと、を有するシステムである。このシステムは、第一のNウェルと第二のNウェルは電気的に分離され、ガス雰囲気中における前記センサFETと前記参照FETの閾電圧の差分を検出する検出回路とを有する。

[0036] 本発明の他の側面は、半導体基板と、半導体基板に形成された第一のウェル内にFETで形成された検知対象に対して感応性をもつセンサFETと、半導体基板に形成された第二のウェル内にFETで形成された検知対象に感応性を持たない参照FETとを有するシステムである。ここで、第一のウェルと第二のウェルとは電気的に分離して設けられ、センサFETのソースと第一のウェルとが短絡されており、参照FETのソースと第二のウェルとが短絡されており、ガス雰囲気中におけるセンサFETと参照FETの閾電圧の差分を検出する検出回路とを有する。

[0037] 本発明のさらに他の側面は、同一の半導体基板に、半導体領域と、半導体領域に形成された第一のウェル内にFETで形成された、検知対象物に対して感応性を持つセンサFETと、半導体領域に形成された第二のウェル内にFETで形成された、検知対象に対して感応性を持たない参照FETとを有するデバイスである。このデバイスは、第一のウェルと第二のウェルの間の電気的導通を妨げる構成を備える。また、センサFETの閾値電圧または閾値電圧の変化を示す信号を出力するセンサ信号出力端子と、参照FETの閾電圧または閾値電圧の変

化を示す信号を出力する参照信号出力端子とを備える。出力端子は、このデバイスの外に信号を出力するものと、このデバイス内の他の回路に対して信号を出力するものの両者を含む。

[0038] 電気的導通を妨げる構成として好ましい一例としては、半導体領域を第１導電型の半導体領域とし、第一及び第二のウェルを第２導電型のウェルとし、第一及び第二の第２導電型ウェルの間を第１導電型の半導体領域で分離することにより、前記第一及び第二の第２導電型ウェルの間電気的導通を妨げる例が挙げられる。

[0039] また、電気的導通を妨げる他の構成例としては、第一及び第二のウェルの間に、トレンチ型素子分離構造を設けることにより、前記第一及び第二の第２導電型ウェルの間電気的導通を妨げる例が挙げられる。

[0040] 半導体基板には、温度に対応した信号を発生する構造を設けておき、種々の制御や補正に用いて、正確な測定を行うようにしてもよい。

[0041] また、好ましい構成例としては、センサFETのウェル電位とソース電位を短絡し、参照FETのウェル電位とソース電位を短絡することがあげられる。また、ウェル電位と短絡されたセンサFETのソース電位をセンサ信号出力端子に出力し、ウェル電位と短絡された参照FETのソース電位を参照信号出力端子に出力するように構成してもよい。

発明の効果

[0042] ＦＥＴ型センサのセンス信号の低ノイズ化を図ることができる。上記した以外の課題、構成、及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0043] [図1]水素センサの対環状シロキサン耐性比較データのグラフ図

[図2A]参照ＦＥＴの断面図

[図2B]センサＦＥＴの断面図

[図2C]ＦＥＴ型水素センサの電気特性を示すグラフ図

[図3]従来のＮチャネルＦＥＴ型水素センサ素子の課題を示す断面図

[図4]従来のＮチャネルＦＥＴ型水素センサシステムの課題を示す概略図

[図5]Ｐチャネル型ＦＥＴ水素センサ素子の断面図

[図6]Ｐチャネル型ＦＥＴ水素センサシステムの概略図

[図7A]Ｐチャネル型ＦＥＴ水素センサの水素応答例を示すグラフ図

[図7B]Ｐチャネル型ＦＥＴ水素センサの出力特性例を示すグラフ図

[図8A]基板効果の例を示すグラフ図

[図8B]基板効果が無くなることの効果を示すグラフ図

[図9]１／ｆノイズの低減効果の例を示すグラフ図

[図10]Ｎチャネル型ＦＥＴ水素センサとＰチャネル型ＦＥＴ水素センサの出力特性比較を示すグラフ図

[図11]Ｐチャネル型ＦＥＴ水素センサチップの第二の実施例のブロック図

[図12]Ｐチャネル型ＦＥＴ水素センサシステムの第一の実施例の断面図

[図13]Ｐチャネル型ＦＥＴ水素センサシステムの第二の実施例のブロック図

[図14]ＰＮ接合を用いた温度計を搭載した第一の実施例の断面図

[図15]図１３のセンサチップを用いた水素センサシステムの一例のブロック図

[図16]金属配線抵抗を用いた温度計を搭載した第一の実施例の断面図

[図17]拡散層抵抗を用いた温度計を搭載した第一の実施例の断面図

[図18]図１５および１６のセンサチップを用いた水素センサシステムの一例のブロック図

[図19]Ｐチャネル型ＦＥＴ水素センサチップの第三の実施例の断面図

[図20]Ｐチャネル型ＦＥＴ水素センサチップの第四の実施例の断面図

[図21]Ｎチャネル型ＦＥＴ水素センサチップの第一の実施例の断面図

[図22]Ｎチャネル型ＦＥＴ水素センサチップの第二の実施例の断面図

[図23]Ｎチャネル型ＦＥＴ水素センサチップの第三の実施例の断面図

[図24A]配線層や保護層を含めて示すセンサチップの断面図

[図24B]配線層や保護層を含めて示す参照チップの断面図

発明を実施するための形態

実施例

[0044] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。ただし、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。本発明の思想ないし趣旨から逸脱しない範囲で、その具体的構成を変更し得ることは当業者であれば容易に理解される。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略することがある。

[0045] 本明細書等における「第１」、「第２」、「第３」などの表記は、構成要素を識別するために付するものであり、必ずしも、数または順序を限定するものではない。また、構成要素の識別のための番号は文脈毎に用いられ、一つの文脈で用いた番号が、他の文脈で必ずしも同一の構成を示すとは限らない。また、ある番号で識別された構成要素が、他の番号で識別された構成要素の機能を兼ねることを妨げるものではない。

[0046] 図面等において示す各構成の位置、大きさ、形状、範囲などは、発明の理解を容易にするため、実際の位置、大きさ、形状、範囲などを表していない場合がある。このため、本発明は、必ずしも、図面等に開示された位置、大きさ、形状、範囲などに限定されない。

[0047] 本明細書において単数形で表される構成要素は、特段文脈で明らかに示されない限り、複数形を含むものとする。

[0048] 図５に示すセンサチップの断面図は本願の第一の実施例である。Ｐ型基板（ＰＳＵＢ）上にＰチャネルＦＥＴで形成されたセンサＦＥＴ（ＰＣＨＳＥＮＳＯＲ）と、同じくＰチャネルＦＥＴで形成された参照ＦＥＴ（ＰＣＨＲＥＦＥＲＥＮＣＥ）とが、互いに隣接して形成される。互いに隣接して同じ構造の参照ＦＥＴとセンサＦＥＴを形成することで、リソグラフィーやインプラ濃度に代表される製造ばらつきを抑制でき、差分を取るさいの誤差を低減することが可能となる。

[0049] 参照ＦＥＴ、センサＦＥＴ共に触媒ゲート（ＣＡＴＧＡＴＥ）を有し、参照ＦＥＴのみが水素感応性を無くすために遮断膜（ＰＡＳＳＩ）を有する点

は図３に示した従来構成と同じである。遮断膜（ＰＡＳＳＩ）は例えば窒化シリコンや酸化シリコンといった安定な酸化物や各種有機膜など、検出対象を透過しない膜であれば何でも良い。すなわち、本願の第一実施例は従来構成と比較して同じＰ型基板（ＰＳＵＢ）を使用しながら、ＮチャネルＦＥＴでなく、ＰチャネルＦＥＴでセンサＦＥＴと参照ＦＥＴを構成する点が異なる。

[0050] それぞれのＰチャネルＦＥＴが形成されるＮウェル（ＮＷＥＬＬ）は互いに独立して設けられる。この結果、上記２つのＮＷＥＬＬはＰ型基板（ＰＳＵＢ）の給電電位（ＳＵＢ）を接地電位としたときに逆バイアスされるため、電気的に分離することが可能となる。

[0051] このため、センサＦＥＴのＮウェル（ＮＷＥＬＬ）電位と参照ＦＥＴのＮウェル（ＮＷＥＬＬ）とは独立してその電位を制御することができる。結果として、図５に示す通りセンサＦＥＴにおいてはウェル端子（ＢＳＥＮ）とソース端子（ＳＳＥＮ）を短絡し、参照ＦＥＴにおいてはウェル端子（ＢＲＥＦ）とソース端子（ＳＲＥＦ）を短絡することが可能となる。

[0052] 図６には図５に示したセンサチップ（ＳＥＮＳＯＲＣＨＩＰ）を用いたセンサシステムの一例を示す。この例では、センサチップ（ＳＥＮＳＯＲＣＨＩＰ）と検出回路（ＤＣＴＣＩＲＣＵＩＴ）を別チップとし、センサシステム（ＳＥＮＳＯＲＳＹＳＴＥＭ）を構成し、これをさらに上位システム（ＳＹＳＴＥＭ）に接続している。しかし、センサチップと検出回路を１チップに纏めてもよいし、さらに上位システムまで含めて１チップに纏めてもよい。

[0053] ＶＴＨ検出回路（ＶＴＨＳＥＮ），基準電圧生成回路（ＶＧＥＮ），補正演算回路（ＣＡＬ）の動作は図４の説明と同等である。ただし、図４ではＮチャネルＦＥＴであったのに対し図６ではＰチャネルＦＥＴであるためソースとドレインが入れ替わる。図６のセンサチップ（ＳＥＮＳＯＲＣＨＩＰ）においてＰチャネルセンサＦＥＴ（ＰＣＨＳＥＮＳＯＲ）とＰチャネル参照ＦＥＴ（ＰＣＨＲＥＦＥＲＥＮＣＥ）それぞれにおいてウェル電位とソース

電位が短絡されている点が図３に示す従来例と異なる。これにより図６に示すセンサシステムにおいて、参照ＦＥＴの閾電圧Ｖｔｈ＿ｓｅｎｓとセンサＦＥＴの閾電圧Ｖｔｈ＿ｒｅｆは以下の式（２）で記述される。

[0054] [数2]

$$Vth_sens = Vth0 + \alpha \cdot Vth_sen(1/f) + \Delta V$$
$$Vth_ref = Vth0 + \alpha \cdot Vth_ref(1/f)$$

[0055] 式（１）と比較すると、式（２）では基板効果の項が無くなり、更に１／ｆ雑音成分がそれぞれ小さくなる（α＜１）点が異なる。ＰチャネルＦＥＴでは１／ｆ雑音がＮチャネルＦＥＴに比較して小さいことが知られており、右辺第３項におけるαは、０．５程度が期待できる。このため、本願第一の実施例では従来構成に比較して基板効果の項がゼロとなり１／ｆ雑音成分がほぼ半減することから、検知対象を精度よく検出することが可能となる。また図３と図５を比較した時、その断面構造はほとんど変化しないことから製造容易性にほとんど違いが生じない。すなわち、製造コストを増加させることなくセンサシステムの高精度化が可能となる。

[0056] 通常の電子デバイスとしてＦＥＴを使う場合、ＰチャネルＦＥＴはＮチャネルＦＥＴに比較してＯＮ電流が小さいため、十分な電流を得る為にはゲート幅を大きくすることが望ましい。すなわち、デバイスサイズを大きくしなければいけなくなり、チップ面積が大きくなるからコストが増加するという懸念がある。しかし、参照ＦＥＴとセンサＦＥＴの閾電圧の差分から対象を検知する図６に示すセンサシステムとして使う場合、大きなドレイン電流を必要としない。よってＯＮ電流を大きくとれないＰチャネルＦＥＴの欠点は問題とならない。

[0057] 図７には実際のＰチャネルＦＥＴで形成されたセンサＦＥＴの出力特性を示す。図７Ａはセンサ出力ＶＳＥＮの水素応答特性である。縦軸がＦＥＴの出力（任意単位）、横軸は時間軸で、数十秒付近のタイミングで水素の導入を開始するとともに、出力が立ち上がっているのが分かる。また、１８０秒

近辺で水素導入を停止するとともに、出力が下がっている。図７ＢはＶＳＥＮと水素濃度の関係である。１００ｐｐｍから１００００ｐｐｍまでの濃度で良好な水素応答性が確認され、ＰチャネルセンサＦＥＴはＮチャネルセンサＦＥＴとほぼ同じ性能を有することが分かっている。

[0058] 図８を用いて基板効果が閾電圧センシングに及ぼす影響を、定量的に説明する。

[0059] 図８Ａは基板電圧ＶＢＳとセンサＦＥＴにおける閾電圧変化の基板効果による成分Ｖｔｈ＿ｓｅｎｓ＿ｂｏｄｙとの関係を示すものである。ＮチャネルＦＥＴを用い、ウェルとソースを短絡せずにウェル電位を接地した場合について計算した。簡略化した回路図は図８Ａの挿入図に示す通りである。ここでＧはゲート、Ｄはドレイン、Ｓはソースであり、ソースと接地電位の間に定電流源（ＩＣＯＮＳ）を挿入し、図２Ｃに示すような一定のドレイン電流を実現した。（ＶＤＤ）は電源電位、（ＶＧ）はゲート電位である。また（ＶＳＥＮ）はセンサ出力である。温度は２３０Ｋ、３００Ｋ、４００Ｋについてそれぞれ計算した。これはそれぞれ－４０℃、室温、１３０℃程度に相当し、自動車応用に必要な動作温度範囲をカバーする。

[0060] ソースとウェルの電位が異なるため、定電流源（ＩＣＯＮＳ）の増加と共にセンサ出力（ＶＳＥＮ）とＶｔｈ＿ｓｅｎｓ＿ｂｏｄｙは増大する。定電流源（ＩＣＯＮＳ）をセンシングに必要な大きさに設定した時のＶＢＳは－１．８５Ｖ程度になり、ウェルが接地されていることからセンサ出力（ＶＳＥＮ）は１．８５Ｖ程度になる。この状態を検知対象が０％の時とする。検知対象が３％存在する場合、センサ出力は１．０Ｖとなり、これはＶＢＳが－２．８５Ｖになることを意味する。参照ＦＥＴでは検知対象があっても出力が変化しないためＶＢＳは－１．８５Ｖのままである。よって、センサＦＥＴと参照ＦＥＴではＶＢＳに１．０Ｖの差が生じる。これによりセンサＦＥＴの閾電圧と参照ＦＥＴの閾電圧との間に生じる差Δは２７ｍＶになる。３％の検知対象に対し２７ｍＶの誤差が生じるため２．７％の計測誤差が生じることになる。

[0061] 図８Ｂは、図８Ａに示す基板効果による検出対象の濃度検出相対誤差を温度に対してプロットしたものである。なお、室温における相対誤差で規格化した。検出対象が濃度３％で存在するとき、－４０℃では３％の検出対象を検知する際に－３％の相対誤差が基板効果により重畳されることを意味している。一方で１３０℃では３％の検出対象を検知する際には、＋４％の相対誤差が基板効果により重畳される。注意すべきは上記の通り、基板効果により重畳される誤差には温度依存性が存在するため、これを補正するためには、温度校正がセンサの出荷前調整として必要になることである。これはセンサコスト増の要因となりうる。上記の基板効果によるＶｔｈ変動Ｖｔｈ＿ｂｏｄｙは下記の式（３）のように記述される。

[0062] [数3]

$$Vth_body = \gamma\left(\sqrt{\phi_F - VBS} - \sqrt{\phi_F}\right)$$

$$\phi_F = 2\frac{k_B T}{q}\ln\left(\frac{N_A}{Ni}\right)$$

$$\gamma = \frac{\sqrt{2\varepsilon q N_A}}{Cox}$$

[0063] ここでｋｂはボルツマン定数、Ｔは温度、Ｎｉは真性キャリア密度である。不純物密度ＮＡが温度依存性を持つためＶｔｈ＿ｂｏｄｙは温度に依存して変化することになる。

[0064] 図５および図６に示す本願実施例ではＶＢＳ＝０ＶなのでＶｔｈ＿ｓｅｎｓ＿ｂｏｄｙ＝０Ｖとなり前述の相対誤差は本質的に生じない。よって図８Ｂに示す通り温度に依存した相対誤差はゼロとなり、余分な調整の手間を省くことが可能となり、安価で高精度なセンサを提供可能となる。

ここまでで、本願実施例により基板効果を取り除くことによる利点を述べた。次に、図９を用いて１／ｆ雑音の低減効果を述べる。

[0065] 図９は、ある半導体製造プロセスＦＡＢ－Ａで提供される標準Ｎチャネル ＦＥＴモデルＴｙｐＮと標準ＰチャネルＦＥＴモデルＴｙｐＰを用いて１／ｆ雑音を計算し、ＰチャネルＦＥＴとＮチャネルＦＥＴで比較したものであ

る。計算にはＢＳＩＭ３における１／ｆ雑音計算式である下記の式（４）を用いた。

[0066] [数4]

$$\frac{v_n^2}{\Delta f} = \frac{KF}{C_{ox} LWf}$$

[0067] ここでｖｎはゲート入力換算ノイズ、Δｆはバンド幅、ＫＦは１／ｆ雑音パラメータ、ＬはＦＥＴのゲート長、ＷはＦＥＴのゲート幅、ｆは測定周波数である。６ｓｉｇｍａ雑音を計算すると、ＦＡＢ－Ａにおける雑音レベルは検出対象が１０ｐｐｍ存在するときに出力に比較してＮチャネル、Ｐチャネル共に２桁程度小さい。しかし、ＫＦ＞１Ｅ－２３である製造ラインを使った場合、１／ｆ雑音の大きさが検出対象１０ｐｐｍの信号出力と同程度となり、無視できない大きさとなる。

[0068] このとき、ＰチャネルＦＥＴにおける１／ｆ雑音はＮチャネルＦＥＴの１／２以下の大きさであるため、Ｐチャネル型はＮチャネル型に比較して高精度化に有利となる。前述の通り１／ｆ雑音はランダム雑音であるため参照ＦＥＴとセンサＦＥＴの差分では除去不可能である。よって、センサチップレベルでできるだけ小さくすることが望ましい。また１／ｆ雑音は計測時間が長くなるほど大きくなることからＰチャネルＦＥＴでセンサＦＥＴと参照ＦＥＴを構成することにより長時間動作に対する安定性や信頼性を向上させることも可能である。

[0069] 図１０を用いて次にＰチャネルＦＥＴに特有の特徴について説明する。図１０では検出対象ガスを検知した時の振る舞い(Gas detecting)と環境温度が上昇した時の振る舞い(Temperature rising)をＰチャネルＦＥＴ(ＰＣＨ)とＮチャネルＦＥＴ(ＮＣＨ)で比較して示した。温度範囲としては、例えばデバイスの動作可能な範囲内で、温度を上下させた場合を想定する。

[0070] まず検出対象ガスを検知した時のセンサＦＥＴの振る舞いについて説明する。図中点線はガスが存在しない時、実線はガスが存在するときのＩＤＳ－ＶＧＳ特性を示している。Ｎチャネルセンサ ＦＥＴでは検出対象ガス雰囲気

中では閾電圧ＶＴＨが小さくなり、Ｐチャネルセンサ ＦＥＴでは逆に大きくなる。ただしＰチャネルセンサＦＥＴにおいてＶＴＨが小さくなるとは、同じドレイン電流ＩＤＳを得る為に必要なゲートソース電圧ＶＧＳが小さくなることを意味する。

[0071] 一方で環境温度上昇時には、温度上昇前と比較してＮチャネルＦＥＴにおいてはＶＴＨが減少し、ＰチャネルＦＥＴにおいてもＶＴＨが減少する。点線が温度上昇前、実線が温度上昇後のＩＤＳ－ＶＧＳ特性である。

[0072] ＮチャネルセンサＦＥＴではＶＴＨの変化の方向が検出対象ガスの検出時と温度上昇時で同じである一方、Ｐチャネルセンサ ＦＥＴでは逆である。検出対象ガスが温度上昇と共に発生する場合Ｐチャネルセンサ ＦＥＴでは出力の方向が逆になることから検出対象ガスの検出によるＶＴＨ変化と温度上昇によるＶＴＨ変化を明確に分離することができる。一方でＮチャネルセンサ ＦＥＴでは分離することが出来ない。ＦＣＶや原子力発電所など、検出対象ガスの発生に温度上昇を伴う応用に際しては、誤検知の可能性を低くできるという意味で、Ｐチャネルセンサ ＦＥＴはＮチャネルよりも有利となる。逆に、検出対象ガスの発生に温度低下を伴う場合にはＮチャネルセンサＦＥＴの方がＰチャネルよりも適すると言える。

[0073] 以上がＰチャネルＦＥＴで、センサＦＥＴと参照ＦＥＴを構成することで得られる効果である。

[0074] 図１１には図６に示したセンサシステム（ＳＥＮＳＯＲＳＹＳＴＥＭ）におけるＶＴＨ検出回路（ＶＴＨＳＥＮＳＥ）の具体的な構成の一例について述べる。一定のドレイン電流を生成するドレインソース電流生成回路（ＩＤＳＧＥＮ）の出力がセンサＦＥＴ（ＳＥＮＳＯＲ）向けソース電位（ＶＳＳＥＮ）に接続される。ソース電圧バッファ（ＳＢＵＦ）はソース電位（ＶＳＳＥＮ）を入力としセンサＦＥＴデバイス出力（ＶＳＥＮ）に入力と同じ電圧を出力する。これによりセンサＦＥＴデバイス出力（ＶＳＥＮ）の負荷が大きくてもソース電位（ＶＳＳＥＮ）の電圧レベルを演算回路（ＣＡＬ）まで伝送可能である。

[0075] ドレインソース電圧生成回路（ＶＤＳＧＥＮ）は電圧生成回路（ＶＧＥＮ）で生成されたセンサＦＥＴ向けドレインソース電圧（ＶＤＳＳＥＮ）とセンサＦＥＴデバイス出力（ＶＳＥＮ）を入力として（ＶＤＳ０）を出力する。（ＶＤＳ０）の電圧はセンサＦＥＴ向けドレインソース電圧（ＶＤＳＳＥＮ）と接地との差電圧をセンサＦＥＴデバイス出力（ＶＳＥＮ）を基準としてこれに足し合わせた大きさになる。すなわちＶＤＳ０＝ＶＳＥＮ＋ＶＤＳＳＥＮである。

[0076] センサＦＥＴデバイス出力（ＶＳＥＮ）はセンサＦＥＴのソース電位と等しいことからドレインソース電圧生成回路（ＶＤＳＧＥＮ）によりセンサＦＥＴのソースドレイン電圧は一定のセンサＦＥＴ向けドレインソース電圧（ＶＤＳＳＥＮ）に維持されることになる。ドレイン電圧バッファ（ＤＢＵＦ）はセンサＦＥＴ向けドレイン電位（ＶＤＳＥＮ）に（ＶＤＳ０）の電圧を出力する。これによりセンサＦＥＴ向けドレイン電位（ＶＤＳＥＮ）に大きな負荷が接続されている場合にも駆動が可能となる利点がある。ＶＴＨ検出回路（ＶＴＨＳＥＮＳＥ）とＰ型ＦＥＴセンサチップ（ＰＣＨＳＥＮＳＯＲＣＨＩＰ）が長いケーブルで接続されるような状況でもドレイン電圧バッファ（ＤＢＵＦ）によりセンサＦＥＴのドレインソース電圧は（ＶＤＳ０）に維持される。参照ＦＥＴ（ＲＥＦＥＲＥＮＣＥ)側のＶＴＨ検出回路（ＶＴＨＳＥＮＳＥ）も、基本的にセンサＦＥＴ側と同様である。なお、図１１中のオペアンプは一般的な特性を持つ市販オペアンプで構わない。

[0077] 以下に第二の実施例について説明する。

[0078] 図１２はセンサチップの第二の実施例である。Ｐチャネルセンサ ＦＥＴとＰチャネル参照ＦＥＴがＰ型基板（ＰＳＵＢ）上に形成される点は図５に示す第一の実施例と同じであるが、参照ＦＥＴのゲートが検出対象に対して触媒作用を持たないゲート（ＧＡＴＥ）で構成される点が異なる。本構成では図５に示す遮断膜（ＰＡＳＳＩ）の劣化により参照ＦＥＴが検出対象に対して感度を持ってしまう不良を本質的に回避できる。しかし、触媒作用を持たないゲート（ＧＡＴＥ）と触媒ゲート電極（ＣＡＴＧＡＴＥ）の製膜を別々

に行う必要があり、製膜プロセスコスト、マスク枚数が増大する。

[0079] 図１３はセンサシステムの第二の実施例である。図６に示す第一の実施例と比較してＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）を１個に減らし、センサＦＥＴと参照ＦＥＴでスイッチＳＷを介して一つのＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）を共有する点が異なる。スイッチ制御信号（ＳＷＣＴＲＬ）は補正演算回路（ＣＡＬ）により生成される。上記構成とすることでＶＴＨセンシング回路（ＶＴＨＳＥＮＳＥ）をセンサＦＥＴと参照ＦＥＴに個別に設けた場合と比較して、回路のばらつきに起因する誤差を低減することができ、更に回路構成が簡単になるためコストが低減される。時分割でセンサＦＥＴ出力と参照信号出力を交互に切り替えるため計測の同時性は失われる。しかし、ガス濃度の変化時定数よりも十分に早く切り替えを行うことで、この不利は解消される。具体的には１Ｈｚ以上の速度でスイッチングすれば計測精度に影響は出ない。

[0080] 図１４にはセンサチップの第三の実施例を示す。図５に示す第一の実施例にＰＮ接合温度計（ＴＥＭＰＭＥＴＥＲ）を追加した構成である。ＰＮ接合はＰチャネルセンサＦＥＴとＰチャネル参照ＦＥＴと同じＰ型基板（ＰＳＵＢ）上に形成される。アノード端子（ＡＰＮ）はＰ拡散領域（Ｐ＋）に接続され、カソード端子（ＣＰＮ）はＮ拡散領域（Ｎ＋）に接続される。センサＦＥＴ、参照ＦＥＴ、ＰＮ接合のそれぞれのウェル（ＮＷＥＬＬ）は基板電位（ＳＵＢ）を接地電位とすることで互いに電気的に分離される。

[0081] 図１４における参照ＦＥＴのゲートは触媒ゲート電極（ＣＡＴＧＡＴＥ）であるが図１２に示したように触媒作用の無いゲート（ＧＡＴＥ）としても良い。つまりＰＮ接合温度計をセンサチップ上に設けることと参照ＦＥＴの構成とは無関係である。

[0082] 図１５には図１４のセンサチップを含む第三のセンサシステムの実施例を示す。図６と比較してセンサチップ上にＰＮ接合で構成された温度計（ＴＥＭＰＭＥＴＥＲ）が含まれる点、この温度計（ＴＥＭＰＭＥＴＥＲ）を制御する回路ブロックが追加されている点が異なる。

[0083] 電流源（ＩＤＩＯＤＥＧＥＮ）では温度計（ＴＥＭＰＭＥＴＥＲ）に供給する電流を生成する。基準電圧生成回路（ＶＧＥＮ）では温度計（ＴＥＭＰＭＥＴＥＲ）を適切に制御するための電圧（ＶＤＩＯＤＥ）が生成される。温度計（ＴＥＭＰＭＥＴＥＲ）のアノード電位（ＶＦ）を用い演算回路（ＣＡＬ）でセンサチップの温度を得る。演算回路（ＣＡＬ）では得られたチップ温度情報を用いて、チップ温度を一定に保つ制御やセンサ出力の感度補正演算を実施する。ＦＥＴ型ガスセンサは触媒金属に検出対象ガスが吸蔵されることで出力を得る為、チップ温度により感度が変化する。よってチップ上に温度計を設けて感度補正を行うことは、環境温度が変化する応用において信頼性を確保するために望ましい。

[0084] 図１６はセンサチップの第四の実施例である。図１４に示した第三の実施例と比較して温度計（ＴＥＭＰＭＥＴＥＲ）が配線抵抗により構成される。図１６は配線抵抗全体のある一断面を示しており、実際には必要な長さの配線がチップ上に形成されているものとする。配線の一方の端をＲＨ端子（ＲＨ）、もう一方の端をＲＬ端子（ＲＬ）として取り出す。金属配線抵抗は温度の関数であるため、抵抗値を計測することでチップ温度の情報を得ることができる。上記の配線温度計はチップ温度を調整する電熱ヒータとして活用することも可能である。この際にはＲＨ端子（ＲＨ）およびＲＬ端子（ＲＬ）はヒータ電源の接続端子と抵抗測定端子を兼ねる。抵抗値を精度良く計測するためには４端子計測が望ましいため、ＲＨ端子（ＲＨ）をＲＨ１とＲＨ２、ＲＬ端子（ＲＬ）をＲＬ１とＲＬ２のように分けて用意する方法もある。図１４の説明で述べたとおり、参照ＦＥＴのゲートは非触媒ゲート（ＧＡＴＥ）に置き換え、検知対象遮断膜（ＰＡＳＳＩ）を除いても良い。つまり図１２に示したセンサチップの第二の実施例に配線抵抗温度計を適用した場合も本願の範囲に含まれる。

[0085] 図１７はセンサチップの第五の実施例である。図１６に示した第四の実施例と比較して抵抗温度計（ＴＥＭＰＭＥＴＥＲ）を拡散層抵抗で形成した点が異なる。配線抵抗温度計と比較して、安定性が高い利点がある。また高抵

抗化が容易であるため、電熱ヒータとして活用した場合には発熱効率を高められるといった利点が考えられる。また配線がＰ型基板（ＰＳＵＢ）に埋め込まれる構成であるため配線抵抗温度計と比較してヒータとして活用した時の熱効率を向上可能である。電熱ヒータとして活用する場合にはＲＨ端子（ＲＨ）およびＲＬ端子（ＲＬ）はヒータ電源の接続端子と抵抗測定端子を兼ねる。抵抗値を精度良く計測するためには４端子計測が望ましいため、ＲＨ端子（ＲＨ）をＲＨ１とＲＨ２、ＲＬ端子（ＲＬ）をＲＬ１とＲＬ２のように分けて用意する方法もある。拡散層抵抗温度計は拡散層製造工程で同時に作ることが可能であるためプロセスコストの増加も抑えられる点が好ましい。図１４の説明で述べたとおり、参照ＦＥＴのゲートは非触媒ゲート（ＧＡＴＥ）に置き換え、検知対象遮断膜（ＰＡＳＳＩ）を除いても良い。つまり図１２に示したセンサチップの第二の実施例に拡散層抵抗温度計を適用した場合も本願の範囲に含まれる。

[0086] 図１８は図１６と図１７に示したセンサチップを用いたセンサシステムの第四のセンサシステムの実施例である。図１５と比較して温度計（ＴＥＭＰＭＥＴＥＲ）が抵抗で構成されている点が異なる。電流源（ＩＲＥＳＧＥＮ）は温度計（ＴＥＭＰＭＥＴＥＲ）制御用の電流を生成する回路ブロックである。基準電圧生成回路（ＶＧＥＮ）では抵抗温度計制御用の電圧（ＶＲＥＳ）が生成される。抵抗温度計出力（ＶＲ）は演算回路（ＣＡＬ）に入力される。図１５の説明で述べたとおり、チップ温度情報を含む抵抗温度計出力（ＶＲ）を用いてチップ温度の制御、センサ出力の補正演算を行うことで、高信頼化、高安定化を図ることができる。

[0087] 図１９はセンサチップの第六の実施例である。Ｎ型基板（ＮＳＵＢ）を用いる場合にはＮ型基板（ＮＳＵＢ）上にディープＰウェル（ＤＰＷＥＬＬ）を設け、更にその上にＰチャネルセンサＦＥＴとＰチャネル参照ＦＥＴを形成する。ディープＰウェル（ＤＰＷＥＬＬ）を構成するプロセスコストが増大するがＮ型基板（ＮＳＵＢ）を用いなければならない応用には有効である。この際には基板電位（ＳＵＢ）は接地ではない高電位にする必要がある点

に注意を要する。

[0088] 図２０はＮ型基板（ＮＳＵＢ）上にＰチャネルセンサＦＥＴとＰチャネル参照ＦＥＴをディープウェル無しに構成したセンサチップの第七の実施例である。センサＦＥＴのウェル電位と参照ＦＥＴのウェル電位とを分離するため、トレンチ型素子分離（ＳＴＩ）を両者の間に設ける。これによりセンサＦＥＴのウェルと参照ＦＥＴのウェル間のインピーダンスが増大するため、ウェル電位をそれぞれ独立に制御可能となり、結果としてソースとウェルを短絡して基板効果を無くす構成を実現できる。

[0089] 図１９、図２０に明記しないが図１２に示すように参照ＦＥＴが非触媒ゲート（ＧＡＴＥ）を有する場合や図１４に示すＰＮ接合温度計（ＴＥＭＰＭＥＴＥＲ）を有する場合、図１６に示す配線抵抗温度計（ＴＥＭＰＭＥＴＥＲ）を有する場合、図１７に示す拡散層抵抗（ＴＥＭＰＭＥＴＥＲ）を有する場合も同様の派生実施例として本願の範囲に含まれるものとする。

[0090] １／ｆ雑音の低減効果は期待できないが、ウェルとソースを短絡することで基板効果を無くす構成はＮチャネルＦＥＴを用いた場合でも実現可能である。

[0091] 図２１は図５に示した第一の実施例に対してＰ型基板をＮ型基板（ＮＳＵＢ）に、ＰチャネルＦＥＴをＮチャネルＦＥＴに置き換えた、第八の実施例である。

[0092] 図２２は図１９に示した第六の実施例に対してＮ型基板をＰ型基板（ＰＳＵＢ）に、ディープＰウェルをディープＮウェル（ＤＮＷＥＬＬ）に、ＰチャネルＦＥＴをＮチャネルＦＥＴに置き換えた、第九の実施例である。

[0093] 図２３は図２０に示した第七の実施例に対してＮ型基板をＰ型基板（ＰＳＵＢ）に、ＰチャネルＦＥＴをＮチャネルＦＥＴに置き換えた、第十の実施例である。

[0094] 図２４は、図５に示したＰチャネルＦＥＴで半導体素子を構成した場合の、断面構造図の一例である。Ｐ型基板（ＰＳＵＢ）に、Ｎウェル（ＮＷＥＬＬ）を形成し、その中にP型FETを形成する。センサＦＥＴ（ＰＣＨＳＥＮＳ

ＯＲ）、参照ＦＥＴ（ＰＣＨＲＥＦＥＲＥＮＣＥ）ともに、触媒ゲート電極（ＳＣＡＴＧＡＴＥ，ＲＣＡＴＧＡＴＥ）を備えているが、センサＦＥＴの触媒ゲート電極（ＳＣＡＴＧＡＴＥ）が、遮断膜（ＰＡＳＳＩ）に形成されたスルーホールで露出しているのに対して、参照ＦＥＴの触媒ゲート電極（ＲＣＡＴＧＡＴＥ）は、遮断膜（ＰＡＳＳＩ）に覆われている。触媒ゲート電極下には、ゲート酸化膜（ＯＸＩＤＥ）が存在する。また、素子分離膜（ＯＸ１）、層間膜（ＯＸ２）がある。

[0095] 参照ＦＥＴのドレイン端子（ＤＲＥＦ）はドレインパッド（ＤＲＡＩＮＰＡＤ）に、参照ＦＥＴのソース端子（ＳＲＥＦ）はソースパッド（ＳＲＥＦＰＡＤ）に、参照ＦＥＴのウェル端子（ＢＲＥＦ）はボディパッド（ＢＲＥＦＰＡＤ）に、触媒ゲート電極（ＲＣＡＴＧＡＴＥ）はゲートパッド（ＲＣＡＴＧＡＴＥＰＡＤ）に、基板（ＳＵＢ）は基板電位パッド（ＳＵＢＰＡＤ）に、それぞれ接続されており、信号を入出力することができる。

[0096] センスＦＥＴのドレイン端子（ＤＳＥＮ）はドレインパッド（ＤＲＡＩＮＰＡＤ）に、参照ＦＥＴのソース端子（ＳＳＥＮ）はソースパッド（ＳＳＥＮＰＡＤ）に、参照ＦＥＴのウェル端子（ＢＳＥＮ）はボディパッド（ＢＳＥＮＰＡＤ）に、触媒ゲート電極（ＳＣＡＴＧＡＴＥ）はゲートパッド（ＳＣＡＴＧＡＴＥＰＡＤ）に、それぞれ接続されており、信号を入出力することができる。

[0097] なお、センサＦＥＴ（ＰＣＨＳＥＮＳＯＲ）と参照ＦＥＴ（ＰＣＨＲＥＦＥＲＥＮＣＥ）は、対比説明のために図２４Ａと図２４Ｂに分けて示しているが、実際には、共通のＰ型基板（ＰＳＵＢ）上に形成されている。

[0098] 第八から第十の実施例においても、明記しないが、参照ＦＥＴのゲートを非触媒ゲート（ＧＡＴＥ）で構成するパタンや、図１４に示すＰＮ接合温度計（ＴＥＭＰＭＥＴＥＲ）を有する場合、図１６に示す配線抵抗温度計（ＴＥＭＰＭＥＴＥＲ）を有する場合、図１７に示す拡散層抵抗（ＴＥＭＰＭＥＴＥＲ）を有する場合も同様の派生実施例として本願の範囲に含まれるものとする。すなわち、本発明は上記した実施形態に限定されるものではなく、

様々な変形例が含まれる。例えば、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることが可能である。また、各実施例の構成の一部について、他の実施例の構成の追加・削除・置換をすることが可能である。

[0099] トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、場合により入れ替えて用いることができる。

[0100] 本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

産業上の利用可能性

[0101] 本発明のＦＥＴ型センサは、燃料電池自動車や水素ステーションといった水素インフラをはじめとして、各種プラントや原子力発電所の水素濃度計にも適用可能な技術である。

符号の説明

[0102] ＦＥＴ　電界効果トランジスタ

ＦＣＶ　燃料電池自動車

ＶＤＳ　ドレインソース電圧

ＶＧ　接地電位を基準としたゲート電位

ＶＲＥＦ　参照ＦＥＴデバイス出力

ＰＡＳＳＩ　検出対象遮断膜

ＯＸＩＤＥ　ゲート酸化膜

ＣＡＴＧＡＴＥ　触媒金属ゲート

ＤＲＥＦ　参照ＦＥＴのドレイン端子

ＳＲＥＦ　参照ＦＥＴのソース端子

ＢＲＥＦ　参照ＦＥＴのウェル端子

ＩＤＳ　ドレインソース電流

ＷＥＬＬ　ウェル

ＳＵＢ　半導体基板

ＰＳＵＢ　Ｐ型半導体基板

ＶＳＥＮ　センサＦＥＴデバイス出力

ＤＩＰＯＬＥ　水素双極子

ＤＳＥＮ　センサＦＥＴのドレイン端子

ＳＳＥＮ　センサＦＥＴのソース端子

ＢＳＥＮ　センサＦＥＴのウェル端子

ＤＣＴＣＩＲＣＵＩＴ　検出回路

ＶＴＨＳＥＮＳＥ　ＶＴＨ検出回路

ＶＤＳＥＮ　センサＦＥＴ向けドレイン電位

ＶＳＳＥＮ　センサＦＥＴ向けソース電位

ＶＤＳＳＥＮ　センサＦＥＴ向けドレインソース電圧

ＶＧＥＮ　基準電圧生成回路

ＶＤＳＲＥＦ　参照ＦＥＴ向けドレインソース電圧

ＶＤＲＥＦ　参照ＦＥＴ向けドレイン電位

ＶＳＲＥＦ　参照ＦＥＴ向けソース電位

ＣＡＬ　補正演算回路

ＶＤＤ　Ｈｉｇｈ側電源電位

ＶＢＳ　基板電圧

ＶＧＳ　ゲートソース電圧

ＶＴＨ　しきい電圧

ＧＡＴＥ　非触媒ゲート

ＩＤＳＧＥＮ　ドレインソース電流生成回路

ＳＢＵＦ　ソース電圧バッファ

ＤＢＵＦ　ドレイン電圧バッファ

ＶＤＳＧＥＮ　ドレインソース電圧生成回路

ＳＷ　切り替えスイッチ

ＳＷＣＴＲＬ　切り替えスイッチ制御線

ＡＰＮ　ＰＮ接合のアノード端子

ＣＰＮ　ＰＮ接合のカソード端子

ＴＥＭＰＭＥＴＥＲ　温度計

ＶＤＩＯＤＥ　ＰＮ接合向け制御電圧

ＩＤＩＯＤＥＧＥＮ　ＰＮ接合向け制御電流生成回路

ＶＦ　ＰＮ接合温度計出力

ＲＨ　抵抗温度計向けハイ端子

ＲＬ　抵抗温度計向けロウ端子

ＶＲＥＳ　抵抗温度計向け制御電圧

ＩＲＥＳＧＥＮ　抵抗温度計向け制御電流生成回路

ＤＰＷＥＬＬ　ディープＰウェル

ＤＮＷＥＬＬ　ディープＮウェル

ＳＴＩ　トレンチ型素子分離

請求の範囲

[請求項1] Ｐ型半導体基板と、

前記Ｐ型半導体基板に形成された第一のＮウェル内にＰ型ＦＥＴで形成された検知対象物に対して感応性を持つセンサＦＥＴと、

前記Ｐ型半導体基板に形成された第二のＮウェル内にＰ型ＦＥＴで形成された検知対象に対して感応性を持たない参照ＦＥＴと、を有し、

前記第一のＮウェルと前記第二のＮウェルが電気的に分離され、

ガス雰囲気中における前記センサＦＥＴと前記参照ＦＥＴの閾電圧の差分を検出する検出回路を有する、ことを特徴とするセンサシステム。

[請求項2] 前記センサＦＥＴの閾電圧を計測する第一のソースフォロア回路と、

前記参照ＦＥＴの閾電圧を計測する前記ソースフォロア回路とは独立して設けられた第二のソースフォロア回路とを有する、ことを特徴とする請求項１記載のセンサシステム。

[請求項3] 前記センサＦＥＴの閾電圧と前記参照ＦＥＴの閾電圧とを計測するソースフォロア回路を有し、

前記センサＦＥＴの閾電圧と前記参照ＦＥＴの閾電圧とを計測するにあたっては、前記ソースフォロア回路と前記センサＦＥＴ、もしくは、前記ソースフォロア回路と前記参照ＦＥＴをスイッチングにより切り替えて接続する、ことを特徴とする請求項１記載のセンサシステム。

[請求項4] 更に、前記Ｐ型半導体基板には温度測定のためのＰＮ接合部を有する、ことを特徴とする請求項1記載のセンサシステム。

[請求項5] 半導体基板と、

前記半導体基板に形成された第一のウェル内にＦＥＴで形成された検知対象に対して感応性をもつセンサＦＥＴと、

前記半導体基板に形成された第二のウェル内にＦＥＴで形成された検知対象に感応性を持たない参照ＦＥＴと、を有し、

前記第一のウェルと前記第二のウェルとは電気的に分離して設けられ、

前記センサＦＥＴのソースと前記第一のウェルとが短絡されており、

前記参照ＦＥＴのソースと前記第二のウェルとが短絡されており、

ガス雰囲気中における前記センサＦＥＴと前記参照ＦＥＴの閾電圧の差分を検出する検出回路を有する

ことを特徴とするセンサシステム。

[請求項6] 前記短絡されたセンサＦＥＴのウェル電位とソース電位に対して接続される、センサＦＥＴ用ドレイン電流源と、

前記センサＦＥＴのソース電位を入力として、当該入力を前記検出回路に出力するセンサＦＥＴ用ソース電圧バッファと、

前記センサＦＥＴのソースドレイン電圧を一定に維持する、センサＦＥＴ用ソースドレイン電圧生成回路と、

前記短絡された参照ＦＥＴのウェル電位とソース電位に対して接続される、参照ＦＥＴ用ドレイン電流源と、

前記参照ＦＥＴのソース電位を入力として、当該入力を前記検出回路に出力する参照ＦＥＴ用ソース電圧バッファと、

前記参照ＦＥＴのソースドレイン電圧を一定に維持する、参照ＦＥＴ用ソースドレイン電圧生成回路と、を有する、請求項５記載のセンサシステム。

[請求項7] 同一の半導体基板に、

半導体領域と、

前記半導体領域に形成された第一のウェル内にＦＥＴで形成された、検知対象物に対して感応性を持つセンサＦＥＴと、

前記半導体領域に形成された第二のウェル内にＦＥＴで形成された

、検知対象に対して感応性を持たない参照ＦＥＴと

前記第一のウェルと前記第二のウェルの間の電気的導通を妨げる構成と、

前記センサＦＥＴの閾値電圧または閾値電圧の変化を示す信号を出力するセンサ信号出力端子と、

前記参照ＦＥＴの閾電圧または閾値電圧の変化を示す信号を出力する参照信号出力端子と、

を有するセンサデバイス。

[請求項8] 前記半導体領域が、第１導電型の半導体領域であり、

前記第一及び第二のウェルは、第２導電型のウェルであり、

前記第一及び第二の第２導電型ウェルの間を前記第１導電型の半導体領域で分離することにより、前記第一及び第二の第２導電型ウェルの間の電気的導通を妨げる、請求項７記載のセンサデバイス。

[請求項9] 前記第一及び第二のウェルの間に、トレンチ型素子分離構造を設けることにより、前記第一及び第二のウェルの間の電気的導通を妨げる、請求項７記載のセンサデバイス。

[請求項10] 前記半導体基板に、温度に対応した信号を発生する構造を設ける、請求項７記載のセンサデバイス。

[請求項11] 前記温度に対応した信号を発生する構造として、ＰＮ接合を設ける、請求項１０記載のセンサデバイス。

[請求項12] 前記温度に対応した信号を発生する構造として、抵抗部材を設ける、請求項１０記載のセンサデバイス。

[請求項13] 前記センサＦＥＴのウェル電位とソース電位が短絡され、前記参照ＦＥＴのウェル電位とソース電位が短絡されている、請求項７記載のセンサデバイス。

[請求項14] 前記ウェル電位と短絡された前記センサＦＥＴのソース電位を前記センサ信号出力端子に出力し、前記ウェル電位と短絡された前記参照ＦＥＴのソース電位を前記参照信号出力端子に出力する、請求項１３

記載のセンサデバイス。

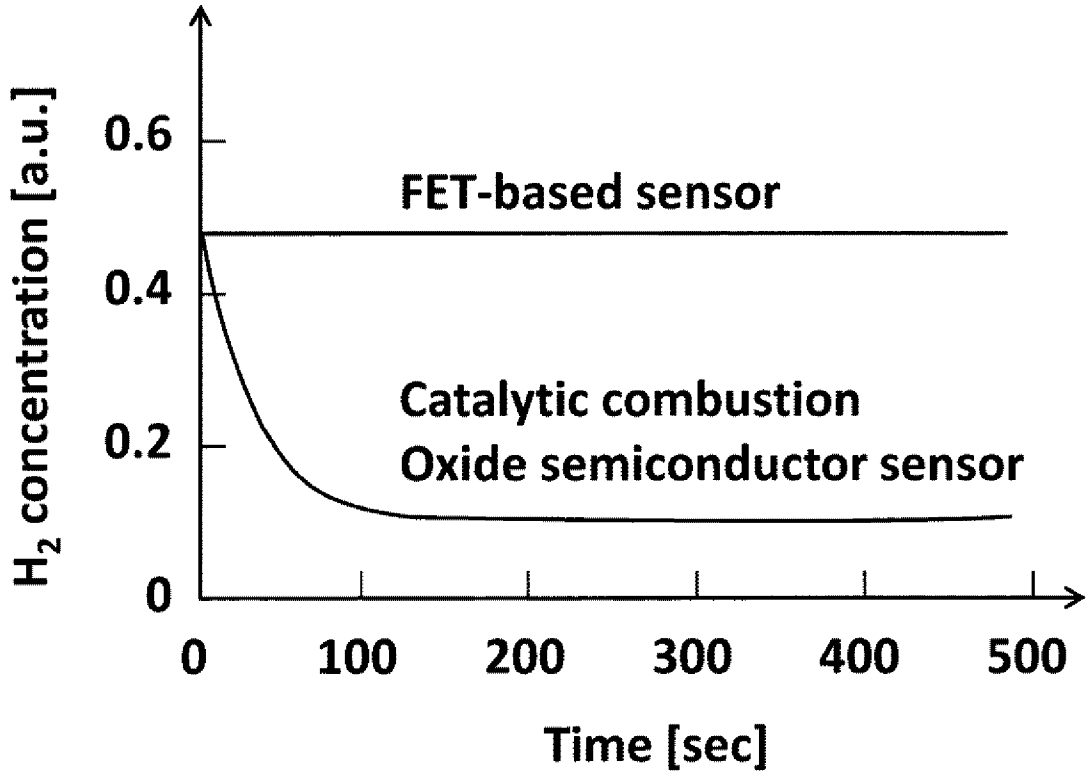
[請求項15] 前記半導体領域は、Ｐ型半導体領域であり、

前記第一及び第二のウェルは、Ｎ型半導体領域として形成され、

前記センサＦＥＴ及び前記参照ＦＥＴは、Ｐ型ＦＥＴである、請求項７記載のセンサデバイス。

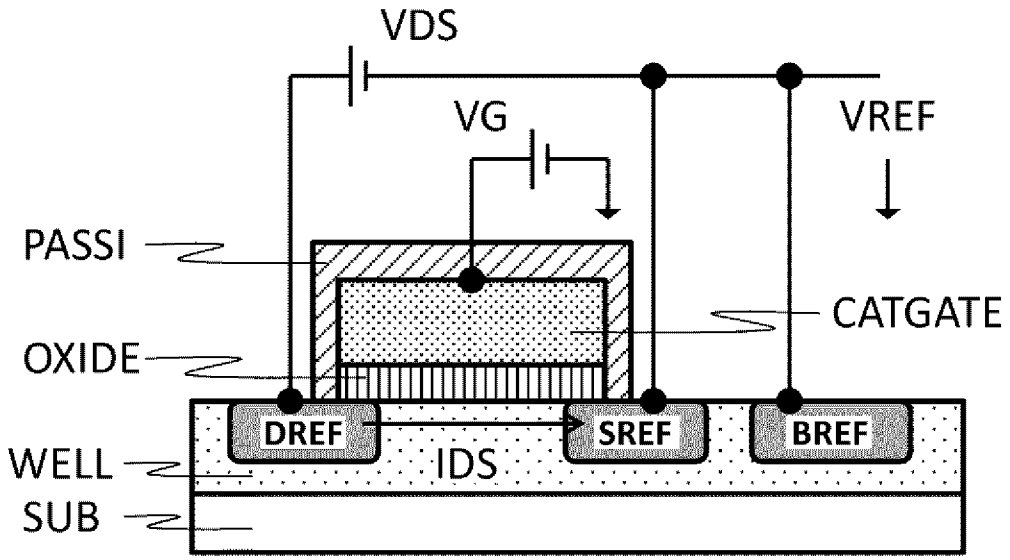
[図1]

図1


H2 concentration [a.u.]
0.6
0.4
0.2
0
FET-based sensor
Catalytic combustion
Oxide semiconductor sensor
0
100
200
300
400
500
Time [sec]

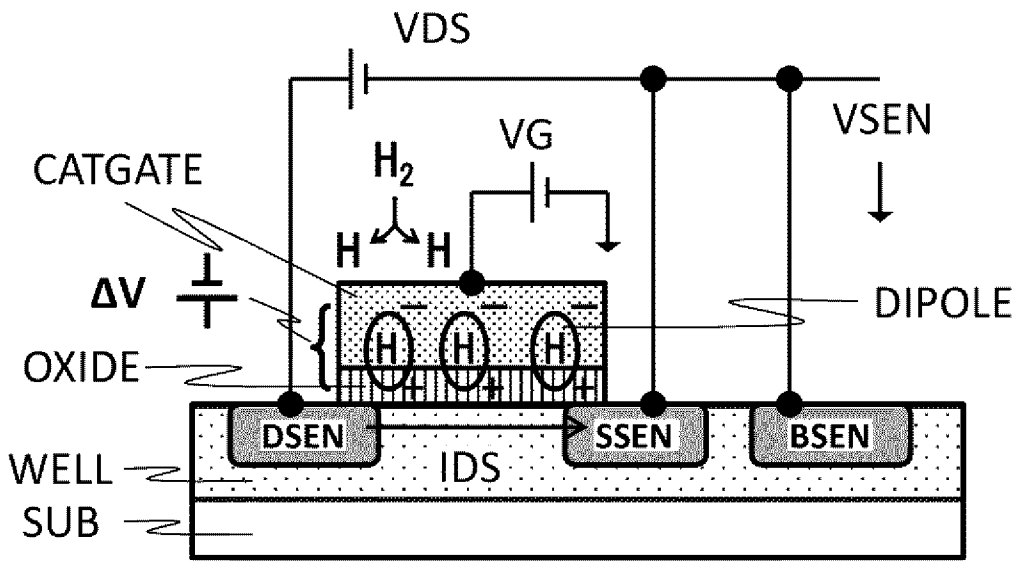
[図2A]

図2A


VDS
VG
VREF
PASSI
CATGATE
OXIDE
DREF
SREF
BREF
IDS
WELL
SUB

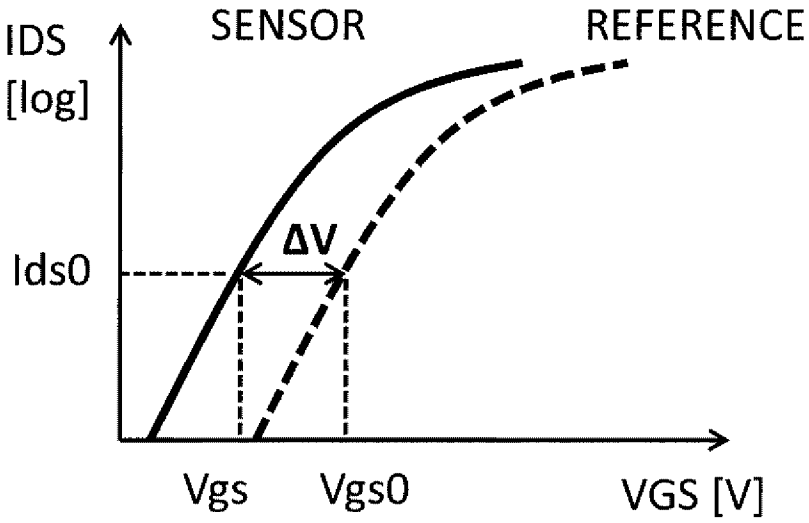
[図2B]

図2B



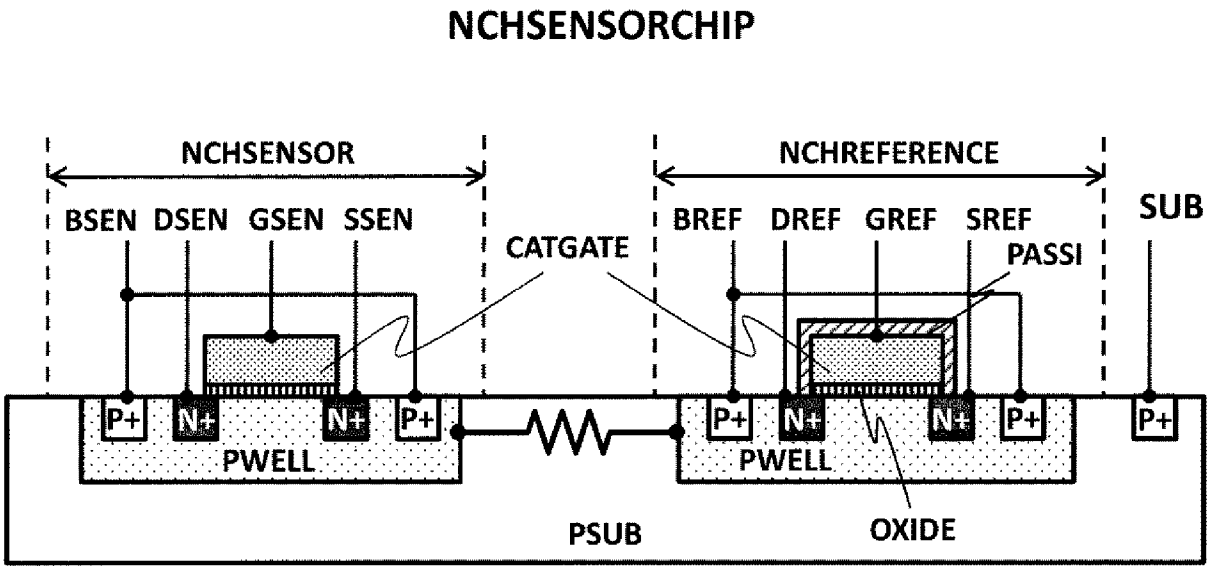
[図2C]

図2C



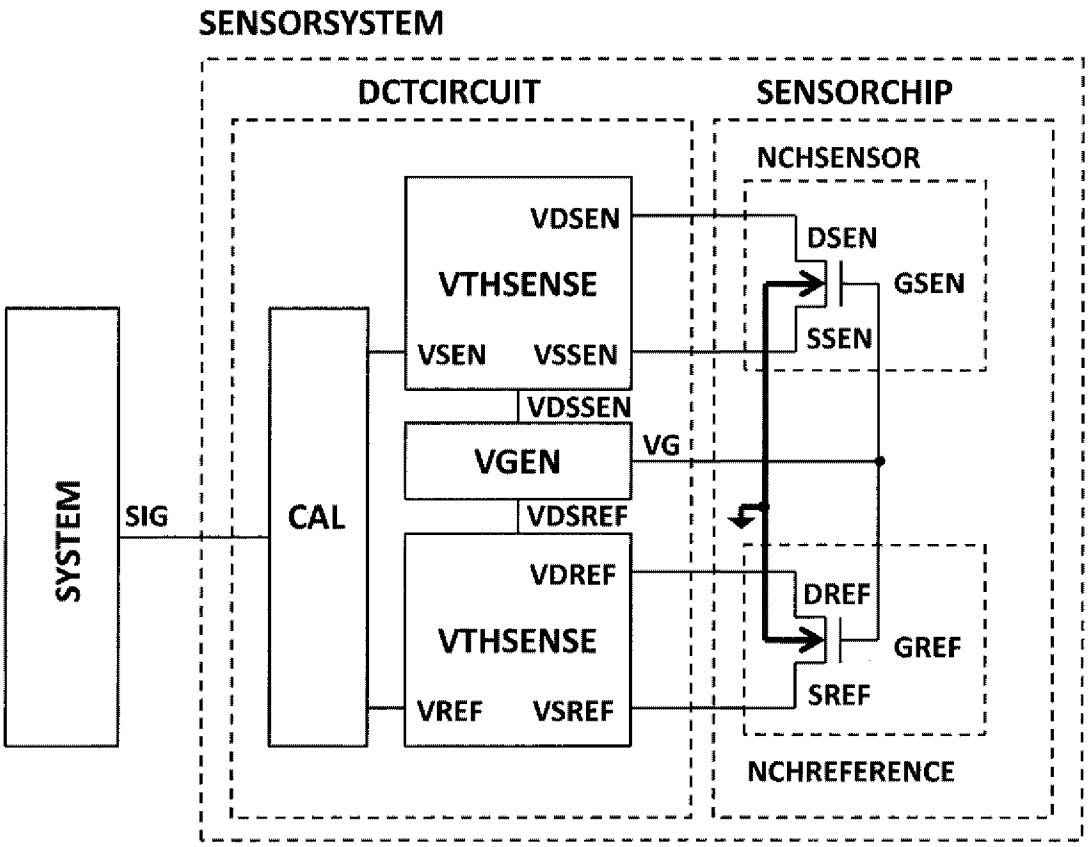
[図3]

図3


NCHSENSORCHIP
NCHSENSOR
NCHREFERENCE
BSEN DSEN GSEN SSEN
BREF DREF GREF SREF
SUB
CATGATE
PASSI
P+ N+ N+ P+
P+ N+ N+ P+
P+
PWELL
PWELL
PSUB
OXIDE

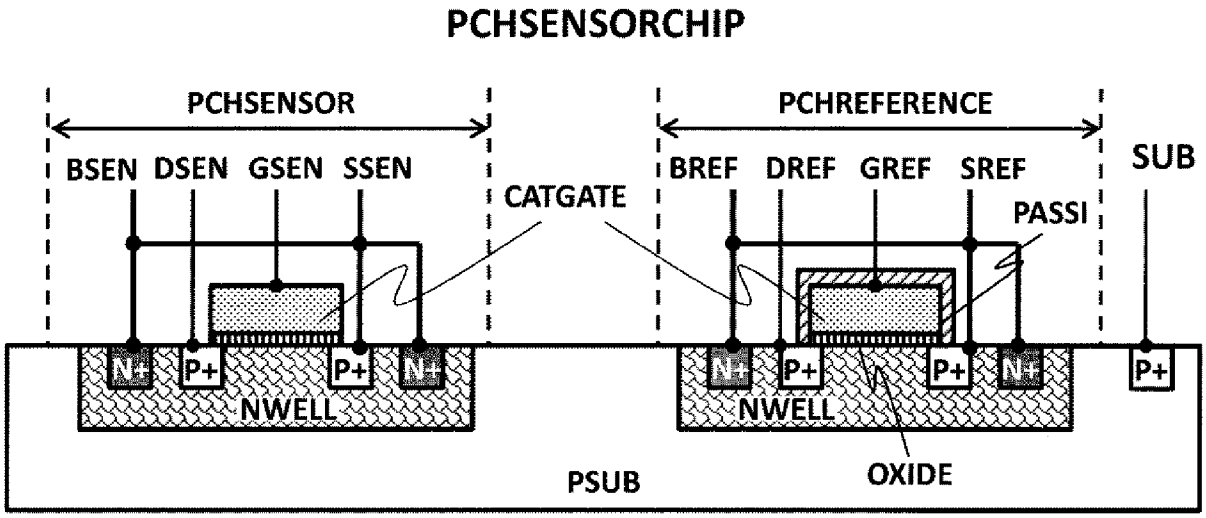
[図4]

図4


SENSORSYSTEM
DCTCIRCUIT
SENSORCHIP
NCHSENSOR
VDSEN
VTHSENSE
VSEN VSSEN
VDSSEN
VGEN
VG
VDSREF
VDREF
VTHSENSE
VREF VSREF
DSEN
GSEN
SSEN
DREF
GREF
SREF
NCHREFERENCE
SYSTEM
SIG
CAL

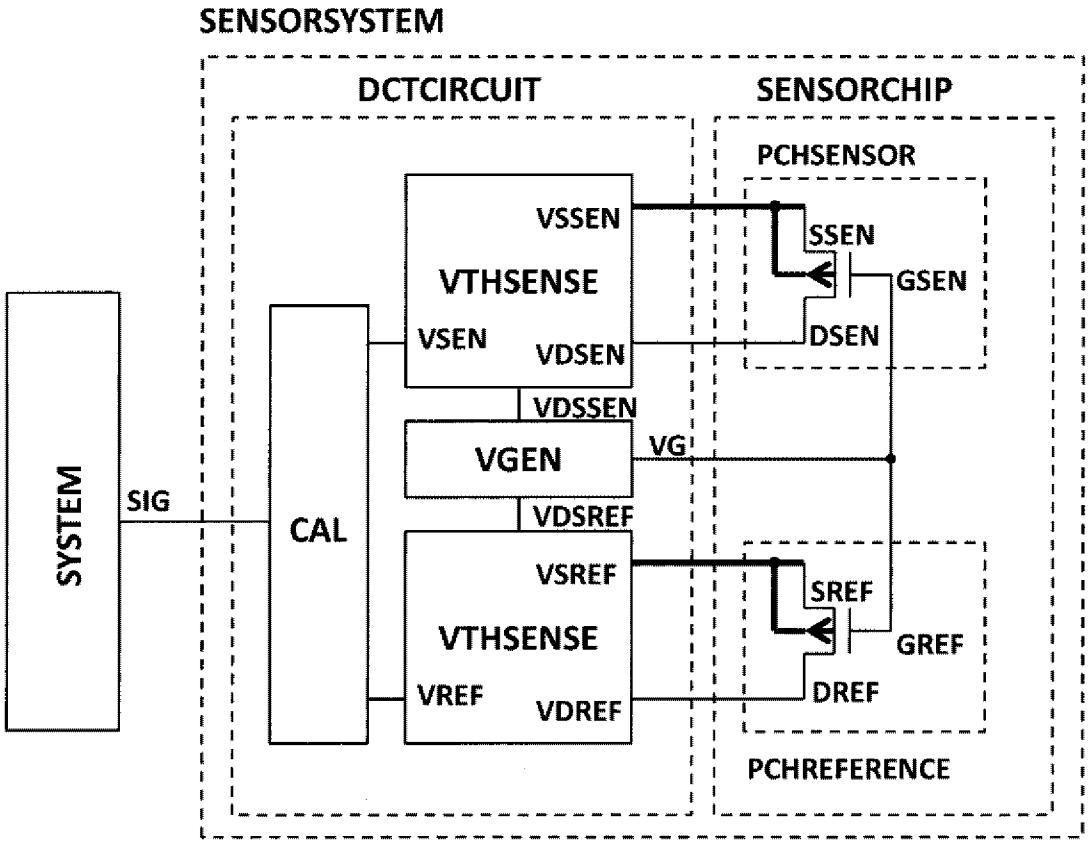
[図5]

図5


PCHSENSORCHIP
PCHSENSOR
PCHREFERENCE
BSEN DSEN GSEN SSEN
CATGATE
BREF DREF GREF SREF
PASSI
SUB
N+
P+
NWELL
PSUB
OXIDE

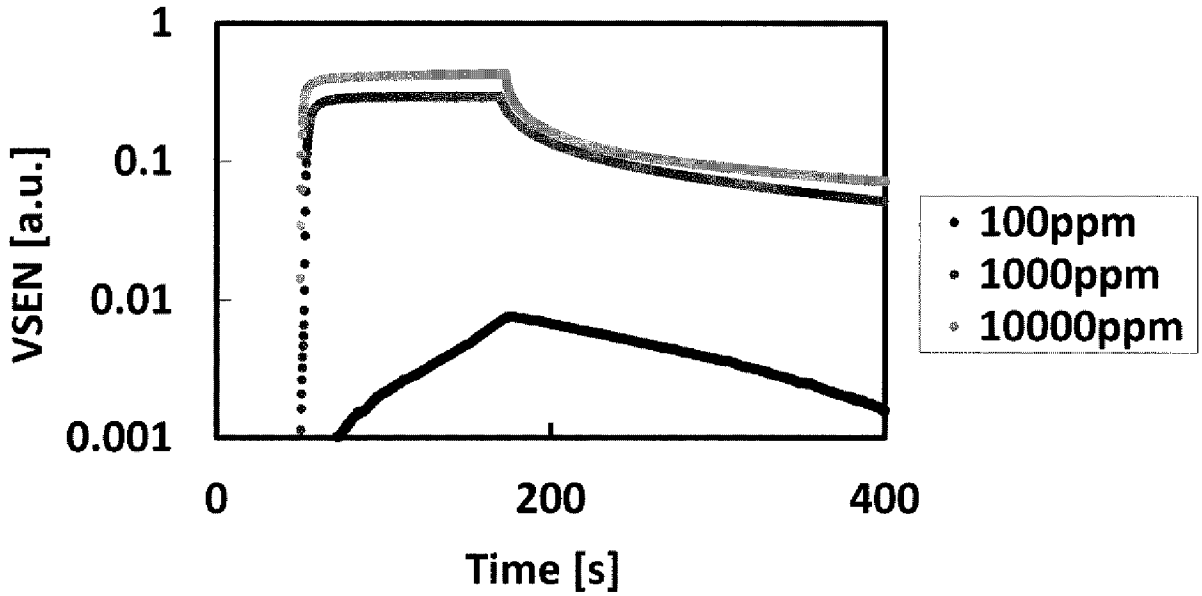
[図6]

図6


SENSORSYSTEM
DCTCIRCUIT
SENSORCHIP
PCHSENSOR
SYSTEM
SIG
CAL
VSSEN
VTHSENSE
VSEN
VDSEN
SSEN
GSEN
DSEN
VDSSEN
VGEN
VG
VDSREF
VSREF
VTHSENSE
VREF
VDREF
SREF
GREF
DREF
PCHREFERENCE

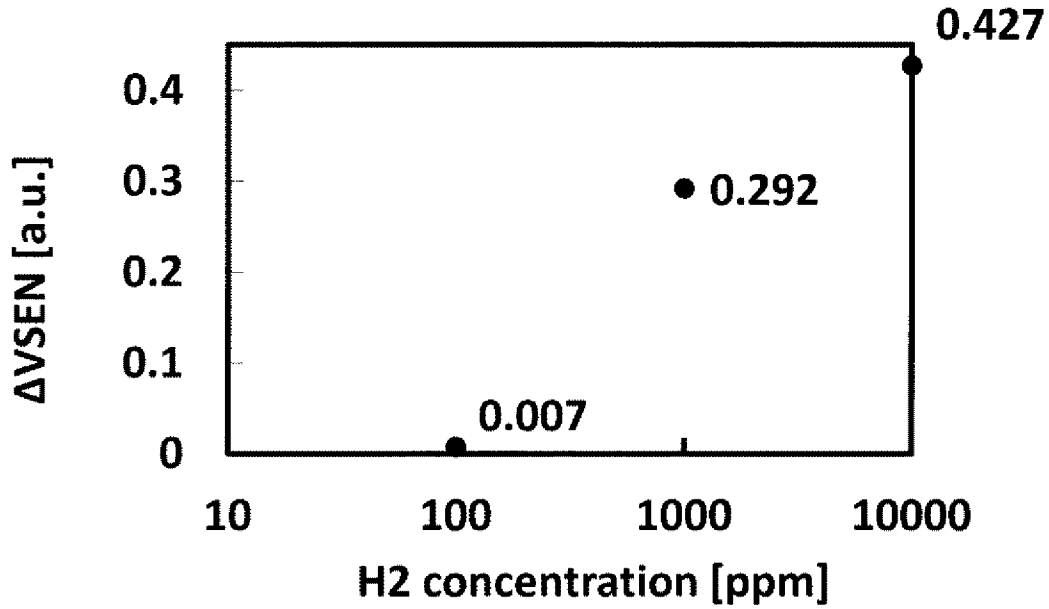
[図7A]

図7A



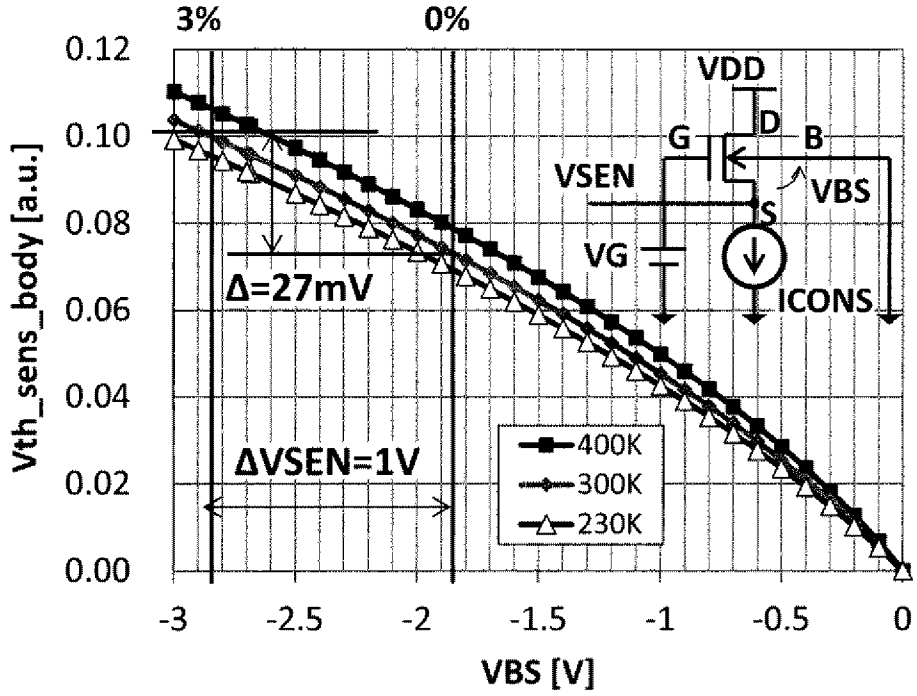
[図7B]

図7B



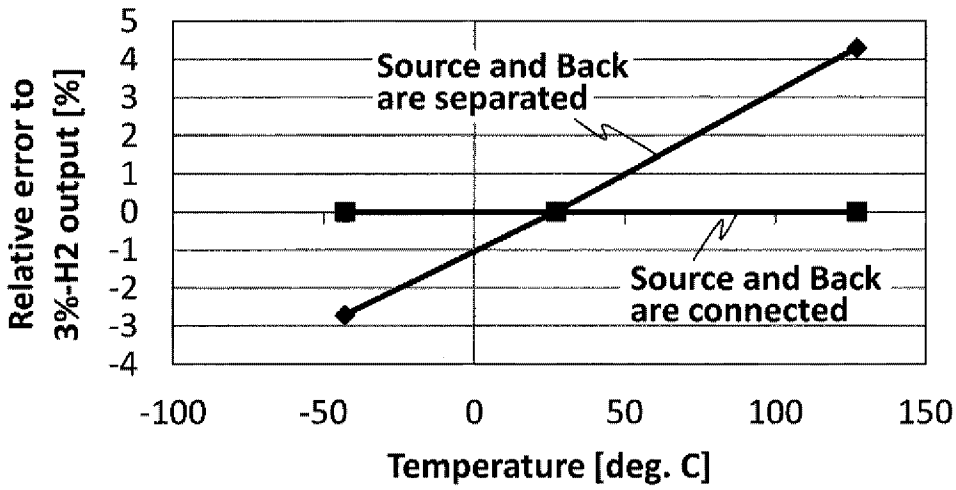
[図8A]

図8A



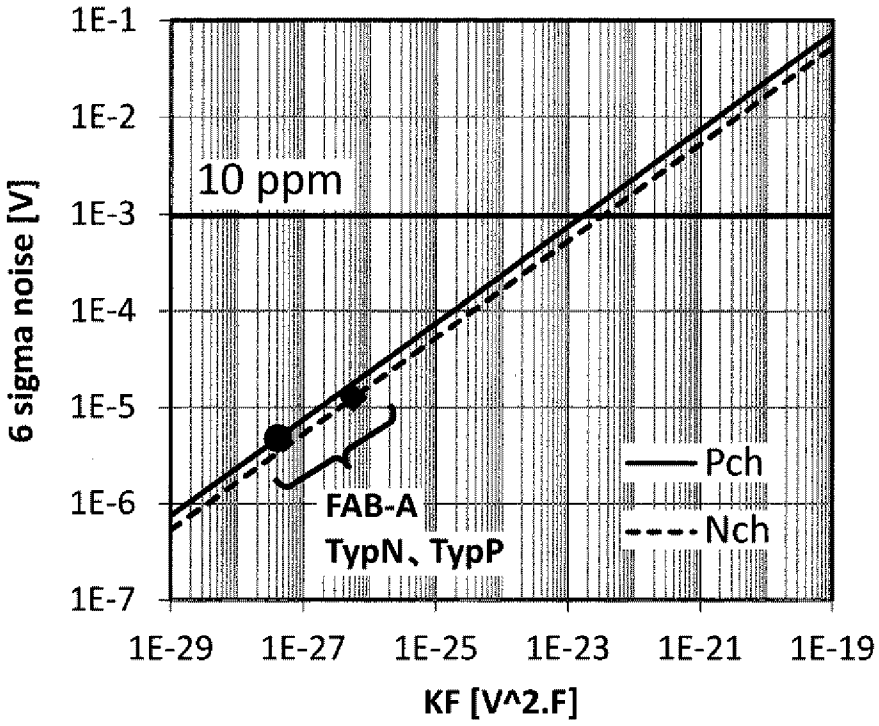
[図8B]

図8B



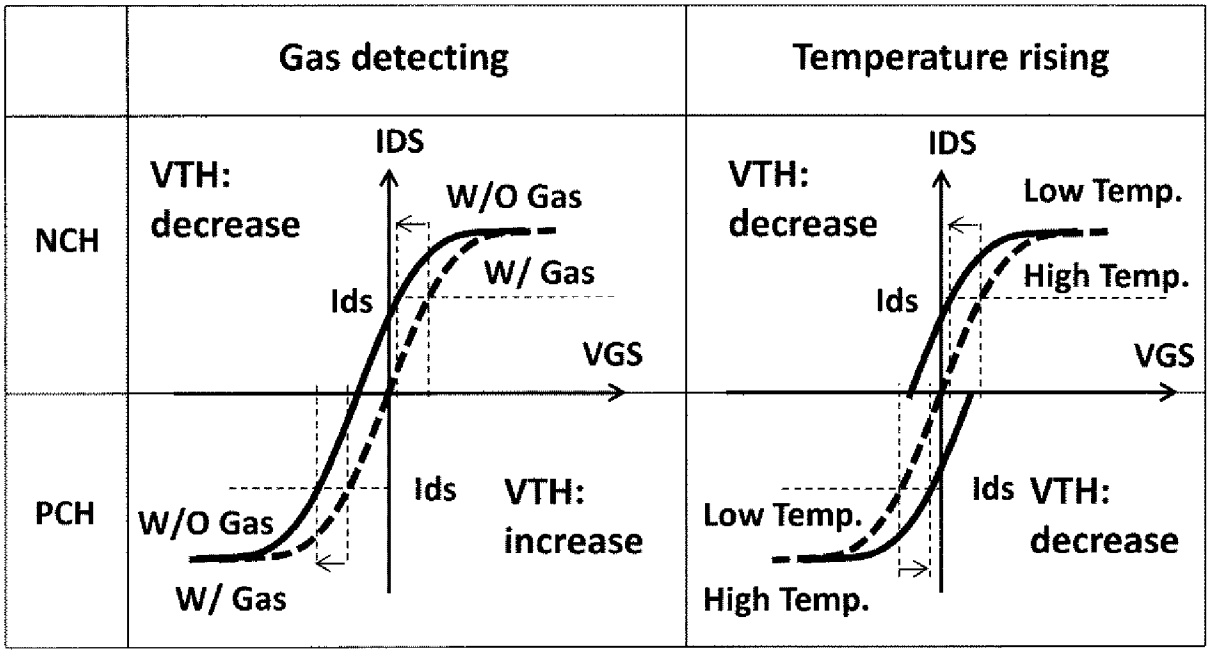
[図9]

図9


1E-1
1E-2
1E-3
1E-4
1E-5
1E-6
1E-7
10 ppm
6 sigma noise [V]
Pch
Nch
FAB-A
TypN、TypP
1E-29
1E-27
1E-25
1E-23
1E-21
1E-19
KF [V^2.F]

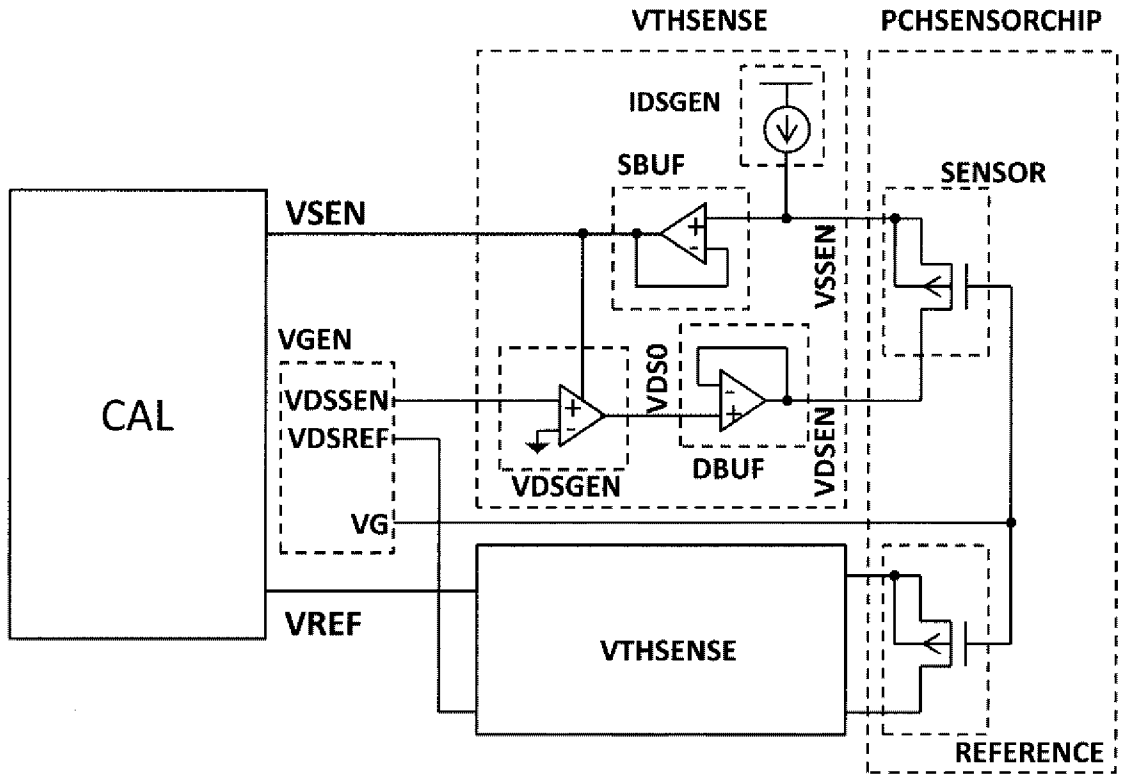
[図10]

図10


Gas detecting
Temperature rising
NCH
PCH
IDS
VTH: decrease
W/O Gas
W/ Gas
Ids
VGS
VTH: increase
Low Temp.
High Temp.

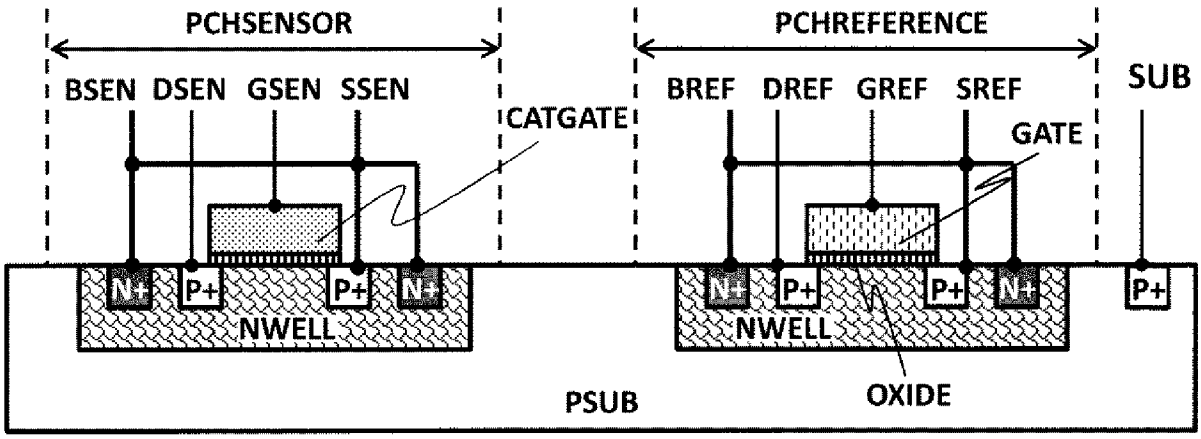
[図11]

図11



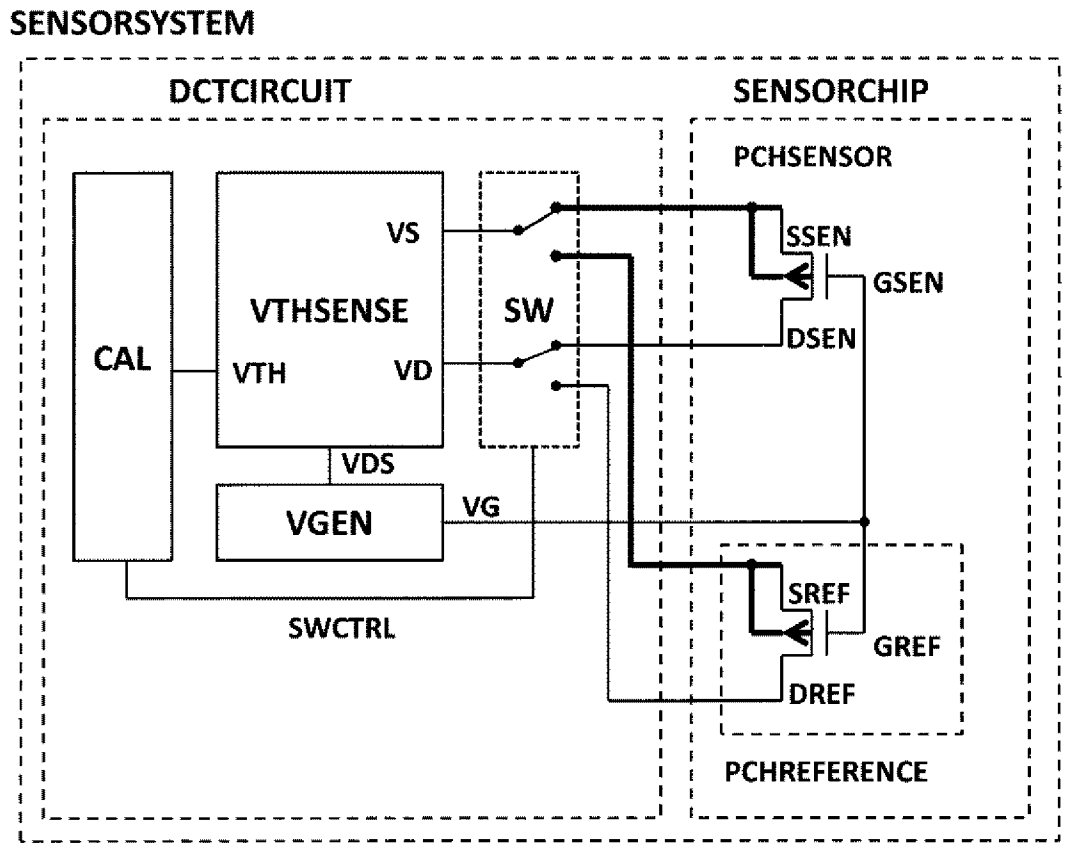
[図12]

図12



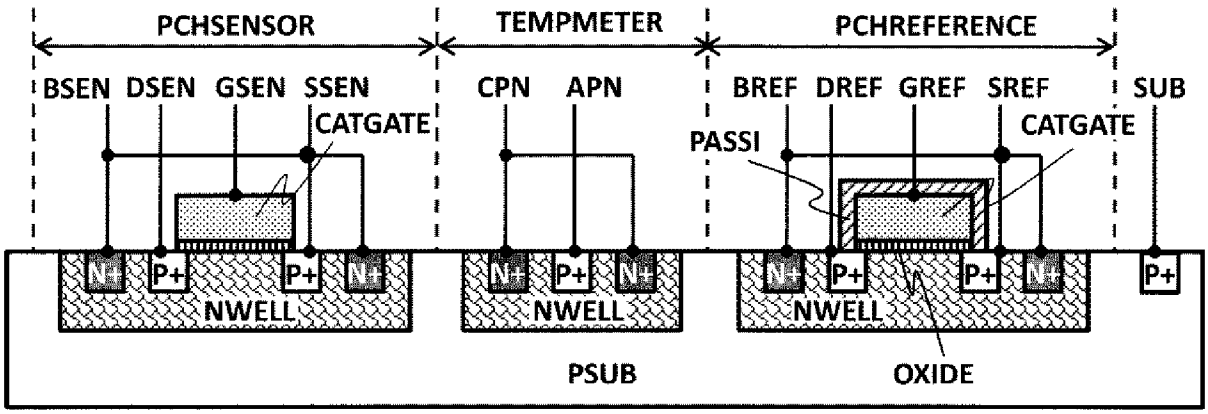
[図13]

図13



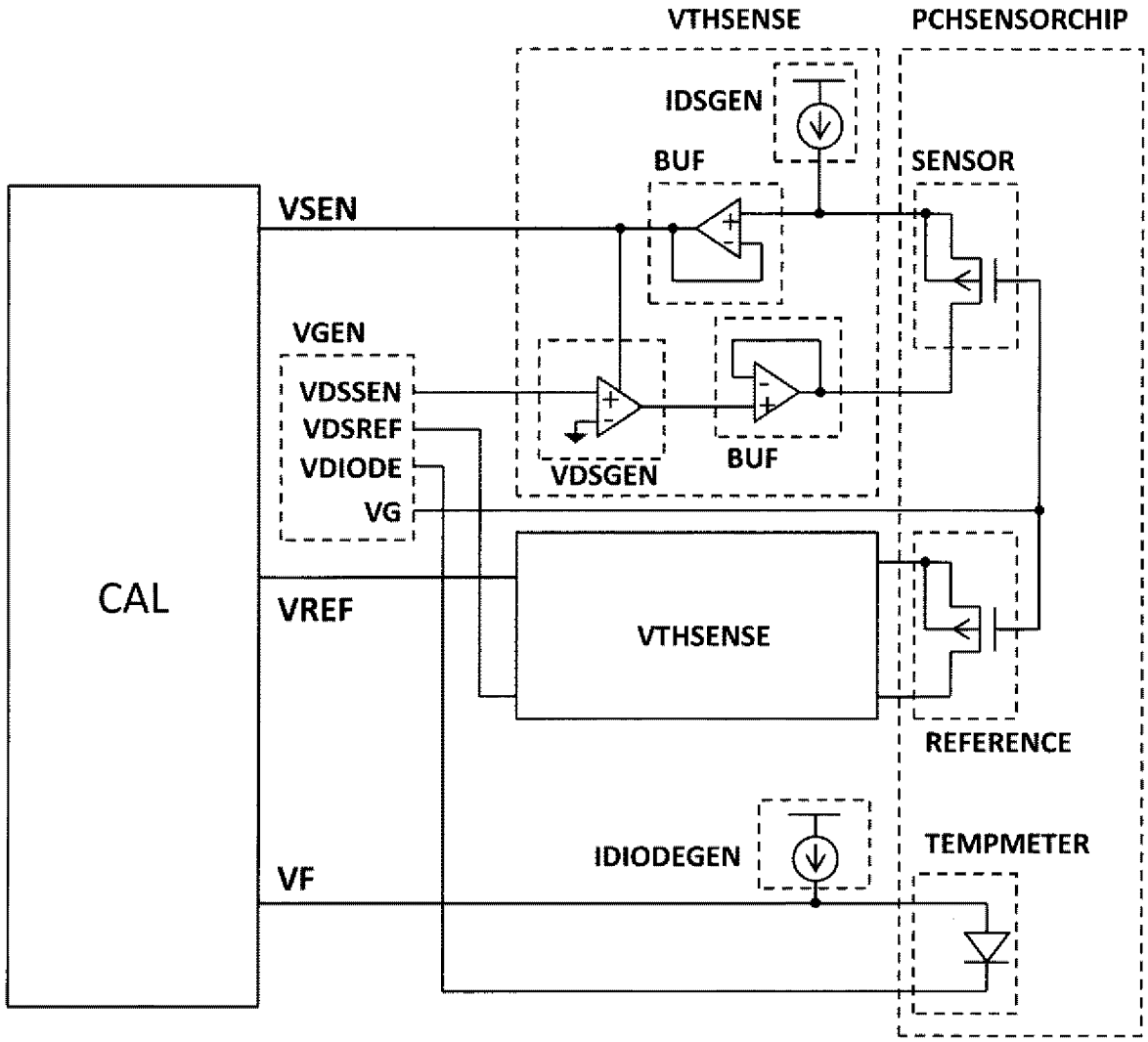
[図14]

図14



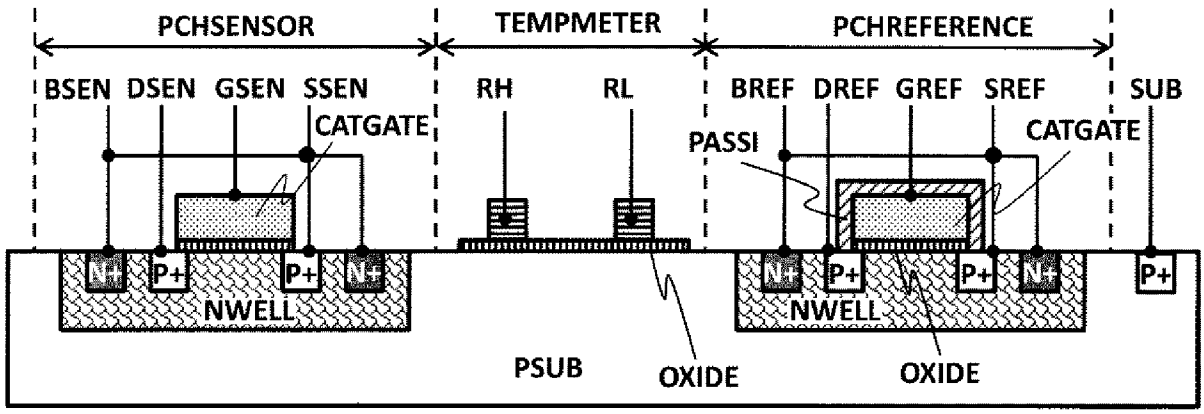
[図15]

図15



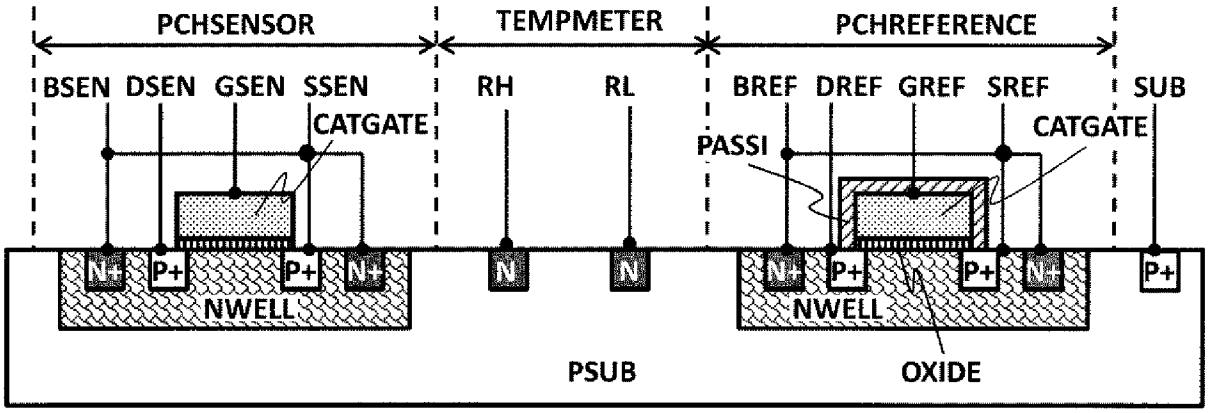
[図16]

図16



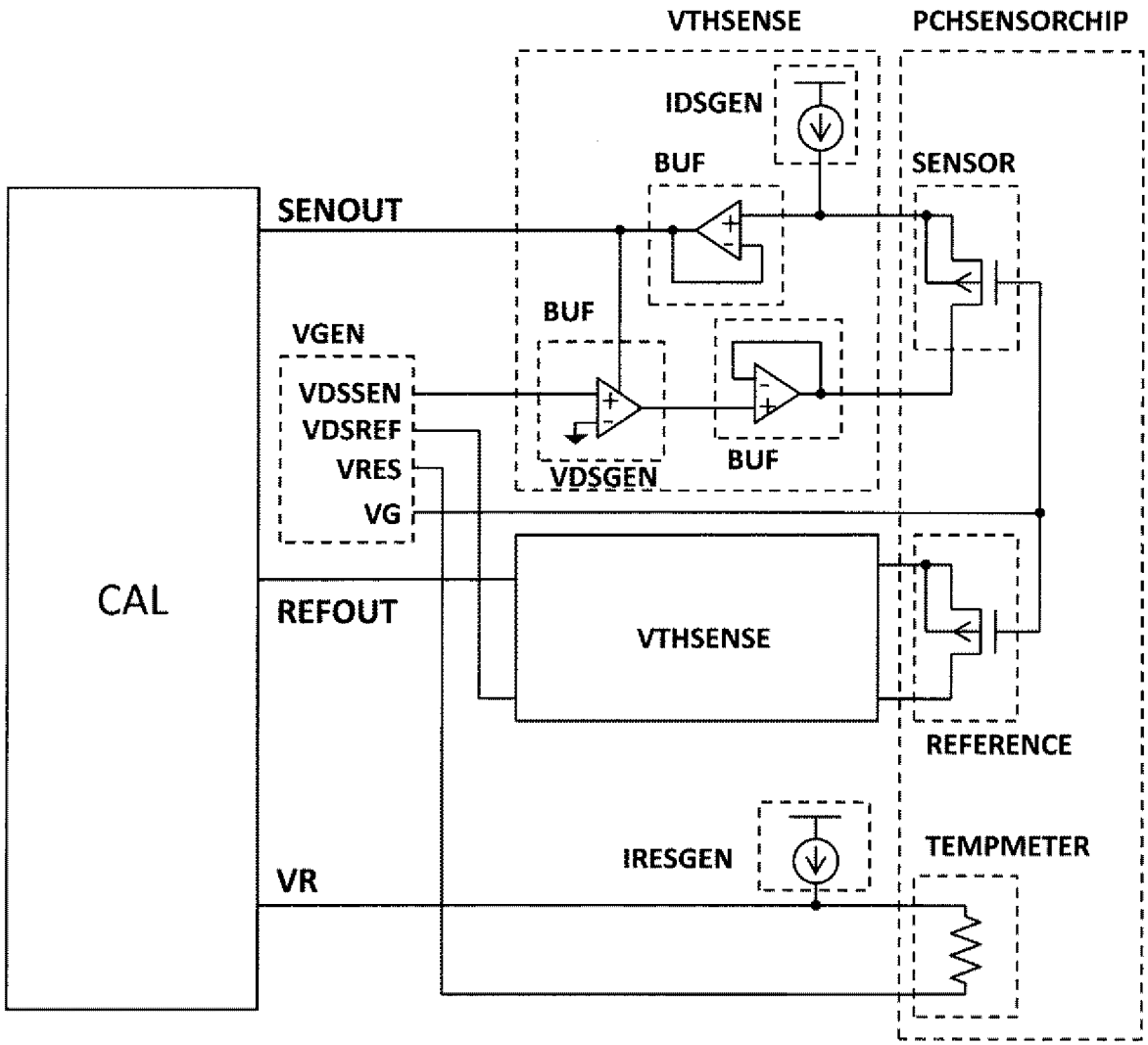
[図17]

図17



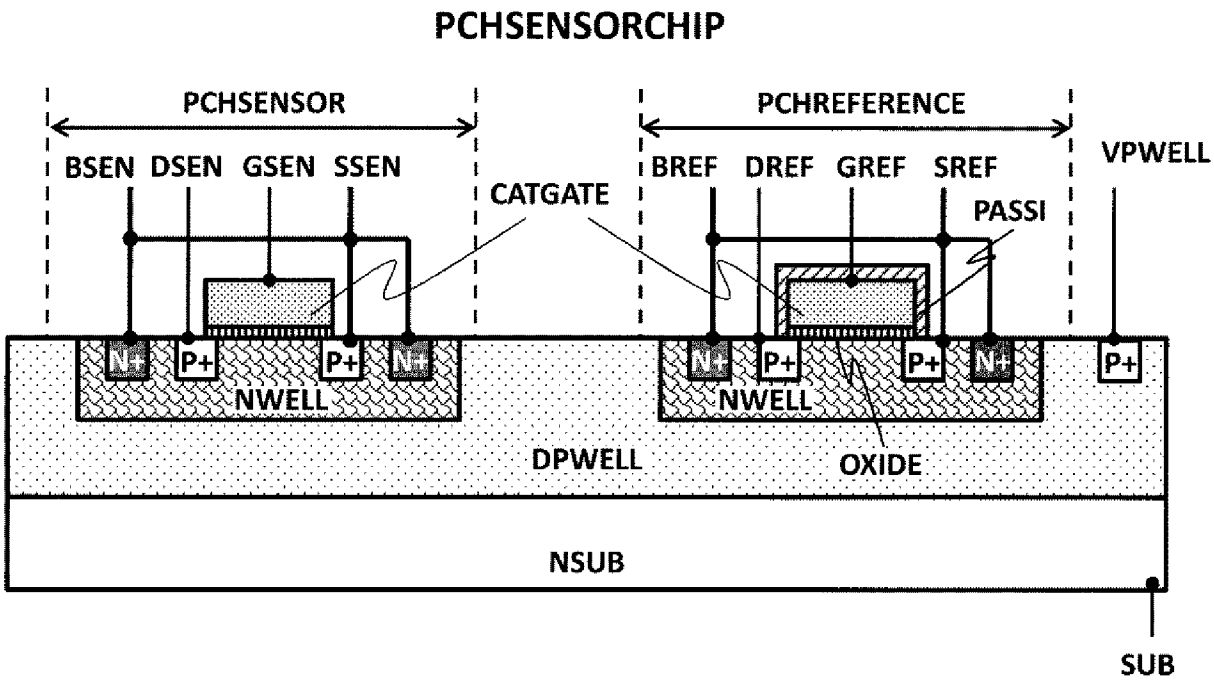
[図18]

図18



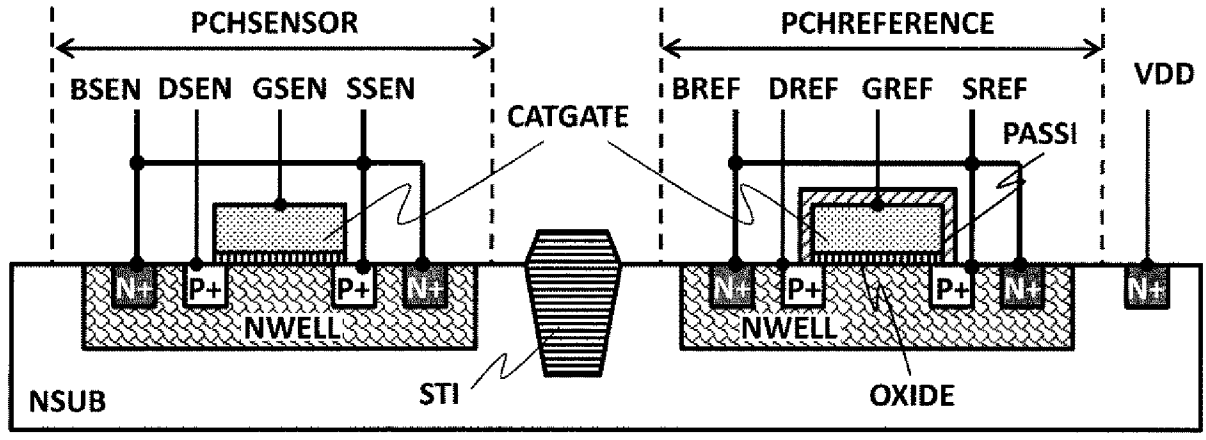
[図19]

図19



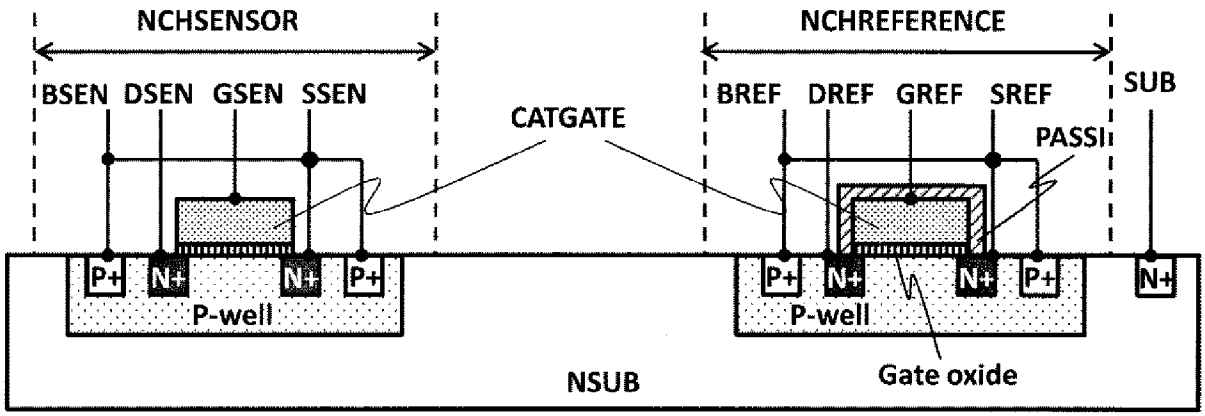
[図20]

図20



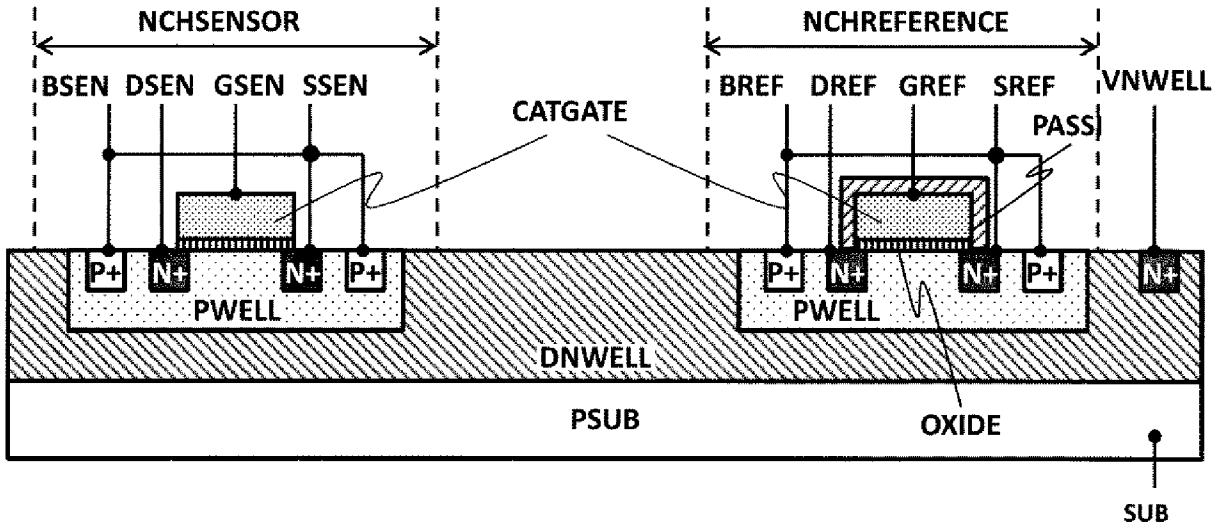
[図21]

図21



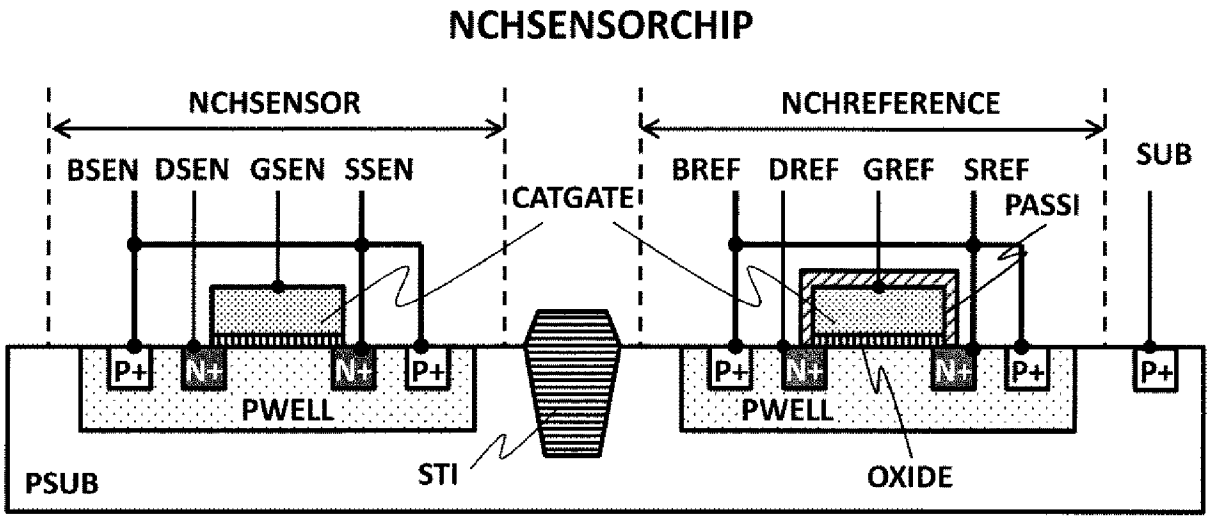
[図22]

図22



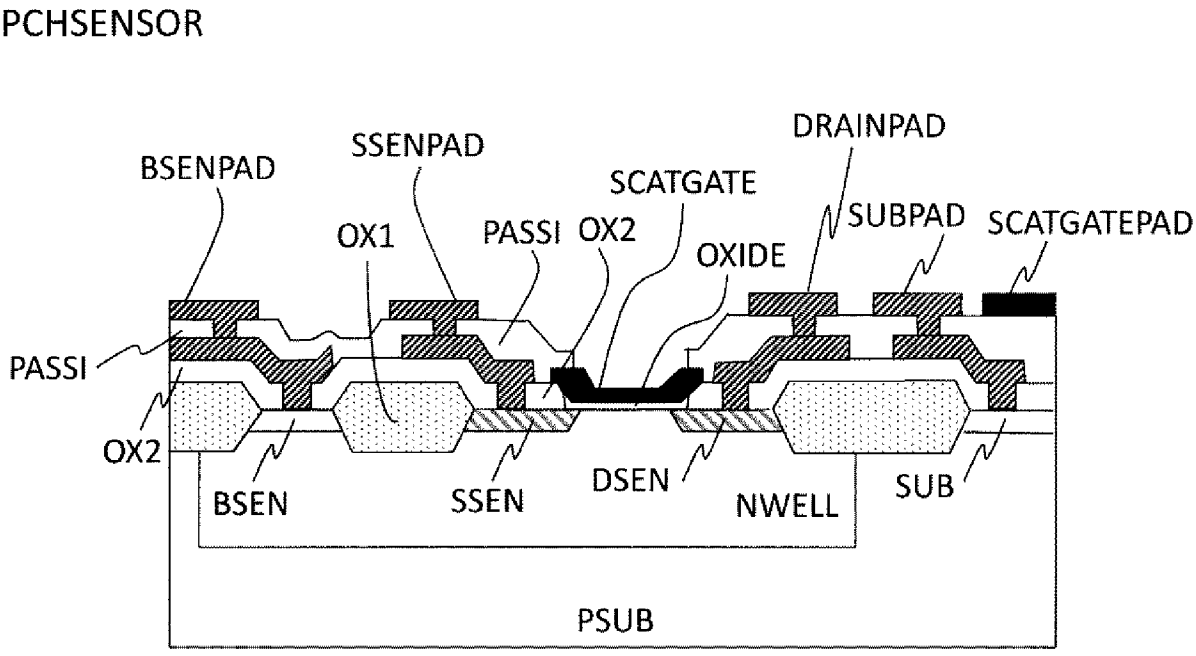
[図23]

図23



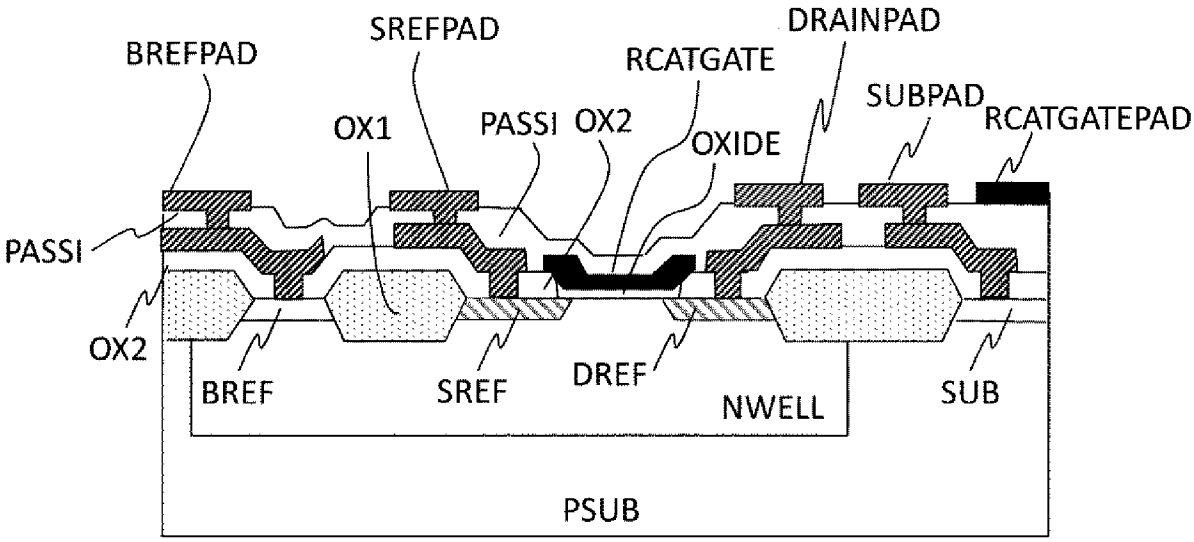
[図24A]

図24A



[図24B]

図24B


PCHREFERENCE
BREFPAD
SREFPAD
DRAINPAD
RCATGATE
SUBPAD
RCATGATEPAD
OX1
PASSI
OX2
OXIDE
PASSI
OX2
BREF
SREF
DREF
NWELL
SUB
PSUB

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/083889

A. CLASSIFICATION OF SUBJECT MATTER
G01N27/00(2006.01)i, *G01K7/01*(2006.01)i, *H01L21/336*(2006.01)i, *H01L21/761*(2006.01)i, *H01L21/822*(2006.01)i, *H01L21/8234*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/06*(2006.01)i, *H01L27/08*(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01N27/00-27/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
JSTPlus/JMEDPlus/JST7580(JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Keiji Tsukada et al., Dual-Gate Field-Effect Transistor Hydrogen Gas Sensor with Thermal Compensation, Japanese Journal of Applied Physics, 2010.02.22, 49, 024206	7-8,10-11 1-6,9,12-15
Y	JP 2013-64746 A (Life Technologies Corp.), 11 April 2013 (11.04.2013), paragraph [0004]; fig. 1 & US 2009/0026082 A1 paragraph [0005]; fig. 1 & GB 2457851 A & WO 2008/076406 A2 & EP 2092322 A & CA 2672315 A & CN 101669026 A & AU 2007334393 A	1-4,15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 February 2016 (19.02.16)	01 March 2016 (01.03.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/083889

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-33646 A (Hitachi, Ltd.), 13 February 1991 (13.02.1991), page 2, upper right column, line 4 to page 3, upper left column, line 5; fig. 1 (Family: none)	5-6,13-14
Y	JP 2-93357 A (Toshiba Corp.), 04 April 1990 (04.04.1990), page 3, lower right column, line 20 to page 4, upper left column, line 16; fig. 3 (Family: none)	9
Y	WO 2011/055605 A1 (Hitachi, Ltd.), 12 May 2011 (12.05.2011), paragraph [0035] & US 2012/0217550 A1 paragraph [0065] & WO 2011/055605 A1	12
A	JP 2012-73154 A (Hitachi, Ltd.), 12 April 2012 (12.04.2012), & US 2013/0186178 A1 & WO 2012/043071 A1 & EP 2623968 A1	1-15
A	JP 63-171351 A (Seitai Kino Riyo Kagakuhin Shin Seizo Gijutsu Kenkyu Kumiai), 15 July 1988 (15.07.1988), (Family: none)	1-15
A	US 4874499 A (Smith et al.), 17 October 1989 (17.10.1989), (Family: none)	1-15

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/083889

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L27/088(2006.01)i, *H01L29/78*(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/083889

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

(Invention 1) claims 1-4

Claims 1-4 have a special technical feature, and are therefore classified into Invention 1.

(Invention 2) claims 5-6

Claims 5-6 have a technical feature in common with claim 1, which is classified into invention 1, the technical feature being to have: a semiconductor substrate, a sensor FET that is formed of an FET in a first well, a reference FET that is formed of an FET in a second well electrically separated from the first well, and a detection circuit that detects a difference in threshold voltage between the sensor FET and the reference FET when the sensor FET and the reference FET are placed in a gas atmosphere.

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in the document 1.

Further, there is no other same or corresponding special technical feature between these inventions.

Further, claims 5-6 are not dependent on claim 1, and said claims 5-6 have no relationship such that these claims are substantially same as or equivalent to any claim classified into Invention 1.

Consequently, claims 5-6 cannot be classified into Invention 1.

(Invention 3) claims 7-15

Claims 7-15 have a technical feature in common with claim 1, which is classified into invention 1, and with claim 5, which is classified into invention 2, the technical feature being to have a semiconductor region, a sensor FET formed of an FET in a first well, and a reference FET formed of an FET in a second well.

However, the above-said technical feature cannot be considered to be a special technical feature, since the technical feature does not make a contribution over the prior art in the light of the contents disclosed in the document 1.

Further, there is no other same or corresponding special technical feature between these inventions.

Further, claims 7-15 are not dependent on claims 1 and 5, and said claims 7-15 have no relationship such that these claims are substantially same as or equivalent to any claim classified into Invention 1 or 2.

Consequently, claims 7-15 cannot be classified into either Invention 1 or Invention 2.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０８３８８９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G01N27/00(2006.01)i, G01K7/01(2006.01)i, H01L21/336(2006.01)i, H01L21/761(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01N27/00-27/49

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus/JMEDPlus/JST7580（JDreamIII）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	Keiji Tsukada et al., Dual-Gate Field-Effect Transistor Hydrogen Gas Sensor with Thermal Compensation, Japanese Journal of Applied Physics, 2010.02.22, 49, 024206	7-8,10-11
Y		1-6,9,12-15

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１９．０２．２０１６	０１．０３．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｗ　３６０２
蔵田　真彦
電話番号　０３－３５８１－１１０１　内線　３２５０

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2013-64746 A (ライフ　テクノロジーズ　コーポレーション) 2013.04.11, 段落〔0004〕, 図１ & US 2009/0026082 A1, 段落〔0005〕, 図１ & GB 2457851 A & WO 2008/076406 A2 & EP 2092322 A & CA 2672315 A & CN 101669026 A & AU 2007334393 A	1-4,15
Y	JP 3-33646 A (株式会社日立製作所) 1991.02.13, 第２頁右上欄第４行-第３頁左上欄第５行, 第１図 (ファミリーなし)	5-6,13-14
Y	JP 2-93357 A (株式会社東芝) 1990.04.04, 第３頁右下欄第20行-第４頁左上欄第16行, 第３図 (ファミリーなし)	9
Y	WO 2011/055605 A1 (株式会社日立製作所) 2011.05.12, 段落〔0035〕 & US 2012/0217550 A1, 段落〔0065〕 & WO 2011/055605 A1	12
A	JP 2012-73154 A (株式会社日立製作所) 2012.04.12 & US 2013/0186178 A1 & WO 2012/043071 A1 & EP 2623968 A1	1-15
A	JP 63-171351 A (生体機能利用化学品新製造技術研究組合) 1988.07.15 (ファミリーなし)	1-15
A	US 4874499 A (Smith et al.) 1989.10.17 (ファミリーなし)	1-15

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０８３８８９

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 ＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 ＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 ＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

特別ページ参照

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

（発明１）請求項 1-4
請求項 1-4 は特別な技術的特徴を有しているので、発明１に区分する。

（発明２）請求項 5-6
請求項 5-6 は、発明１に区分された請求項１と、半導体基板、第一のウェル内にＦＥＴで形成されたセンサＦＥＴ、第二のウェル内にＦＥＴで形成された参照ＦＥＴを有し、第一のウェルと第二のウェルとは電気的に分離して設けられ、ガス雰囲気中におけるセンサＦＥＴと参照ＦＥＴの閾電圧の差分を検出する検出回路を有するという共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献１の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。さらに、請求項 5-6 は、請求項１の従属請求項ではなく、また、請求項 5-6 は、発明１に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項 5-6 は発明１に区分できない。

（発明３）請求項 7-15
請求項 7-15 は、発明１に区分された請求項１及び発明２に区分された請求項５と、半導体領域、第一のウェル内にＦＥＴで形成されたセンサＦＥＴ、第二のウェル内にＦＥＴで形成された参照ＦＥＴを有するという共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献１の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。さらに、請求項 7-15 は、請求項１及び５の従属請求項ではなく、また、請求項 7-15 は、発明１又は２に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項 7-15 は発明１又は２のいずれにも区分できない。