(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月14日(14.03.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/049461 A1

(51) 国際特許分類:
G09F 9/30 (2006.01)　*H01L 27/32* (2006.01)
G02F 1/1333 (2006.01)　*H01L 51/50* (2006.01)
G02F 1/1345 (2006.01)　*H05B 33/02* (2006.01)

(21) 国際出願番号：　PCT/JP2018/023125

(22) 国際出願日：　2018年6月18日(18.06.2018)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2017-173991　2017年9月11日(11.09.2017)　JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

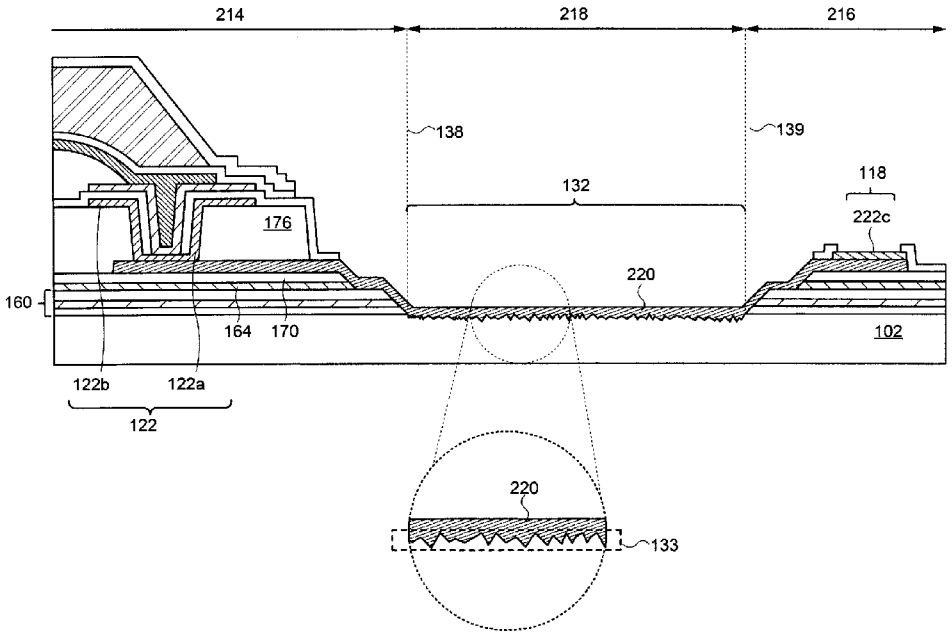
(72) 発明者: 大 原　宏 樹 (**OHARA HIROKI**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人高橋・林アンドパートナーズ(**TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.**); 〒1440052 東京都大田区蒲田５－２４－２ 損保ジャパン日本興亜蒲田ビル９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** DISPLAY DEVICE AND MANUFACTURING METHOD FOR DISPLAY DEVICE

(54) 発明の名称： 表示装置、および表示装置の製造方法



(57) **Abstract:** This display device has: a substrate; an insulation layer disposed so as to be in contact with a first surface of the substrate; a display region in which a plurality of pixels that include display elements and transistors disposed on the insulation layer are arrayed; a terminal region which is disposed on the insulation layer so as to be located outside the display region; and wiring installed between the display region and the terminal region, wherein the insulation layer has an opening which is provided in a region between the display region and the terminal region such that the first surface

WO 2019/049461 A1

[続葉有]

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

side of the substrate is exposed therefrom, the wiring is in contact with the top surface of the insulation layer and also in contact with the exposed surface of the substrate surface in the opening, and the exposed surface of the substrate has a greater surface roughness as compared with the region of the substrate in contact with the insulation layer.

(57) 要約:表示装置は、基板と、基板の第1面に接して配置された絶縁層と、絶縁層上に配置されたトランジスタ及び表示素子を含む画素が複数個配列する表示領域と、絶縁層上において表示領域の外側の領域に配置された端子領域と、表示領域と端子領域との間に配設された配線とを有し、絶縁層は、表示領域と端子領域との間の領域に、基板の第1面側を露出させる開口部を有し、配線は、絶縁層の上面と接し、かつ開口部において基板の露出面と接し、基板の露出面は、基板が絶縁層と接する領域と比べて、表面粗さが大きい。

明　細　書

発明の名称 ： 表示装置、および表示装置の製造方法

技術分野

[0001] 本発明は、表示装置とその製造方法に関する。例えば、発光素子を有する表示装置とその製造方法に関する。

背景技術

[0002] 表示装置の一例として、液晶表示装置や有機ＥＬ（Ｅｌｅｃｔｒｏｌｕｍｉｎｅｓｃｅｎｃｅ）表示装置が挙げられる。これらの表示装置は、基板上に形成された複数の画素の各々に表示素子として液晶素子や有機発光素子（以下、発光素子）を有している。液晶素子や発光素子は一対の電極（陰極、陽極）間に液晶性を示す化合物を含む層、あるいは発光性有機化合物を含む層（以下、電界発光層、あるいはＥＬ層）を有しており、電極間に電圧を印加する、あるいは電流を供給することで駆動される。

[0003] 基板として可撓性を有する基板を用いることで、表示装置全体に可撓性を付与することができる。これにより、湾曲した形状を有する表示装置や、ユーザが自由に変形可能な表示装置が提供される。この基板は、樹脂を塗布したガラス基板上にバックプレーン及びフロントプレーンを形成し、その後剥離することで可撓性のある樹脂基板として構成される。しかし、樹脂上のアレイ形成は下地が樹脂であるため、折り曲げ部分である樹脂基板とメタル配線の密着性に問題が生じる。特に配線上層に応力の強いＳｉＮ膜などでカバレッジすると応力の問題で顕著に膜剥がれが発生する。

[0004] 半導体分野における回路基板では、樹脂上に配線がある場合に樹脂の表面を荒らす構成（特許文献１参照）や、プリプレグの表面を酸化剤で荒らす構成（特許文献２参照）、多層配線基板に関し、表面に凹凸を施したプリプレグを形成し、凹凸上に銅箔を形成する構成で接合する構成（特許文献３参照）など、下地への凹凸形成で上層との密着性を向上できることやプリプレグによって表面の凹凸を形成できることが知られている。

先行技術文献

特許文献

[0005] 特許文献1：特開２００７－０３５８２５号公報

特許文献2：特開２００９－７４０６号公報

特許文献3：特開２００２－７６６２１号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明に係る実施形態の一つは、信頼性の高い表示装置、およびその製造方法を提供することを目的の一つとする。例えば、本発明に係る実施形態の一つは、変形しても高い信頼性を維持することが可能な可撓性の表示装置、およびその製造方法を提供することを目的の一つとする。

課題を解決するための手段

[0007] 本発明の一実施形態に係る表示装置は、基板と、基板の第１面に接して配置された絶縁層と、絶縁層上に配置されたトランジスタ及び表示素子を含む画素が複数個配列する表示領域と、絶縁層上において表示領域の外側の領域に配置された端子領域と、表示領域と端子領域との間に配設された配線とを有し、絶縁層は、表示領域と端子領域との間の領域に、基板の第１面側を露出させる開口部を有し、配線は、絶縁層の上面と接し、かつ開口部において基板の露出面と接し、基板の露出面は、基板が絶縁層と接する領域と比べて、表面粗さが大きい。

[0008] 本発明の一実施形態に係る表示装置は、基板と、基板の第１面に接して配置された絶縁層と、絶縁層上に配置されたトランジスタ及び表示素子を含む画素が複数個配列する表示領域と、絶縁層上において表示領域の外側の領域に配置された端子領域と、表示領域と端子領域との間に配設された配線と、基板上の樹脂膜と、を有し、基板は、繊維に樹脂が含浸されたシート状の部材であり、絶縁層は、表示領域と端子領域との間の領域に、基板の第１面側を露出させる開口部を有し、樹脂膜は、絶縁層の開口部において基板の露出

面と接し、配線は、樹脂膜の上面と接し、かつ絶縁層の開口部において樹脂膜と接し、絶縁層の開口部における樹脂膜は、基板が絶縁層と接する領域と比べて、表面粗さが大きい。

図面の簡単な説明

[0009] [図1]一実施形態に係る表示装置の模式的上面図。

[図2]一実施形態に係る表示装置の模式的側面図。

[図3]一実施形態に係る表示装置の画素の等価回路の一例。

[図4]一実施形態に係る表示装置の模式的断面図。

[図5]一実施形態に係る表示装置の模式的断面図。

[図6]一実施形態に係る表示装置の模式的断面図。

[図7]一実施形態に係る表示装置の模式的断面図。

[図8A]一実施形態に係る表示装置の模式的上面図。

[図8B]一実施形態に係る表示装置の模式的上面図。

[図9]一実施形態に係る表示装置の模式的断面図。

[図10]一実施形態に係る表示装置の模式的断面図。

[図11]一実施形態に係る表示装置の模式的断面図。

[図12A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図12B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図13A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図13B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図14A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図14B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図15A]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図15B]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図16]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図17]一実施形態に係る表示装置の製造方法を示す模式的断面図。

[図18]一実施形態に係る表示装置の製造方法を示す模式的断面図。

発明を実施するための形態

[0010] 以下、本発明の各実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

[0011] 図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0012] 本明細書と請求項において、ある一つの膜を加工して複数の膜を形成した場合、これら複数の膜は異なる機能、役割を有することがある。しかしながら、これら複数の膜は同一の工程で同一層として形成された膜に由来し、同一の材料を有する。したがって、これら複数の膜は同一層に存在しているものと定義する。

[0013] 本明細書および請求項において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

[0014] 本明細書において、類似する複数の構成要素をそれぞれ区別して指す場合、符号の後にアンダーバーと自然数を用いて表記する。これらを互いに区別せずに全体、あるいはそのうちの任意に選択される複数を表記する場合には、符号のみを用いる。

[0015] 本明細書および請求項において、「ある構造体が他の構造体から露出するという」という表現は、ある構造体の一部が他の構造体によって覆われていない態様を意味し、この他の構造体によって覆われていない部分は、さらに別の構造体によって覆われる態様も含む。

[0016] ＜第１実施形態＞

本発明の実施形態の一つである表示装置１００の構造を以下に説明する。

[0017] １．全体構造

図１に表示装置１００の上面模式図を示す。表示装置１００は基板１０２を有し、その上にパターニングされた種々の絶縁膜、半導体膜、導電膜を有する。これらの絶縁膜、半導体膜、導電膜により、複数の画素１０４や画素１０４を駆動するための駆動回路（ゲート側駆動回路１０８、ソース側駆動回路１１０）が形成される。複数の画素１０４は周期的に配置され、これらによって表示領域１０６が定義される。後述するように、各画素１０４には表示素子が設けられる。以下、表示素子として発光素子１３０が画素１０４に形成された例を用いて説明する。

[0018] 基板１０２は可撓性の基板であり、有機樹脂材料で構成された樹脂フィルムでもよい。基板１０２はポリイミドやポリアミド、ポリカルボナートなどの高分子を含んでもよい。基板１０２の厚さは５μｍから１００μｍ程度であり、好ましくは１０μｍから３０μｍである。なお、図示しないが、基板１０２は有機樹脂膜と無機絶縁膜の複数の層が積層された構造を有してもよく、例えば、１つの無機絶縁膜が２つの有機樹脂膜に挟まれる構造を有していてもよい。この場合、基板１０２の膜厚は１０μｍから３０μｍであることが望ましい。また、基板１０２は、有機樹脂膜と無機絶縁膜の界面にアモルファスシリコン膜を挟み込む構造、すなわち、有機樹脂膜と、アモルファスシリコン膜と、無機絶縁膜とが順に積層された構造を有していてもよい。この場合、有機樹脂膜とアモルファスシリコン膜との間の密着性及び無機絶縁膜とアモルファスシリコン膜との間の密着性は、有機樹脂膜と無機絶縁膜との間の密着性よりも優れている。したがって、有機樹脂膜とアモルファスシリコン膜と無機絶縁膜とが順に積層された構造は、有機樹脂膜と無機絶縁膜とが積層された構造と比較して、膜の剥離が発生しにくい。また、２つの有機樹脂膜に挟まれた無機絶縁膜は、それ自体シリコン酸化膜などの単層であってもよいが、複数の層が積層された構造、たとえばシリコン酸化膜／シリコン窒化膜の二層積層構造や、シリコン酸化膜／シリコン窒化膜／シリコ

ン酸化膜の三層積層構造を有していてもよい。

[0019] ゲート側駆動回路１０８やソース側駆動回路１１０は、表示領域１０６外（周辺領域）に配置される。表示領域１０６やゲート側駆動回路１０８、ソース側駆動回路１１０からはパターニングされた導電膜で形成される種々の配線（図１では図示しない）が基板１０２の一辺へ延び、配線は基板１０２の端部付近で露出されて映像信号端子１１６、電源端子１１８、１２０などの端子を形成する。これらの端子はフレキシブル印刷回路基板（ＦＰＣ）１１４と電気的に接続される。ここで示した例では、ＦＰＣ１１４上に、半導体基板上に形成された集積回路を有する駆動ＩＣ１１２がさらに搭載される。ソース側駆動回路１１０の機能は、駆動ＩＣ１１２に統合されていても良いし、駆動ＩＣ１１２は、ＦＰＣ１１４上でなく基板１０２上に実装されていても良い。駆動ＩＣ１１２、ＦＰＣ１１４を介して外部回路（図示しない）から映像信号が供給され、映像信号は映像信号端子１１６を通してゲート側駆動回路１０８、ソース側駆動回路１１０へ与えられる。一方、画素１０４内の発光素子１３０へ供給される電源がＦＰＣ１１４、電源端子１１８、１２０を介して表示装置１００に与えられる。電源端子１２０には高電位（ＰＶＤＤ）が供給され、電源端子１１８にはＰＶＤＤよりも低い電位（ＰＶＳＳ）が供給される。これらの映像信号や電位に基づく信号が、端子と電気的に接続される配線２２０によって各画素１０４に与えられ、画素１０４が制御、駆動される。

[0020] 基板１０２として可撓性を有する基板を用いることで、表示装置１００に可撓性を付与することができ、例えばＦＰＣ１１４やそれに接続される端子が表示領域１０６と重なるように端子と表示領域１０６の間で基板１０２を折り曲げることで、図２の側面図に示すような三次元構造を与えることができる。この時、折りたたまれた形状を安定化させるためにスペーサ１２２を設けてもよい。スペーサ１２２は基板１０２によってその外周の少なくとも一部が覆われる。

[0021] ２．画素の構造

２－１．画素回路

各画素１０４には、パターニングされた種々の絶縁膜や半導体膜、導電膜によって発光素子１３０を含む画素回路が形成される。画素回路の構成は任意に選択することができ、その一例を等価回路として図３に示す。

[0022] 図３に示した画素回路は、発光素子１３０に加え、駆動トランジスタ１４０、第１のスイッチングトランジスタ１４２、第２のスイッチングトランジスタ１４４、保持容量１５０、付加容量１５２を含む。発光素子１３０、駆動トランジスタ１４０、第２のスイッチングトランジスタ１４４は、高電位電源線１５４と低電位電源線１５６との間で直列に接続される。高電位電源線１５４と低電位電源線１５６には、それぞれＰＶＤＤ、ＰＶＳＳが与えられる。

[0023] 本実施形態では、駆動トランジスタ１４０はｎチャネル型とし、高電位電源線１５４側の入出力端子をドレイン、発光素子１３０側の入出力端子をソースとする。駆動トランジスタ１４０のドレインは第２のスイッチングトランジスタ１４４を介して高電位電源線１５４と電気的に接続され、ソースが発光素子１３０の画素電極１８４と電気的に接続される。

[0024] 駆動トランジスタ１４０のゲートは、第１のスイッチングトランジスタ１４２を介して第１の信号線ＶＳＬと電気的に接続される。第１のスイッチングトランジスタ１４２は、そのゲートに接続される第１の走査信号線ＳＬＡに与えられる走査信号ＳＧによって動作（オン／オフ）が制御される。第１のスイッチングトランジスタ１４２がオンのとき、第１の信号線ＶＳＬの電位が駆動トランジスタ１４０のゲートに与えられる。第１の信号線ＶＳＬには、初期化信号Ｖｉｎｉと映像信号Ｖｓｉｇが所定のタイミングで与えられる。初期化信号Ｖｉｎｉは一定レベルの初期化電位を与える信号である。第１のスイッチングトランジスタ１４２は、第１の信号線ＶＳＬに同期して、所定のタイミングでオン／オフが制御され、駆動トランジスタ１４０のゲートに初期化信号Ｖｉｎｉ、または映像信号Ｖｓｉｇに基づく電位を与える。

[0025] 駆動トランジスタ１４０のドレインには、第２の信号線ＶＲＳが電気的に

接続される。第２の信号線ＶＲＳには、第３のスイッチングトランジスタ１４６を介してリセット電位Ｖｒｓｔが与えられる。第３のスイッチングトランジスタ１４６を通してリセット信号Ｖｒｓｔが印加されるタイミングは、第３の信号線ＳＬＣに与えられるリセット信号ＲＧによって制御される。

[0026] 駆動トランジスタ１４０のソースとゲートとの間には、保持容量１５０が設けられる。付加容量１５２の一方の端子は駆動トランジスタ１４０のソースに接続され、他方の端子が高電位電源線１５４に接続される。付加容量１５２は、他方の端子が低電位電源線１５６に接続されるように設けてもよい。保持容量１５０と付加容量１５２は、映像信号Ｖｓｉｇを駆動トランジスタ１４０のゲートに与えるとき、映像信号Ｖｓｉｇに応じたゲート－ソース間電圧Ｖｇｓを保持するために設けられる。

[0027] ソース側駆動回路１１０は、第１の信号線ＶＳＬに初期化信号Ｖｉｎｉ、または映像信号Ｖｓｉｇを出力する。一方、ゲート側駆動回路１０８は第１の走査信号線ＳＬＡに走査信号ＳＧを出力し、第２の走査信号線ＳＬＢに走査信号ＢＧを出力し、第３の信号線ＳＬＣにリセット信号ＲＧを出力する。

[0028] 図３に示した画素回路において、駆動トランジスタ１４０と、第１のスイッチングトランジスタ１４２は、図１に示した画素１０４のそれぞれに設けられる必要があるが、第２のスイッチングトランジスタ１４４は、近接する複数の画素１０４間で共有されても良い。具体例を挙げると、同一走査行に属し、互いに近接する複数の画素１０４間で第２のスイッチングトランジスタ１４４を共有することができる。また、図３に示した例では第３のスイッチングトランジスタ１４６はゲート側駆動回路１０８に設けられるが、第３のスイッチングトランジスタ１４６を各画素回路に設けてもよく、あるいは第２のスイッチングトランジスタ１４４と同様、近接する複数の画素１０４間で共有されても良い。

[0029] ２－２．断面構造

画素１０４の断面構造を、図面を用いて説明する。図４では、基板１０２上に形成された隣接する二つの画素１０４の画素回路のうち、駆動トランジ

スタ１４０、保持容量１５０、付加容量１５２、発光素子１３０の断面構造が示されている。

[0030] 画素回路に含まれる各素子はアンダーコート１６０を介し、基板１０２上に設けられる。駆動トランジスタ１４０は、半導体膜１６２、ゲート絶縁膜１６４、ゲート電極１６６、ドレイン電極１７２、ソース電極１７４を含む。ゲート電極１６６は、ゲート絶縁膜１６４を介して半導体膜１６２の少なくとも一部と交差するように配置され、半導体膜１６２とゲート電極１６６が重なる領域にチャネルが形成される。半導体膜１６２はさらに、チャネルを挟持するドレイン領域１６２ａ、ソース領域１６２ｂを有する。

[0031] ゲート絶縁膜１６４を介し、ゲート電極１６６と同一の層に存在する容量電極１６８がソース領域１６２ｂと重なるように設けられる。ゲート電極１６６、容量電極１６８の上には層間絶縁膜１７０が設けられる。層間絶縁膜１７０とゲート絶縁膜１６４には、ドレイン領域１６２ａ、ソース領域１６２ｂに達する開口が形成され、この開口を覆うようにドレイン電極１７２、ソース電極１７４が配置される。ソース電極１７４の一部は、層間絶縁膜１７０を介してソース領域１６２ｂの一部と容量電極１６８と重なり、ソース領域１６２ｂの一部、ゲート絶縁膜１６４、容量電極１６８、層間絶縁膜１７０、およびソース電極１７４の一部によって保持容量１５０が形成される。

[0032] 駆動トランジスタ１４０や保持容量１５０の上にはさらに平坦化膜１７６が設けられる。平坦化膜１７６は、ソース電極１７４に達する開口を有し、この開口と平坦化膜１７６の上面の一部を覆う接続電極１７８がソース電極１７４と接するように設けられる。平坦化膜１７６上にはさらに付加容量電極１８０が設けられる。接続電極１７８や付加容量電極１８０は同時に形成することができ、同一の層に存在することができる。接続電極１７８と付加容量電極１８０を覆うように容量絶縁膜１８２が形成される。容量絶縁膜１８２は、平坦化膜１７６の開口では接続電極１７８の一部を覆わず、接続電極１７８の上面を露出する。これにより、接続電極１７８を介し、その上に

設けられる画素電極１８４とソース電極１７４間の電気的接続が可能となる。容量絶縁膜１８２には、その上に設けられる隔壁１８６と平坦化膜１７６の接触を許容するための開口１８８を設けてもよい。開口１８８を通して平坦化膜１７６中の不純物を除去することができ、これによって発光素子１３０の信頼性を向上させることができる。なお、接続電極１７８や開口１８８の形成は任意である。

[0033] 容量絶縁膜１８２上には、接続電極１７８と付加容量電極１８０を覆うように、画素電極１８４が設けられる。容量絶縁膜１８２は付加容量電極１８０と画素電極１８４によって挟持され、この構造によって付加容量１５２が形成される。画素電極１８４は、付加容量１５２と発光素子１３０によって共有される。

[0034] 画素電極１８４の上には、画素電極１８４の端部を覆う隔壁１８６が設けられる。画素電極１８４、隔壁１８６を覆うようにＥＬ層１９０、およびその上の対向電極１９８が設けられる。なお、発光素子１３０は、画素電極１８４、ＥＬ層１９０および対向電極１９８によって構成される。

[0035] ＥＬ層１９０は複数の層から構成することができ、例えばキャリア注入層、キャリア輸送層、発光層、キャリアブロック層、励起子ブロック層など、種々の機能層を組み合わせて形成される。ＥＬ層１９０の構造は、すべての画素１０４間で同一でも良く、隣接する画素１０４間で一部の構造が異なるようにＥＬ層１９０を形成してもよい。図４では、代表的な機能層としてホール輸送層１９２、発光層１９４、電子輸送層１９６が示されている。

[0036] 発光素子１３０を保護するための保護膜（以下、パッシベーション膜）２００が発光素子１３０上に配置される。パッシベーション膜２００の構造は任意に選択することができるが、図４に示すように、無機化合物を含む第１の層２０２、有機化合物を含む第２の層２０４、および無機化合物を含む第３の層２０６を含む積層構造を適用することができる。

[0037] パッシベーション膜２００上には樹脂を含む膜（以下、樹脂膜）２１０が設けられる。表示装置１００はさらに、基板１０２から樹脂膜２１０までの

構造を挟持するように支持フィルム１２６、１２８を有しており、支持フィルム１２６、１２８によって適度な物理的強度が与えられる。支持フィルム１２６、１２８は図示しない接着層によって基板１０２や樹脂膜２１０にそれぞれ固定される。

[0038] 詳細は後述するが、アンダーコート１６０、ゲート絶縁膜１６４、層間絶縁膜１７０、容量絶縁膜１８２、第１の層２０２、第３の層２０６はいずれも絶縁膜であり、窒化ケイ素や酸化ケイ素、窒化酸化ケイ素、酸化窒化ケイ素などのケイ素含有無機化合物を含む膜を含む。これらの各絶縁膜内ではケイ素含有無機化合物を含む膜が積層されていてもよい。したがって、これらの絶縁膜は、ケイ素を主な構成元素として含有する無機化合物を含む。

[0039] ３．端子、および配線

表示領域１０６の端部（図１において、表示領域１０６の下部）から電源端子１１８、１２０、映像信号端子１１６に至る領域を中心とする断面構造の一例を図５に模式的に示す。ここでは表示領域１０６の一部、ソース側駆動回路１１０、電源端子１１８、および表示領域１０６と電源端子１１８を電気的に接続する配線２２０の断面が示されている。

[0040] 図５に示すように、支持フィルム１２６は一部が除去されて二つに分断され、分断された部分の間で基板１０２の下面が露出する。支持フィルム１２６が除去された部分は可撓性が高く、この部分を利用して図２に示すように表示装置１００を折りたたむことができる。

[0041] ソース側駆動回路１１０にはトランジスタなどの半導体素子が設けられ、これらによってアナログスイッチなどの種々の回路が形成される。表示領域１０６からは対向電極１９８が基板１０２の端部に向かって延伸し、平坦化膜１７６に設けられた開口において配線２２０と電気的に接続される。より具体的には、配線２２０が層間絶縁膜１７０と平坦化膜１７６の間に位置するよう、すなわち、画素１０４内のソース電極１７４やドレイン電極１７２と同一の層として設けられる。平坦化膜１７６は、ソース側駆動回路１１０と電源端子１１８の間において配線２２０に達する開口を有し、この開口を

覆うように第１のコンタクト電極２２２ａ、第１のコンタクト電極２２２ａ上の第２のコンタクト電極２２２ｂを含むコンタクト電極２２２が設置される。対向電極１９８は第２のコンタクト電極２２２ｂ、第１のコンタクト電極２２２ａを介して配線２２０と電気的に接続される。配線２２０は基板１０２の端部付近で電源端子１１８を形成する。電源端子１１８の表面は、第１のコンタクト電極２２２ａと同層に存在する保護電極２２２ｃによって覆われる。

[0042] ４．露出面上の凹凸

配線２２０を中心とする図５の拡大図を図６に示す。図６に示すように、アンダーコート１６０は一部が除去されて二つの部分に分断され、基板１０２に、アンダーコート１６０から露出した露出面１３２を形成する。以下、基板１０２がアンダーコート１６０から露出する領域を第３の領域２１８と呼び、アンダーコート１６０が存在する領域を第１の領域２１４、第２の領域２１６と呼ぶ。表示領域１０６やソース側駆動回路１１０、コンタクト電極２２２は第１の領域２１４に位置し、電源端子１１８を含む種々の端子は第２の領域２１６に位置する。

[0043] 基板１０２の露出面１３２は、基板１０２の第１の領域２１４、第２の領域２１６と比べて、表面粗さが大きい。すなわち、基板１０２の露出面１３２には凹凸１３３があり、この凹凸は第１の領域２１４や第２の領域２１６における基板１０２の凹凸よりも大きい。この凹凸１３３のパターンは連続的なものでもよいが、非連続的なものであってもよい。凹凸１３３のサイズをその山頂線と谷底線の間隔と定義したとき、凹凸１３３のサイズは、２０ｎｍから２００ｎｍであってもよく、好ましくは５０ｎｍから１００ｎｍである。すなわち、基板１０２の露出面１３２における表面粗さの最大高さは２０ｎｍから２００ｎｍであってもよく、好ましくは５０ｎｍから１００ｎｍである。凹凸１３３のサイズは露出面１３２の全体にわたって一定であってもよいが、露出面１３２の特定の部分の凹凸１３３だけが大きかったり小さかったりしてもよい。たとえば、露出面１３２の配線２２０と接する部分

の凹凸１３３のサイズが、露出面１３２の配線２２０と接しない部分の凹凸１３３のサイズより大きくてもよい。この凹凸１３３は、後述するようにアンダーコート１６０をエッチングにより除去する際に形成されてもよい。このエッチングには、ウェットエッチングまたはドライエッチングを用いることができ、ウェットエッチングとドライエッチングを組み合わせて用いてもよい。このエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）は、適宜設定するものとする。たとえば、四フッ化炭素（CF_4）と酸素（O_2）の混合ガスをエッチングガスとして用いたドライエッチングを用いることができる。また、凹凸１３３は、アンダーコート１６０が除去された露出面１３２に対するフォトリソグラフィー法によって形成されてもよく、ハーフトーンマスクを用いたフォトリソグラフィー法を用いれば、連続的な起伏の凹凸１３３が形成される。

[0044] 第３の領域２１８上における基板１０２の厚さは、他の領域における基板の厚さと同じだとするが、第３の領域２１８上における基板１０２の厚さは、図７に示すように、他の領域における基板の厚さよりも小さくして段差を設けてもよい。すなわち、基板１０２は、互いに対向する側壁（第１の側壁１３４、第２の側壁１３６）、及び第１の側壁１３４と第２の側壁１３６との間の基板１０２の上面によって構成され、第３の領域２１８と重なる溝１３７を有していてもよい。ただし、この段差は出来るだけ小さいことが望ましい。すなわち、第１の側壁１３４及び第２の側壁１３６は出来るだけ小さいことが望ましい。

[0045] 図６に戻って説明を続ける。基板１０２上にはアンダーコート１６０、ゲート絶縁膜１６４、層間絶縁膜１７０、平坦化膜１７６が配置されるが、第３の領域２１８においては、これらの絶縁膜は除去されるため、これらの絶縁膜は第３の領域２１８には設けられない。ゲート絶縁膜１６４や層間絶縁膜１７０の側面は、図６に示すようにアンダーコート１６０の上面と重なってもよく、図示しないがアンダーコート１６０の側面と同一平面上に存在してもよい。

[0046] 配線２２０は、第３の領域２１８において基板１０２の露出面１３２が有する凹凸１３３上に形成され、かつ、基板１０２と接する。

[0047] 配線２２０はさらに、アンダーコート１６０の側面と接する。ここでは、第３の領域２１８と第１の領域の境界を第１の境界１３８、第３の領域２１８と第２の領域の境界を第２の境界１３９と呼ぶ。ゲート絶縁膜１６４や層間絶縁膜１７０の側面がアンダーコート１６０の上面と重なる場合、第１の境界１３８から表示領域１０６の間、および第２の境界１３９から電源端子１１８の間で、配線２２０はアンダーコート１６０の上面、ゲート絶縁膜１６４の側面、および層間絶縁膜１７０の側面かつ上面と接する。

[0048] 第１の境界１３８とその近傍の上面模式図を図８Ａと図８Ｂに示す。ここでは、アンダーコート１６０、層間絶縁膜１７０、および配線２２０のレイアウトが示されている。

[0049] 図８Ａではアンダーコート１６０の側面、層間絶縁膜１７０の側面は、基板１０２の短辺に平行になるように形成されるが、これらは基板１０２の上面に平行な面において曲線を有してもよい。すなわち上面視において、曲線形状を有していてもよい。例えば図８Ｂに示すように、アンダーコート１６０の側面、層間絶縁膜１７０の側面は、基板１０２の上面に平行な面において、隣接する配線２２０の間では曲線形状を有し、配線２２０と重なる領域では直線を与えてもよい。このような形状を形成することにより、配線２２０のエッチング残渣がアンダーコート１６０の側面、層間絶縁膜１７０の側面に付着しても、隣接する配線２２０間においてアンダーコート１６０の側面、層間絶縁膜１７０の側面の距離が増大するため、配線２２０間のショートが発生する確率を低減することができる。

[0050] 以上では、基板１０２の第１の領域２１４および第２の領域２１６において、基板１０２の上にアンダーコート１６０が位置し、配線２２０が第３の領域２１８において基板１０２と接する表示装置１００について説明した。この表示装置１００は、図９に示すように、第１の基板１０２Ａの第１の領域２１４および第２の領域２１６において、第１の基板１０２Ａの上に第１

のアンダーコート１６０Ａが位置し、第１のアンダーコート１６０Ａの上に第２の基板１０２Ｂが位置し、さらに、配線２２０が第３の領域２１８において基板１０２と接してもよい。この場合、配線２２０は、第１のアンダーコート１６０Ａ、第２の基板１０２Ｂ、第２のアンダーコート１６０Ｂの側面と接する。ゲート絶縁膜１６４や層間絶縁膜１７０の側面が第２のアンダーコート１６０Ｂの上面と重なる場合、第１の境界１３８から表示領域１０６の間、および第２の境界１３９から電源端子１１８の間で、配線２２０は第２のアンダーコート１６０Ｂの上面、ゲート絶縁膜１６４の側面、および層間絶縁膜１７０の側面かつ上面と接する。

[0051] 上述したように、表示装置１００の表示領域１０６と端子（電源端子１１８、１２０、映像信号端子１１６）の間には、アンダーコート１６０やゲート絶縁膜１６４、層間絶縁膜１７０が除去された第３の領域２１８が設けられる。このため、第３の領域２１８は他の領域と比較して可撓性が高く、この領域で表示装置１００を容易に折り曲げることができる。

[0052] しかしながら、これらの絶縁膜が除去された場合、折り曲げることができる領域である第３の領域２１８では、基板１０２と配線との密着性に問題が生じ、折り曲げた際に、配線が基板から剥がれたり、断線が発生したりすることがある。

[0053] これに対して、本実施形態で述べた表示装置１００は、基板１０２上の絶縁膜が除去された領域である露出面１３２に凹凸１３３があり、この上に配線２２０が配置されている。したがって、凹凸１３３によるアンカー効果により、基板１０２と配線の密着性が改善し、配線が基板から剥がれたり、断線が生じたりすることを抑制することができる。よって、本実施形態を適用することで、高い信頼性を表示装置１００に付与することができる。

[0054] ＜第２実施形態＞

第１実施形態では、基板１０２上の絶縁膜が除去された領域である露出面１３２に凹凸１３３がありこの上の配線２２０が配置された表示装置１００について説明した。本実施形態では、基板として、繊維に樹脂が含侵された

シート状の部材であるプリプレグ３００が用いられた変形例について述べる。

[0055] 例えば、図１０に示すように、表示装置１００は、その基板１０２として、プリプレグ３００を有することができる。

[0056] プリプレグ３００の繊維には、有機化合物または無機化合物の高強度繊維を用いてもよい。高強度繊維とは、具体的には引張弾性率またはヤング率の高い繊維のことを言い、代表例としては、ポリビニルアルコール系繊維、ポリエステル系繊維、ポリアミド系繊維、ポリエチレン系繊維、アラミド系繊維、ポリパラフェニレンベンゾビスオキサゾール繊維、ガラス繊維、または炭素繊維が挙げられる。ガラス繊維としては、Ｅガラス、Ｓガラス、Ｄガラス、Ｑガラス等を用いたガラス繊維が挙げられる。これらは、織布または不織布の状態で用い、この繊維に有機樹脂を含浸させ有機樹脂を硬化させた構造体を基板１０２として用いても良い。基板１０２として繊維と樹脂からなる構造体を用いると、曲げや局所的押圧による破損に対する信頼性が向上する。

[0057] プリプレグ３００の繊維に含侵させる樹脂としては、たとえば、エポキシ系樹脂、フェノール系樹脂、ポリイミド系樹脂、アクリル系樹脂などを用いることができる。

[0058] プリプレグ３００は、第１実施形態における基板１０２と同様、アンダーコート１６０から露出し露出面１３２を有する第３の領域２１８、アンダーコート１６０が存在し表示領域１０６やソース側駆動回路１１０、コンタクト電極２２２が位置する領域である第１の領域２１４、電源端子１１８を含む種々の端子が位置する領域である第２の領域２１６を有する。

[0059] プリプレグ３００は、第１実施形態における基板１０２と同様、その露出面１３２は、プリプレグ３００の第１の領域２１４、第２の領域２１６と比べて、表面粗さが大きい。すなわち、プリプレグ３００の露出面１３２には凹凸１３３があり、この凹凸１３３は第１の領域２１４や第２の領域２１６におけるプリプレグ３００の凹凸よりも大きい。

[0060] プリプレグ３００は、その露出面１３２において、プリプレグ３００を構成する繊維の一部である繊維３０１を露出させてもよい。この場合、プリプレグ３００から露出された繊維３０１によって露出面１３２に凹凸１３３が形成されてもよいが、凹凸１３３は、第１実施形態における基板１０２と同様、アンダーコート１６０をエッチングにより除去する際に形成されてもよいし、アンダーコート１６０が除去された露出面１３２に対するフォトリソグラフィー法によって形成されてもよい。

[0061] 配線２２０は、プリプレグ３００の第３の領域２１８において、露出面１３２が有する凹凸１３３上に形成され、かつ、基板１０２と接する。

[0062] 配線２２０の上端部よりも上に繊維３０１が位置すると、表示装置１００の製造工程に影響が生じるため、配線２２０の上端部よりも上には繊維３０１が位置しないことが好ましい。たとえば、配線２２０の下端部（基板１０２と接する地点）から配線２２０の上端部までの距離が６００ｎｍ前後だとすると、プリプレグ３００の上端部から繊維３０１の上端部までの垂直方向の距離は５０ｎｍから５００ｎｍであり、好ましくは１００ｎｍから３００ｎｍである。必要に応じて、図１１のように、凹凸を有するプリプレグ３００の露出面１３２を樹脂膜３０２で覆い、プリプレグ３００の凹凸により樹脂膜３０２上に形成された凹凸１３３上に、さらに配線２２０が形成され、樹脂膜３０２と接してもよい。この場合、プリプレグ３００の露出面１３２上の樹脂膜３０２は、プリプレグ３００の第１の領域２１４、第２の領域２１６と比べて、表面粗さが大きい。すなわち、プリプレグ３００の露出面１３２上の樹脂膜３０２には凹凸１３３があり、この凹凸１３３は第１の領域２１４や第２の領域２１６におけるプリプレグ３００の凹凸よりも大きい。

[0063] その他の構成は第１実施形態と同じ、あるいは類似するので、説明は省略する。

[0064] 本実施形態においては、基板１０２として、プリプレグ３００が用いられ、絶縁膜が除去された領域である露出面１３２には、繊維３０１などによる凹凸１３３が与えられる。樹脂膜３０２が配置される場合、樹脂膜３０２の

下のプリプレグ３００の凹凸により、樹脂膜３０２に凹凸１３３が与えられる。そして、凹凸１３３を有する露出面１３２または樹脂膜３０２の上に配線２２０が配置されているため、配線２２０と露出面１３２または樹脂膜３０２との間に凹凸１３３によるアンカー効果が生じる。したがって、第１実施形態と同様、本実施形態を適用することで、基板１０２と配線２２０の密着性が改善し、配線が基板から剥がれたり、断線が生じたりすることを抑制することができる。よって、本実施形態を適用することで、高い信頼性を表示装置１００に付与することができる。

[0065] ＜第３実施形態＞

本実施形態では、表示装置１００の製造方法を述べる。ここでは、図６に示した構造を有する表示装置１００を例として用い、その製造方法を図１２から図１８を用いて説明する。図１２から図１５の各々は二つの図を含むが、左側は画素１０４の断面模式図であり、右側は第３の領域２１８を中心とする断面模式図である。第１実施形態と重複する内容の説明は省略することがある。

[0066] 図１２Ａに示すように、まず、支持基板１０３上に基板１０２を形成する。支持基板１０３は、表示装置１００の製造工程中、表示装置１００に含まれる種々の絶縁膜や導電膜、半導体膜を支持するものであり、ガラスや石英を含むことができる。基板１０２は可撓性の基板であり、ポリイミドやポリアミド、ポリカルボナートなどの高分子を含む。基板１０２はインクジェット法やスピンコート法、印刷法などの湿式成膜法、あるいはラミネート法などによって支持基板１０３上に設けられる。表示装置１００に可撓性を付与しない場合には、支持基板１０３を基板として用いればよい。

[0067] 次に、基板１０２にアンダーコート１６０を単層構造、あるいは積層構造を有するように形成する。アンダーコート１６０は基板１０２の全面に形成される。ここでは、アンダーコート１６０として第１の層１６０ａから第３の層１６０ｃの積層が示されており、例えばシリコン酸化膜、シリコン窒化膜、シリコン酸化膜をそれぞれ第１の層１６０ａから第３の層１６０ｃとし

て用いることができる。この場合、第１の層１６０ａは基板１０２との密着性向上のため、第２の層１６０ｂは水などの不純物に対するブロック膜として、第３の層１６０ｃは第２の層１６０ｂ中に含有する水素原子の拡散を防止するためのブロック膜として設けられる。図示しないが、アンダーコート１６０の形成前に、トランジスタを形成する領域に遮光膜を形成してもよい。ここで、シリコン酸化膜とは、ケイ素と酸素を主成分として含む膜であり、シリコン窒化膜とは、ケイ素と窒素を主成分として含む膜である。

[0068] 次に、アンダーコート１６０上に、画素回路中のトランジスタなどが形成される（図１２Ｂ）。ここでは一例として、トランジスタとしてポリシリコンを半導体膜１６２として有するｎチャンネル型の駆動トランジスタ１４０、および保持容量１５０の形成を述べるが、ｐチャンネル型のトランジスタも同時に形成してもよい。アンダーコート１６０上に、半導体膜１６２、ゲート絶縁膜１６４、ゲート電極１６６、容量電極１６８を順次形成する。半導体膜１６２は、ゲート電極１６６と重なるチャネル領域１６２ｃやドレイン領域１６２ａ、ソース領域１６２ｂに加え、チャネル領域１６２ｃとドレイン領域１６２ａの間、チャネル領域１６２ｃとソース領域１６２ｂの間に低濃度不純物領域１６２ｄが設けられた構造を有する。ゲート絶縁膜１６４はシリコン含有無機化合物を含み、シリコン酸化膜などが用いられる。ゲート電極１６６や容量電極１６８は種々の金属から選択される金属やその合金を含む配線（第１配線）を用いて形成され、第１配線は例えばモリブデンとタングステンの積層構造を有する。容量電極１６８はゲート電極１６６と同一の層に存在し、ゲート絶縁膜１６４とソース領域１６２ｂとともに保持容量１５０の形成に用いられる。

[0069] ゲート電極１６６、容量電極１６８上には層間絶縁膜１７０が形成される（図１２Ｂ）。層間絶縁膜１７０も第１の領域２１４から第３の領域２１８、第２の領域２１６にかけて形成される。図１２Ｂでは層間絶縁膜１７０は単層構造を有するように描かれているが、層間絶縁膜１７０は、例えばシリコン窒化膜とシリコン酸化膜を積層することで形成してもよい。

[0070] その後パターニングを行って、層間絶縁膜１７０とゲート絶縁膜１６４の一部を除去し、第３の領域２１８においてアンダーコート１６０を露出する（図１３Ａ）。この時、ドレイン領域１６２ａとソース領域１６２ｂを露出するための開口も同時に形成される。

[0071] 次に、第３の領域２１８を図示しないレジストマスクで覆い、露出したアンダーコート１６０をエッチングにより除去する。このエッチング条件は、図１３Ｂで示すように第３の領域に凹凸１３３が形成される条件であり、適宜調整されてもよい。ここでは、たとえば、四フッ化炭素（ＣＦ4）と酸素（Ｏ2）の混合ガスをエッチングガスとして用いたドライエッチングを用いることとする。

[0072] 図示しないが、ドレイン領域１６２ａとソース領域１６２ｂを露出するための開口を形成すると同時に、アンダーコート１６０の除去と凹凸１３３の形成を同時に行ってもよい。

[0073] 次に、導電層を、第２配線を用いて形成した後エッチングを行い、ドレイン電極１７２、ソース電極１７４、配線２２０を形成する（図１４Ａ）。第２配線も複数の金属層の積層として形成することができ、例えばチタン／アルミニウム／チタンの三層積層構造を採用することができる。この配線２２０の形成により、配線２２０は第３の領域２１８において、基板１０２の第３の領域２１８の凹凸１３３と接する。同時に、ソース電極１７４の一部は容量電極１６８と重なるように配置され、ソース領域１６２ｂ、ゲート絶縁膜１６４、容量電極１６８、層間絶縁膜１７０、およびソース電極１７４の一部で保持容量１５０が形成される。配線２２０は、第２の領域２１６まで延在し、のちにＦＰＣ１１４を接続するための電源端子１１８を形成する。

[0074] その後、駆動トランジスタ１４０や保持容量１５０、配線２２０を覆うように平坦化膜１７６を形成する（図１４Ｂ）。平坦化膜１７６としては感光性アクリル樹脂などの有機材料が用いられ、これにより、平坦性に優れた絶縁膜を与えることができる。平坦化膜１７６は基板１０２のほぼ全面に形成した後に一部を除去し、ソース電極１７４－画素電極１８４間の接続、配線

２２０－コンタクト電極２２２間の接続、電源端子１１８の形成、および第３の領域２１８に高い可撓性を付与するための開口を形成する（図１５Ａ）。その後、平坦化膜１７６の除去により露出したソース電極１７４や配線２２０は、インジウム－スズ酸化物（ＩＴＯ）やインジウム－亜鉛酸化物（ＩＺＯ）などの導電性酸化物を用いて保護される。すなわち、ソース電極１７４と接続される接続電極１７８、配線２２０と接続される第１のコンタクト電極２２２ａと保護電極２２２ｃが形成される。これらを形成することで、引き続くプロセスにおいて、ソース電極１７４や配線２２０の劣化を防ぐことができる。同時に、付加容量電極１８０が平坦化膜１７６上に形成される（図１５Ａ）。

[0075] 引き続き、接続電極１７８、第１のコンタクト電極２２２ａ、保護電極２２２ｃを覆うように容量絶縁膜１８２が形成される。容量絶縁膜１８２はケイ素含有無機化合物を含むことができ、代表的にはシリコン窒化膜が用いられる。容量絶縁膜１８２も、基板１０２のほぼ全面に形成した後エッチングによるパターニングを行い、接続電極１７８と第１のコンタクト電極２２２ａの上面、保護電極２２２ｃの端部を除く表面、および配線２２０が露出されるよう、一部を除去することによって形成される（図１５Ｂ）。これにより、電源端子１１８などの端子が形成される。同時に、開口１８８が形成される。

[0076] 次に、画素電極１８４を形成する（図１５Ｂ）。画素電極１８４の構成は任意であるが、反射電極として使用する場合、例えばＩＺＯ、銀、ＩＺＯの三層積層構造を適用すればよい。画素電極１８４は、接続電極１７８と電気的に接続され、かつ、付加容量電極１８０と重なるように設けられる。これにより、画素電極１８４が駆動トランジスタ１４０と電気的に接続されるとともに、画素１０４において画素電極１８４、容量絶縁膜１８２、付加容量電極１８０によって付加容量１５２が形成される。また、画素電極１８４の形成と同時に、第１のコンタクト電極２２２ａと重なり、かつ電気的に接続されるように第２のコンタクト電極２２２ｂが形成される。

[0077] 画素電極１８４の形成後、隔壁（バンク、リブとも呼ばれる）１８６を形成する（図１６）。隔壁１８６は、平坦化膜１７６と同様、感光性アクリル樹脂などを用いて形成される。隔壁１８６は、画素電極１８４の表面を発光領域として露出するように開口を有し、その開口端はなだらかなテーパー形状となるのが好ましい。開口端が急峻な形状になっていると、後に形成されるＥＬ層１９０のカバレッジ不良を招く。ここで、平坦化膜１７６と隔壁１８６は、両者の間の容量絶縁膜１８２に設けられる開口１８８を通じて接触する。これにより、隔壁１８６形成後の熱処理などを通じて、平坦化膜１７６から脱離する水や有機化合物などの不純物を、隔壁１８６を通じて開放することができる。

[0078] 隔壁１８６の形成後、ＥＬ層１９０を形成する（図１６）。ＥＬ層１９０に含まれる機能層は、蒸着法、あるいは湿式成膜法によって形成することができる。ＥＬ層１９０の形成後、対向電極１９８を形成する。ここでは、いわゆるトップエミッション構造の発光素子１３０を形成するため、対向電極１９８は可視光に対して透光性を示すように構成される。例えばマグネシウムと銀の合金を、ＥＬ層１９０からの出射光が透過する程度の厚さで堆積して対向電極１９８を形成する。対向電極１９８は表示領域１０６のみならず、コンタクト電極２２２を覆うように形成され、第１のコンタクト電極２２２ａ、第２のコンタクト電極２２２ｂを介して配線２２０と電気的に接続される。これにより、電源端子１１８から与えられるＰＶＳＳが対向電極１９８に供給される。

[0079] 対向電極１９８の形成後、パッシベーション膜２００を形成する。パッシベーション膜２００は、外部から発光素子１３０へ水などの不純物が侵入することを防止することを機能の一つとして有する。図１７に示すように、パッシベーション膜２００は第１の層２０２、第２の層２０４、第３の層２０６が積層された構造をとることができ、例えばそれぞれシリコン窒化膜、有機樹脂膜、シリコン窒化膜として形成することができる。第１の層２０２と第２の層２０４の間、あるいは第２の層２０４と第３の層２０６の間には、

密着性向上を目的として、シリコン酸化膜やアモルファスシリコン膜をさらに設けても良い。

[0080] このとき、第１の層２０２と第３の層２０６は基板１０２のほぼ全面を覆うように形成され、一方第２の層２０４は表示領域１０６やコンタクト電極２２２を覆うものの、第３の領域２１８や電源端子１１８を覆わないように設けられる。この後、図１８に示すように、樹脂膜２１０を形成する。樹脂膜２１０は表示領域１０６やコンタクト電極２２２を選択的に覆うように設けられる。この樹脂膜２１０をマスクとしてエッチングを行い、樹脂膜２１０に覆われていない第１の層２０２と第３の層２０６を除去する。これにより、第３の領域２１８において配線２２０が露出するとともに、電源端子１１８の保護電極２２２ｃが露出し、ＦＰＣ１１４との電気的な接続が可能となる。

[0081] 図示しないが、その後、樹脂膜２１０上に支持フィルム１２８を設け、支持基板１０３を介して光照射を行って支持基板１０３－基板１０２間の接着性を低下させ、支持基板１０３を剥離する。支持基板１０３を剥離した後に支持フィルム１２６を設けることで、表示装置１００が得られる。

[0082] 上述したように本実施形態では、基板１０２の第３の領域２１８をレジストマスクで覆い、アンダーコート１６０をエッチングにより除去することにより、基板１０２の第３の領域が露出し、かつその露出面に凹凸が形成される。そして、この上に配線が形成されることで、凹凸によるアンカー効果により、基板１０２と配線の密着性が改善し、配線が基板から剥がれたり、断線が生じたりすることを抑制することができる。その結果、映像信号や電源を供給するための配線の切断を防止することができる。また、表示装置１００の屈曲される領域（第３の領域２１８）には、アンダーコート１６０や層間絶縁膜１７０、平坦化膜１７６などの絶縁膜を設けない。これにより、第３の領域２１８に高い可撓性を付与することができる。また、折り曲げられる第３の領域２１８には脆い絶縁膜が存在しないため、これらの絶縁膜の破壊に起因する表示装置１００の信頼性低下を招くことがない。したがって、

低コストで信頼性の高い表示装置を提供することができる。

[0083] 本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態の表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0084] 本明細書においては、開示例として主にＥＬ表示装置の場合を例示したが、他の適用例として、その他の自発光型表示装置、液晶表示装置、あるいは電気泳動素子などを有する電子ペーパ型表示装置など、あらゆるフラットパネル型の表示装置が挙げられる。また、中小型から大型まで、特に限定することなく適用が可能である。

[0085] 上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、または、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0086] １００：表示装置、１０２：基板、１０２Ａ：第１の基板、１０２Ｂ：第２の基板、１０３：支持基板、１０４：画素、１０６：表示領域、１０８：ゲート側駆動回路、１１０：ソース側駆動回路、１１２：駆動ＩＣ、１１４：ＦＰＣ、１１６：映像信号端子、１１８：電源端子、１２０：電源端子、１２２：スペーサ、１２６：支持フィルム、１２８：支持フィルム、１３０：発光素子、１３２：露出面、１３３：凹凸、１３４：第１の側壁、１３６：第２の側壁、１３７：溝、１３８：第１の境界、１３９：第２の境界、１４０：駆動トランジスタ、１４２：第１のスイッチングトランジスタ、１４４：第２のスイッチングトランジスタ、１４６：第３のスイッチングトランジスタ、１５０：保持容量、１５２：付加容量、１５４：高電位電源線、１５６：低電位電源線、１６０：アンダーコート、１６０ａ：第１の層、１６０ｂ：第２の層、１６０ｃ：第３の層、１６０Ａ：第１のアンダーコート、

１６０Ｂ：第２のアンダーコート、１６２：半導体膜、１６２ａ：ドレイン領域、１６２ｂ：ソース領域、１６４：ゲート絶縁膜、１６６：ゲート電極、１６８：容量電極、１７０：層間絶縁膜、１７０ａ：第１の層、１７０ｂ：第２の層、１７２：ドレイン電極、１７４：ソース電極、１７６：平坦化膜、１７８：接続電極、１８０：付加容量電極、１８２：容量絶縁膜、１８４：画素電極、１８６：隔壁、１８８：開口、１９０：ＥＬ層、１９２：ホール輸送層、１９４：発光層、１９６：電子輸送層、１９８：対向電極、２００：パッシベーション膜、２０２：第１の層、２０４：第２の層、２０６：第３の層、２１０：樹脂膜、２１４：第１の領域、２１６：第２の領域、２１８：第３の領域、２２０：配線、２２２：コンタクト電極、２２２ａ：第１のコンタクト電極、２２２ｂ：第２のコンタクト電極、２２２ｃ：保護電極、２３０：第１のフィラー、２３２：第２のフィラー、２３４：第３のフィラー、２３６：第４のフィラー、３００：プリプレグ、３０１：繊維、３０２：樹脂膜

請求の範囲

[請求項1] 基板と、

前記基板の第１面に接して配置された絶縁層と、

前記絶縁層上に配置されたトランジスタ及び表示素子を含む画素が複数個配列する表示領域と、

前記絶縁層上において前記表示領域の外側の領域に配置された端子領域と、

前記表示領域と前記端子領域との間に配設された配線と、

を有し、

前記絶縁層は、前記表示領域と前記端子領域との間の領域に、前記基板の前記第１面側を露出させる開口部を有し、

前記配線は、前記絶縁層の上面と接し、かつ前記開口部において前記基板の露出面と接し、

前記基板の前記露出面は、前記基板が前記絶縁層と接する領域と比べて、表面粗さが大きいこと、を特徴とする表示装置。

[請求項2] 前記基板は、その厚さが１０μｍから３０μｍである、請求項１に記載の表示装置。

[請求項3] 前記基板は、可撓性を有する請求項１に記載の表示装置。

[請求項4] 前記基板の前記露出面の表面粗さの最大高さは、５０ｎｍ以上１００ｎｍ以下である、請求項１に記載の表示装置。

[請求項5] 前記基板は、繊維に樹脂が含浸されたシート状の部材である、請求項１に記載の表示装置。

[請求項6] 基板と、

前記基板の第１面に接して配置された絶縁層と、

前記絶縁層上に配置されたトランジスタ及び表示素子を含む画素が複数個配列する表示領域と、

前記絶縁層上において前記表示領域の外側の領域に配置された端子領域と、

前記表示領域と前記端子領域との間に配設された配線と、

基板上の樹脂膜と、

を有し、

前記基板は、繊維に樹脂が含浸されたシート状の部材であり、

前記絶縁層は、前記表示領域と前記端子領域との間の領域に、前記基板の前記第１面側を露出させる開口部を有し、

前記樹脂膜は、前記絶縁層の開口部において前記基板の露出面と接し、

前記配線は、前記樹脂膜の上面と接し、かつ前記絶縁層の開口部において前記樹脂膜と接し、

前記絶縁層の開口部における前記樹脂膜は、前記基板が前記絶縁層と接する領域と比べて、表面粗さが大きいこと、を特徴とする表示装置。

[請求項7] 前記配線を複数有し、

前記絶縁層の側面は、平面視において、隣接する前記配線の間で湾曲した部分を有する請求項１または６に記載の表示装置。

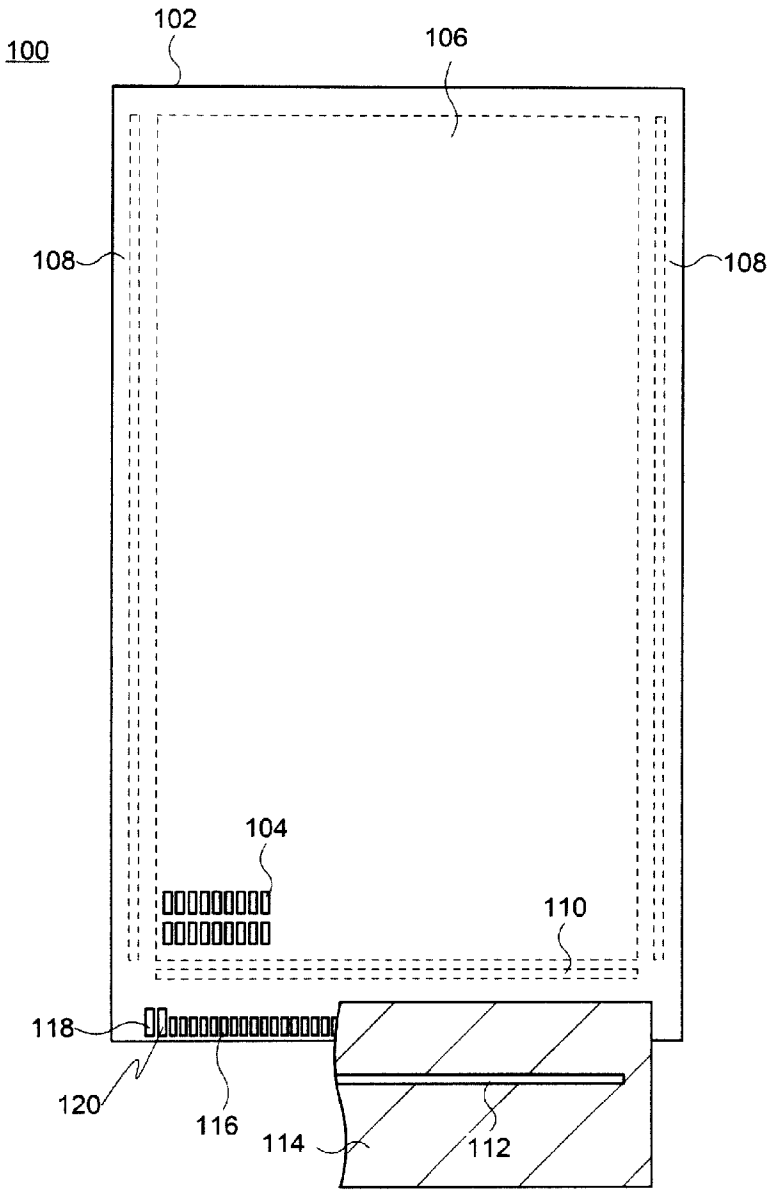
[請求項8] 前記開口部において、前記繊維の一部が露出している、請求項５または６に記載の表示装置。

[請求項9] 前記繊維は、有機化合物の高強度繊維である請求項５または６に記載の表示装置。

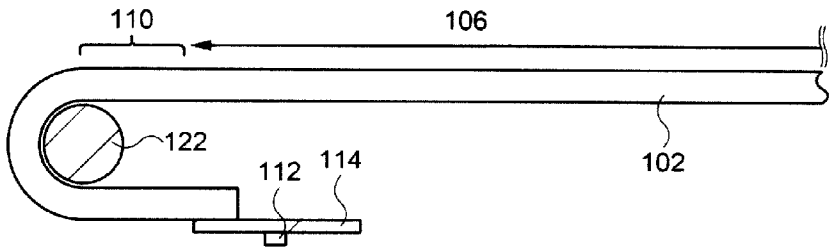
[請求項10] 前記繊維は、無機化合物の高強度繊維である請求項５または６に記載の表示装置。

[請求項11] 前記基板は、前記開口部が配置される領域で湾曲している、請求項１または６に記載の表示装置。

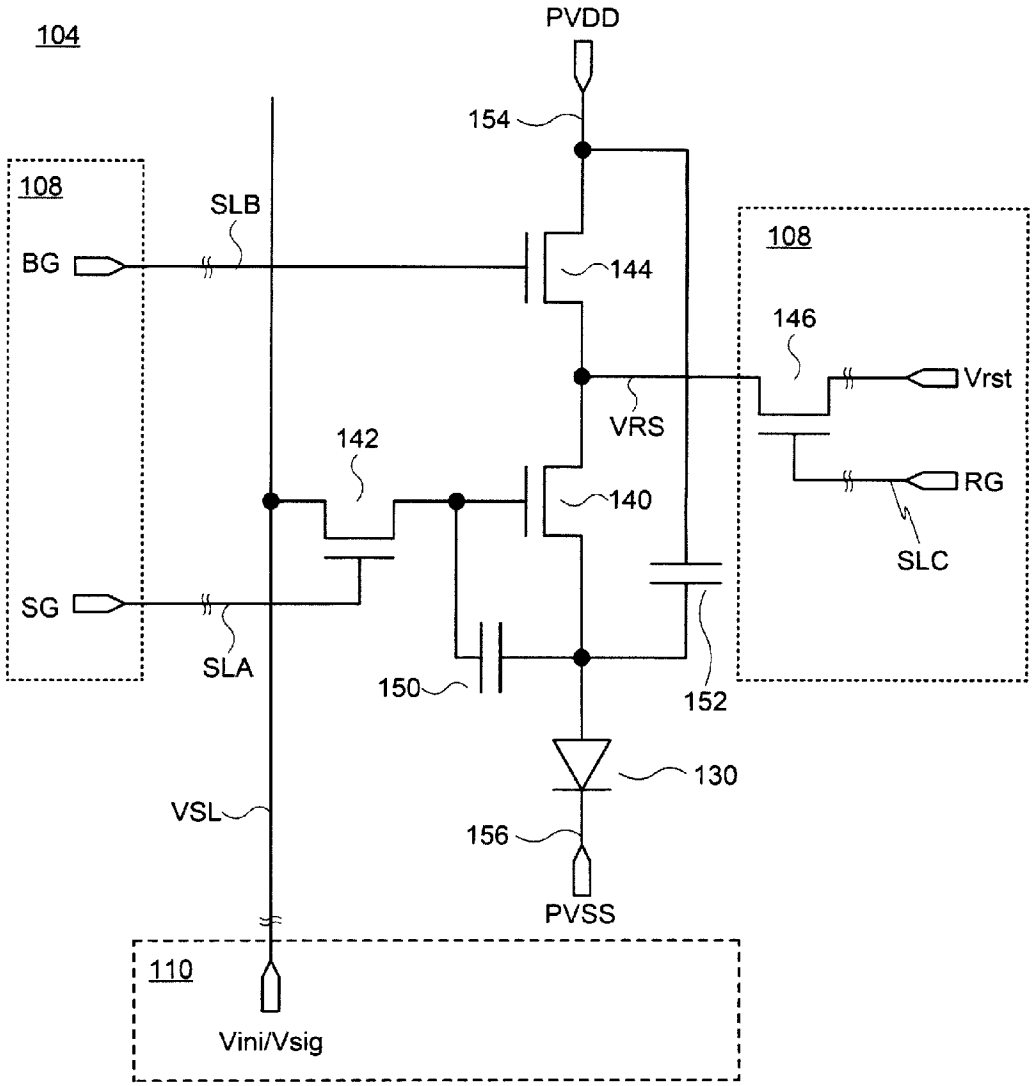
[図1]



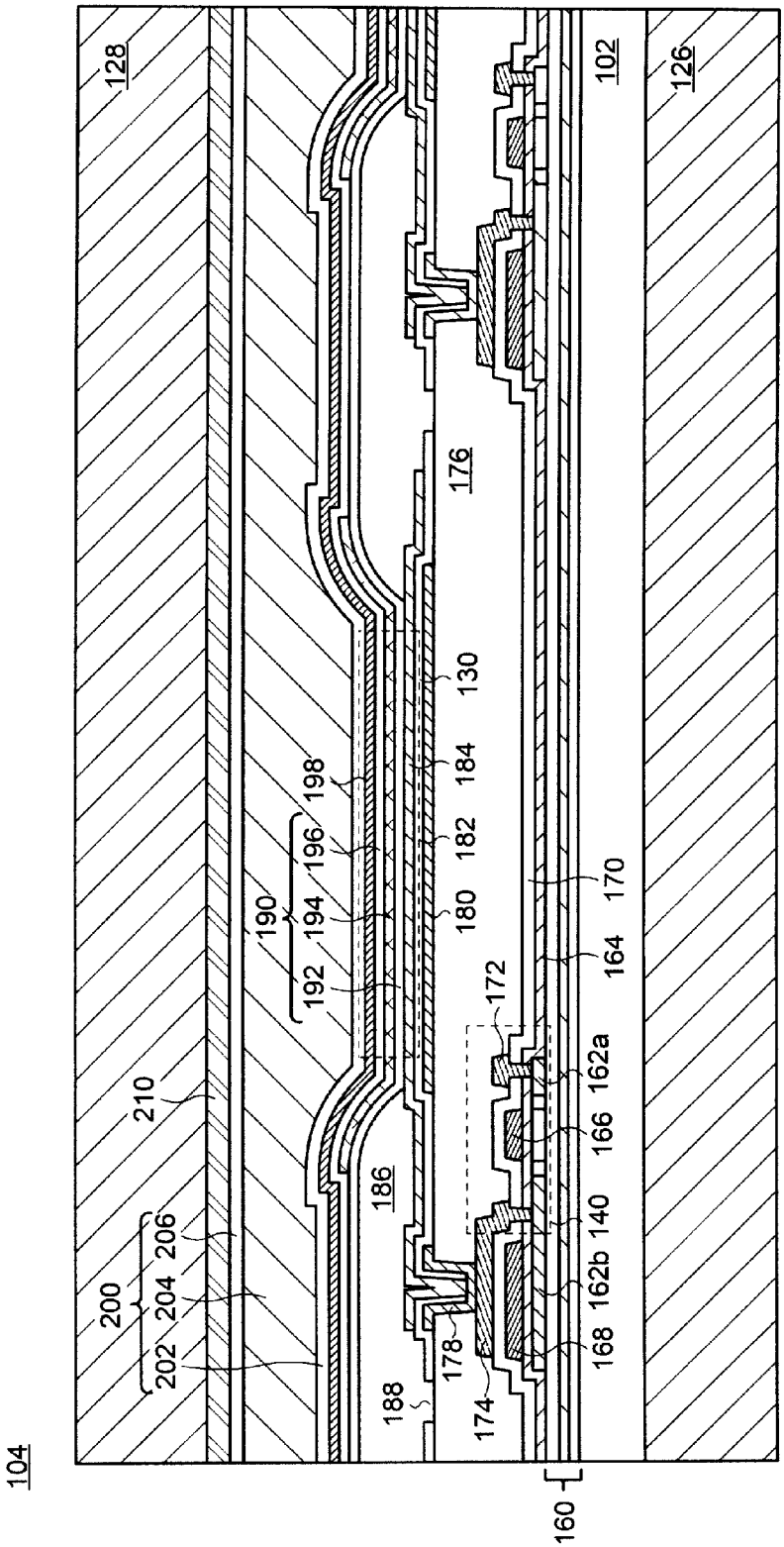
[図2]



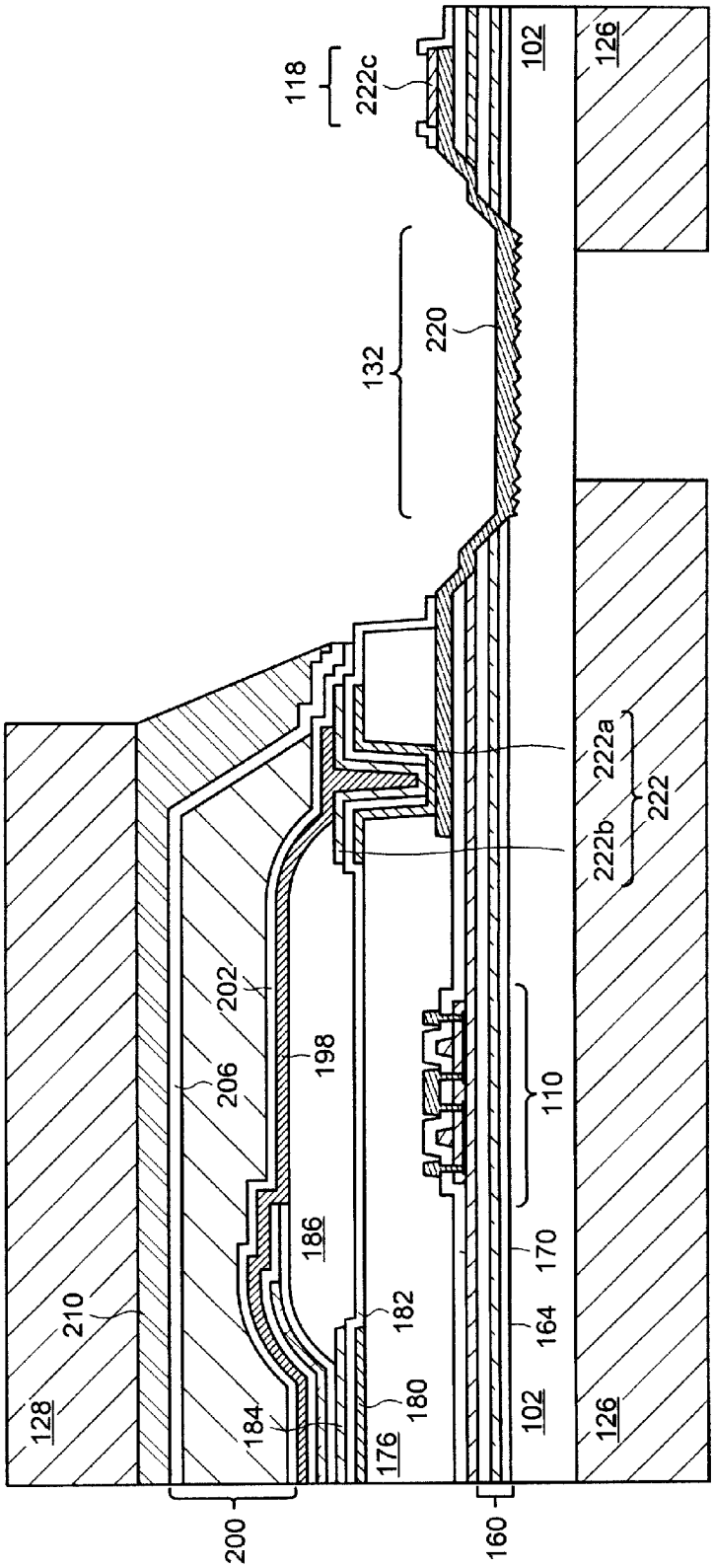
[図3]


104
PVDD
154
108
SLB
BG
144
108
146
Vrst
VRS
142
140
RG
SLC
SG
SLA
150
152
130
VSL
156
PVSS
110
Vini/Vsig

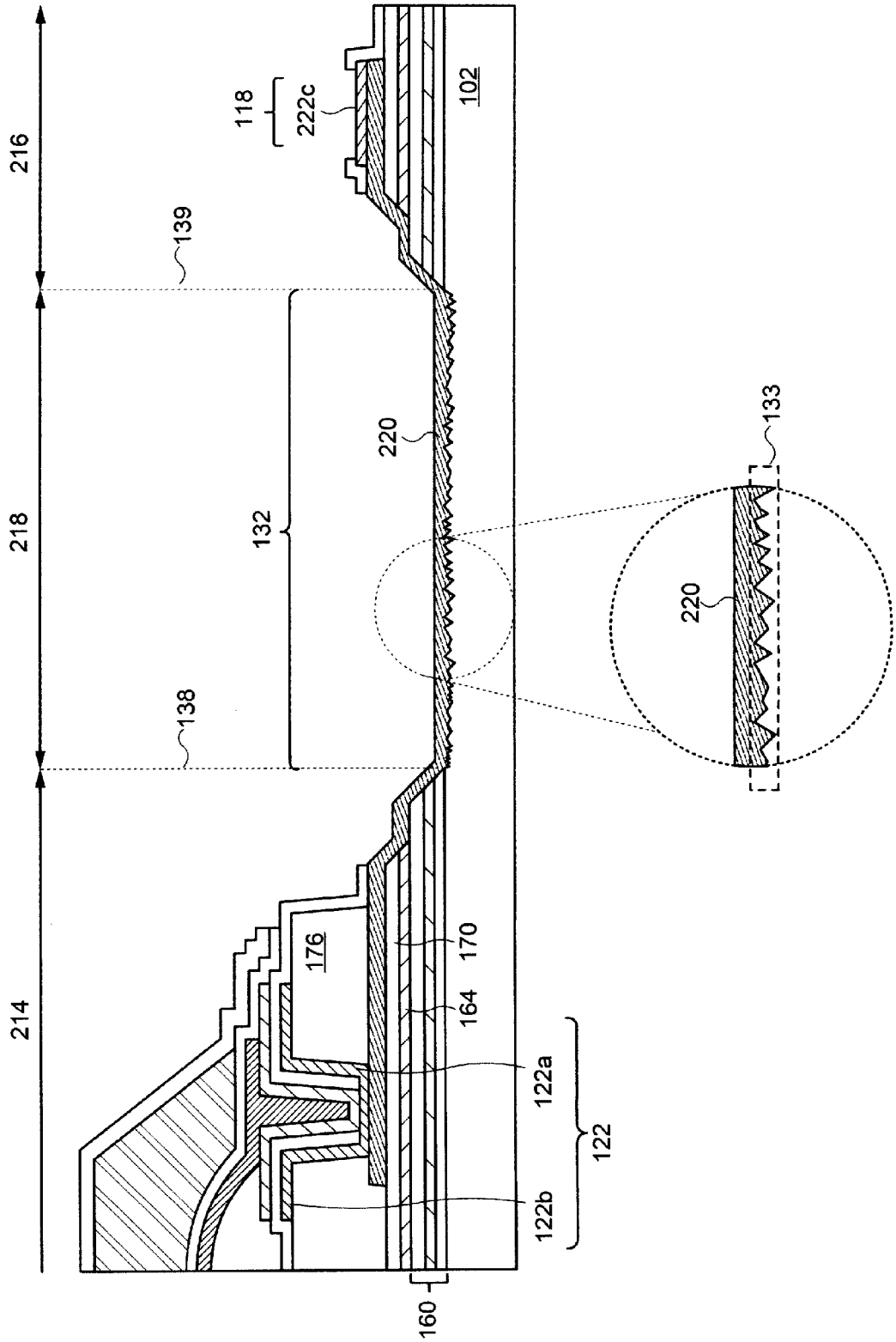
[図4]


104
128
102
126
176
130
184
182
198
196
194
192
190
180
172
170
164
162a
166
140
162b
168
160
210
206
204
202
200
186
188
178
174

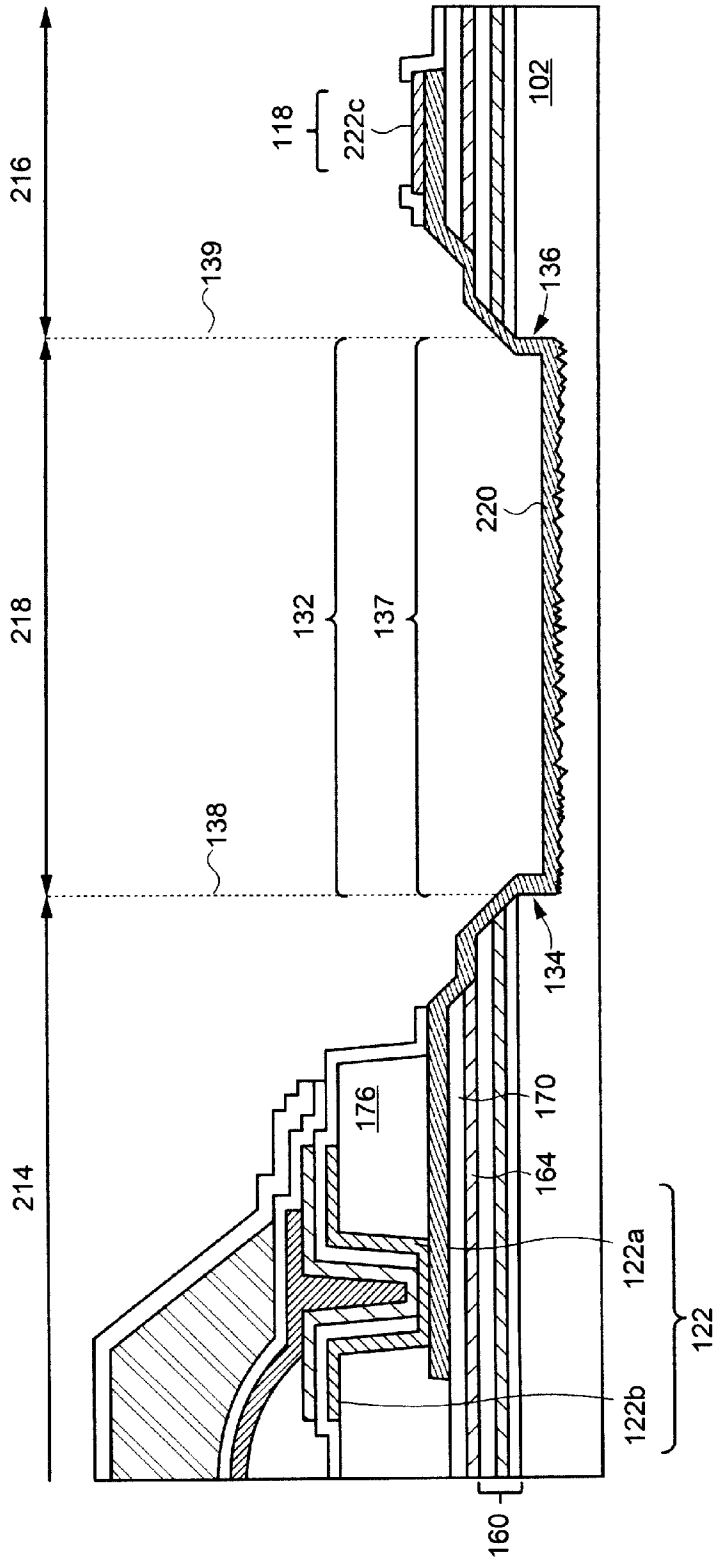
[図5]


118
222c
102
126
132
220
222a
222b
222
202
206
198
110
186
170
210
182
164
128
184
180
102
126
176
200
160

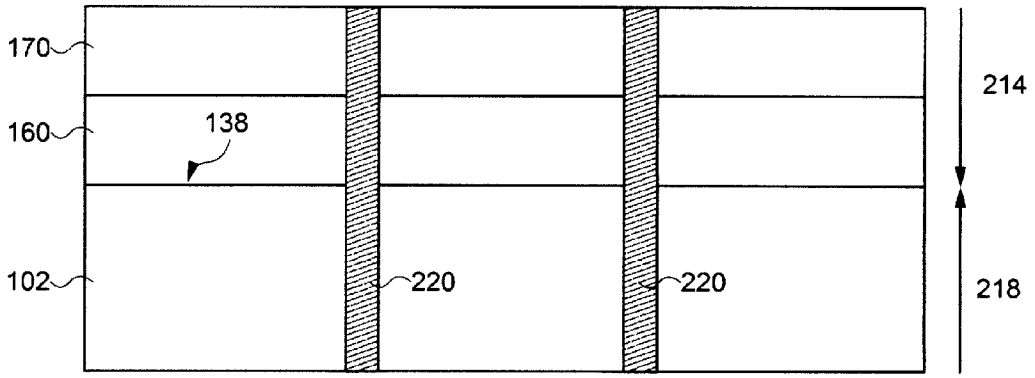
[図6]


216
218
214
139
138
118
222c
102
132
220
133
176
170
164
122a
122
122b
160

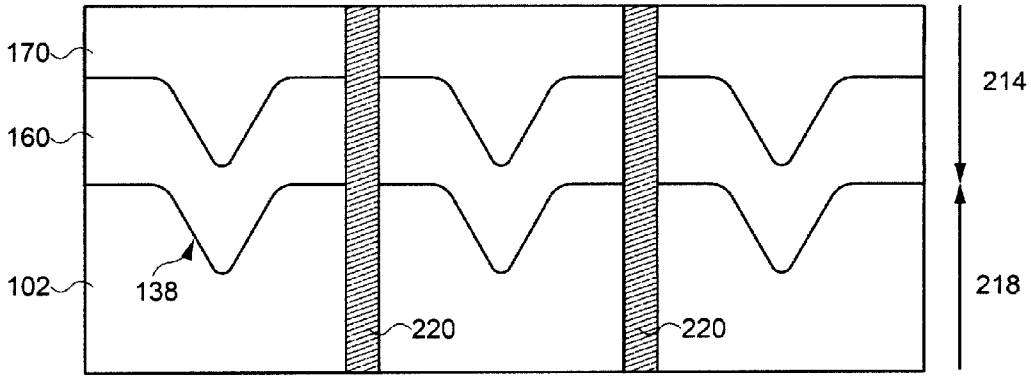
[図7]


216
218
214
139
138
118
222c
102
136
220
132
137
134
176
170
164
122a
122
122b
160

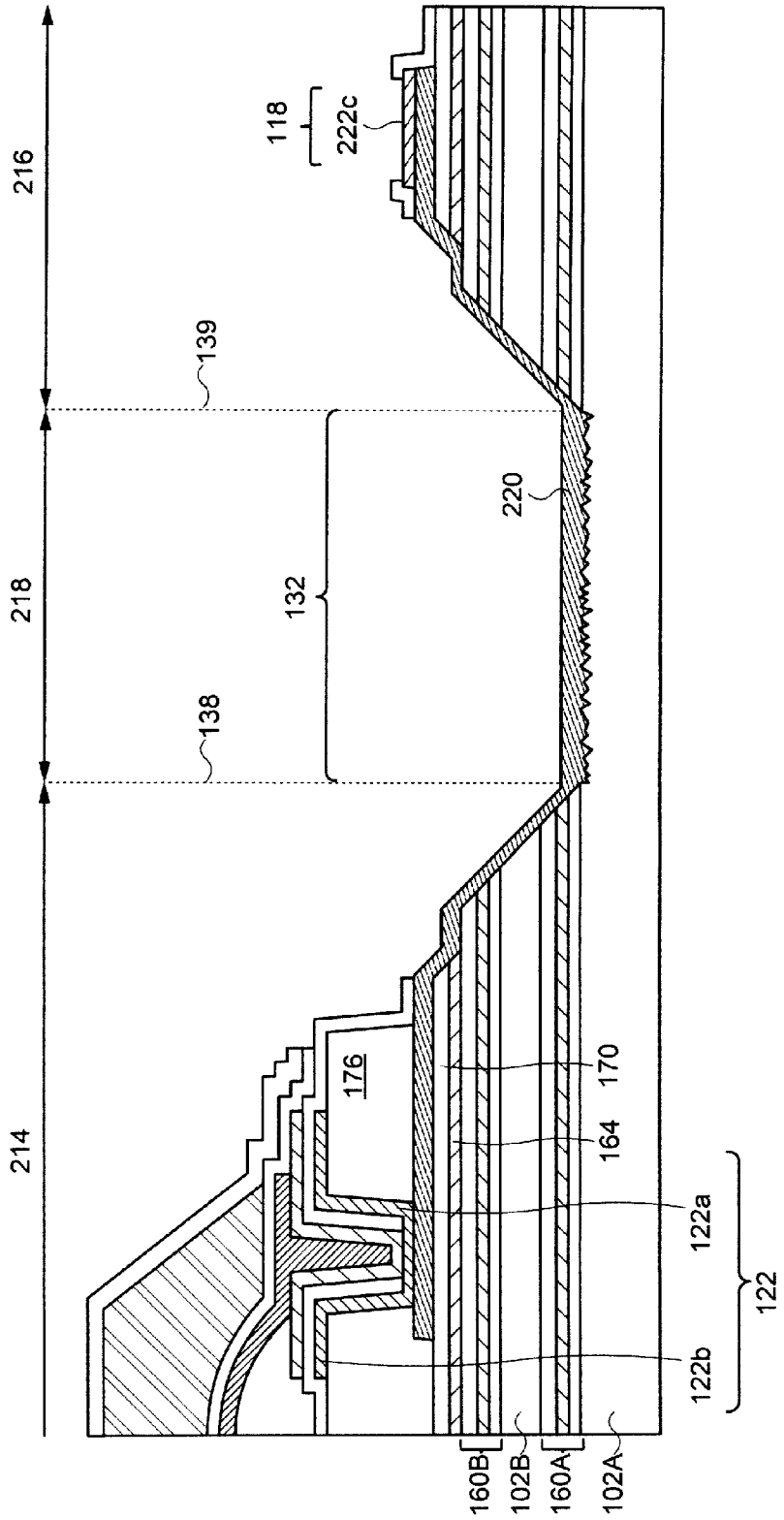
[図8A]



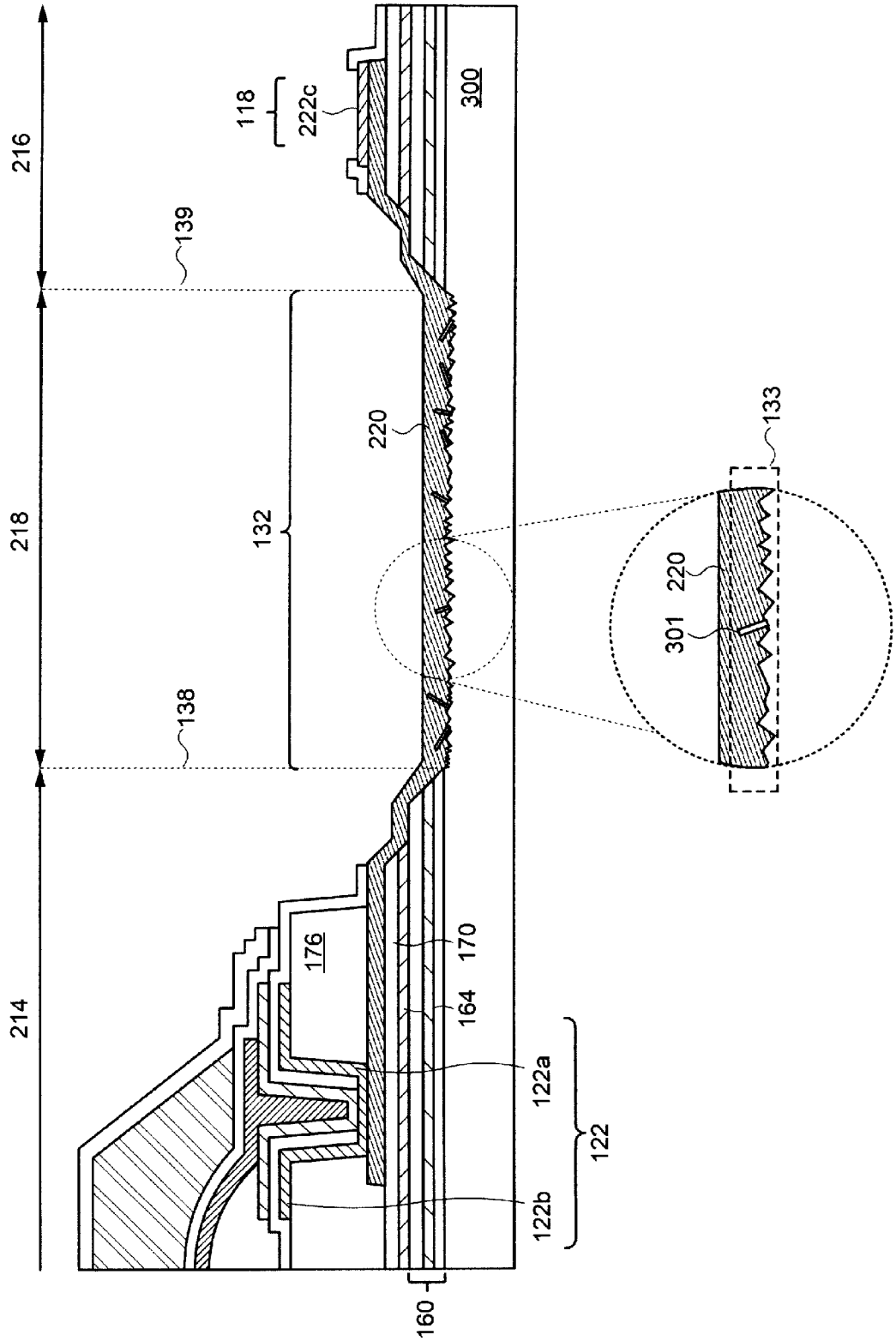
[図8B]



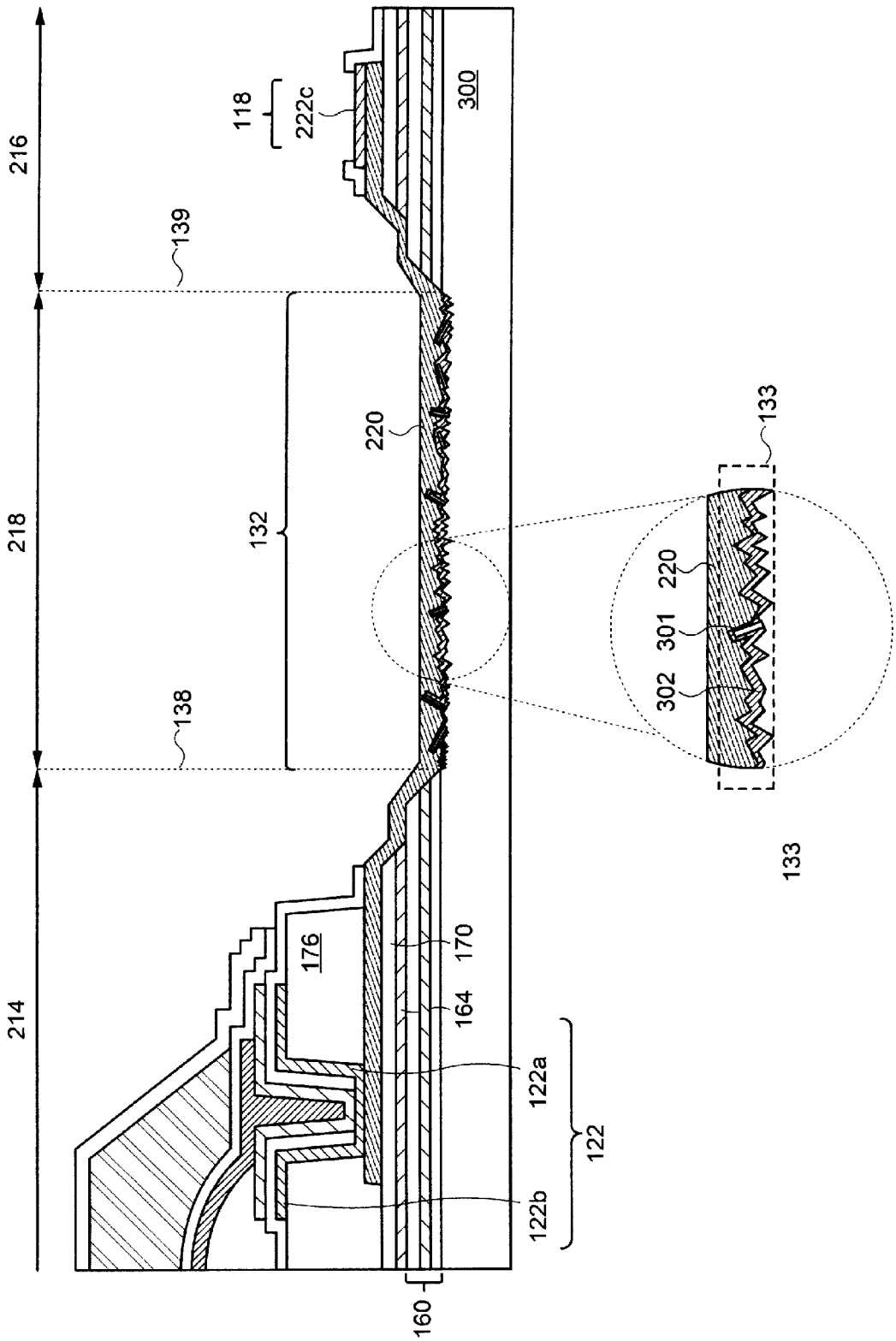
[図9]


216
218
214
118
222c
139
138
132
220
176
170
164
122a
122b
122
160B
102B
160A
102A

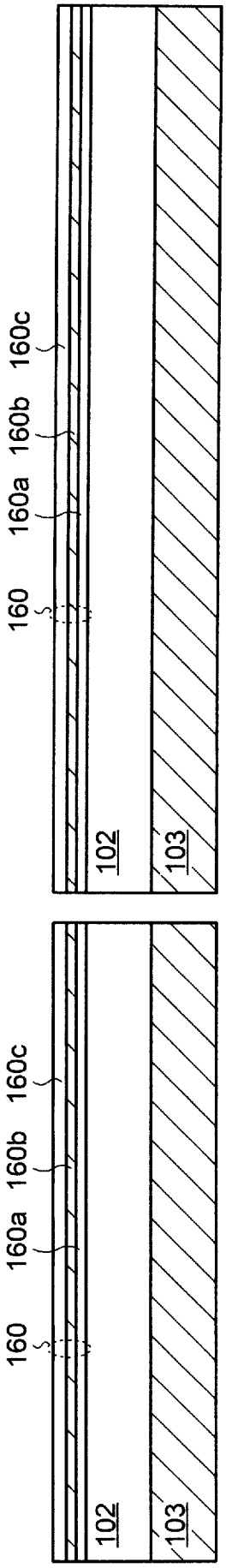
[図10]


216
218
214
139
138
118
222c
300
132
220
133
301
176
170
164
122a
122
122b
160

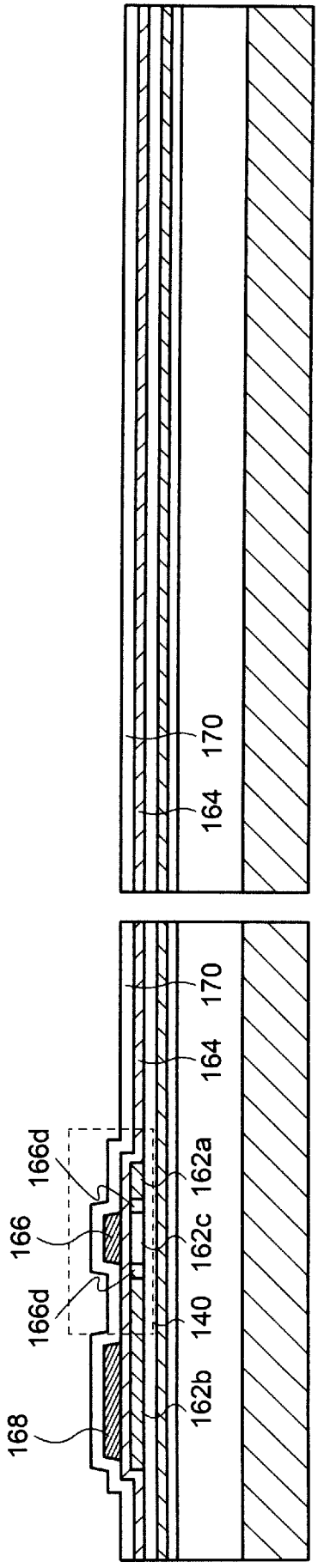
[図11]


216
218
214
139
138
118
222c
300
132
220
133
301
302
176
170
164
122a
122b
122
160

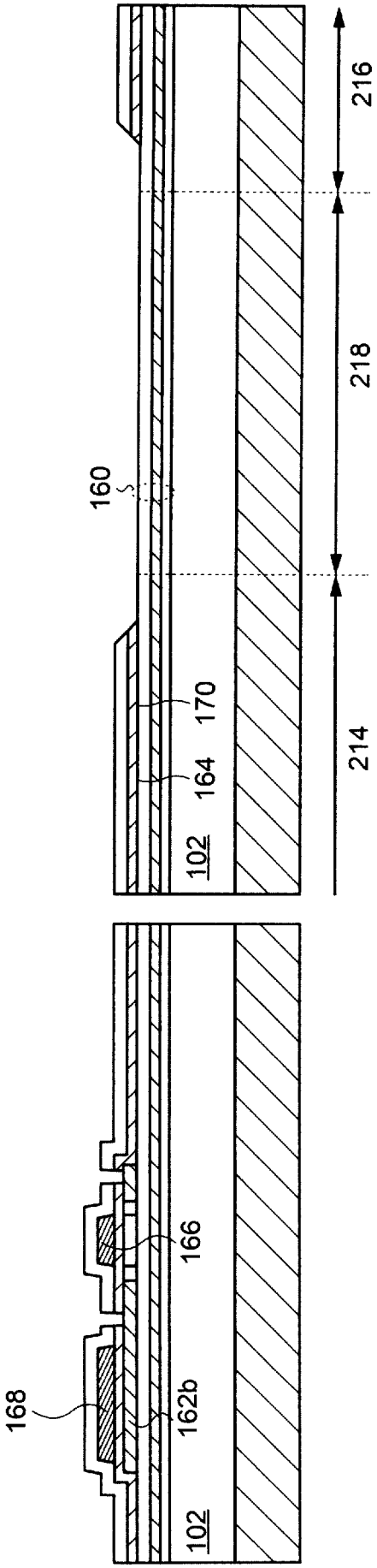
[図12A]



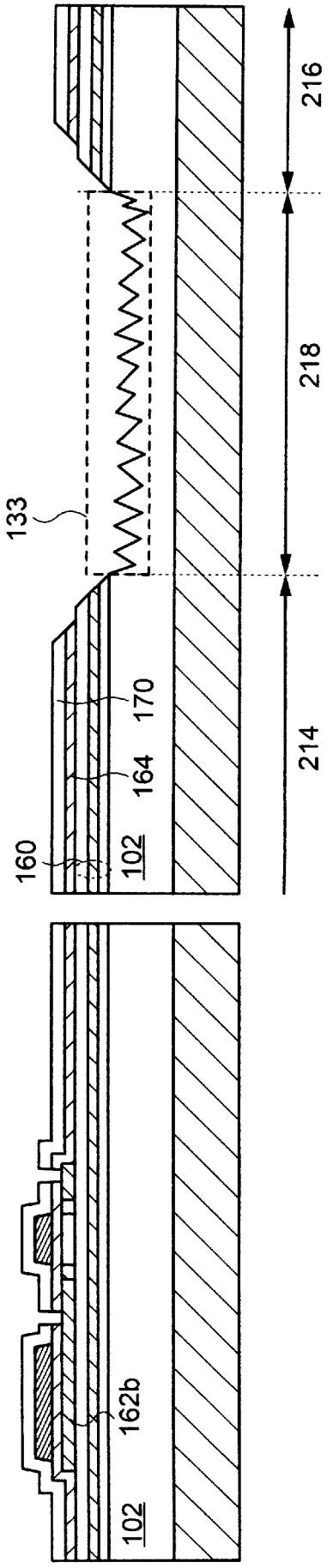
[図12B]



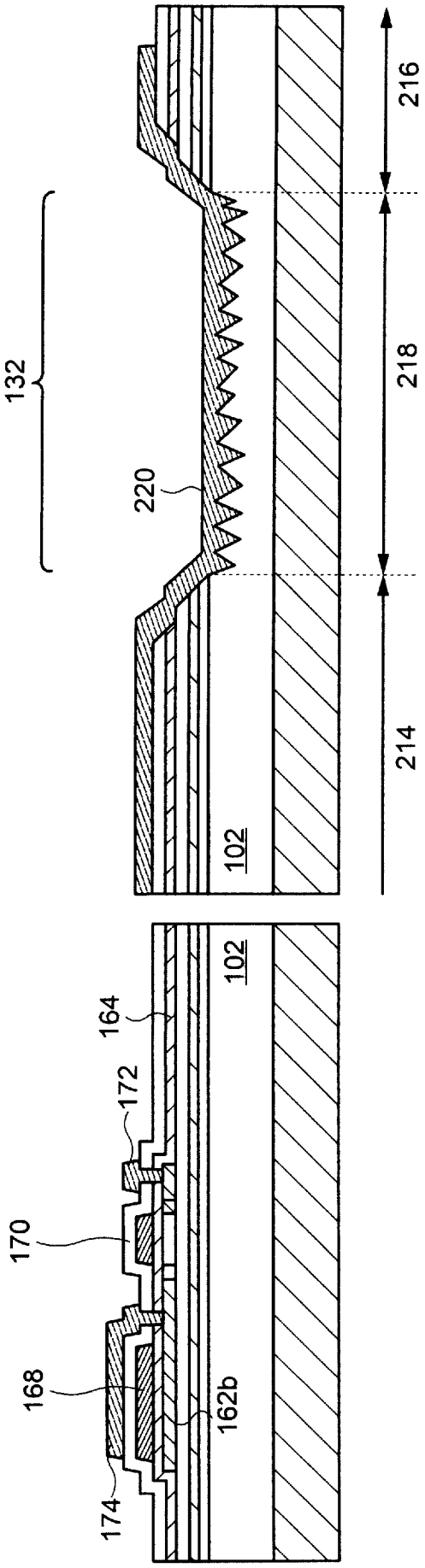
[図13A]



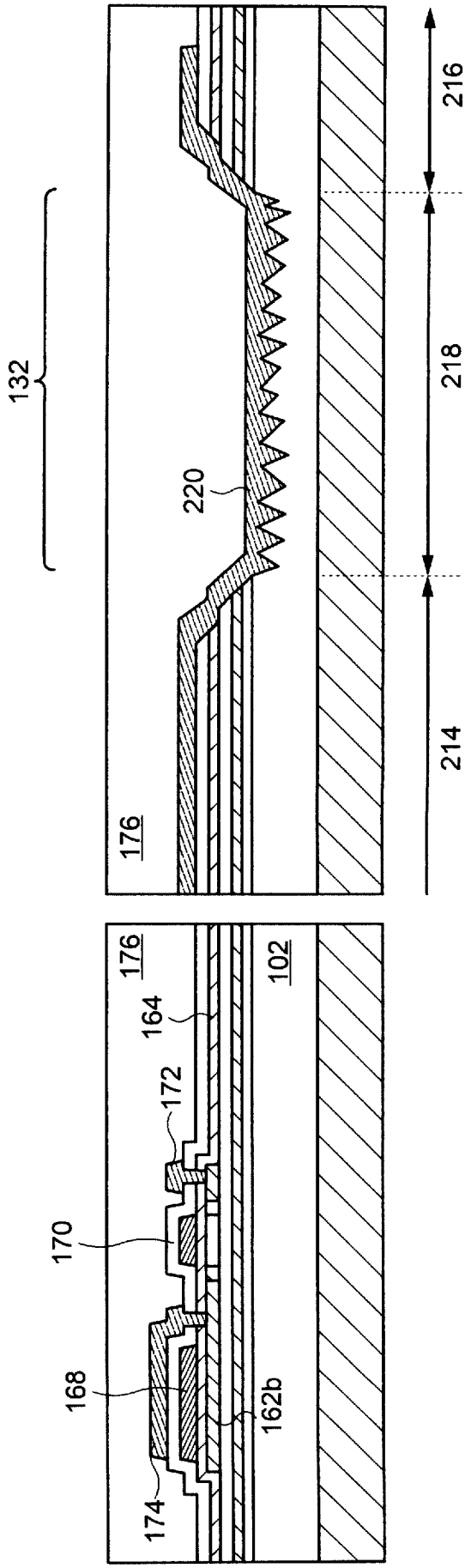
[図13B]



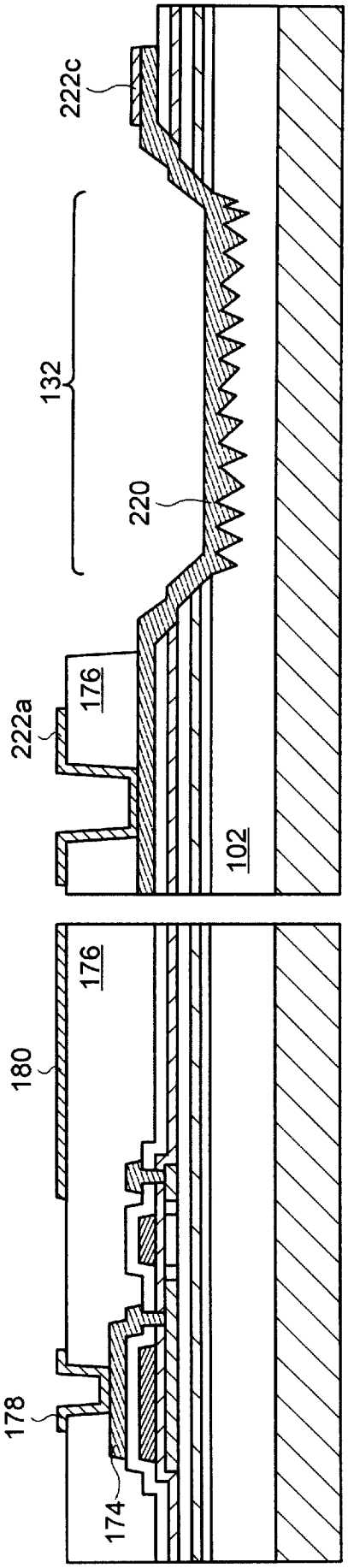
[図14A]



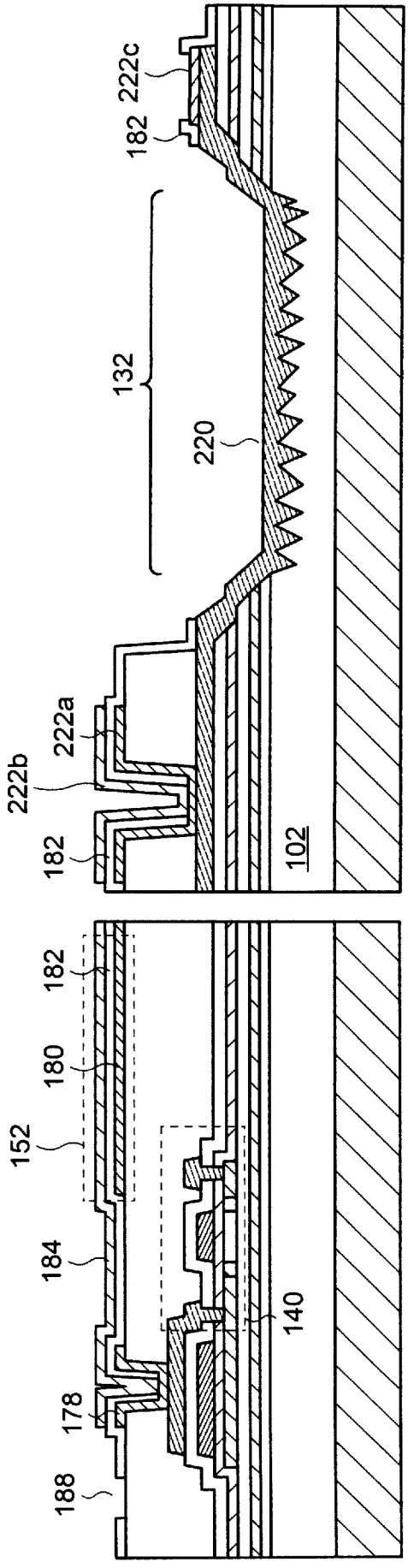
[図14B]



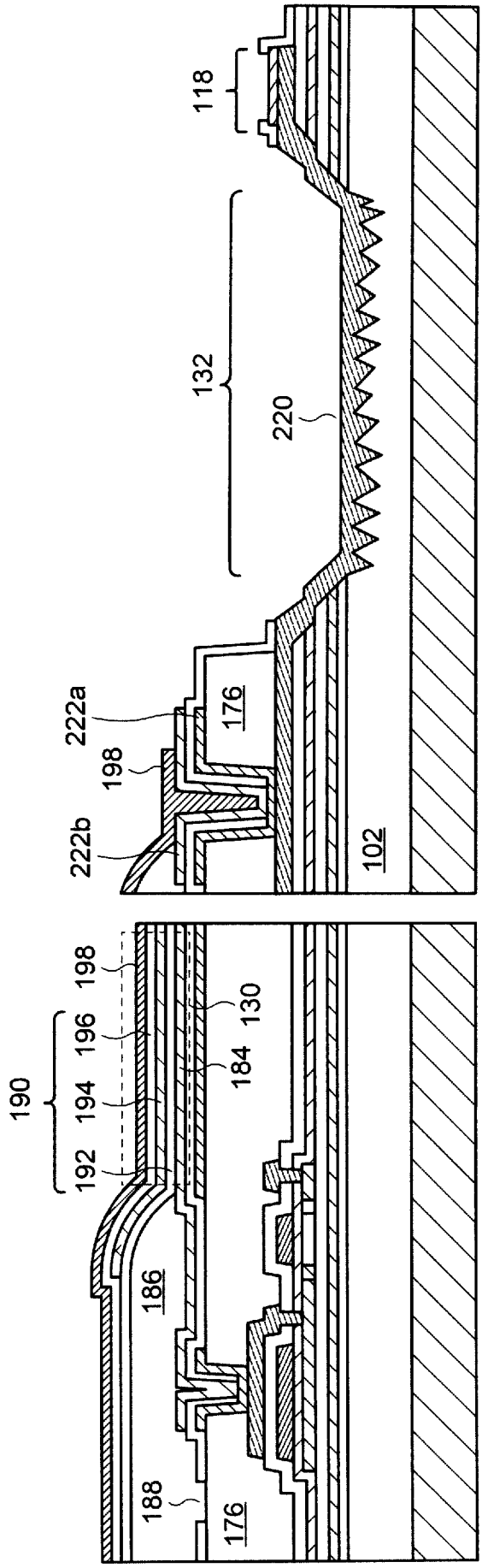
[図15A]



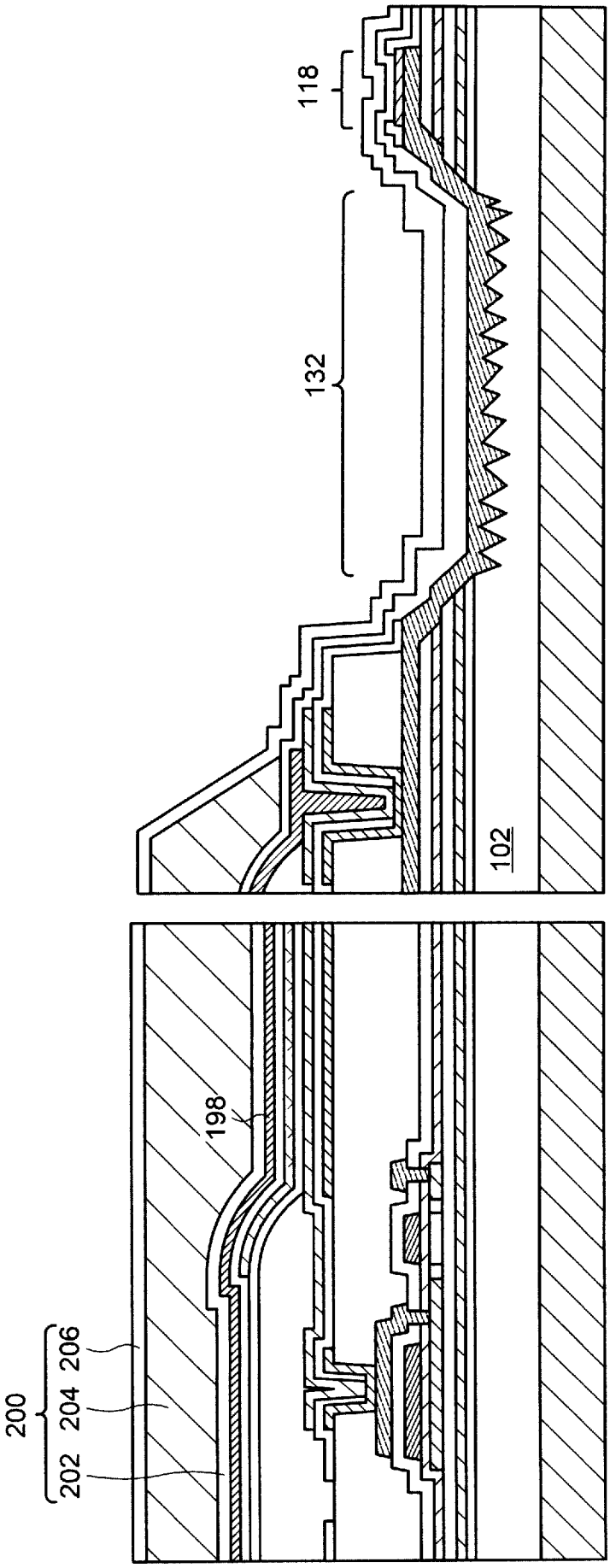
[図15B]



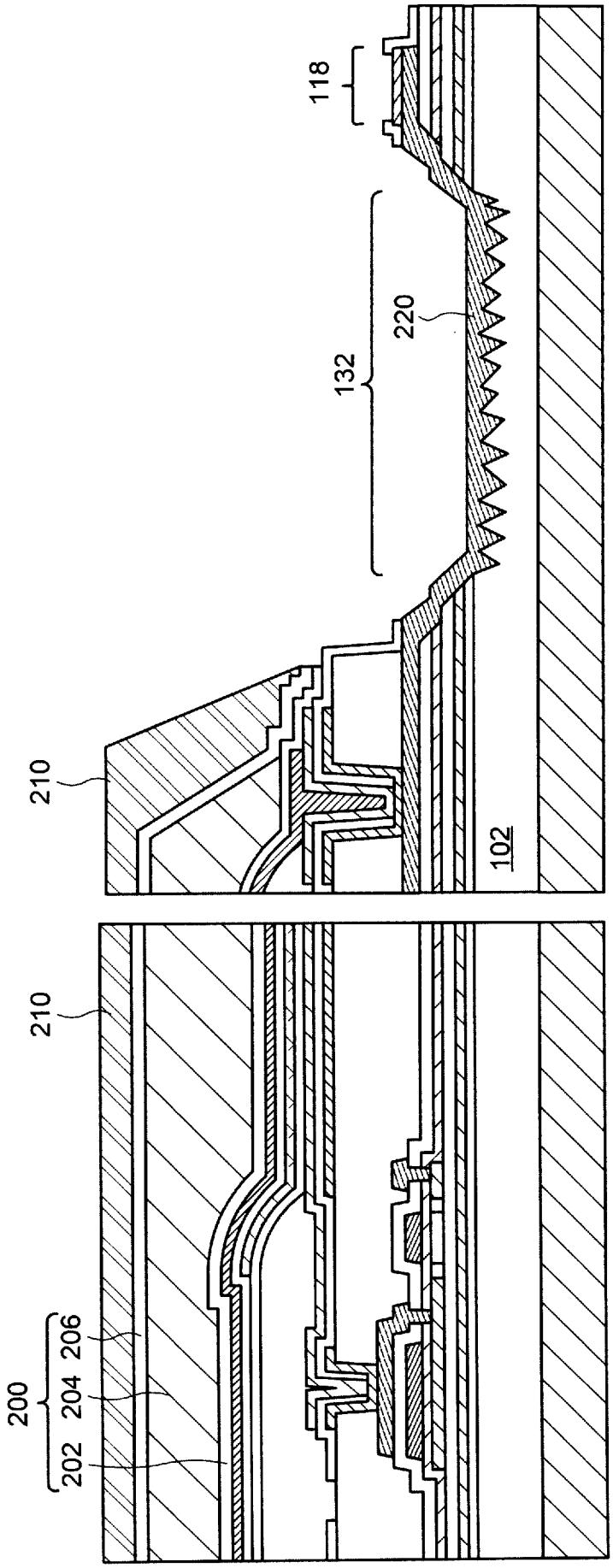
[図16]


118
132
220
222a
198
176
222b
102
190
198
196
194
192
130
184
186
188
176

[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/023125

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. G09F9/30(2006.01)i, G02F1/1333(2006.01)i, G02F1/1345(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. G09F9/30, G02F1/1333, G02F1/1345, H01L27/32, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2018
Registered utility model specifications of Japan 1996-2018
Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2016/0174304 A1 (LG DISPLAY CO., LTD.) 16 June 2016, paragraphs [0043]-[0177], fig. 1-12 & WO 2016/093476 A1 & EP 3231014 A1 & CN 107006088 A & KR 10-2017-0093835 A	1-5, 7-11
Y	JP 2006-278982 A (SEIKO EPSON CORP.) 12 October 2006, paragraph [0056] & US 2006/0249817 A1, paragraph [0132]	1-4, 7, 11
Y	JP 2005-159143 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 June 2005, paragraphs [0009]-[0012], [0028], [0029] (Family: none)	1-4, 7, 11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16.08.2018	28.08.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/023125

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-202816 A (SUMITOMO BAKELITE CO., LTD.) 18 July 2003, paragraphs [0002]-[0004], [0012] (Family: none)	1-5, 7-11
Y	JP 2017-126081 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 July 2017, paragraphs [0091], [0193] & US 2014/0065430 A1, paragraphs [0110], [0212] & KR 10-2014-0029181 A	1-5, 7-11
Y	JP 2009-007406 A (PANASONIC ELECTRIC WORKS CO., LTD.) 15 January 2009, paragraph [0010] (Family: none)	1-5, 7-11
A	JP 2014-232300 A (LG DISPLAY CO., LTD.) 11 December 2014, entire text, all drawings & US 2014/0353670 A1 & EP 2814074 A1 & KR 10-2014-0140150 A & CN 104183600 A	1-11
A	JP 2012-128006 A (SONY CORP.) 05 July 2012, entire text, all drawings & US 2012/0146886 A1 & CN 102568377 A	1-11
A	JP 2017-111435 A (LG DISPLAY CO., LTD.) 22 June 2017, entire text, all drawings & US 2017/0170206 A1 & EP 3182473 A1 & KR 10-2017-0071047 A & CN 106887447 A	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０２３１２５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/30(2006.01)i, G02F1/1333(2006.01)i, G02F1/1345(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/30, G02F1/1333, G02F1/1345, H01L27/32, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	US 2016/0174304 A1 (LG DISPLAY CO., LTD.) 2016.06.16, 段落００４３－０１７７、図１－１２ & WO 2016/093476 A1 & EP 3231014 A1 & CN 107006088 A & KR 10-2017-0093835 A	1-5,7-11
Y	JP 2006-278982 A (セイコーエプソン株式会社) 2006.10.12, 段落００５６ & US 2006/0249817 A1, 段落０１３２	1-4,7,11

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １６．０８．２０１８	国際調査報告の発送日 ２８．０８．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｉ　４０７２ 小野　博之 電話番号　０３－３５８１－１１０１　内線　３２７３

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2005-159143 A（株式会社半導体エネルギー研究所）2005.06.16, 段落０００９－００１２、００２８－００２９（ファミリーなし）	1-4,7,11
Y	JP 2003-202816 A（住友ベークライト株式会社）2003.07.18, 段落０００２－０００４、００１２（ファミリーなし）	1-5,7-11
Y	JP 2017-126081 A（株式会社半導体エネルギー研究所）2017.07.20, 段落００９１、０１９３ & US 2014/0065430 A1, 段落０１１０、０２１２ & KR 10-2014-0029181 A	1-5,7-11
Y	JP 2009-007406 A（パナソニック電工株式会社）2009.01.15, 段落００１０（ファミリーなし）	1-5,7-11
A	JP 2014-232300 A (エルジー　ディスプレイ　カンパニー　リミテッド) 2014.12.11, 全文、全図 & US 2014/0353670 A1 & EP 2814074 A1 & KR 10-2014-0140150 A & CN 104183600 A	1-11
A	JP 2012-128006 A（ソニー株式会社）2012.07.05, 全文、全図 & US 2012/0146886 A1 & CN 102568377 A	1-11
A	JP 2017-111435 A (エルジー　ディスプレイ　カンパニー　リミテッド) 2017.06.22, 全文、全図 & US 2017/0170206 A1 & EP 3182473 A1 & KR 10-2017-0071047 A & CN 106887447 A	1-11