(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年6 月12 日 (12.06.2008)

PCT

(10) 国際公開番号
WO 2008/068809 A1

(51) 国際特許分類:
H03F 1/02 (2006.01) *H03F 3/19* (2006.01)

(21) 国際出願番号: PCT/JP2006/323991

(22) 国際出願日: 2006 年11 月30 日 (30.11.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 森 一富 (MORI, Kazutomi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 弥政 和宏 (IYOMASA, Kazuhiro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 太田 彰 (OHTA, Akira) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 紫村 輝之 (SHIMURA, Teruyuki) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP). 中山 正敏 (NAKAYAMA, Masatoshi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目７番３号 三菱電機株式会社内 Tokyo (JP).

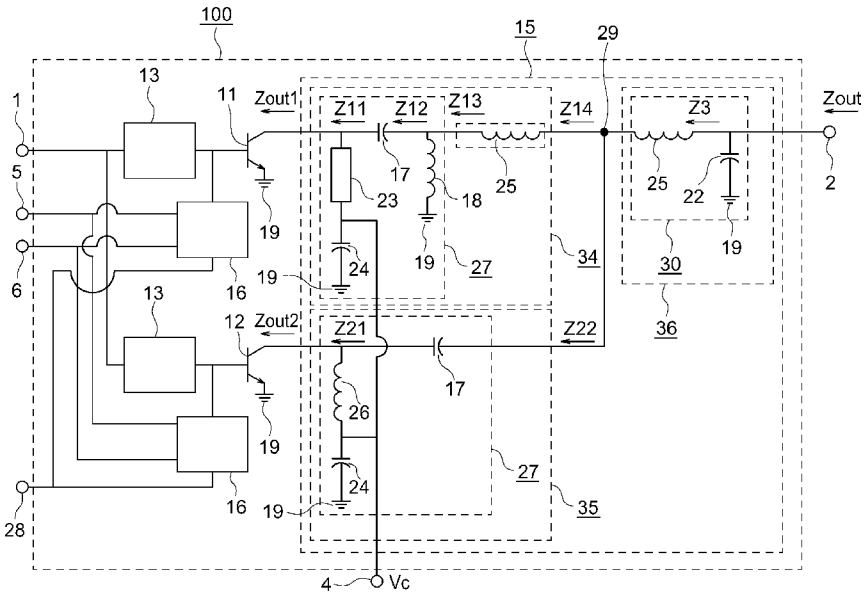
(74) 代理人: 曾我 道照, 外(SOGA, Michiteru et al.); 〒1000005 東京都千代田区丸の内三丁目１番１号 国際ビルディング ８階 曾我特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,

[続葉有]

(54) **Title:** HIGH FREQUENCY AMPLIFIER

(54) **発明の名称:** 高周波増幅器



(57) **Abstract:** Provided is a high frequency amplifier having two amplification elements of different element sizes connected in parallel and switching the amplification elements depending on the magnitude of output power. The high frequency amplifier is provided with an output matching circuit for matching the characteristic impedance (50 Ω) both when the output power is high and low, and increasing the impedance when the amplification element in off state is viewed from the output side joint of two amplification elements. Consequently, high output high efficiency characteristics can be achieved and leakage of an amplified high frequency signal to the matching circuit on the amplification element side in off state can be suppressed.

(57) 要約: 素子サイズの異なる２つの増幅素子を並列に接続し、出力電力の大小に応じて増幅素子を切替える高周波増幅器であって、特に、出力電力が大きい場合と小さい場合のいずれの場合でも、特性インピーダンス（５０オーム）に整合するとともに、２つの増幅素子の出力側の接続点からＯＦＦしている増幅素子を見た

[続葉有]

WO 2008/068809 A1

BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), **ユーラシア** (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), **ヨーロッパ** (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— **国際調査報告書**

インピーダンスを高くする出力整合回路を設けた。その結果、高出力、高効率の特性を実現することができ、また、増幅された高周波信号がＯＦＦしている増幅素子側の整合回路に回りこむことを抑えることができるという効果を奏する。

明 細 書

高周波増幅器

技術分野

[0001] この発明は、サイズの異なる2つの増幅素子を並列に接続し、出力電力の大小に応じて増幅素子を切替える高周波増幅器であって、特に、出力電力の大小のいずれの場合でも特性インピーダンス(50オーム)に整合され、2つの増幅素子の出力側の接続点からOFFの増幅素子を見たインピーダンスを高くした出力整合回路に関するものである。

背景技術

[0002] 高周波増幅器は、一般的に、出力レベルが飽和レベルに近づくにつれて効率が高くなる特性を有する。逆にいえば、出力レベルが低い時の効率は低いという問題がある。例えば、広い出力電力のダイナミックレンジを有するシステムにおいて高周波増幅器を用いた場合には、低出力時の効率が低くなるため、低出力時の効率を高めることが課題となる。

[0003] 従来の高周波増幅器は、例えば、非特許文献1の高周波増幅器のようにサイズの異なる増幅器を並列に接続し、出力レベルが大きい場合には大きなサイズの増幅器を動作させ、出力レベルが小さい場合には小さな増幅器を動作させるように、出力レベルに応じて増幅器を切替えることによって、低出力時の効率を高める工夫がなされていた。

[0004] また、特許文献1においては、増幅器のサイズを切替える方法としてトランジスタから構成されるスイッチを用いている。

[0005] また、特許文献2においては、増幅器を切替えた際に、増幅器の出力インピーダンスがいずれの場合についても、特性インピーダンスの50オーム(Ω)に整合がなされる出力整合回路について開示している。

[0006] また、特許文献3においては、増幅器のコレクタ電圧を制御することによって低出力時の効率を高める工夫を開示する。また、増幅器のサイズを可変する際に、同時に出力整合回路をスイッチによって可変することによって低出力時の効率を高める工夫

について開示している。

[0007] また、特許文献4では、増幅器のサイズを切替える際に、出力整合回路をスイッチによって切替えることによって低出力時の効率を高める工夫について開示している。

[0008] さらに、特許文献5では、2段増幅器のサイズを出力レベルによって切替える増幅器において、増幅器の段間にスイッチを設け、OFFする増幅器に設けたスイッチをオフすることでアイソレーションを高め、発振を抑圧する工夫について開示している。

[0009] 特許文献1:特開2000－278109号公報

特許文献2:特開2003－046340号公報

特許文献3:特開2002－353751号公報

特許文献4:特開2004－134823号公報

特許文献5:特開2003－087059号公報

非特許文献1:J.H.Kim,etc.,"A Power Efficient W-CDMA Smart Power Amplifier With Emitter Area Adjusted For Output Power Levels", 2004 IEEE International Microwave Symposium (MTT-S) Digest, pp.1165-1168.

発明の開示

発明が解決しようとする課題

[0010] 非特許文献1及び特許文献1の従来の高周波増幅器においては、2つの増幅器に対する整合回路は同一の整合回路であるため、増幅器の切替えにより、出力の負荷インピーダンスが最適とならず、特性が劣化するという問題点があった。また、OFFした増幅器のインピーダンスが影響することによって出力整合回路の損失が増大し、出力電力、効率といった特性が劣化するという問題点があった。さらに、OFFした増幅器のアイソレーションが不十分なために、OFFした増幅器を回り込んだ高周波信号によって発振する可能性があるという問題点があった。

[0011] 特許文献2の従来の高周波増幅器においては、増幅器を切替えた際に、いずれの場合についても、出力の特性インピーダンスへ整合されていることは示されている。しかし、OFFした増幅器のインピーダンスが影響することによって出力整合回路の損失が増大し、出力電力、効率といった特性が劣化するという問題点があった。また、OFFした増幅器のアイソレーションが不十分なために、OFFした増幅器を回り込んだ高

周波信号によって発振する可能性があるという問題点があった。

[0012] 特許文献3及び特許文献4については、増幅器を切替えた際に、整合回路も同時にスイッチを用いて切替えて、いずれの場合についても、出力の特性インピーダンスへ整合されていることは示されている。しかし、スイッチを用いるために、回路サイズが大きくなり、スイッチの損失によって出力整合回路の損失が増大し、出力電力、効率といった特性が劣化するという問題点があった。また、OFFした増幅器のインピーダンスが影響することによって出力整合回路の損失が増大し、出力電力、効率といった特性が劣化するという問題点があった。さらに、OFFした増幅器のアイソレーションが不十分なために、OFFした増幅器を回り込んだ高周波信号によって発振する可能性があるという問題点があった。

[0013] 特許文献5の従来の高周波増幅器においては、切替える増幅器を2段増幅器で構成し、2段増幅器の段間にスイッチを設け、増幅器をOFFする際にはスイッチもOFFすることによって、アイソレーションを十分に得て、OFFした増幅器を回り込んだ高周波信号による発振を防止することができることが示されている。しかし、スイッチを設けるため、回路サイズが大きくなるという問題点があった。また、増幅器を切替えた際に、出力の負荷インピーダンスが最適とならず、特性が劣化するという問題点があった。さらに、OFFした増幅器のインピーダンスが影響することによって出力整合回路の損失が増大し、出力電力、効率といった特性が劣化するという問題点があった。

[0014] この発明は、上述のような課題を解決するためになされたもので、その目的は、出力電力が大きい場合と小さい場合のいずれの場合も、特性インピーダンスである50オーム(Ω)へ整合することができ、高出力、高効率の特性を実現することができる高周波増幅器を得るものである。

[0015] また、増幅された高周波信号がOFFしている増幅素子側の整合回路に回りこむことを抑えることができ、出力整合回路の損失を低減でき、さらに、OFFしている増幅素子側の出力－入力の間のアイソレーションを高めることができ、OFFしている増幅素子を介した回り込みによる発振を抑圧することができる高周波増幅器を得るものである。

課題を解決するための手段

[0016] この発明に係る高周波増幅器は、入力端子から入力した高周波信号を増幅する第1の増幅素子と、前記第1の増幅素子と並列接続され、前記第1の増幅素子と比べて素子サイズが小さく、前記高周波信号を増幅する第2の増幅素子と、出力電力が大きい場合と小さい場合を切り替えるためのモード切替電圧に基づいて前記第1の増幅素子をON／OFFする第1のバイアス制御回路と、前記モード切替電圧に基づいて前記第2の増幅素子をON／OFFする第2のバイアス制御回路と、前記第1及び第2の増幅素子の出力側に接続された出力整合回路とを設け、前記出力整合回路は、前記第1の増幅素子の出力側に接続された第1の整合回路と、前記第2の増幅素子の出力側に接続された第2の整合回路と、前記第1及び第2の整合回路の出力側の接続点と出力端子の間に接続され、50オームに整合する第3の整合回路とを有する高周波増幅器であって、前記第1の整合回路は、前記第1の増幅素子の出力側に接続された第1のハイパスフィルタ形整合回路及び前記第1のハイパスフィルタ形整合回路に接続された直列インダクタによって構成され、前記第2の整合回路は、前記第2の増幅素子の出力側に接続された第2のハイパスフィルタ形整合回路によって構成され、出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスと、出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスとが略同一であり、出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスが、前記接続点から前記第1の整合回路を見た第1のインピーダンスよりも高く、かつ出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスが、前記接続点から前記第2の整合回路を見た第2のインピーダンスよりも高いものである。

発明の効果

[0017] この発明に係る高周波増幅器は、出力電力が大きい場合と小さい場合のいずれの場合も、特性インピーダンスである50オーム（Ω）へ整合することができ、高出力、高

効率の特性を実現することができるという効果を奏する。また、増幅された高周波信号がOFFしている増幅素子側の整合回路に回りこむことを抑えることができ、出力整合回路の損失を低減でき、さらに、OFFしている増幅素子側の出力－入力の間のアイソレーションを高めることができ、OFFしている増幅素子を介した回り込みによる発振を抑圧することができるという効果を奏する。

図面の簡単な説明

[0018] [図1]この発明の実施例1に係る高周波増幅器の構成を示す回路図である。

[図2]スミスチャート上のインピーダンスを説明するための図である。

[図3]スミスチャート上のインピーダンスを説明するための図である。

[図4]この発明の実施例1に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[図5]この発明の実施例2に係る高周波増幅器の構成を示す回路図である。

[図6]この発明の実施例2に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[図7]この発明の実施例3に係る高周波増幅器の構成を示す回路図である。

[図8]この発明の実施例3に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[図9]この発明の実施例4に係る高周波増幅器の構成を示す回路図である。

[図10]この発明の実施例4に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[図11]この発明の実施例5に係る高周波増幅器の構成を示す回路図である。

[図12]この発明の実施例5に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[図13]この発明の実施例6に係る高周波増幅器の構成を示す回路図である。

[図14]この発明の実施例7に係る高周波増幅器の構成を示す回路図である。

[図15]この発明の実施例8に係る高周波増幅器の構成を示す回路図である。

発明を実施するための最良の形態

[0019] この発明の実施例1～実施例8に係る高周波増幅器について以下説明する。

実施例 1

[0020] この発明の実施例1に係る高周波増幅器について図1から図4までを参照しながら説明する。図1は、この発明の実施例1に係る高周波増幅器の構成を示す回路図である。なお、以降では、各図中、同一符号は同一又は相当部分を示す。

[0021] 図1において、この実施例1に係る高周波増幅器100は、入力端子1と、出力端子2と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モード切替端子6とが設けられている。

[0022] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16とが設けられている。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0023] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路36とが設けられている。なお、第1及び第2の整合回路34、35は、接続点29を介して第3の整合回路36と接続されている。

[0024] 第1の整合回路34は、ハイパスフィルタ形整合回路(第1のハイパスフィルタ形整合回路)27と、直列インダクタ25とが設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブと、直列キャパシタ17と、並列インダクタ18とが設けられている。なお、バイパスキャパシタ24及び並列インダクタ18の一端は、グランド19にそれぞれ接続されている。

[0025] 第2の整合回路35は、ハイパスフィルタ形整合回路(第2のハイパスフィルタ形整合回路)27が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17とが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0026] 第3の整合回路36は、ローパスフィルタ形整合回路30が設けられている。また、ローパスフィルタ形整合回路30は、直列インダクタ25と、並列キャパシタ22とが設けら

れている。なお、並列キャパシタ22の一端は、グランド19に接続されている。

[0027] ここで、高周波増幅器の動作について説明する前に、スミスチャート(Smith chart)上の複素インピーダンス(Z＝R＋jX)[Ω]について説明する。図2及び図3は、スミスチャート上のインピーダンスを説明するための図である。

[0028] 図2において、X＝0の線LX0より上側の半円SCA上は、誘導性のインピーダンスである。すなわち、X＝jωL＞0よりX＞0の場合は誘導性のインピーダンスである。また、X＝0の線LX0より下側の半円SCB上は、容量性のインピーダンスである。すなわち、X＝1／(jωC)＝－j／ωC＜0よりX＜0の場合は容量性のインピーダンスである。左へ行く程低いインピーダンスで、左端の点ZAは、Z＝0(R＝0、X＝0)である。右へ行く程高いインピーダンスで、右端の点ZBは、Z＝∞(無限大)(R＝∞、X＝0)である。なお、Z＝∞のXは厳密にはX＝±∞であるが、便宜上X＝0としている。さらに、左端の点ZAと右端の点ZBの中間の点ZCは、Z＝50(オーム)(R＝50、X＝0)である。この点ZCは、大きな円の中心である。

[0029] 図3において、(a)に示す直列キャパシタCsの場合、(e)に示すように、インピーダンスZ1とZ＝∞(ZB)を通る円上を直列キャパシタCsが小さい程、右側の端子から見たインピーダンスZ__Csが反時計回りで移動する。(b)に示す直列インダクタLsの場合、(e)に示すように、インピーダンスZ1とZ＝∞(ZB)を通る円上を直列インダクタLsが大きい程、右側の端子から見たインピーダンスZ__Lsが時計回りで移動する。(c)に示す並列キャパシタCpの場合、(e)に示すように、インピーダンスZ1とZ＝0(ZA)を通る円上を並列キャパシタCpが大きい程、右側の端子から見たインピーダンスZ__Cpが時計回りで移動する。(d)に示す並列インダクタLpの場合、(e)に示すように、インピーダンスZ1とZ＝0(ZA)を通る円上を並列インダクタLpが小さい程、右側の端子から見たインピーダンスZ__Lpが反時計回りで移動する。

[0030] つぎに、この実施例1に係る高周波増幅器の動作について図面を参照しながら説明する。図4は、この発明の実施例1に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[0031] 高周波増幅器100は、図1に示すように、高出力時用最終段増幅素子11、低出力時用最終段増幅素子12、2つの入力整合回路13、出力整合回路15、及び2つのベ

ース(ゲート)バイアス制御回路16より構成されている。高出力時用最終段増幅素子11の素子サイズは、低出力時用最終段増幅素子12のサイズよりも大きい。

[0032] 増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT:Heterobipolar Transistor)、バイポーラ接合トランジスタ(BJT:Bipolar Junction Transistor)などのバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET:MEtal－Semiconductor FET)、高電子移動度トランジスタ(HEMT:High Electron Mobility Transistor)などの電界効果トランジスタ(FET:Field Effect Transistor)などで構成される。

[0033] 高出力時用最終段増幅素子11は、コレクタ(ドレイン)バイアス端子4に印加されたコレクタバイアス電圧が、バイパスキャパシタ24側からコレクタ(ドレイン)バイアス線路23を介して供給される。また、低出力時用最終段増幅素子12は、コレクタ(ドレイン)バイアス端子4に印加されたコレクタバイアス電圧が、バイパスキャパシタ24側からコレクタ(ドレイン)バイアス印加用インダクタ26を介して供給される。ここで、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。また、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

[0034] 増幅素子11もしくは12のベース(ゲート)バイアス電圧は、ベース(ゲート)バイアス設定端子5に印加された電圧からベース(ゲート)バイアス制御回路16によって供給される。ベース(ゲート)バイアス制御回路16には、ベース(ゲート)バイアス設定端子5に印加された電圧から、増幅素子11もしくは12に印加するベース(ゲート)電圧に変換するバイアス回路が含まれる。ベース(ゲート)バイアス制御回路16の電源電圧は、電源端子28より供給される。

[0035] ベース(ゲート)バイアス制御回路16は、モード切替端子6に印加される、出力電力が大きい場合と小さい場合を切り替えるためのモード切替電圧に基づいて、高周波増幅器100の出力電力が大きい場合には、高出力時用最終段増幅素子11をONとするように、高出力時用最終段増幅素子11のベース(ゲート)電圧を設定する。また

、ベース(ゲート)バイアス制御回路16は、低出力時用最終段増幅素子12をOFFとするように、低出力時用最終段増幅素子12のベース(ゲート)電圧を設定する。

[0036] 逆に、モード切替端子6に印加されるモード切替電圧に基づいて、高周波増幅器100の出力電力が小さい場合には、ベース(ゲート)バイアス制御回路16は、低出力時用最終段増幅素子12をONとするように、低出力時用最終段増幅素子12のベース(ゲート)電圧を設定する。また、ベース(ゲート)バイアス制御回路16は、高出力時用最終段増幅素子11をOFFとするように、高出力時用最終段増幅素子11のベース(ゲート)電圧を設定する。

[0037] 入力端子1から入力した高周波信号は、高周波増幅器100の出力電力が大きい場合には、入力整合回路13を介して高出力時用最終段増幅素子11で増幅される。その後、第1の整合回路34によって、増幅素子11と高周波増幅器100の入出力の特性インピーダンスである50オーム(Ω)との中間インピーダンスに整合される。その後、第3の整合回路36により、特性インピーダンスの50オーム(Ω)に整合され、出力端子2より出力される。

[0038] 第1の整合回路34は、上述したように、ハイパスフィルタ形整合回路27と直列インダクタ25によって構成される。ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24で構成されるショートスタブと、直列キャパシタ17と、並列インダクタ18とで構成される。また、第3の整合回路36は、ローパスフィルタ形整合回路30で構成される。ローパスフィルタ形整合回路30は、直列インダクタ25と並列キャパシタ22で構成される。

[0039] ここでは、第3の整合回路36が、1段のはしご形ローパスフィルタ形整合回路30の場合を示しているが、中間インピーダンスを50オーム(Ω)に整合できる整合回路であればどのような回路構成でも構わない。従って、多段のローパスフィルタ形整合回路でも、1段もしくは多段のハイパスフィルタ形整合回路でも、ローパスフィルタ形整合回路とハイパスフィルタ形整合回路を組み合わせた整合回路でも良い。

[0040] 高周波増幅器100の出力電力が小さい場合には、入力端子1から入力した高周波信号は、入力整合回路13を介して低出力時用最終段増幅素子12で増幅される。その後、第2の整合回路35によって、増幅素子12と高周波増幅器100の入出力の特

性インピーダンスである50オーム(Ω)との中間インピーダンスに整合される。その後、第3の整合回路36によって、特性インピーダンスである50オーム(Ω)に整合され、出力端子2より出力される。

[0041] 第2の整合回路35は、上述したように、ハイパスフィルタ形整合回路27によって構成される。ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス印加用インダクタ26及びバイパスキャパシタ24で構成される回路と、直列キャパシタ17とで構成される。

[0042] なお、図1に示した回路は、主に集中定数素子を用いて構成されているが、分布定数回路を用いて、直列インダクタ25は直列線路で構成しても構わないし、並列キャパシタ22はオープンスタブで構成しても構わないし、並列インダクタ18はショートスタブで構成しても構わない。

[0043] ここで、第1の整合回路34と、第2の整合回路35には、第1の整合回路34と第2の整合回路35の接続点29から見たインピーダンスに対する要求がある。『1つ目の条件』は、出力電力が大きい場合、すなわち、高出力時用最終段増幅素子11がON、低出力時用最終段増幅素子12がOFFの場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)と、出力電力が小さい場合、すなわち、低出力時用最終段増幅素子12がON、高出力時用最終段増幅素子11がOFFの場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)とが、略同一であることである。これにより、出力電力の大小で、増幅素子11、12を切替えたいずれの場合においても、高周波増幅器100の出力インピーダンスZoutは、第3の整合回路36によって、50オーム(Ω)に整合することが可能となる。

[0044] 『2つ目の条件』は、出力電力が大きい場合、すなわち、高出力時用最終段増幅素子11がON、低出力時用最終段増幅素子12がOFFの場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)が、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)よりも十分に高いことである。これにより、高出力時用最終段増幅素子11で増幅され、第1の整合回路34を介して接続点29へ流れてきた高周波信号は、第2の整合回路35の方へ回り込まず、第3の整合回路36を介して出力端子2から出力されることに

なる。

[0045] 従って、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合の出力電力、効率といった特性を高めることができる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0046] 『3つ目の条件』は、出力電力が小さい場合、すなわち、低出力時用最終段増幅素子12がON、高出力時用最終段増幅素子11がOFFの場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)が、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)よりも十分に高いことである。これにより、低出力時用最終段増幅素子12で増幅され、第2の整合回路35を介して接続点29へ流れてきた高周波信号は、第1の整合回路34の方へ回り込まず、第3の整合回路36を介して出力端子2から出力されることになる。

[0047] 従って、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失を小さくでき、出力電力が小さい場合の出力電力、効率といった特性を高めることができる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0048] ここで、図1に示す高周波増幅器100の出力整合回路15の動作について説明する。図4(a)と(b)は、出力電力が大きい場合と小さい場合の接続点29から第1の整合回路34側を見たインピーダンスの軌跡、図4(c)と(d)は、出力電力が大きい場合と

小さい場合の接続点29から第2の整合回路35側を見たインピーダンスの軌跡をそれぞれ実線矢印で示す。また、接続点29から出力端子2までのインピーダンスの軌跡も点線矢印であわせて示している。図4中のZout1、Z11、Z12、Z13、Z14、Zout2、Z21、Z22、Z3、Zoutは、それぞれ図1の回路図上に示す位置から見たインピーダンスである。

[0049] 図4(a)は出力電力が大きい場合の接続点29から第1の整合回路34側を見たインピーダンス、図4(b)は出力電力が小さい場合の接続点29から第1の整合回路34側を見たインピーダンス、図4(c)は出力電力が大きい場合の接続点29から第2の整合回路35側を見たインピーダンス、図4(d)は出力電力が小さい場合の接続点29から第2の整合回路35側を見たインピーダンスをそれぞれ示した図である。

[0050] 図4(a)と(d)より、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンスであるZ14と、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンスであるZ22とは、略等しいことが解る。従って、上記の『1つ目の条件』を満たすことができる。これにより、出力電力の大小で、増幅素子11、12を切替えたいずれの場合においても、高周波増幅器100の出力インピーダンスZoutは、第3の整合回路36によって、50オーム(Ω)に整合することが可能となる。従って、高周波増幅器100は、出力電力が大きい場合も、小さい場合も高出力、高効率の特性を実現することが可能である。

[0051] 図4(c)と(a)より、出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンスZ22が、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンスZ14よりも十分に高くなっていることが解る。従って、上記の『2つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合に高出力、高効率の特性を実現できる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出

力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0052] ここで、出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンスZ22を高くする方法について説明する。低出力時用最終段増幅素子12のOFF時の出力インピーダンスZout2が、図4(c)に示すように、容量性インピーダンスにあることから、第2の整合回路35は、コレクタ(ドレイン)バイアス印加用インダクタ26や直列キャパシタ17といったハイパスフィルタ形の整合素子を用いることによって、接続点29から見たインピーダンスZ22を高くすることができる。このように、第2の整合回路35の接続点29側にハイパスフィルタ形整合回路27を設ける必要がある。

[0053] 図4(b)と(d)より、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンスZ14が、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンスZ22よりも十分に高くなっていることが解る。従って、上記の『3つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失を小さくでき、出力電力が小さい場合に高出力、高効率の特性を実現できる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0054] ここで、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンスZ14を高くする方法について説明する。高出力時用最終段増幅素子11のOFF時の出力インピーダンスZout1が、図4(b)に示すように、容量性インピーダンスにあることから、第1の整合回路34は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24で構成されるショートスタブや、直列キャパシタ17、並列インダクタ18といったハイパスフィルタ形の整合素子で構成されるハイパスフィルタ形整合回路27を設けることによって、接続点29から見たインピーダンスZ14を高くすることができる。ハイパスフィルタ形整合回路27によって、インピーダンスを高くした際、誘導性のインピーダンス(Z13)となったために、最も接続点29よりの位置に直列インダクタ25を設

けることにより、さらにインピーダンスを高めている。このように、第1の整合回路34の接続点29側にハイパスフィルタ形整合回路27と、直列インダクタ25を設ける必要がある。

[0055] この実施の形態1によれば、図1に示す高周波増幅器100においては、高出力時用最終段増幅素子11の出力側に第1の整合回路34を、低出力時用最終段増幅素子12の出力側に第2の整合回路35を、それらの後段に第3の整合回路36をそれぞれ設けているため、出力電力が大きい場合と小さい場合のいずれの場合も、特性インピーダンスである50オーム(Ω)へ整合することができ、高周波増幅器として高出力、高効率の特性を実現することが可能である。

[0056] また、出力電力が大きい場合と小さい場合のいずれの場合も、接続点29からOFFしている増幅素子側の整合回路を見たインピーダンスを、接続点29からONしている増幅素子側の整合回路を見たインピーダンスよりも十分に高くすることができるため、増幅された高周波信号がOFFしている増幅素子側の整合回路に回りこむことを抑えることができ、出力整合回路15の損失を低減でき、高周波増幅器として高出力、高効率の特性を実現することが可能である。さらに、OFFしている増幅素子側の出力－入力の間のアイソレーションを高めることができ、OFFしている増幅素子を介した回り込みによる発振を抑圧することが可能である。

実施例 2

[0057] この発明の実施例2に係る高周波増幅器について図5及び図6を参照しながら説明する。図5は、この発明の実施例2に係る高周波増幅器の構成を示す回路図である。

[0058] 図5において、この実施例2に係る高周波増幅器100は、入力端子1と、出力端子2と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モード切替端子6とが設けられている。

[0059] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16とが設けられている。高出力時用最終段増幅素子11の素子サイズは、

低出力時用最終段増幅素子12のサイズよりも大きい。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0060] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路36とが設けられている。なお、第1及び第2の整合回路34、35は、接続点29を介して第3の整合回路36と接続されている。

[0061] 第1の整合回路34は、ハイパスフィルタ形整合回路(第1のハイパスフィルタ形整合回路)27が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0062] 第2の整合回路35は、直列インダクタ25と、ハイパスフィルタ形整合回路(第2のハイパスフィルタ形整合回路)27が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17とが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0063] 第3の整合回路36は、ローパスフィルタ形整合回路30が設けられている。また、ローパスフィルタ形整合回路30は、直列インダクタ25と並列キャパシタ22の回路が2段設けられている。なお、2つの並列キャパシタ22の一端は、グランド19にそれぞれ接続されている。

[0064] 図5に示す実施例2の高周波増幅器100は、図1に示す実施例1の高周波増幅器100と比較して、第1の整合回路34が、ハイパスフィルタ形整合回路27のみで構成されている点と、ハイパスフィルタ形整合回路27が、コレクタ(ドレイン)バイアス線路23とバイパスキャパシタ24で構成されるショートスタブのみで構成されている点が異なる。

[0065] また、第2の整合回路35が、直列インダクタ25と、ハイパスフィルタ形整合回路27によって構成される点が異なる。

[0066] さらに、第3の整合回路36が、2段のローパスフィルタ形整合回路30で構成されている点が異なる。

[0067] つぎに、この実施例2に係る高周波増幅器の動作について図面を参照しながら説

明する。図6は、この発明の実施例2に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[0068] 高周波増幅器100の信号の流れ、バイアスの印加方法、及び出力整合回路15に要求される条件については、上記の実施例1と同様であるので説明を省略する。

[0069] 図5に示す高周波増幅器100の出力整合回路15の動作について説明する。図6(a)と(b)は、出力電力が大きい場合と小さい場合の接続点29から第1の整合回路34側を見たインピーダンスの軌跡、図6(c)と(d)は、出力電力が大きい場合と小さい場合の接続点29から第2の整合回路35側を見たインピーダンスの軌跡をそれぞれ実線矢印で示す。また、接続点29から出力端子2までのインピーダンスの軌跡も点線矢印であわせて示している。図6中のZout1、Z11、Zout2、Z21、Z22、Z23、Z3、Z4、Z5、Zoutは、それぞれ図5の回路図上に示す位置から見たインピーダンスである。

[0070] 図6(a)は出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス、図6(b)は出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス、図6(c)は出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンス、図6(d)は出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンスをそれぞれ示した図である。

[0071] 図6(a)と(d)より、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ11と、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23とは、略等しいことが解る。従って、上記の『1つ目の条件』を満たすことができる。これにより、出力電力の大小で、増幅素子11、12を切替えたいずれの場合においても、高周波増幅器100の出力インピーダンスZoutは、第3の整合回路36によって、50オーム(Ω)に整合することが可能となる。従って、高周波増幅器100は、出力電力が大きい場合も、小さい場合も高出力、高効率の特性を実現することが可能である。

[0072] 図6(c)と(a)より、出力電力が大きい場合の第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23が、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ11よりも十分に

高くなっている。従って、上記の『2つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合に高出力、高効率の特性を実現できる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0073] ここで、出力電力が大きい場合の第2の整合回路35を見たインピーダンスZ23を高くする方法について説明する。低出力時用最終段増幅素子12のOFF時の出力インピーダンスZout2が、図6(c)に示すように、容量性インピーダンスにあることから、第2の整合回路35は、増幅素子12の出力側の直に直列インダクタ25が接続されているが、その大きさはインピーダンスが容量性にある範囲であまり大きくなってはならない。その上で、コレクタ(ドレイン)バイアス印加用インダクタ26や直列キャパシタ17といったハイパスフィルタ形の整合素子を用いることによって、接続点29から見たインピーダンスZ23を高くすることができる。このように、第2の整合回路35の接続点29側に直列インダクタ25とハイパスフィルタ形整合回路27を設ける必要がある。

[0074] 図6(b)と(d)より、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ11が、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23よりも十分に高くなっていることが解る。従って、上記の『3つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失を小さくでき、出力電力が小さい場合に高出力、高効率の特性を実現できる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、

OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0075] ここで、出力電力が小さい場合の第1の整合回路34を見たインピーダンスZ11を高くする方法について説明する。高出力時用最終段増幅素子11のOFF時の出力インピーダンスZout1が、図6(b)に示すように、容量性インピーダンスにあることから、第1の整合回路34は、ショートスタブで構成されるハイパスフィルタ形整合回路27を設けることによって、接続点29から見たインピーダンスZ11を高くすることができる。このショートスタブは、コレクタ(ドレイン)バイアス線路23とバイパスキャパシタ24で構成される。すなわち、第1の整合回路34は、最も接続点29よりの位置にハイパスフィルタ形整合回路27を設けている。

[0076] また、この実施例2に係る高周波増幅器100と、上記の実施例1に係る高周波増幅器100とを比較すると、出力電力が大きい場合にONになる高出力時用最終段増幅素子11と出力端子2の間の整合回路が、実施例1では、一部がバイアス回路を兼ねるハイパスフィルタ形整合回路とローパスフィルタ形整合回路で構成されているのに対して、この実施例2では、バイアス回路以外は全てローパスフィルタ形整合回路で構成されている。

[0077] ハイパスフィルタ形整合回路は、低いインピーダンスにおいて並列のインダクタを用いると、インダクタの寄生抵抗による損失が大きいという問題がある。この実施例2に係る高周波増幅器100では、出力整合回路15が主にローパスフィルタ形整合回路で構成されており、実施例1に係る高周波増幅器100と比較して、出力電力が大きい場合の出力整合回路15の損失が低減され、高周波増幅器100をさらに高出力、高効率にすることが可能である。

[0078] この実施例2によれば、図5に示す高周波増幅器100においては、高出力時用最終段増幅素子11の出力側に第1の整合回路34を、低出力時用最終段増幅素子12の出力側に第2の整合回路35を、それらの後段に第3の整合回路36をそれぞれ設けているため、出力電力が大きい場合と小さい場合のいずれの場合も、特性インピーダンスである50オーム(Ω)へ整合することができ、高周波増幅器として高出力、高効率の特性を実現することが可能である。

[0079] また、出力電力が大きい場合と小さい場合のいずれの場合も、接続点29からOFFしている増幅素子側の整合回路を見たインピーダンスを、接続点29からONしている増幅素子側の整合回路を見たインピーダンスよりも十分に高くすることができるため、増幅された高周波信号がOFFしている増幅素子側の整合回路に回りこむことを抑えることができ、出力整合回路15の損失を低減でき、高周波増幅器として高出力、高効率の特性を実現することが可能である。さらに、OFFしている増幅素子側の出力－入力の間のアイソレーションを高めることができ、OFFしている増幅素子を介した回り込みよる発振を抑圧することが可能である。

[0080] さらに、出力電力が大きい場合に、高出力時用最終段増幅素子11がONの時の出力整合回路15が主にローパスフィルタ形整合回路で構成されるため、出力電力が大きい場合の出力整合回路15の損失が低減され、高周波増幅器100をさらに高出力、高効率にすることが可能である。

[0081] なお、この実施例2で示した回路は、主に集中定数素子を用いて構成されているが、直列インダクタ25は直列線路で構成しても構わないし、並列キャパシタ22はオープンスタブで構成しても構わないし、並列インダクタはショートスタブで構成しても構わない。増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT)で構成されているが、他のバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)などで構成されても構わない。また、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。さらに、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

実施例 3

[0082] この発明の実施例3に係る高周波増幅器について図7及び図8を参照しながら説明する。図7は、この発明の実施例3に係る高周波増幅器の構成を示す回路図である。

[0083] 図7において、この実施例3に係る高周波増幅器100は、入力端子1と、出力端子2

と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モード切替端子6とが設けられている。

[0084] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16とが設けられている。高出力時用最終段増幅素子11の素子サイズは、低出力時用最終段増幅素子12のサイズよりも大きい。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0085] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路36とが設けられている。なお、第1及び第2の整合回路34、35は、接続点29を介して第3の整合回路36と接続されている。

[0086] 第1の整合回路34は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブと、ローパスフィルタ形整合回路30と、直列インダクタ(第1の直列インダクタ)25とが設けられている。また、ローパスフィルタ形整合回路30は、直列インダクタ(第3の直列インダクタ)25と並列キャパシタ(第1の並列キャパシタ)22の回路が2段設けられている。なお、バイパスキャパシタ24と並列キャパシタ22の一端は、グランド19に接続されている。

[0087] 第2の整合回路35は、ハイパスフィルタ形整合回路27と直列インダクタ(第2の直列インダクタ)25が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17とが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0088] 第3の整合回路36は、直列キャパシタ17が設けられている。

[0089] 図7に示す実施例3の高周波増幅器100は、図1に示す実施例1の高周波増幅器100と比較して、第1の整合回路34が、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24で構成されるショートスタブと、直列インダクタ25及び並列キャパシタ22の回路が2段で構成されるローパスフィルタ形整合回路30と、直列インダクタ25とで構成されている点が異なる。

[0090] また、第2の整合回路35が、コレクタ(ドレイン)バイアス印加用インダクタ26及びバイパスキャパシタ24で構成される回路と直列キャパシタ17で構成されるハイパスフィルタ形整合回路27と、直列インダクタ25とで構成される点が異なる。

[0091] さらに、第3の整合回路36が、直列キャパシタ17のみで構成されている点が異なる。ただし、図7においては、第3の整合回路36については、直列キャパシタ17のみで構成されているが、中間インピーダンスを50オーム(Ω)に整合できる整合回路であればどのような回路構成でも構わない。第3の整合回路36は、直列のキャパシタと直列のインダクタによる回路で構成されていても構わない。また、上記の実施例1と同様に、1段のローパスフィルタ形整合回路30で構成されても構わないし、多段のローパスフィルタ形整合回路で構成されても構わないし、1段もしくは多段のハイパスフィルタ形整合回路で構成されても構わないし、ローパスフィルタ形整合回路とハイパスフィルタ形整合回路を組み合わせた整合回路で構成されていても構わない。

[0092] つぎに、この実施例3に係る高周波増幅器の動作について図面を参照しながら説明する。図8は、この発明の実施例3に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[0093] 高周波増幅器100の信号の流れ、バイアスの印加方法、及び出力整合回路15に要求される条件については、上記の各実施例と同様であるので説明を省略する。

[0094] 図7に示す高周波増幅器100の出力整合回路15の動作について説明する。図8(a)と(b)は、出力電力が大きい場合と小さい場合の接続点29から第1の整合回路34側を見たインピーダンスの軌跡、図8(c)と(d)は、出力電力が大きい場合と小さい場合の接続点29から第2の整合回路35側を見たインピーダンスの軌跡をそれぞれ実線矢印で示す。また、接続点29から出力端子2までのインピーダンスの軌跡も点線矢印であわせて示している。図8中のZout1、Z11、Z12、Z13、Z14、Z15、Z16、Zout2、Z21、Z22、Z23、Zoutは、それぞれ図7の回路図上に示す位置から見たインピーダンスである。

[0095] 図8(a)は出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス、図8(b)は出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス、図8(c)は出力電力が大きい場合の接続点29から第2の整合回路

35を見たインピーダンス、図8(d)は出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンスをそれぞれ示した図である。

[0096] 図8(a)と(d)より、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ16と、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23とは、略等しいことが解る。従って、上記の『1つ目の条件』を満たすことができる。これにより、出力電力の大小で、増幅素子11、12を切替えたいずれの場合においても、高周波増幅器100の出力インピーダンスZoutは、第3の整合回路36によって、50オーム(Ω)に整合することが可能となる。従って、高周波増幅器100は、出力電力が大きい場合も、小さい場合も高出力、高効率の特性を実現することが可能である。また、インピーダンスZ16とZ23は、略50オーム(Ω)に整合されているため、直列キャパシタ17だけの簡単な回路構成で50オーム(Ω)に整合できる。

[0097] 図8(c)と(a)より、出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23が、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ16よりも十分に高くなっていることが解る。従って、上記の『2つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合に高出力、高効率の特性を実現できる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0098] ここで、出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンスZ23を高くする方法について説明する。低出力時用最終段増幅素子12のOFF時の出力インピーダンスZout2が、図8(c)に示すように、容量性インピーダンスにあることから、コレクタ(ドレイン)バイアス印加用インダクタ26や直列キャパシタ17とい

ったハイパスフィルタ形の整合素子を用いることによって、接続点29から見たインピーダンスZ23を高くすることができる。その上で、インピーダンスZ22が誘導性インピーダンスとなっていることから、第2の整合回路35には、直列インダクタ25を最も接続点29よりの位置に設けている。このように、第2の整合回路35の接続点29側にハイパスフィルタ形整合回路27と、直列インダクタ25を設ける必要がある。

[0099] 図8(b)と(d)より、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ16が、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23よりも十分に高くなっていることが解る。従って、上記の『3つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失を小さくでき、出力電力が小さい場合に高出力、高効率の特性を実現できる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0100] ここで、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンスZ16を高くする方法について説明する。高出力時用最終段増幅素子11のOFF時の出力インピーダンスZout1が、図8(b)に示すように、容量性インピーダンスにあることから、第1の整合回路34は、ショートスタブを設けることによって、接続点29から見たインピーダンスZ11を高くすることができる。このショートスタブは、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成される。しかし、高出力時用最終段増幅素子11がONの場合の整合のため、第1の整合回路34には、ローパスフィルタ形整合回路30が設けられている。そのため、インピーダンスが低くなってしまう(Z12→Z13→Z14→Z15)。この時、インピーダンスZ15は誘導性インピーダンスとなるため、最も接続点29よりの位置に直列インダクタ25を挿入することで、インピーダンス(Z16)を高くする必要がある。このように、第1の整合回路34の接続点29側

に直列インダクタ25を設ける必要がある。

[0101] また、この実施例3に係る高周波増幅器100と、上記の実施例1に係る高周波増幅器100とを比較すると、出力電力が大きい場合にONになる高出力時用最終段増幅素子11と出力端子2の間の整合回路が、実施例1では、一部がバイアス回路を兼ねるハイパスフィルタ形整合回路とローパスフィルタ形整合回路で構成されているのに対して、この実施例3では、バイアス回路以外は主にローパスフィルタ形整合回路で構成されている。

[0102] ハイパスフィルタ形整合回路は、低いインピーダンスにおいて並列のインダクタを用いると、インダクタの寄生抵抗による損失が大きいという問題がある。この実施例3に係る高周波増幅器100では、出力整合回路15が主にローパスフィルタ形整合回路の構成となっており、実施例1に係る高周波増幅器100と比較して、出力電力が大きい場合の出力整合回路15の損失が低減され、高周波増幅器100をさらに高出力、高効率にすることが可能である。

[0103] この実施例3によれば、図7に示す高周波増幅器100においては、高出力時用最終段増幅素子11の出力側に第1の整合回路34を、低出力時用最終段増幅素子12の出力側に第2の整合回路35を、それらの後段に第3の整合回路36をそれぞれ設けているため、出力電力が大きい場合と小さい場合のいずれの場合も、特性インピーダンスである50オーム(Ω)へ整合することができ、高周波増幅器として高出力、高効率の特性を実現することが可能である。

[0104] また、出力電力が大きい場合と小さい場合のいずれの場合も、接続点29からOFFしている増幅素子側の整合回路を見たインピーダンスを、接続点29からONしている増幅素子側の整合回路を見たインピーダンスよりも十分に高くすることができるため、増幅された高周波信号がOFFしている増幅素子側の整合回路に回りこむことを抑えることができ、出力整合回路15の損失を低減でき、高周波増幅器として高出力、高効率の特性を実現することが可能である。さらに、OFFしている増幅素子側の出力－入力の間のアイソレーションを高めることができ、OFFしている増幅素子を介した回り込みよる発振を抑圧することが可能である。

[0105] さらに、出力電力が大きい場合に、高出力時用最終段増幅素子11がONの場合の

出力整合回路15が主にローパスフィルタ形整合回路で構成されるため、出力電力が大きい場合の出力整合回路15の損失が低減され、高周波増幅器100をさらに高出力、高効率にすることが可能である。

[0106] なお、この実施例3で示した回路は、主に集中定数素子を用いて構成されているが、直列インダクタ25は直列線路で構成しても構わないし、並列キャパシタ22はオープンスタブで構成しても構わないし、並列インダクタはショートスタブで構成しても構わない。増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT)で構成されているが、他のバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)などで構成されても構わない。また、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。さらに、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

実施例 4

[0107] この発明の実施例4に係る高周波増幅器について図9及び図10を参照しながら説明する。図9は、この発明の実施例4に係る高周波増幅器の構成を示す回路図である。

[0108] 図9において、この実施例4に係る高周波増幅器100は、入力端子1と、出力端子2と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モード切替端子6とが設けられている。

[0109] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16とが設けられている。高出力時用最終段増幅素子11の素子サイズは、低出力時用最終段増幅素子12のサイズよりも大きい。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0110] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路

36とが設けられている。なお、第1及び第2の整合回路34、35は、接続点29を介して第3の整合回路36と接続されている。

[0111] 第1の整合回路34は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブと、ローパスフィルタ形整合回路30と、直列インダクタ(第1の直列インダクタ)25とが設けられている。また、ローパスフィルタ形整合回路30は、並列キャパシタ(第2の並列キャパシタ)22と、直列インダクタ(第3の直列インダクタ)25と並列キャパシタ(第1の並列キャパシタ)22の回路が2段設けられている。なお、バイパスキャパシタ24と並列キャパシタ22の一端は、グランド19に接続されている。

[0112] 第2の整合回路35は、ハイパスフィルタ形整合回路27と直列インダクタ(第2の直列インダクタ)25が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17とが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0113] 第3の整合回路36は、直列キャパシタ17が設けられている。

[0114] 図9に示す実施例4の高周波増幅器100は、図7に示す実施例3の高周波増幅器100と比較して、第1の整合回路34の中のローパスフィルタ形整合回路30において、最も増幅素子11よりの位置に、並列キャパシタ22が追加されている点のみが異なる。

[0115] つぎに、この実施例4に係る高周波増幅器の動作について図面を参照しながら説明する。図10は、この発明の実施例4に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[0116] 高周波増幅器100の信号の流れ、バイアスの印加方法、及び出力整合回路15に要求される条件については、上記の各実施例と同様であるので説明を省略する。

[0117] 図9に示す高周波増幅器100の出力整合回路15の動作について説明する。図10(a)と(b)は、出力電力が大きい場合と小さい場合の接続点29から第1の整合回路34側を見たインピーダンスの軌跡、図10(c)と(d)は、出力電力が大きい場合と小さい場合の接続点29から第2の整合回路35側を見たインピーダンスの軌跡をそれぞれ

実線矢印で示す。また、接続点29から出力端子2までのインピーダンスの軌跡も点線矢印であわせて示している。図10中のZout1、Z11、Z12、Z13、Z14、Z15、Z16、Z17、Zout2、Z21、Z22、Z23、Zoutは、それぞれ図9の回路図上に示す位置から見たインピーダンスである。

[0118] 図10(a)は出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス、図10(b)は出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス、図10(c)は出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンス、図10(d)は出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンスをそれぞれ示した図である。

[0119] 図10(a)と(d)より、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ17と、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23とは、略等しいことが解る。また、インピーダンスZ17とZ23は、略50オーム(Ω)に整合されている。ローパスフィルタ形整合回路30の最も高出力時用最終段増幅素子11よりの位置に、新たに追加した並列キャパシタ22によるインピーダンスの軌跡は、インピーダンスが低いためにZ11からZ12へと小さい。そのため、新たに並列キャパシタ22を追加しても問題なく整合できていることが解る。従って、上記の『1つ目の条件』を満たすことができる。これにより、出力電力の大小で、増幅素子11、12を切替えたいずれの場合においても、高周波増幅器100の出力インピーダンスZoutは、第3の整合回路36によって、50オーム(Ω)に整合することが可能となる。従って、高周波増幅器100は、出力電力が大きい場合も、小さい場合も高出力、高効率の特性を実現することが可能である。

[0120] 図10(c)と(a)より、出力電力が大きい場合の第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23が、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ17よりも十分に高くなっていることがわかる。従って、上記の『2つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合の高出力、高効

率の特性を実現できる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0121] ここで、出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンスZ23を高くする方法について説明する。低出力時用最終段増幅素子12のOFF時の出力インピーダンスZout2が、図10(c)に示すように、容量性インピーダンスにあることから、第2の整合回路35は、コレクタ(ドレイン)バイアス印加用インダクタ26や直列キャパシタ17といったハイパスフィルタ形の整合素子を用いることによって、接続点29から見たインピーダンスを高くすることができる。その上で、インピーダンスZ22が誘導性となっていることから、直列インダクタ25を最も接続点29よりの位置に設けている。このように、第2の整合回路35の接続点29側にハイパスフィルタ形整合回路27と、直列インダクタ25を設ける必要がある。

[0122] 図10(b)と(d)より、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ17が、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ23よりも十分に高くなっていることが解る。ローパスフィルタ形整合回路30の最も高出力時用最終段増幅素子11よりの位置に新たに追加した並列キャパシタ22を挿入することにより、挿入していない場合である図8(b)の場合と比較して、接続点29から第1の整合回路34を見たインピーダンスZ17を高くすることができている。従って、上記の『3つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失を小さくでき、出力電力が小さい場合の高出力、高効率の特性を実現できる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振を抑圧

することができる。すなわち、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0123] ここで、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンスZ17を高くする方法について説明する。高出力時用最終段増幅素子11のOFF時の出力インピーダンスZout1が、図10(b)に示すように、容量性インピーダンスにあることから、第1の整合回路34は、ショートスタブを設けることによってインピーダンスを高くすることができる。このショートスタブは、コレクタ(ドレイン)バイアス線路23とバイパスキャパシタ24で構成される。しかし、高出力時用最終段増幅素子11がONの場合の整合のためローパスフィルタ形整合回路30が設けられたため、インピーダンスが低くなってしまう。この時、インピーダンス(Z16)は誘導性となるため、最も接続点29よりの位置に直列インダクタ25を挿入することで、インピーダンスを高くする必要がある。

[0124] また、この実施例4に係る高周波増幅器100と、上記の実施例3に係る高周波増幅器100とを比較すると、上述したように、出力電力が小さい場合に、ローパスフィルタ形整合回路30の最も増幅素子11よりの位置に新たに並列キャパシタ22を挿入することにより、接続点29から第1の整合回路34を見たインピーダンスZ17をより高くすることができる。したがって、出力電力が小さい場合に、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失をさらに小さくでき、出力電力が小さい場合の出力、効率をさらに高めることができる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振をより抑圧することができる。すなわち、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションをより高めることができ、発振をより抑圧することができる。

[0125] この実施例4によれば、図9に示す高周波増幅器100においては、高出力時用最終段増幅素子11の出力側に第1の整合回路34を、低出力時用最終段増幅素子12の出力側に第2の整合回路35を、それらの後段に第3の整合回路36をそれぞれ設

けているため、出力電力が大きい場合と小さい場合のいずれの場合も、特性インピーダンスである50オーム(Ω)へ整合することができ、高周波増幅器として高出力、高効率の特性を実現することが可能である。

[0126] また、出力電力が大きい場合と小さい場合のいずれの場合も、接続点29からOFFしている増幅素子側の整合回路を見たインピーダンスを、接続点29からONしている増幅素子側の整合回路見たインピーダンスよりも十分に高くすることができるため、増幅された高周波信号がOFFしている増幅素子側の整合回路に回りこむことを抑えることができ、出力整合回路15の損失を低減でき、高周波増幅器として高出力、高効率の特性を実現することが可能である。さらに、OFFしている増幅素子側の出力－入力の間のアイソレーションを高めることができ、OFFしている増幅素子を介した回り込みよる発振を抑圧することが可能である。

[0127] さらに、出力電力が大きい場合に、高出力時用最終段増幅素子11がONの場合の出力整合回路15が主にローパスフィルタ形整合回路で構成されるため、出力電力が大きい場合の出力整合回路15の損失が低減され、高周波増幅器100をさらに高出力、高効率にすることが可能である。

[0128] さらに、出力電力が小さい場合に、接続点29から第1の整合回路34を見たインピーダンスZ17をより高くすることができ、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失をさらに小さくでき、出力電力が小さい場合の出力、効率をさらに高めることができる。また、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションをより高めることができ、発振をより抑圧することができる。

[0129] なお、この実施例4で示した回路は、主に集中定数素子を用いて構成されているが、直列インダクタ25は直列線路で構成しても構わないし、並列キャパシタ22はオープンスタブで構成しても構わないし、並列インダクタはショートスタブで構成しても構わない。増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT)で構成されているが、他のバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)などで構成されても構わない。また、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ

(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。さらに、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

実施例 5

[0130] この発明の実施例5に係る高周波増幅器について図11及び図12を参照しながら説明する。図11は、この発明の実施例5に係る高周波増幅器の構成を示す回路図である。

[0131] 図11において、この実施例5に係る高周波増幅器100は、入力端子1と、出力端子2と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モード切替端子6とが設けられている。

[0132] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16とが設けられている。高出力時用最終段増幅素子11の素子サイズは、低出力時用最終段増幅素子12のサイズよりも大きい。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0133] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路36とが設けられている。なお、第1及び第2の整合回路34、35は、接続点29を介して第3の整合回路36と接続されている。

[0134] 第1の整合回路34は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブと、ローパスフィルタ形整合回路30と、ハイパスフィルタ形整合回路(第1のハイパスフィルタ形整合回路)27と、直列インダクタ(第1の直列インダクタ)25とが設けられている。また、ローパスフィルタ形整合回路30は、直列インダクタ25と並列キャパシタ22が設けられている。ハイパスフィルタ形整合回路27は、直列キャパシタ17と並列インダクタ18が設けられている。なお、バイパスキャパシタ24と並列キャパシタ22と並列インダクタ18の一端は、グランド19に接続されている。

[0135] 第2の整合回路35は、ハイパスフィルタ形整合回路(第2のハイパスフィルタ形整合

回路）27と直列インダクタ（第2の直列インダクタ）25が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ（ドレイン）バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17と、並列インダクタ18とが設けられている。なお、バイパスキャパシタ24と並列インダクタ18の一端は、グランド19に接続されている。

[0136] 第3の整合回路36は、直列キャパシタ17が設けられている。

[0137] 図11に示す実施例5の高周波増幅器100は、図7に示す実施例3の高周波増幅器100と比較して、第1の整合回路34が、コレクタ（ドレイン）バイアス線路23及びバイパスキャパシタ24で構成されるショートスタブと、直列インダクタ25及び並列キャパシタ22で構成されるローパスフィルタ形整合回路30と、直列キャパシタ17及び並列インダクタ18で構成されるハイパスフィルタ形整合回路27と、直列インダクタ25とで構成されている点のみが異なる。

[0138] つぎに、この実施例5に係る高周波増幅器の動作について図面を参照しながら説明する。図12は、この発明の実施例5に係る高周波増幅器の出力整合回路のインピーダンスを示すスミスチャートである。

[0139] 高周波増幅器100の信号の流れ、バイアスの印加方法、及び出力整合回路15に要求される条件については、上記の各実施例と同様であるので説明を省略する。

[0140] 図11に示す高周波増幅器100の出力整合回路15の動作について説明する。図12（a）と（b）は、出力電力が大きい場合と小さい場合の接続点29から第1の整合回路34側を見たインピーダンスの軌跡、図12（c）と（d）は、出力電力が大きい場合と小さい場合の接続点29から第2の整合回路35側を見たインピーダンスの軌跡をそれぞれ実線矢印で示す。また、接続点29から出力端子2までのインピーダンスの軌跡も点線矢印であわせて示している。図12中のZout1、Z11、Z12、Z13、Z14、Z15、Z16、Zout2、Z21、Z22、Z23、Z24、Zoutは、それぞれ図11の回路図上に示す位置から見たインピーダンスである。

[0141] 図12（a）は出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス、図12（b）は出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス、図12（c）は出力電力が大きい場合の接続点29から第2の整

合回路35を見たインピーダンス、図12(d)は出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンスをそれぞれ示した図である。

[0142] 図12(a)と(d)より、この実施例5の第1の整合回路34の構成が実施例3の第1の整合回路34とは異なるが、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ16と、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ24とは、略等しいことが解る。従って、上記の『1つ目の条件』を満たすことができる。これにより、出力電力の大小で、増幅素子11、12を切替えたいずれの場合においても、高周波増幅器100の出力インピーダンスZoutは、第3の整合回路36によって、50オーム(Ω)に整合することが可能となる。従って、高周波増幅器100は、出力電力が大きい場合も、小さい場合も高出力、高効率の特性を実現することが可能である。

[0143] 図12(c)と(a)より、この実施例5の第1の整合回路34の構成が実施例3の第1の整合回路34とは異なるが、出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ24が、出力電力が大きい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ16よりも十分に高くなっている。従って、上記の『2つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合の高出力、高効率の特性を実現できる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0144] ここで、出力電力が大きい場合の接続点29から第2の整合回路35を見たインピーダンスZ24を高くする方法について説明する。低出力時用最終段増幅素子12のOFF時の出力インピーダンスZout2が、図12(c)に示すように、容量性インピーダンス

にあることから、第2の整合回路35は、直列キャパシタ17や並列インダクタ18といったハイパスフィルタ形の整合素子を用いることによって、接続点29から見たインピーダンスを高くすることができる。その上で、インピーダンス(Z23)が誘導性となっていることから、第2の整合回路35は、直列インダクタ25を最も接続点29よりの位置に設けている。このように、第2の整合回路35の接続点29側にハイパスフィルタ形整合回路27と、直列インダクタ25を設ける必要がある。

[0145] 図12(b)と(d)より、この実施例5の第1の整合回路34の構成が実施例3の第1の整合回路34とは異なるが、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンス(第1のインピーダンス)であるZ16が、出力電力が小さい場合の接続点29から第2の整合回路35を見たインピーダンス(第2のインピーダンス)であるZ24よりも十分に高くなっていることが解る。従って、上記の『3つ目の条件』を満たすことができる。これにより、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失を小さくでき、出力電力が小さい場合の高出力、高効率の特性を実現できる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振を抑圧することができる。すなわち、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションを高めることができ、発振を抑圧することができる。

[0146] ここで、出力電力が小さい場合の接続点29から第1の整合回路34を見たインピーダンスZ16を高くする方法について説明する。高出力時用最終段増幅素子11のOFF時の出力インピーダンスZout1が、図12(b)に示すように、容量性インピーダンスにあることから、第1の整合回路34は、ショートスタブを設けることによってインピーダンス(Z11)を高くすることができる。このショートスタブは、コレクタ(ドレイン)バイアス線路23とバイパスキャパシタ24で構成される。しかし、高出力時用最終段増幅素子11がONの場合の整合のためローパスフィルタ形整合回路30が設けられたため、インピーダンス(Z13)が低くなってしまうが、このローパスフィルタ形整合回路30が1段であることから、インピーダンスは容量性となる。そのため、第1の整合回路34は、直

列キャパシタ17や並列インダクタ18といったハイパスフィルタ形の整合素子を用いることによって接続点29から見たインピーダンスを高くすることができる。その上で、インピーダンスが誘導性となっていることから、第1の整合回路34は、直列インダクタ25を最も接続点29よりの位置に設けている。このように、第1の整合回路34の接続点29側に、ハイパスフィルタ形整合回路27と、直列インダクタ25を設ける必要がある。

[0147] また、この実施例5に係る高周波増幅器100と、上記の実施例3に係る高周波増幅器100とを比較すると、実施例3では、ローパスフィルタ形整合回路30が2段構成であるのに対して、この実施例5では、ローパスフィルタ形整合回路30が1段であり、かつ、接続点29よりの位置に、1段のローパスフィルタ形整合回路の代わりにハイパスフィルタ形整合回路27を設けているため、出力電力が小さい場合に接続点29からOFFになる高出力時用最終段増幅素子11側の第1の整合回路34を見たインピーダンスZ16を、図8(b)に示す実施例3と比較して、より高くすることができる。したがって、出力電力が小さい場合に、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失をさらに小さくでき、出力電力が小さい場合の出力、効率をさらに高めることができる。同時に、高周波信号が第1の整合回路34の方へ回り込まないことにより、出力電力が小さい場合に、低出力時用最終段増幅素子12で増幅した高周波信号が、OFFである高出力時用最終段増幅素子11を介して入力側へフィードバックすることによって発生する発振をより抑圧することができる。すなわち、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションをより高めることができ、発振をより抑圧することができる。

[0148] この実施例5によれば、図11に示す高周波増幅器100においては、高出力時用最終段増幅素子11の出力側に第1の整合回路34を、低出力時用最終段増幅素子12の出力側に第2の整合回路35を、それらの後段に第3の整合回路36をそれぞれ設けているため、出力電力が大きい場合と小さい場合のいずれの場合も、特性インピーダンスである50オーム(Ω)へ整合することができ、高周波増幅器として高出力、高効率の特性を実現することが可能である。

[0149] また、出力電力が大きい場合と小さい場合のいずれの場合も、接続点29からOFFしている増幅素子側の整合回路を見たインピーダンスを、接続点29からONしている

増幅素子側の整合回路見たインピーダンスよりも十分に高くすることができるため、増幅された高周波信号がOFFしている増幅素子側の整合回路に回りこむことを抑えることができ、出力整合回路15の損失を低減でき、高周波増幅器として高出力、高効率の特性を実現することが可能である。さらに、OFFしている増幅素子側の出力－入力の間のアイソレーションを高めることができ、OFFしている増幅素子を介した回り込みよる発振を抑圧することが可能である。

[0150] さらに、出力電力が小さい場合に、接続点29から第1の整合回路34を見たインピーダンスをより高くすることができ、出力整合回路15内で、高周波信号が第1の整合回路34の方へ回り込むことによって発生する損失をさらに小さくでき、出力電力が小さい場合の出力、効率をさらに高めることができる。また、OFFである高出力時用最終段増幅素子11側の回路の出力－入力間のアイソレーションをより高めることができ、発振をより抑圧することができる。

[0151] なお、この実施例5で示した回路は、主に集中定数素子を用いて構成されているが、直列インダクタ25は直列線路で構成しても構わないし、並列キャパシタ22はオープンスタブで構成しても構わないし、並列インダクタはショートスタブで構成しても構わない。増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT)で構成されているが、他のバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)などで構成されても構わない。また、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。さらに、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

実施例 6

[0152] この発明の実施例6に係る高周波増幅器について図13を参照しながら説明する。図13は、この発明の実施例6に係る高周波増幅器の構成を示す回路図である。

[0153] 図13において、この実施例6に係る高周波増幅器100は、入力端子1と、出力端子2と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モー

ド切替端子6とが設けられている。

[0154] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16とが設けられている。高出力時用最終段増幅素子11の素子サイズは、低出力時用最終段増幅素子12のサイズよりも大きい。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0155] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路36と、スイッチ31とが設けられている。なお、第1の整合回路34は、接続点29を介して、第2の整合回路35は、スイッチ31及び接続点29を介して、第3の整合回路36とそれぞれ接続されている。

[0156] 第1の整合回路34は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブと、ローパスフィルタ形整合回路30と、直列インダクタ(第1の直列インダクタ)25とが設けられている。また、ローパスフィルタ形整合回路30は、直列インダクタ25と並列キャパシタ22の回路が2段設けられている。なお、バイパスキャパシタ24と並列キャパシタ22の一端は、グランド19に接続されている。

[0157] 第2の整合回路35は、ハイパスフィルタ形整合回路27と直列インダクタ(第2の直列インダクタ)25が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17とが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0158] 第3の整合回路36は、直列キャパシタ17が設けられている。

[0159] 図13に示す高周波増幅器100は、図7に示す高周波増幅器100と比較して、第2の整合回路35と接続点29の間に、ダイオード32で構成されるスイッチ31が設けられている点のみが異なる。

[0160] つぎに、この実施例6に係る高周波増幅器の動作について図面を参照しながら説明する。

[0161] 図7に示す実施例3に係る高周波増幅器100と異なる部分についてのみ説明する

。この実施例6に係る高周波増幅器100においては、第2の整合回路34と接続点29の間に、ダイオード32で構成されるスイッチ31が設けられている。このスイッチ31は、モード切替端子6に印加された電圧によって、出力電力が大きい場合にOFFし、出力電力が小さい場合にONするように制御される。

[0162] 従って、出力電力が大きい場合に接続点29から第2の整合回路35を見たインピーダンスを、スイッチ31がOFFとなるため、さらに高くすることができる。そのため、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合により高出力、高効率の特性を実現できる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振をさらに抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションをさらに高めることができ、発振をさらに抑圧することができる。

[0163] この実施例6によれば、図13の高周波増幅器100では、図7の実施例3の高周波増幅器100の効果に加えて、出力電力が大きい場合に、出力整合回路15内で、高周波信号が第2の整合回路35の方へ回り込むことによって発生する損失を小さくでき、出力電力が大きい場合により高出力、高効率の特性を実現できる。同時に、高周波信号が第2の整合回路35の方へ回り込まないことにより、出力電力が大きい場合に、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振をさらに抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションをさらに高めることができ、発振をさらに抑圧することができる。

[0164] この実施例6では、ダイオード32で構成されるスイッチ31を、実施例3（図7）に対して適用した場合について説明したが、実施例1（図1）、実施例2（図5）、実施例4（図9）、実施例5（図11）に対して適用した場合についても、同様の効果を有する。また、この実施例6では、スイッチ31としてダイオード32を用いた場合について説明したが

、スイッチ31として、FETスイッチや、機械式スイッチなどのスイッチを用いても構わない。

[0165] 増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT)で構成されているが、他のバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)などで構成されても構わない。また、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。さらに、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

実施例 7

[0166] この発明の実施例7に係る高周波増幅器について図14を参照しながら説明する。図14は、この発明の実施例7に係る高周波増幅器の構成を示す回路図である。

[0167] 図14において、この実施例7に係る高周波増幅器100は、入力端子1と、出力端子2と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モード切替端子6とが設けられている。

[0168] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16と、ベース(ゲート)接地トランジスタ(第3の増幅素子)33とが設けられている。高出力時用最終段増幅素子11の素子サイズは、低出力時用最終段増幅素子12のサイズよりも大きい。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0169] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路36とが設けられている。なお、第1及び第2の整合回路34、35は、接続点29を介して第3の整合回路36と接続されている。

[0170] 第1の整合回路34は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブと、ローパスフィルタ形整合回路30と、直列インダクタ(

第1の直列インダクタ）25とが設けられている。また、ローパスフィルタ形整合回路30は、直列インダクタ25と並列キャパシタ22の回路が2段設けられている。なお、バイパスキャパシタ24と並列キャパシタ22の一端は、グランド19に接続されている。

[0171] 第2の整合回路35は、ハイパスフィルタ形整合回路27と直列インダクタ（第2の直列インダクタ）25が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ（ドレイン）バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17とが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0172] 第3の整合回路36は、直列キャパシタ17が設けられている。

[0173] 図14に示す高周波増幅器100は、図7に示す高周波増幅器100と比較して、低出力時用最終段増幅素子12の出力側にカスコード接続したベース（ゲート）接地トランジスタ33が挿入されている点のみが異なる。

[0174] つぎに、この実施例7に係る高周波増幅器の動作について図面を参照しながら説明する。

[0175] 図7に示す実施例3に係る高周波増幅器100と異なる部分についてのみ説明する。図14に示す実施例7に係る高周波増幅器100においては、低出力時用最終段増幅素子12の出力側にベース（ゲート）接地トランジスタ33が挿入されている。このベース（ゲート）接地トランジスタ33のベース電圧は、ベース（ゲート）バイアス制御回路（第2のバイアス制御回路）16から供給されている。そして、ベース（ゲート）バイアス制御回路16は、モード切替端子6からの電圧によって、出力電力が大きい場合にはベース（ゲート）接地トランジスタ33がOFFし、出力電力が小さい場合にはベース（ゲート）接地トランジスタ33がONするように制御する。

[0176] 従って、出力電力が大きい場合に、第2の整合回路35を介して低出力時用最終段増幅素子12の方へ回り込んできた信号を、OFFされたベース（ゲート）接地トランジスタ33で遮断することによって、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振をさらに抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションをさら

に高めることができ、発振をさらに抑圧することができる。

[0177] この実施例7によれば、図14に示す高周波増幅器100では、図7の実施例3の高周波増幅器100の効果に加えて、出力電力が大きい場合に、第2の整合回路35を介して低出力時用最終段増幅素子12の方へ回り込んできた信号を、OFFされたベース(ゲート)接地トランジスタ33で遮断することによって、高出力時用最終段増幅素子11で増幅した高周波信号が、OFFである低出力時用最終段増幅素子12を介して入力側へフィードバックすることによって発生する発振をさらに抑圧することができる。すなわち、OFFである低出力時用最終段増幅素子12側の回路の出力－入力間のアイソレーションをさらに高めることができ、発振をさらに抑圧することができる。

[0178] この実施例7では、ベース(ゲート)接地トランジスタ33を図7の実施例3の高周波増幅器100に対して適用した場合について説明したが、実施例1(図1)、実施例2(図5)、実施例4(図9)、実施例5(図11)、実施例6(図13)の高周波増幅器100に対して適用した場合についても、同様の効果を有する。

[0179] 増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT)で構成されているが、他のバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)などで構成されても構わない。また、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。さらに、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

実施例 8

[0180] この発明の実施例8に係る高周波増幅器について図15を参照しながら説明する。図15は、この発明の実施例8に係る高周波増幅器の構成を示す回路図である。

[0181] 図15において、この実施例8に係る高周波増幅器100は、入力端子1と、出力端子2と、コレクタ(ドレイン)バイアス端子4と、ベース(ゲート)バイアス設定端子5と、モード切替端子6とが設けられている。

[0182] また、高周波増幅器100は、高出力時用最終段増幅素子(第1の増幅素子)11と、

低出力時用最終段増幅素子(第2の増幅素子)12と、2つの入力整合回路13と、出力整合回路15と、2つのベース(ゲート)バイアス制御回路(第1及び第2のバイアス制御回路)16と、高出力時用前段増幅素子(第3の増幅素子)8と、低出力時用前段増幅素子(第4の増幅素子)9と、2つの段間整合回路(第1及び第2の段間整合回路)14とが設けられている。高出力時用最終段増幅素子11の素子サイズは、低出力時用最終段増幅素子12のサイズよりも大きい。なお、2つのベース(ゲート)バイアス制御回路16には、電源端子28がそれぞれ接続されている。

[0183] 出力整合回路15は、第1の整合回路34と、第2の整合回路35と、第3の整合回路36とが設けられている。なお、第1及び第2の整合回路34、35は、接続点29を介して第3の整合回路36と接続されている。

[0184] 第1の整合回路34は、コレクタ(ドレイン)バイアス線路23及びバイパスキャパシタ24から構成されるショートスタブと、ローパスフィルタ形整合回路30と、直列インダクタ(第1の直列インダクタ)25とが設けられている。また、ローパスフィルタ形整合回路30は、直列インダクタ25と並列キャパシタ22の回路が2段設けられている。なお、バイパスキャパシタ24と並列キャパシタ22の一端は、グランド19に接続されている。

[0185] 第2の整合回路35は、ハイパスフィルタ形整合回路27と直列インダクタ(第2の直列インダクタ)25が設けられている。また、ハイパスフィルタ形整合回路27は、コレクタ(ドレイン)バイアス印加用インダクタ26と、バイパスキャパシタ24と、直列キャパシタ17とが設けられている。なお、バイパスキャパシタ24の一端は、グランド19に接続されている。

[0186] 第3の整合回路36は、直列キャパシタ17が設けられている。

[0187] 図15に示す実施例8の高周波増幅器100は、図7に示す実施例3の高周波増幅器100と比較して、高出力時用前段増幅素子8、低出力時用前段増幅素子9及び2つの段間整合回路14が追加され、切替える増幅素子が2段構成となった点のみが異なる。

[0188] つぎに、この実施例8に係る高周波増幅器の動作について図面を参照しながら説明する。

[0189] 図7に示す実施例3に係る高周波増幅器100と異なる部分についてのみ説明する

。高出力時用前段増幅素子8、低出力時用前段増幅素子9へのコレクタ(ドレイン)バイアスは、コレクタ(ドレイン)バイアス端子4から、段間整合回路14を介して供給される。高出力時用前段増幅素子8、低出力時用前段増幅素子9へのベース(ゲート)バイアスは、2つのベース(ゲート)バイアス制御回路16からそれぞれ供給される。

[0190] この実施例8によれば、図15の高周波増幅器100では、図7の実施例3の高周波増幅器100の効果に加えて、より高い利得を得ることができる。また、2段増幅器として考えた場合、出力電力が小さい場合に、最終段増幅素子12だけでなく前段増幅素子9のサイズも小さいため、消費電力をより低減でき、より高効率な特性が実現できる。

[0191] 図15の実施例8の高周波増幅器100では、図7の実施例3に係る高周波増幅器に対して、増幅素子の2段化を適用した場合について説明したが、実施例1(図1)、実施例2(図5)、実施例4(図9)、実施例5(図11)、実施例6(図13)、実施例7(図14)の高周波増幅器100に対して適用した場合についても、同様の効果を有する。

[0192] 増幅素子11、12は、ヘテロ接合バイポーラトランジスタ(HBT)で構成されているが、他のバイポーラトランジスタや、金属半導体電界効果トランジスタ(MESFET)、高電子移動度トランジスタ(HEMT)などの電界効果トランジスタ(FET)などで構成されても構わない。また、コレクタ(ドレイン)バイアス線路23の代わりに、コレクタ(ドレイン)バイアス印加用インダクタ26を用いても良く、その逆でも良い。すなわち、コレクタ(ドレイン)バイアス印加用インダクタ26の代わりに、コレクタ(ドレイン)バイアス線路23を用いても良い。さらに、コレクタ(ドレイン)バイアス線路23と、コレクタ(ドレイン)バイアス印加用インダクタ26は、整合素子を兼ねている。

請求の範囲

[1] 入力端子から入力した高周波信号を増幅する第1の増幅素子と、

前記第1の増幅素子と並列接続され、前記第1の増幅素子と比べて素子サイズが小さく、前記高周波信号を増幅する第2の増幅素子と、

出力電力が大きい場合と小さい場合を切り替えるためのモード切替電圧に基づいて前記第1の増幅素子をON／OFFする第1のバイアス制御回路と、

前記モード切替電圧に基づいて前記第2の増幅素子をON／OFFする第2のバイアス制御回路と、

前記第1及び第2の増幅素子の出力側に接続された出力整合回路とを備え、

前記出力整合回路は、

前記第1の増幅素子の出力側に接続された第1の整合回路と、

前記第2の増幅素子の出力側に接続された第2の整合回路と、

前記第1及び第2の整合回路の出力側の接続点と出力端子の間に接続され、50オームに整合する第3の整合回路とを有する高周波増幅器であって、

前記第1の整合回路は、前記第1の増幅素子の出力側に接続された第1のハイパスフィルタ形整合回路及び前記第1のハイパスフィルタ形整合回路に接続された直列インダクタによって構成され、

前記第2の整合回路は、前記第2の増幅素子の出力側に接続された第2のハイパスフィルタ形整合回路によって構成され、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスと、出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスとが略同一であり、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスが、前記接続点から前記第1の整合回路を見た第1のインピーダンスよりも高く、かつ

出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子

がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスが、前記接続点から前記第2の整合回路を見た第2のインピーダンスよりも高い

高周波増幅器。

[2] 入力端子から入力した高周波信号を増幅する第1の増幅素子と、

前記第1の増幅素子と並列接続され、前記第1の増幅素子と比べて素子サイズが小さく、前記高周波信号を増幅する第2の増幅素子と、

出力電力が大きい場合と小さい場合を切り替えるためのモード切替電圧に基づいて前記第1の増幅素子をON／OFFする第1のバイアス制御回路と、

前記モード切替電圧に基づいて前記第2の増幅素子をON／OFFする第2のバイアス制御回路と、

前記第1及び第2の増幅素子の出力側に接続された出力整合回路とを備え、

前記出力整合回路は、

前記第1の増幅素子の出力側に接続された第1の整合回路と、

前記第2の増幅素子の出力側に接続された第2の整合回路と、

前記第1及び第2の整合回路の出力側の接続点と出力端子の間に接続され、50オームに整合する第3の整合回路とを有する高周波増幅器であって、

前記第1の整合回路は、前記第1の増幅素子の出力側に接続された第1のハイパスフィルタ形整合回路によって構成され、

前記第2の整合回路は、前記第2の増幅素子の出力側に接続された直列インダクタ及び前記直列インダクタに接続された第2のハイパスフィルタ形整合回路によって構成され、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスと、出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスとが略同一であり、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスが

、前記接続点から前記第1の整合回路を見た第1のインピーダンスよりも高く、かつ

出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスが、前記接続点から前記第2の整合回路を見た第2のインピーダンスよりも高い

高周波増幅器。

[3] 入力端子から入力した高周波信号を増幅する第1の増幅素子と、

前記第1の増幅素子と並列接続され、前記第1の増幅素子と比べて素子サイズが小さく、前記高周波信号を増幅する第2の増幅素子と、

出力電力が大きい場合と小さい場合を切り替えるためのモード切替電圧に基づいて前記第1の増幅素子をON／OFFする第1のバイアス制御回路と、

前記モード切替電圧に基づいて前記第2の増幅素子をON／OFFする第2のバイアス制御回路と、

前記第1及び第2の増幅素子の出力側に接続された出力整合回路とを備え、

前記出力整合回路は、

前記第1の増幅素子の出力側に接続された第1の整合回路と、

前記第2の増幅素子の出力側に接続された第2の整合回路と、

前記第1及び第2の整合回路の出力側の接続点と出力端子の間に接続され、50オームに整合する第3の整合回路とを有する高周波増幅器であって、

前記第1の整合回路は、前記第1の増幅素子の出力側に接続されたローパスフィルタ形整合回路及び前記ローパスフィルタ形整合回路に接続された第1の直列インダクタによって構成され、

前記第2の整合回路は、前記第2の増幅素子の出力側に接続されたハイパスフィルタ形整合回路及び前記ハイパスフィルタ形整合回路に接続された第2の直列インダクタによって構成され、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスと、出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスと

が略同一であり、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスが、前記接続点から前記第1の整合回路を見た第1のインピーダンスよりも高く、かつ

出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスが、前記接続点から前記第2の整合回路を見た第2のインピーダンスよりも高い

高周波増幅器。

[4] 前記ローパスフィルタ形整合回路は、前記第1の増幅素子の出力側に接続され、第3の直列インダクタ及び第1の並列キャパシタの回路が2段で構成される

請求項3記載の高周波増幅器。

[5] 前記ローパスフィルタ形整合回路は、前記第1の増幅素子の出力側と前記2段の回路の間に接続された第2の並列キャパシタをさらに含む

請求項4記載の高周波増幅器。

[6] 入力端子から入力した高周波信号を増幅する第1の増幅素子と、

前記第1の増幅素子と並列接続され、前記第1の増幅素子と比べて素子サイズが小さく、前記高周波信号を増幅する第2の増幅素子と、

出力電力が大きい場合と小さい場合を切り替えるためのモード切替電圧に基づいて前記第1の増幅素子をON／OFFする第1のバイアス制御回路と、

前記モード切替電圧に基づいて前記第2の増幅素子をON／OFFする第2のバイアス制御回路と、

前記第1及び第2の増幅素子の出力側に接続された出力整合回路とを備え、

前記出力整合回路は、

前記第1の増幅素子の出力側に接続された第1の整合回路と、

前記第2の増幅素子の出力側に接続された第2の整合回路と、

前記第1及び第2の整合回路の出力側の接続点と出力端子の間に接続され、50オームに整合する第3の整合回路とを有する高周波増幅器であって、

前記第1の整合回路は、前記第1の増幅素子の出力側に接続されたローパスフィ

ルタ形整合回路、前記ローパスフィルタ形整合回路に接続された第1のハイパスフィルタ形整合回路及び前記第1のハイパスフィルタ形整合回路に接続された第1の直列インダクタによって構成され、

前記第2の整合回路は、前記第2の増幅素子の出力側に接続された第2のハイパスフィルタ形整合回路及び前記第2のハイパスフィルタ形整合回路に接続された第2の直列インダクタによって構成され、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスと、出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスとが略同一であり、

出力電力が大きい場合である、前記第1の増幅素子がON、前記第2の増幅素子がOFFの場合の前記接続点から前記第2の整合回路を見た第2のインピーダンスが、前記接続点から前記第1の整合回路を見た第1のインピーダンスよりも高く、かつ

出力電力が小さい場合である、前記第2の増幅素子がON、前記第1の増幅素子がOFFの場合の前記接続点から前記第1の整合回路を見た第1のインピーダンスが、前記接続点から前記第2の整合回路を見た第2のインピーダンスよりも高い

高周波増幅器。

[7] 前記出力整合回路は、前記第2の整合回路と前記接続点の間に接続され、前記モード切替電圧に基づいて出力電力が大きい場合はOFFし、出力電力が小さい場合にはONするスイッチをさらに有する

請求項1から請求項6までのいずれかに記載の高周波増幅器。

[8] 前記第2の増幅素子にカスコード接続された第3の増幅素子をさらに備え、

前記第2のバイアス制御回路は、前記モード切替電圧に基づいて出力電力が大きい場合は前記第3の増幅素子をOFFし、出力電力が小さい場合には前記第3の増幅素子をONする

請求項1から請求項6までのいずれかに記載の高周波増幅器。

[9] 前記第1の増幅素子の入力側に接続された第3の増幅素子と、

前記第2の増幅素子の入力側に接続された第4の増幅素子と、

前記第3の増幅素子と前記第1の増幅素子の間に接続された第1の段間整合回路と、

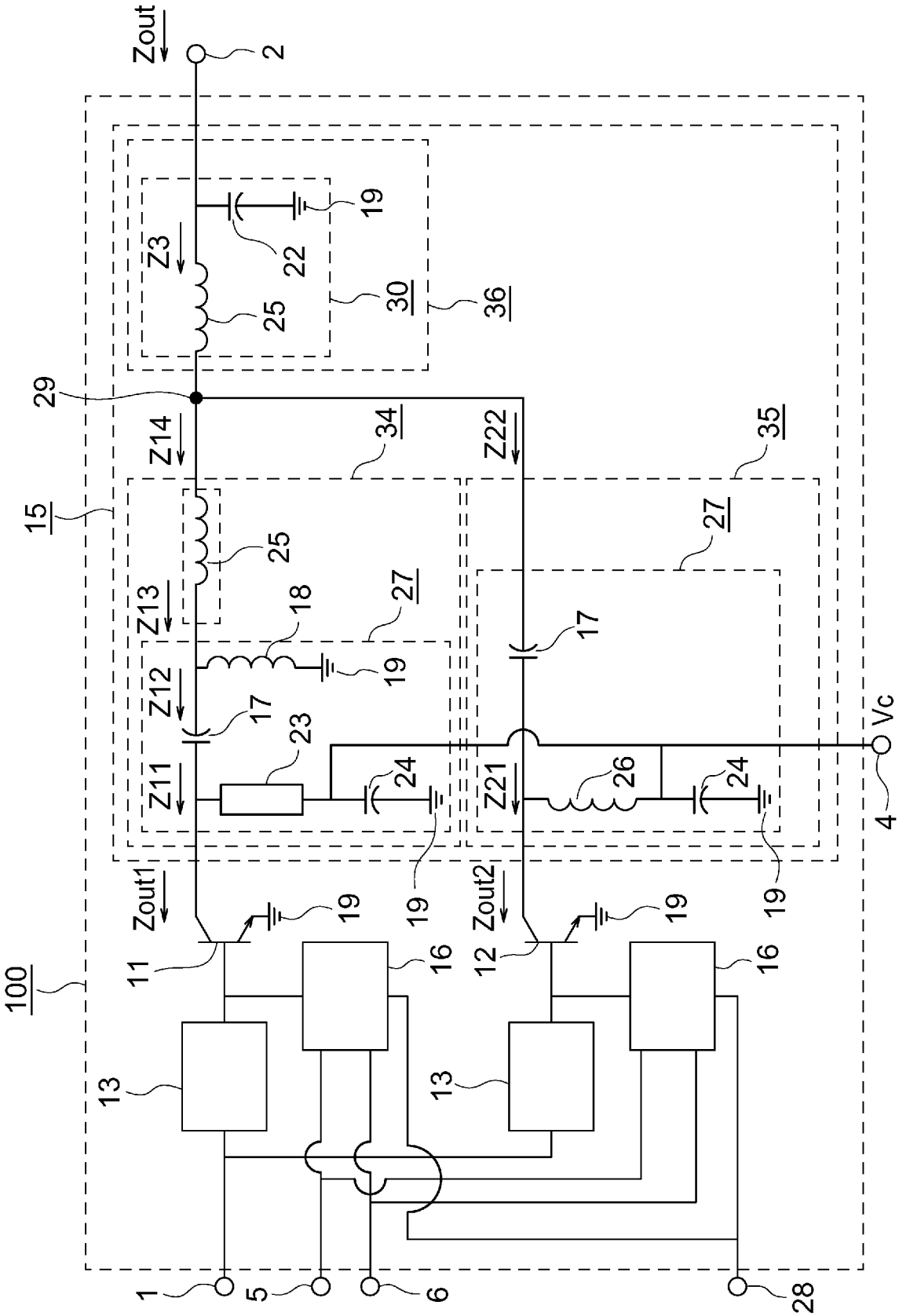
前記第4の増幅素子と前記第2の増幅素子の間に接続された第2の段間整合回路とをさらに備え、

前記第1のバイアス制御回路は、前記モード切替電圧に基づいて前記第1及び第3の増幅素子をON／OFFし、

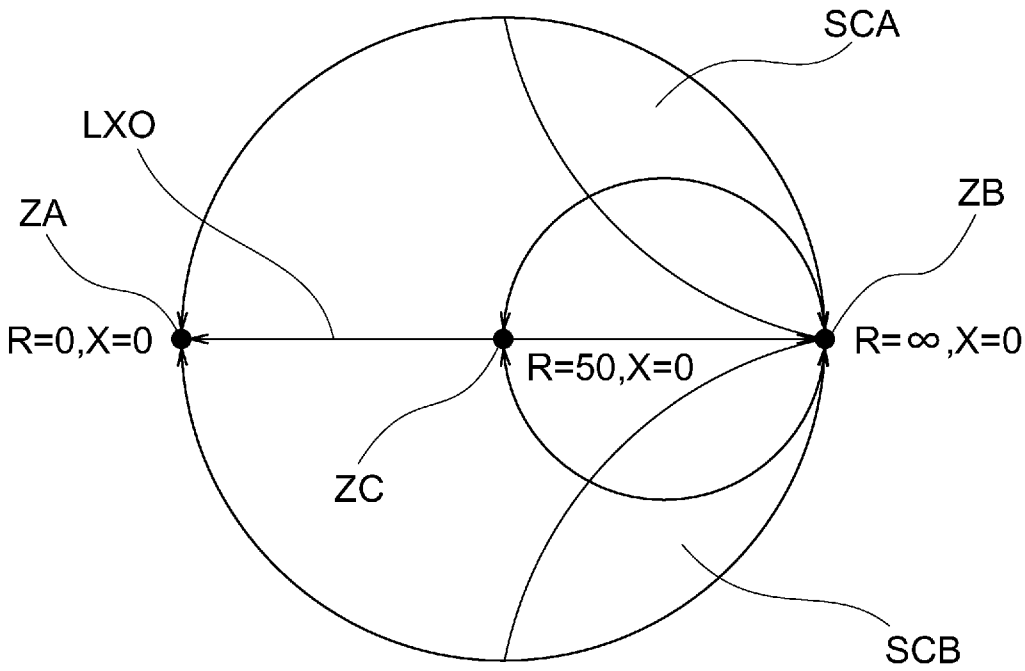
前記第2のバイアス制御回路は、前記モード切替電圧に基づいて前記第2及び第4の増幅素子をON／OFFする

請求項1から請求項6までのいずれかに記載の高周波増幅器。

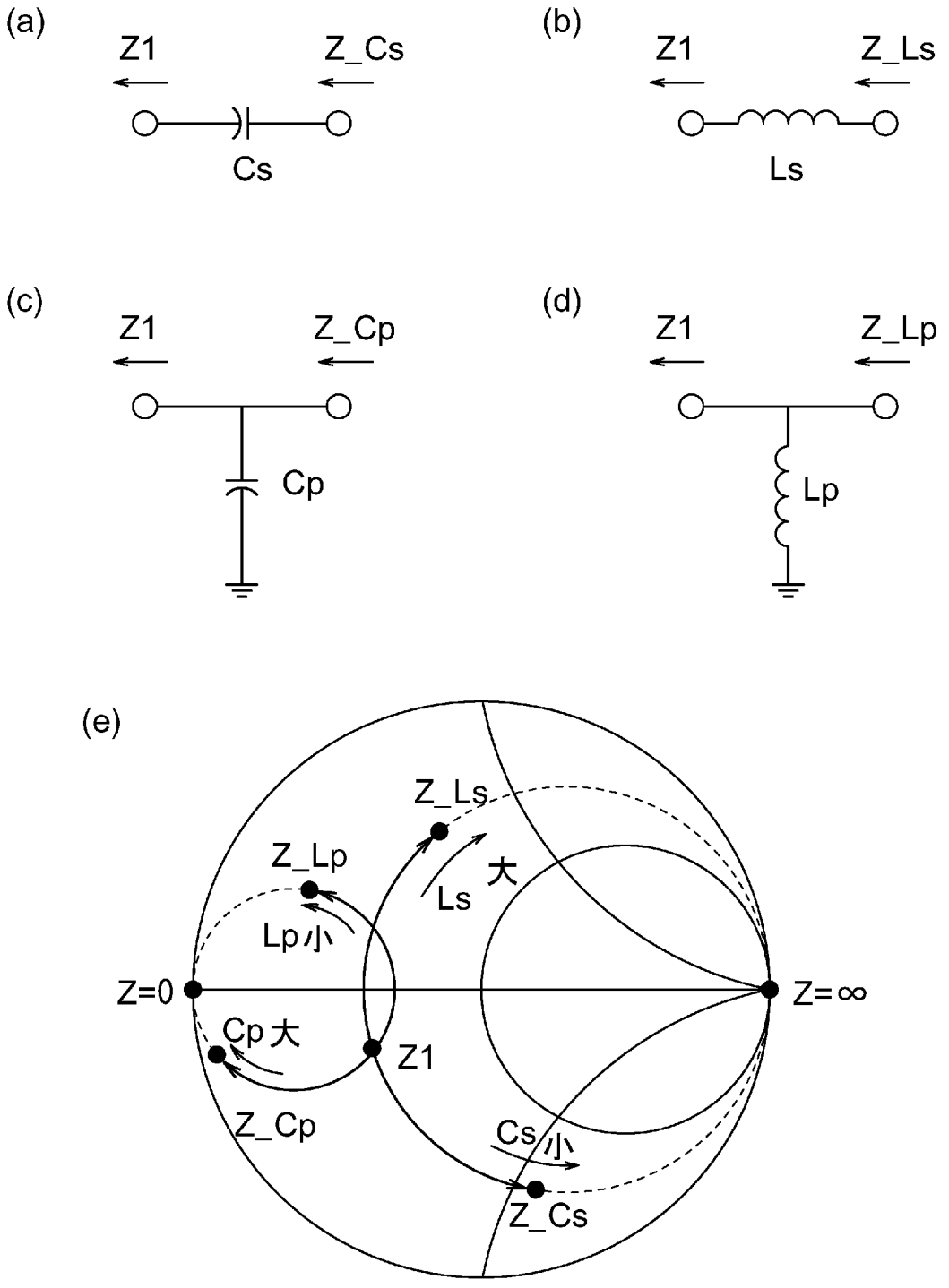
[図1]


Zout
2
19
Z3
22
25
30
36
29
Z14
34
Z22
35
15
25
27
Z13
18
27
17
19
Z12
17
23
Vc
Z11
24
Z21
26
24
4
Zout1
19
19
Zout2
19
19
100
11
16
12
16
13
13
1
5
6
28

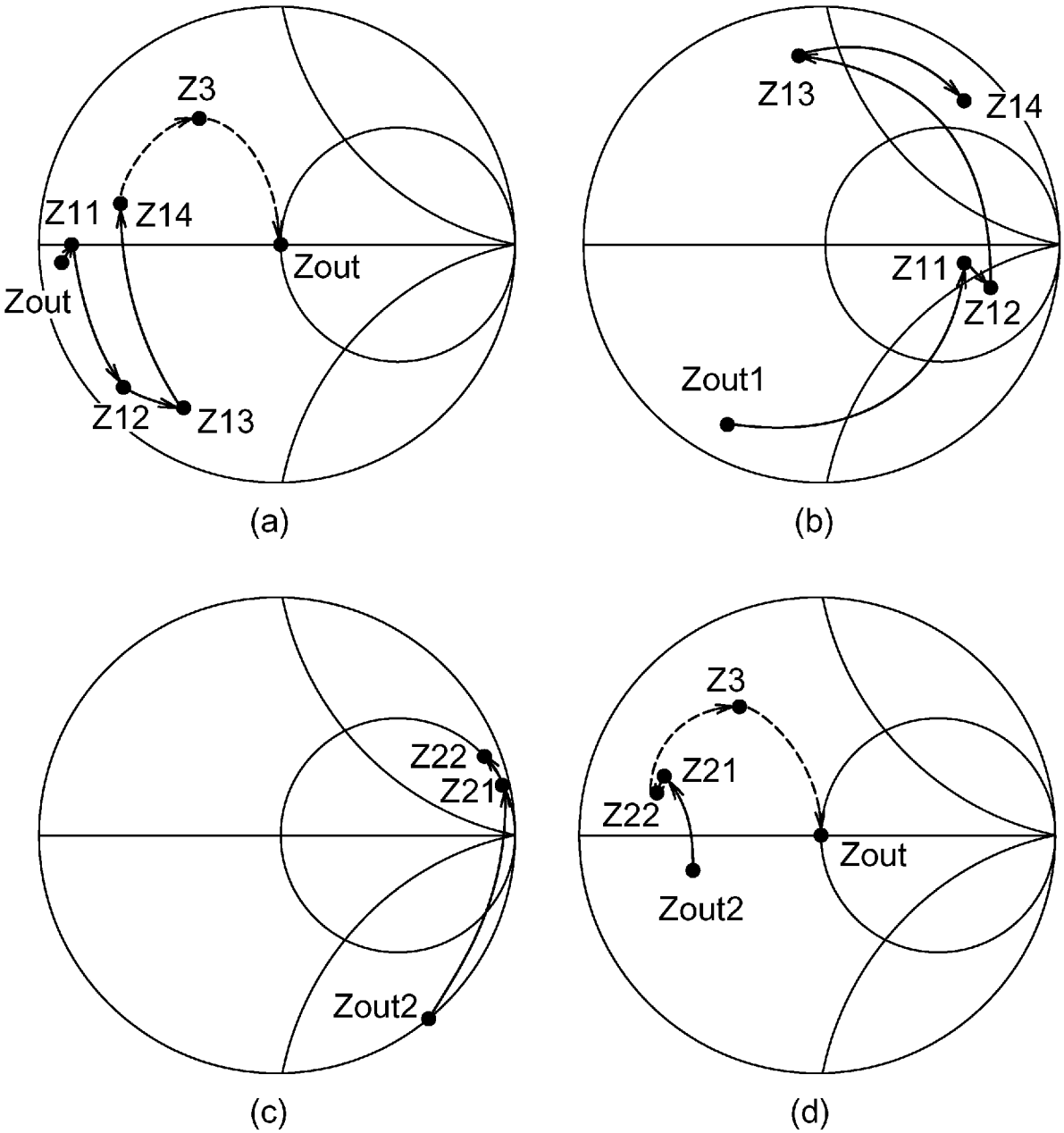
[図2]



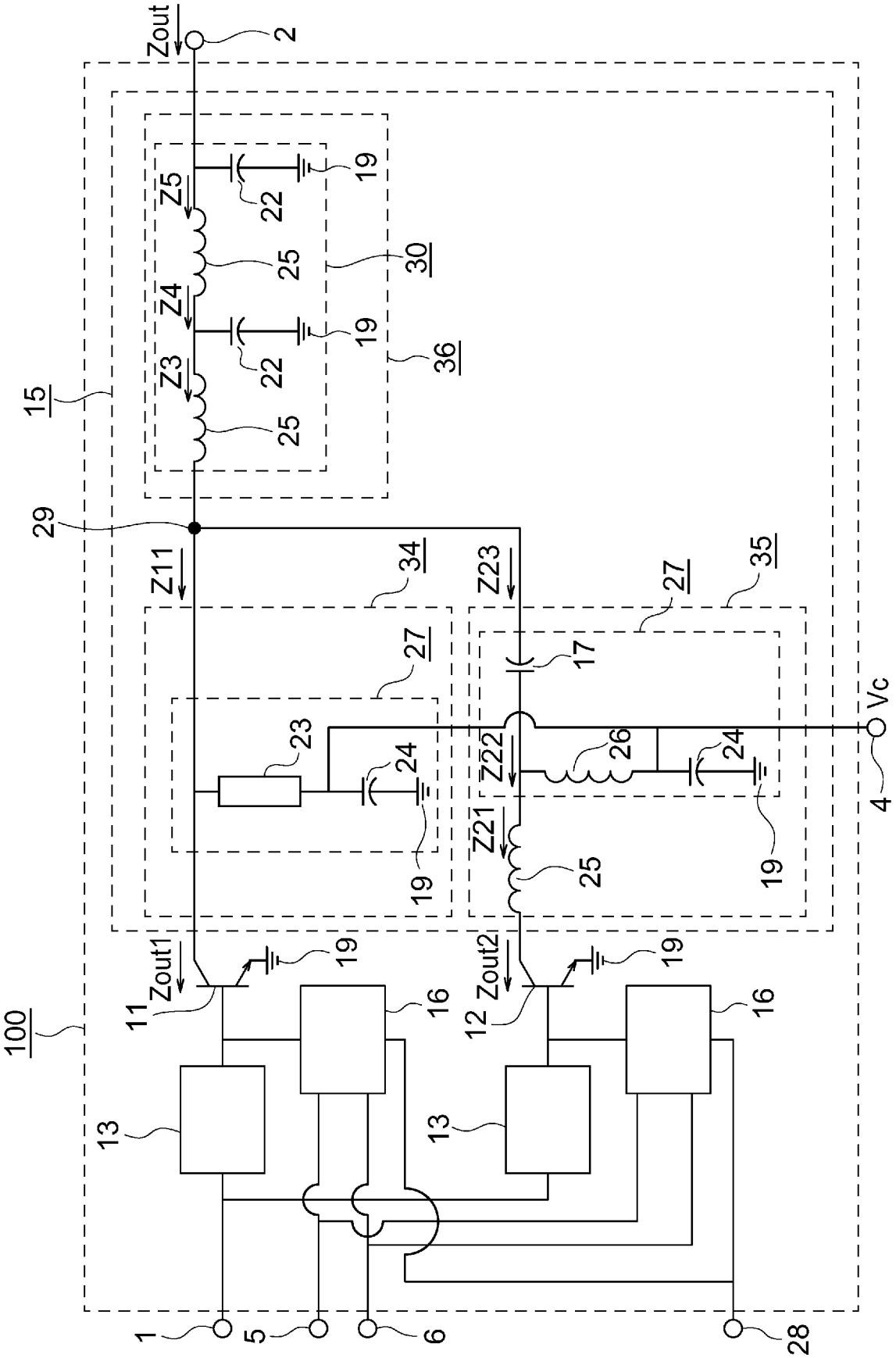
[図3]


(a)
Z1
Z_Cs
Cs
(b)
Z1
Z_Ls
Ls
(c)
Z1
Z_Cp
Cp
(d)
Z1
Z_Lp
Lp
(e)
Z_Ls
Z_Lp
大
Ls
Lp小
Z=0
Z=∞
Cp大
Z1
Z_Cp
Cs小
Z_Cs

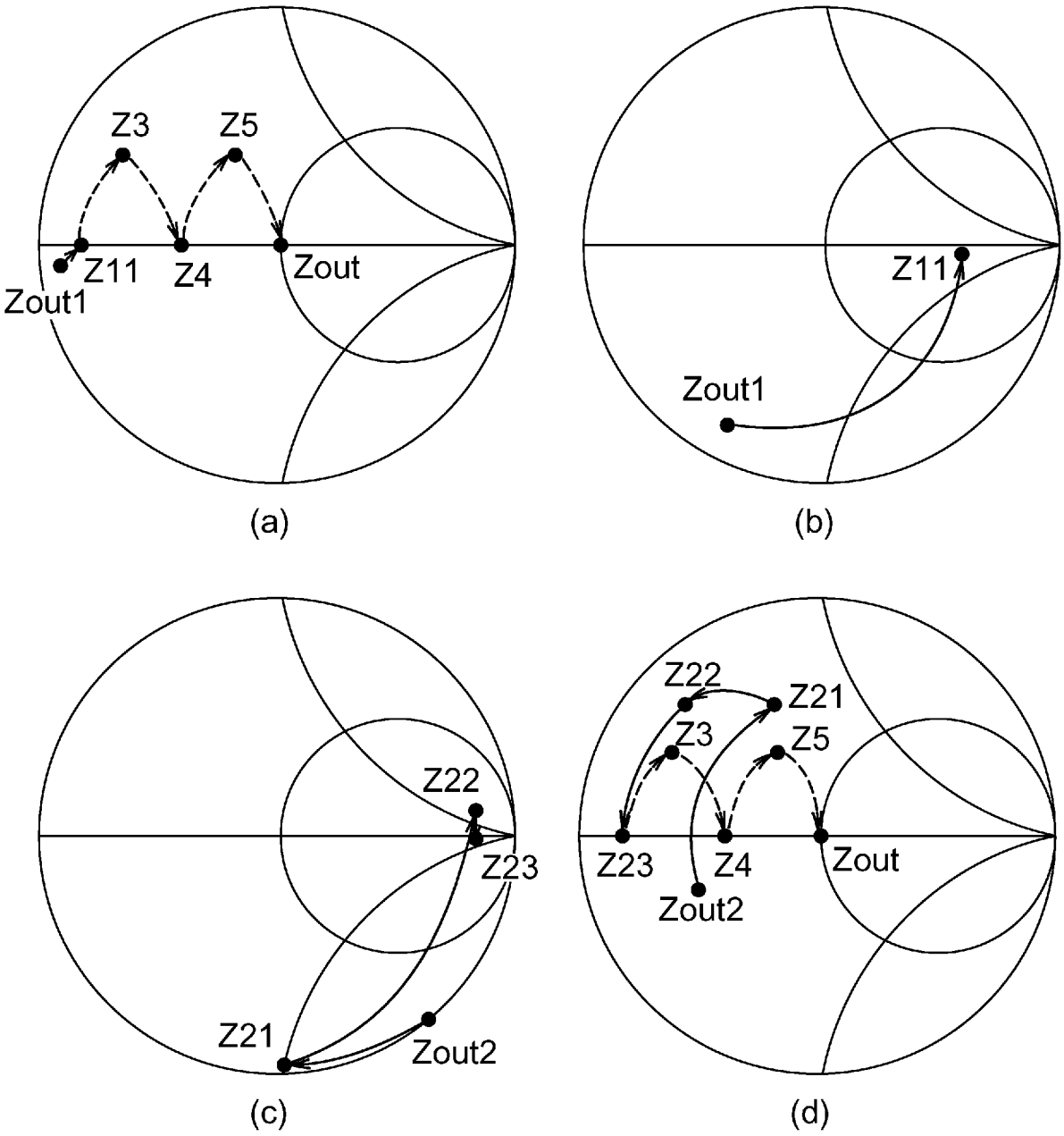
[図4]


Z3
Z11
Z14
Zout
Zout
Z12
Z13
(a)
Z13
Z14
Z11
Z12
Zout1
(b)
Z22
Z21
Zout2
(c)
Z3
Z21
Z22
Zout
Zout2
(d)

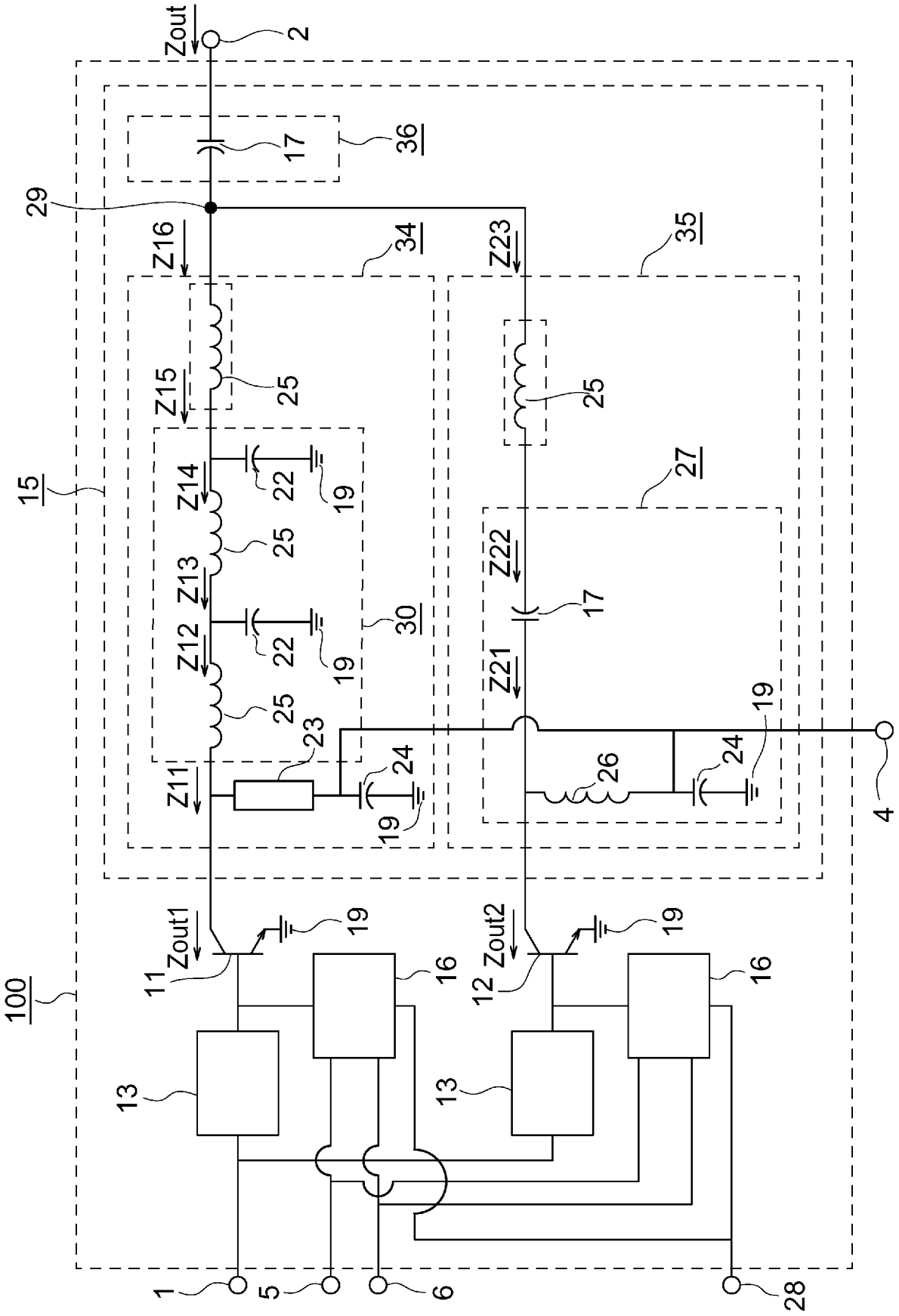
[図5]


Zout
2
Z5
22
19
25
30
Z4
19
Z3
22
36
25
15
29
Z11
34
Z23
27
35
27
17
Vc
23
24
Z22
26
24
4
Z21
19
25
19
19
Zout1
19
Zout2
19
100
11
16
12
16
13
13
1
5
6
28

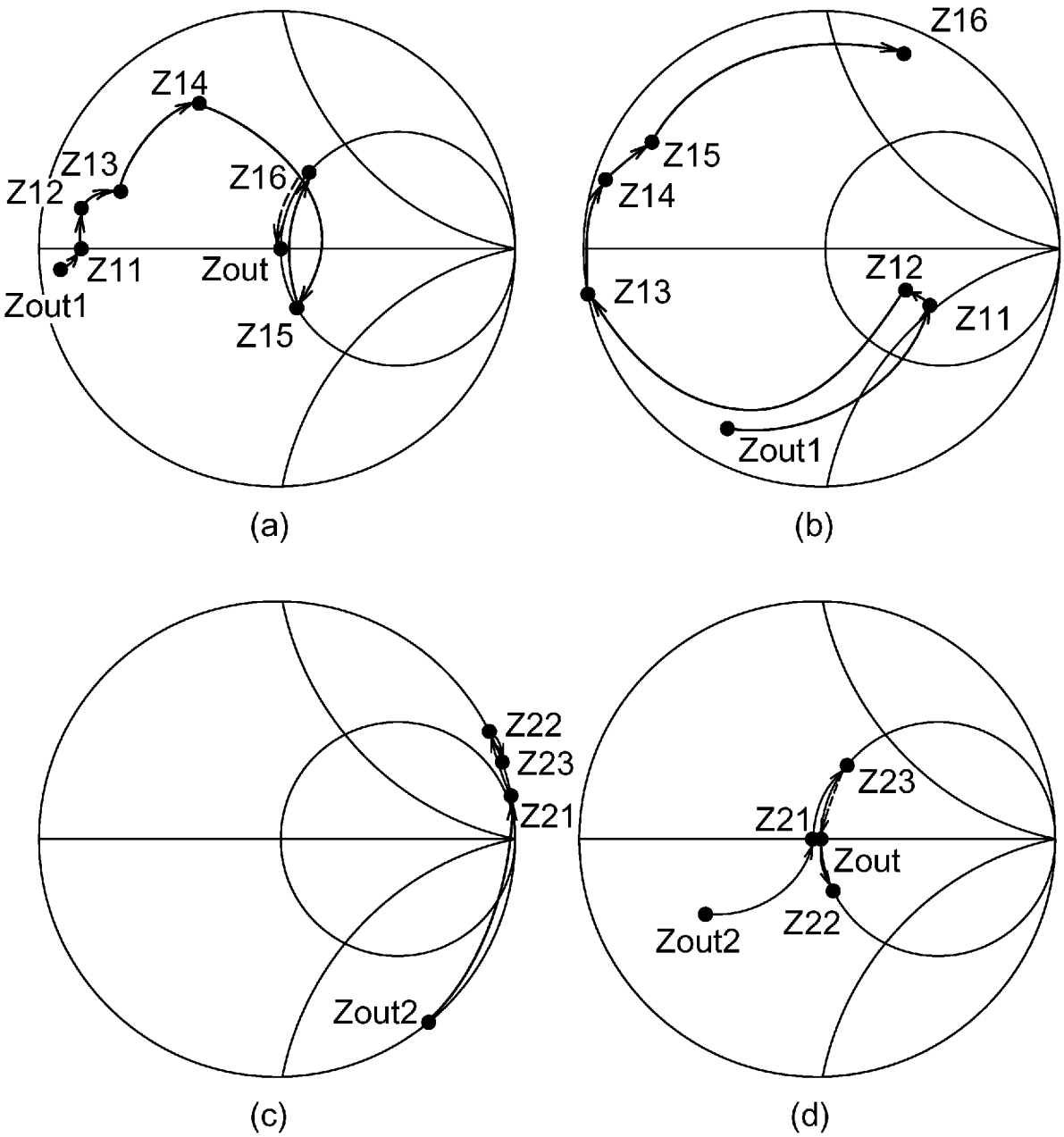
[図6]


Z3
Z5
Z11
Z4
Zout
Zout1
(a)
Z11
Zout1
(b)
Z22
Z23
Z21
Zout2
(c)
Z22
Z21
Z3
Z5
Z23
Z4
Zout
Zout2
(d)

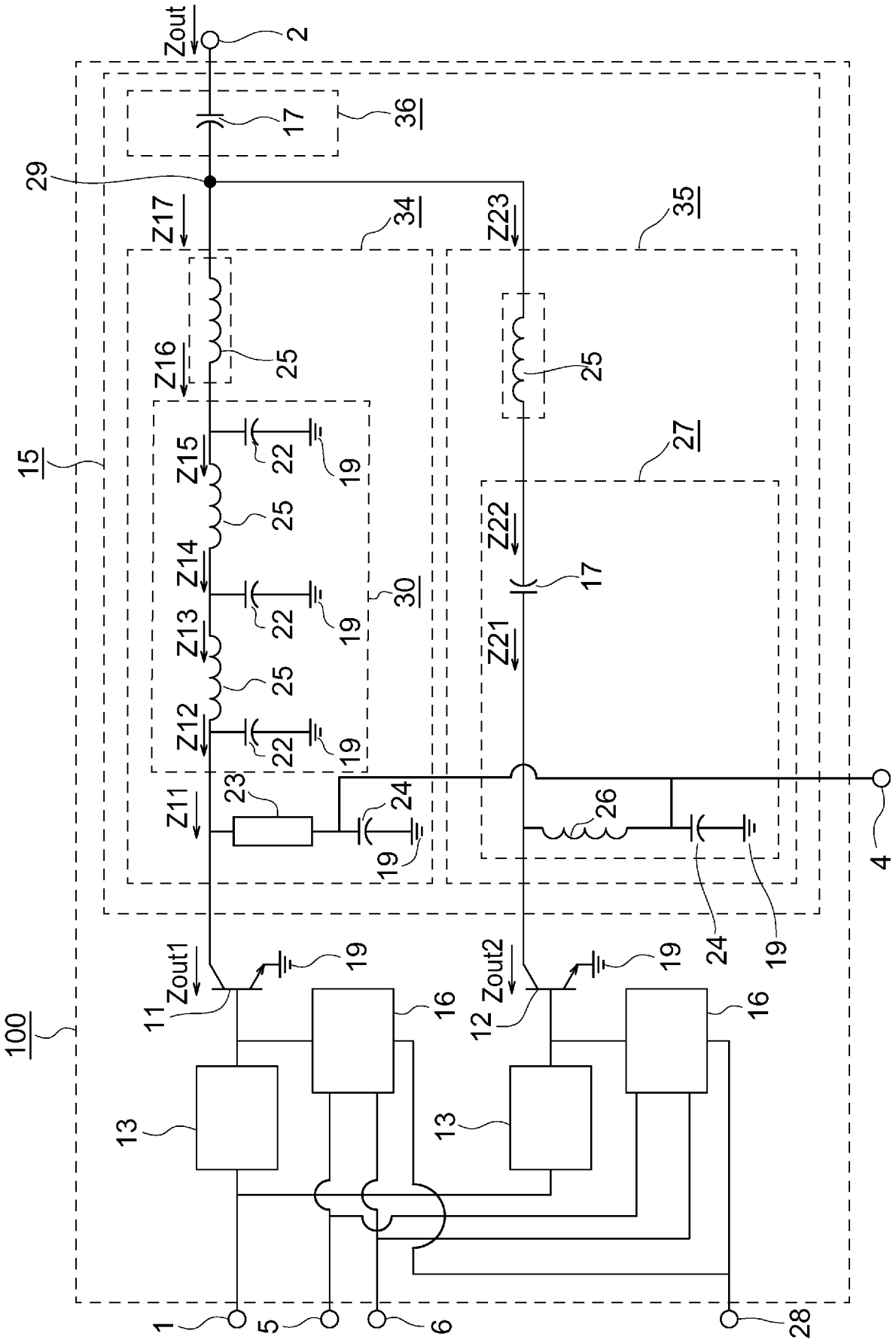
[図7]


Zout
2
17
36
29
Z16
34
Z23
35
Z15
25
25
15
Z14
22
19
27
25
Z22
Z13
17
Z12
22
19
30
Z21
25
19
23
24
Z11
26
24
19
4
19
19
Zout1
Zout2
11
12
16
16
100
13
13
1
5
6
28

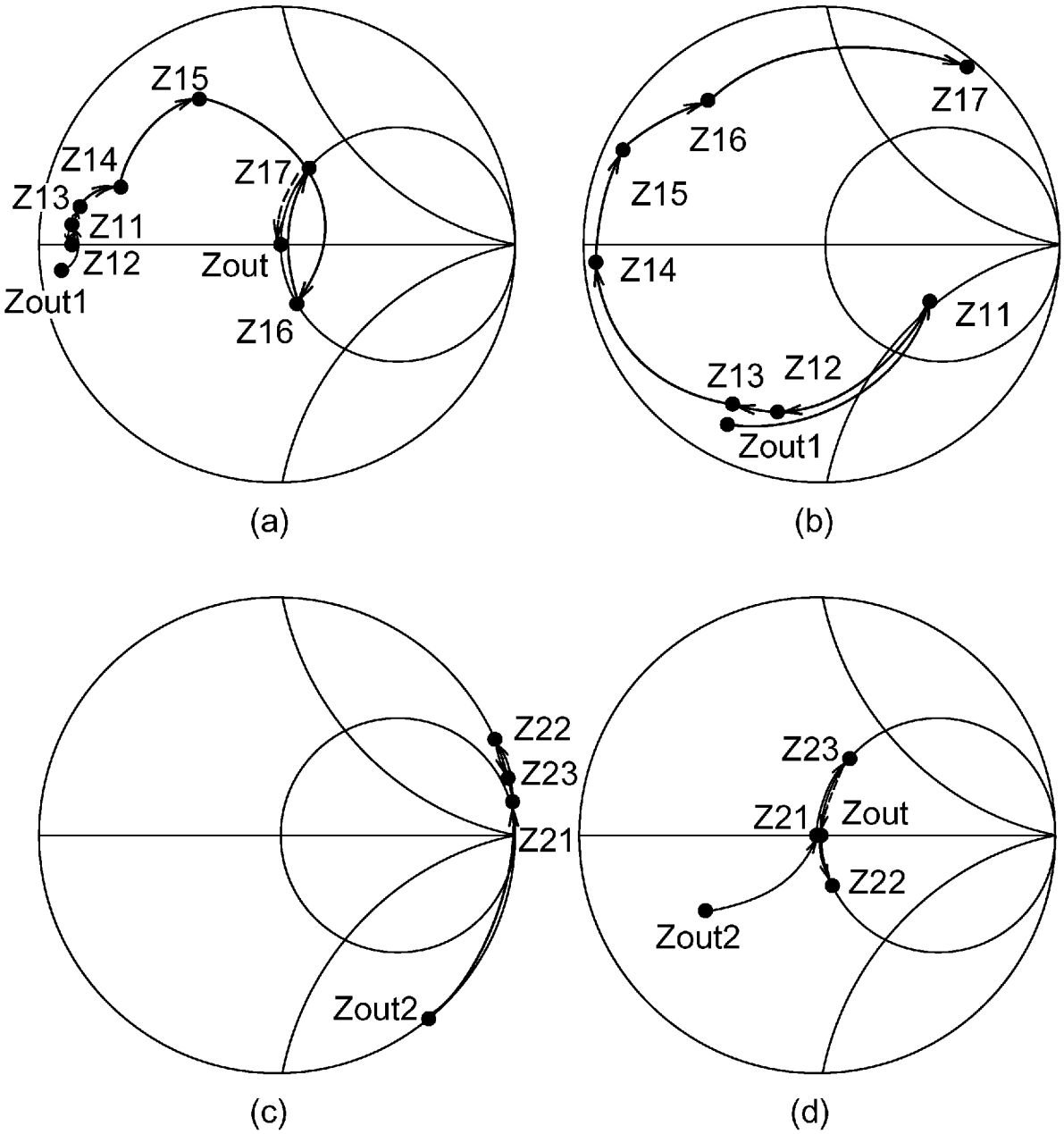
[図8]


Z14
Z13
Z12
Z16
Z11
Zout
Zout1
Z15
(a)
Z16
Z15
Z14
Z12
Z13
Z11
Zout1
(b)
Z22
Z23
Z21
Zout2
(c)
Z23
Z21
Zout
Z22
Zout2
(d)

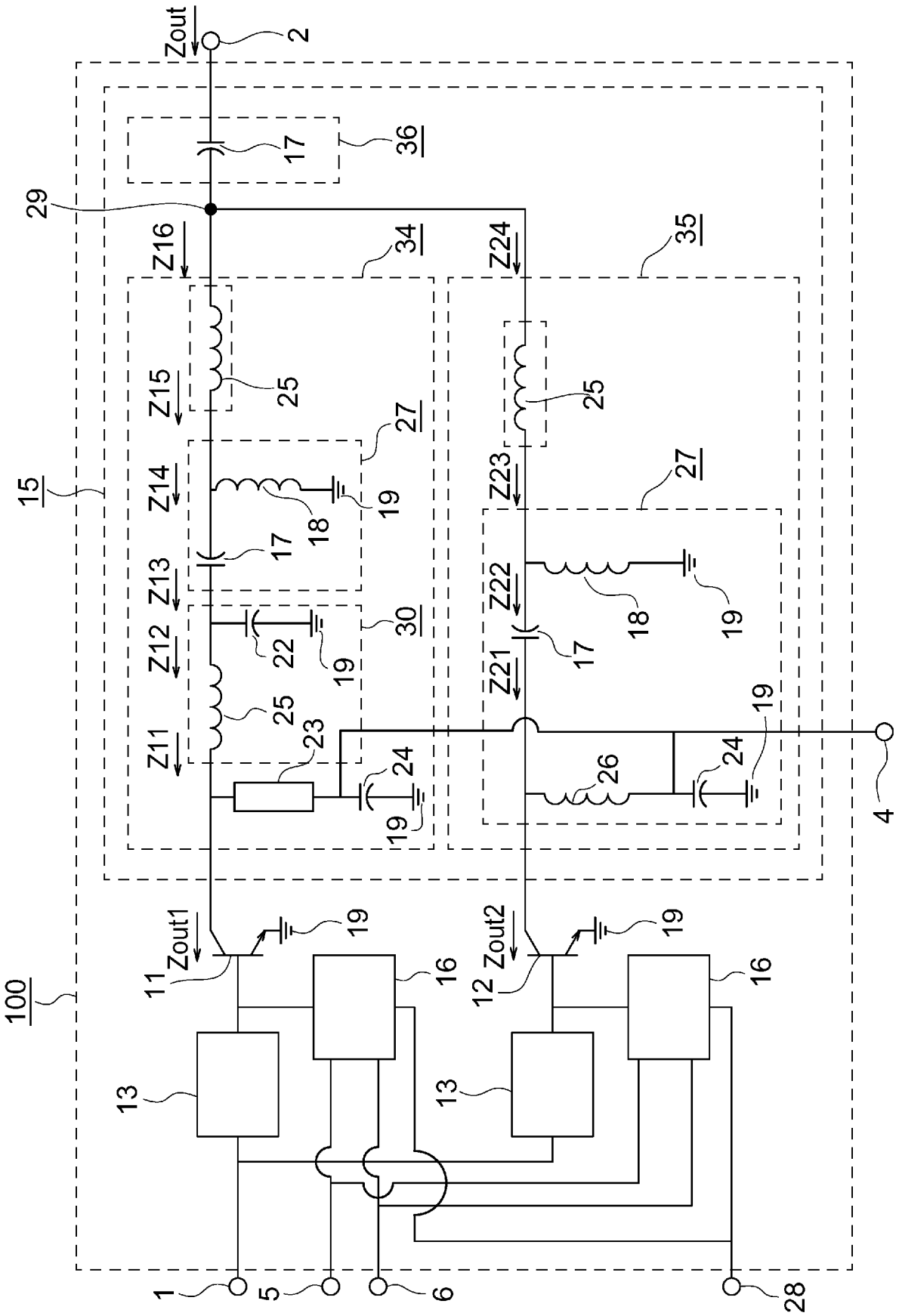
[図9]


Zout
2
17
36
29
Z17
34
Z23
35
Z16
25
25
15
Z15
22
19
27
25
Z14
Z22
17
22
19
30
Z13
Z21
25
Z12
22
19
23
Z11
24
19
26
4
Zout1
19
Zout2
19
24
19
11
16
12
16
100
13
13
1
5
6
28

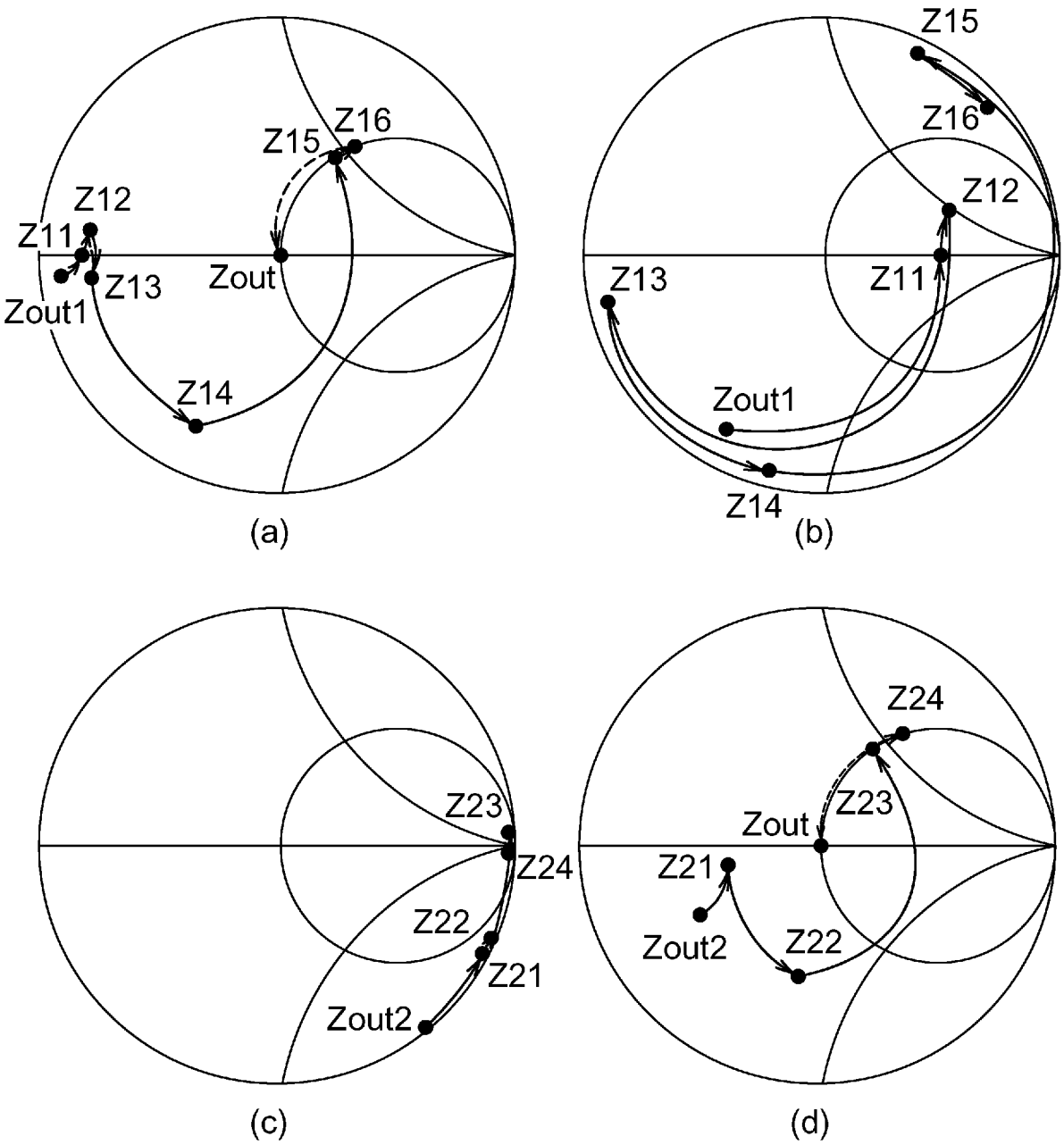
[図10]


Z15
Z14
Z13
Z11
Z12
Zout1
Z17
Zout
Z16
(a)
Z17
Z16
Z15
Z14
Z11
Z13
Z12
Zout1
(b)
Z22
Z23
Z21
Zout2
(c)
Z23
Z21
Zout
Z22
Zout2
(d)

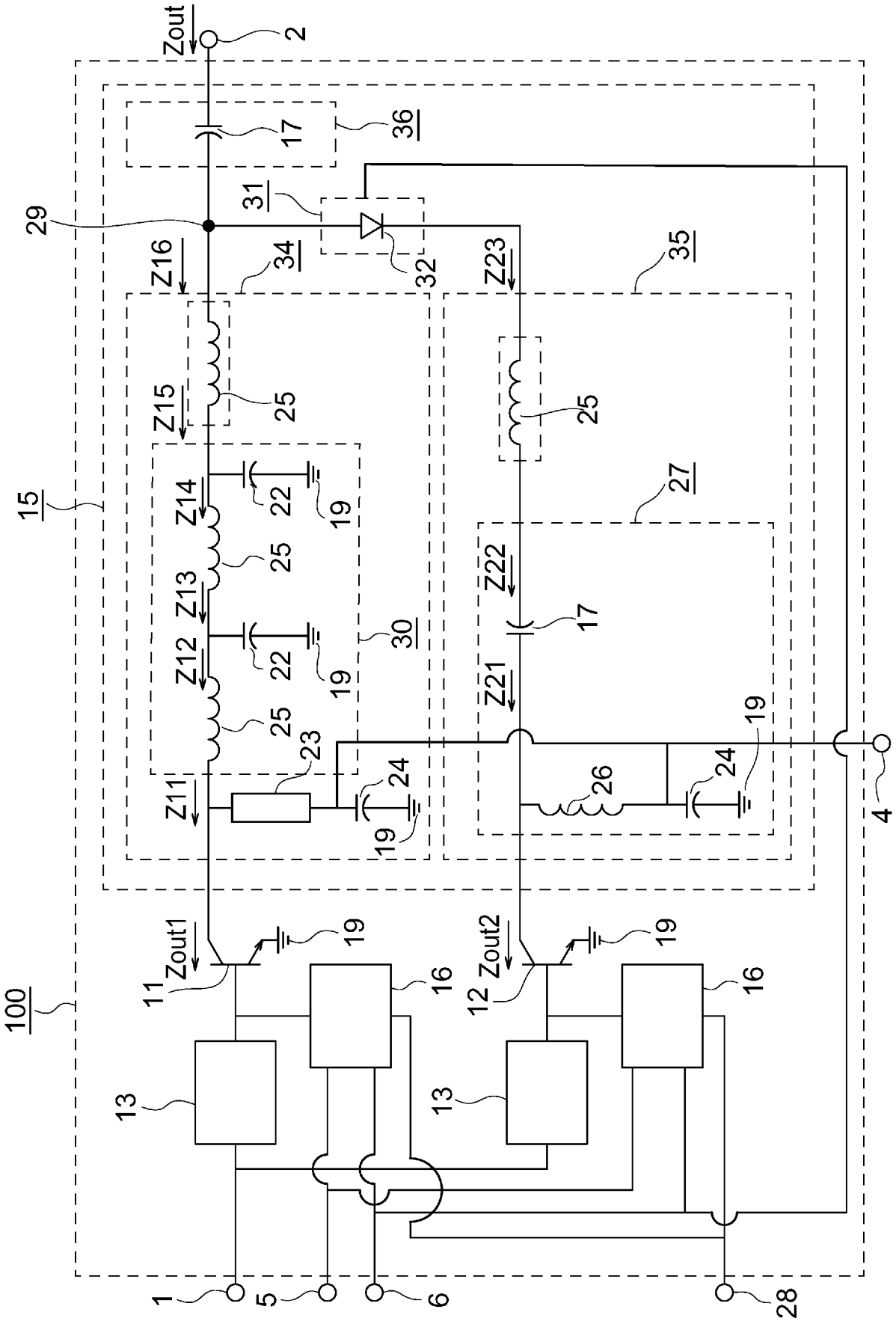
[図11]


Zout
2
36
17
29
Z16
34
Z24
35
Z15
25
25
27
Z14
19
Z23
27
15
18
17
Z13
Z22
18
19
30
Z12
22
19
Z21
17
Z11
25
23
24
19
26
24
19
4
Zout1
19
Zout2
19
100
11
16
12
16
13
13
1
5
6
28

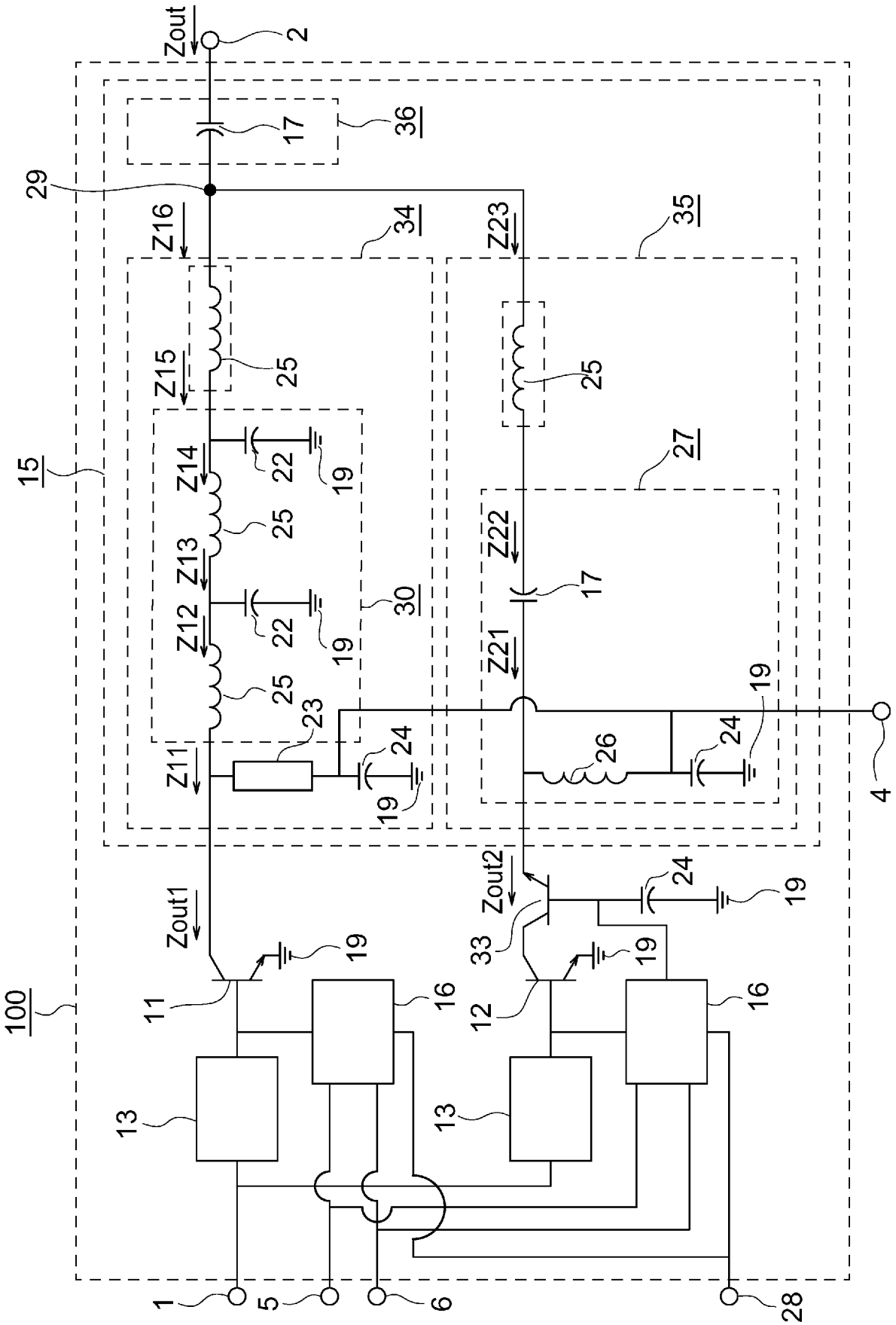
[図12]


Z16
Z15
Z12
Z11
Z13
Zout
Zout1
Z14
(a)
Z15
Z16
Z12
Z13
Z11
Zout1
Z14
(b)
Z23
Z24
Z22
Z21
Zout2
(c)
Z24
Z23
Zout
Z21
Zout2
Z22
(d)

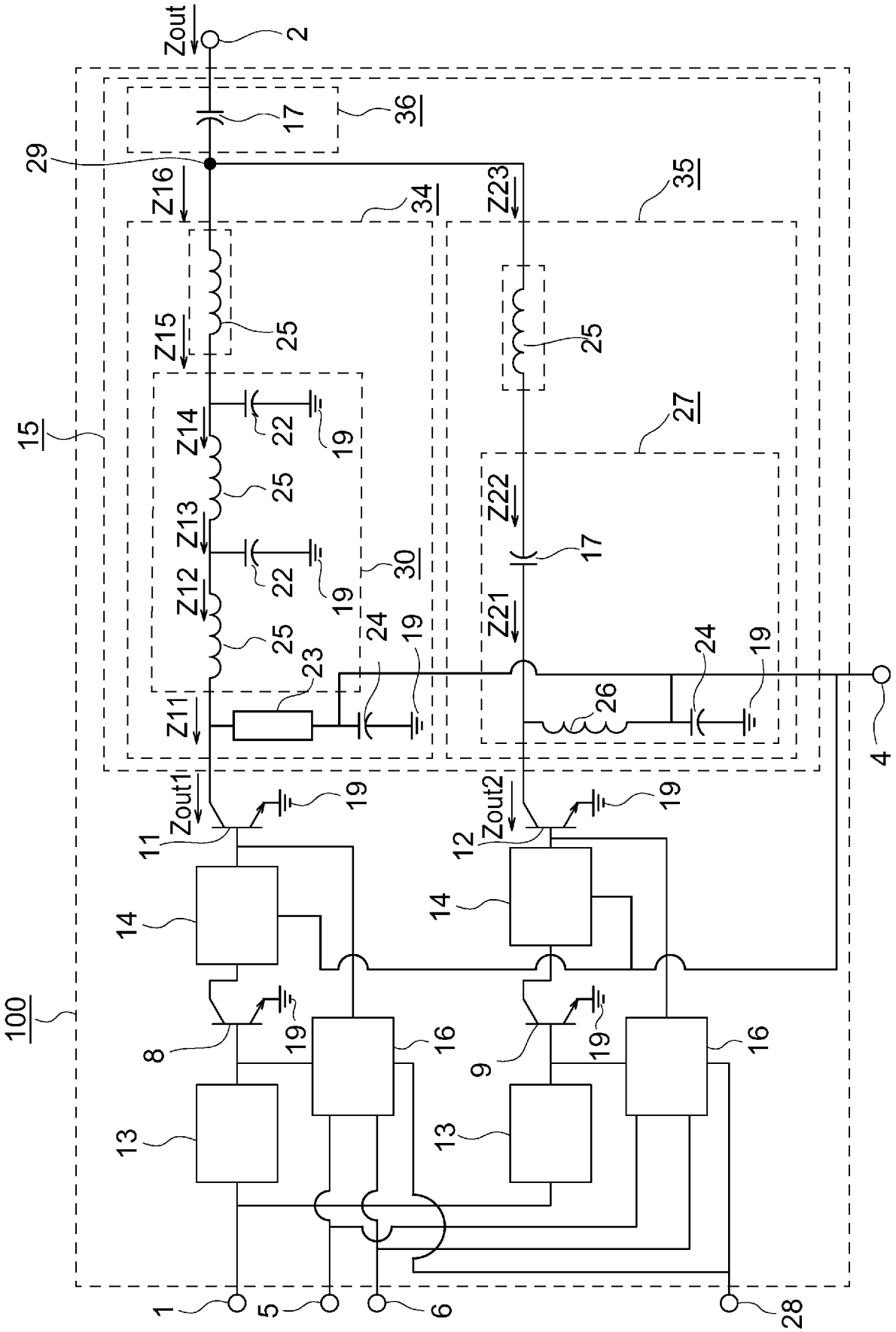
[図13]


Zout
2
17
36
31
29
32
Z16
34
Z23
35
Z15
25
25
15
Z14
22
19
27
25
Z22
Z13
17
Z12
22
19
30
Z21
19
25
23
24
Z11
26
24
19
4
19
19
Zout1
Zout2
100
11
12
16
16
13
13
1
5
6
28

[図14]


Zout
2
17
36
29
Z16
34
Z23
35
Z15
25
25
15
Z14
22
19
27
25
Z13
Z22
Z12
22
19
30
17
25
Z21
19
23
24
26
24
19
Z11
19
4
Zout2
24
19
Zout1
33
19
19
100
11
16
12
16
13
13
1
5
6
28

[図15]


Zout
2
36
17
29
Z16
34
Z23
35
Z15
25
25
15
Z14
22
19
27
25
Z22
Z13
17
22
19
30
Z12
Z21
25
24
19
24
19
23
Z11
26
4
Zout1
19
Zout2
19
11
12
14
14
100
8
19
16
9
19
16
13
13
1
5
6
28

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/323991

A. CLASSIFICATION OF SUBJECT MATTER
H03F1/02(2006.01)i, *H03F3/19*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F1/00-3/72

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-349574 A (Nippon Telegraph And Telephone Corp.), 15 December, 2000 (15.12.00), Par. Nos. [0071] to [0104], [0119] to [0123]; Figs. 1, 2, 6, 18 to 20 & JP 3712909 B2	1-9
Y	JP 2006-311300 A (Mitsubishi Electric Corp.), 09 November, 2006 (09.11.06), Figs. 2, 19 (Family: none)	1-9
Y	JP 2001-185962 A (Toshiba Corp.), 06 July, 2001 (06.07.01), Figs. 3, 12 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 February, 2007 (21.02.07)	06 March, 2007 (06.03.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/323991

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2001/059927 A1 (Mitsubishi Electric Corp.), 16 August, 2001 (16.08.01), Figs. 8, 9 & EP 1168604 A1 & CN 1346538 A & KR 2038569 A & JP 2001-540068 X & KR 414252 B & US 6812794 B1	1-9
Y	JP 2003-046340 A (Hitachi, Ltd.), 14 February, 2003 (14.02.03), Fig. 1 & US 2003/0025555 A1 & CN 1407829 A & US 6943624 B2	1-9
Y	JP 2000-278109 A (Fujitsu Ltd.), 06 October, 2000 (06.10.00), Par. Nos. [0015] to [0017], [0034] to [0037]; Figs. 2, 7 & US 6252463 B1	8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３２３９９１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03F1/02(2006.01)i, H03F3/19(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03F1/00-3/72

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP　2000-349574 A　（日本電信電話株式会社） 2000.12.15,【００７１】～【０１０４】、【０１１９】～【０１２３】、図１、図２、図６、図１８～図２０ ＆ JP　3712909 B2	１－９
Y	JP　2006-311300 A　（三菱電機株式会社） 2006.11.09,図２及び図１９ （ファミリーなし）	１－９

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．０２．２００７	０６．０３．２００７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　３７８２
嶋野　邦彦
電話番号　０３－３５８１－１１０１　内線　３５７４

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	JP　2001-185962 A　（株式会社東芝） 2001.07.06,図３及び図１２ （ファミリーなし）	１－９
Ｙ	WO　2001/059927 A1　（三菱電機株式会社） 2001.08.16,第８図及び第９図 ＆ EP　1168604 A1 ＆ CN　1346538 A ＆ KR　2038569 A ＆ JP　2001-540068 X ＆ KR　414252 B , ＆ US　6812794 B1	１－９
Ｙ	JP　2003-046340 A　（株式会社日立製作所） 2003.02.14,図１ ＆ US　2003/0025555 A1 ＆ CN　1407829 A ＆ US　6943624 B2	１－９
Ｙ	JP　2000-278109 A　（富士通株式会社） 2000.10.06,【００１５】～【００１７】、【００３４】～【００３７】、図２及び図７ ＆ US　6252463 B1	８