

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5747761号
(P5747761)

(45) 発行日 平成27年7月15日(2015.7.15)

(24) 登録日 平成27年5月22日(2015.5.22)

(51) Int.Cl. F I
H03M 1/74 (2006.01) H03M 1/74

請求項の数 8 (全 13 頁)

| | | | |
|-----------|------------------------------|-----------|--|
| (21) 出願番号 | 特願2011-208186 (P2011-208186) | (73) 特許権者 | 000005223 富士通株式会社 |
| (22) 出願日 | 平成23年9月22日 (2011.9.22) | | 神奈川県川崎市中原区上小田中4丁目1番1号 |
| (65) 公開番号 | 特開2013-70283 (P2013-70283A) | (74) 代理人 | 100070150 弁理士 伊東 忠彦 |
| (43) 公開日 | 平成25年4月18日 (2013.4.18) | (74) 代理人 | 100146776 弁理士 山口 昭則 |
| 審査請求日 | 平成26年6月3日 (2014.6.3) | (72) 発明者 | 奥 秀樹 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 |
| | | 審査官 | 官島 郁美 |

最終頁に続く

(54) 【発明の名称】 デジタル-アナログ変換器及び半導体集積回路

(57) 【特許請求の範囲】

【請求項 1】

基準電流を所定のミラー比で複製する第1トランジスタと、前記第1トランジスタにカスコード接続される第2トランジスタとを含むミラー回路と、

前記第2トランジスタのゲートに接続され、外部からの入力されるデジタル入力信号によってオン・オフ制御されるアナログスイッチと、

前記基準電流の生成に用いられる第3トランジスタと、

前記第3トランジスタのゲート電位を生成するための第4トランジスタと、

を含み、前記第2トランジスタのゲートは、前記アナログスイッチを介して前記第3トランジスタのゲートに接続され、

前記第2トランジスタのゲートは、前記第4トランジスタのドレイン電位に接続されていることを特徴とするデジタル-アナログ変換器。

【請求項 2】

前記第3トランジスタのゲートと前記第4トランジスタのドレインの間に接続され、制御端子にて高電位信号を受け取るダミーアナログスイッチ、

をさらに含むことを特徴とする請求項1に記載のデジタル-アナログ変換器。

【請求項 3】

前記アナログスイッチは、前記デジタル入力信号が高電位のときにオンして、前記第2トランジスタを導通することを特徴とする請求項1に記載のデジタル-アナログ変換器。

【請求項 4】

10

20

前記アナログスイッチは、前記デジタル入力信号が低電位の際にオフになり、前記第2トランジスタをパワーダウンすることを特徴とする請求項1に記載のデジタル-アナログ変換器。

【請求項5】

前記アナログスイッチは、前記デジタル入力信号が高電位の際にオンして、前記第2トランジスタのゲートに前記第4トランジスタのドレイン電位を印加することを特徴とする請求項1に記載のデジタル-アナログ変換器。

【請求項6】

前記第3トランジスタに直列接続されて前記基準電流を生成する第5トランジスタ、をさらに含み、前記第1トランジスタのゲートは、前記第5トランジスタのゲートに接続されていることを特徴とする請求項1に記載のデジタル-アナログ変換器

10

【請求項7】

前記第2トランジスタのゲートと前記アナログスイッチとに接続され、前記デジタル入力信号を受け取る第6トランジスタ、

をさらに含み、前記第6トランジスタは、前記デジタル入力信号が高電位の際にオフになることを特徴とする請求項1に記載のデジタル-アナログ変換器。

【請求項8】

基準電流を所定のミラー比で複製する第1トランジスタと、

前記第1トランジスタにカスコード接続される第2トランジスタと、

前記第2トランジスタのゲートに接続され、外部から入力される信号によってオン・オフ制御されるとともに、前記第2トランジスタのオン・オフを制御するアナログスイッチと、

20

前記基準電流の生成に用いられる第3トランジスタと、

前記第3トランジスタのゲート電位を生成するための第4トランジスタと、

を含み、前記第2トランジスタのゲートは、前記アナログスイッチを介して前記第3トランジスタのゲートに接続され、

前記第2トランジスタのゲートは、前記第4トランジスタのドレイン電位に接続されていることを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、デジタル-アナログ変換器と半導体集積回路に関する。

【背景技術】

【0002】

電流出力型デジタル-アナログ変換回路では、ビットに応じて重み付けされた抵抗が、スイッチを介して並列接続される。ここに一定の電圧をかけると、スイッチでオンした抵抗に流れる電流の総和が総電流量となり、入力デジタル値に応じた電流が出力される。

【0003】

図1は、半導体集積回路による公知のデジタル-アナログ変換器(以下、「DA変換器」と称する)100を示す(従来方式1)。電流源122で生成された電流はPMOSトランジスタP1を介して電流セルアレイ124に供給される。電流セルアレイ124のPMOSトランジスタPaのドレインは、スイッチ群126の対応する差動スイッチに接続される。差動スイッチは、一对のPMOSトランジスタ Q_{xi} 、 Q_{yi} で構成される。Nビットの入力デジタル信号がデコードされたデコード信号 S_{iPx} 、 S_{iPy} は、対応する差動スイッチのPMOSトランジスタ対 Q_{xi} 、 Q_{yi} に印加され、差動スイッチのオン・オフが制御される。

40

【0004】

PMOSトランジスタ Q_{xi} のドレインは電流経路 x_i に接続される。PMOSトランジスタ Q_{yi} のドレインは電流経路 y_i に接続される。差動スイッチのオン・オフ状態によって電流経路 x_i と y_i のいずれかが選択され、差動スイッチごとの電流値が加算され

50

る。電流経路 x_i 、 y_i を流れる総電流 I_x 、 I_y が出力電流となる。出力電流は電流電圧変換回路 128 によって電圧に変換され、バッファ回路 130 を介して出力端子 132 からアナログ信号として出力される。

【0005】

図1の構成では、差動スイッチPMOSトランジスタ Q_{xi} 、 Q_{yi} のソース - ドレイン間に電圧降下が発生する。また、電流セルアレイ124の各トランジスタを流れる電流 $I_{a0} \sim I_{an}$ は、アーリー効果の影響により変動しやすい。MOSトランジスタ P_a のドレイン電圧 V_{ds} の変動が、電流 $I_{a0} \sim I_{an}$ に直接影響するからである。

【0006】

V_{ds} のばらつきによる電流誤差を低減するために、電流セルアレイ124をカスコードカレントミラーに置き換えることが考えられるが、この場合、図2に示すように、MOSトランジスタによる電圧降下はさらに大きくなる。

【0007】

図2は、カスコードカレントミラー回路210で生成された電流 i_3 、 i_4 を差動スイッチ SW_1 、 SW_2 に接続する構成を示す(従来方式2)。差動スイッチ SW_1 は一対のトランジスタ Q_1 、 Q_2 で構成される。 Q_1 、 Q_2 のゲートには、信号 PD_1 とその反転信号がそれぞれ印加される。差動スイッチ SW_2 は一対のトランジスタ Q_3 、 Q_4 で構成される。 Q_3 、 Q_4 のゲートには、信号 PD_2 とその反転信号がそれぞれ印加される。定電流源215では、 T_1 を用いて T_3 のゲート電位を決定することにより、 T_2 のドレイン電位を固定する。 T_2 のゲート電位を T_4 、 T_6 のゲートに印加することにより、電流 i_2 をコピーすることができる。 T_5 により T_4 のドレイン電位を固定し、 T_7 で T_6 のドレイン電位を固定することによって、アーリー効果による電流精度の劣化を防止することができる。

【0008】

しかし、図2の構成では、スイッチ $Q_1 \sim Q_4$ のドレイン - ソース間に電圧降下が発生するだけでなく、カスコードカレントミラー回路210で追加接続したトランジスタ T_5 、 T_7 の分だけ、さらにドレイン - ソース間の電圧降下が増大する。

【0009】

他方、パワーダウン動作が可能な回路で用いられるカレントミラー回路を用いる構成が知られている。図3は、アナログスイッチを用いたカレントミラー回路300の構成例を示す(従来方式3)。カレントミラー回路300では、トランジスタ Tr_2 、 Tr_3 、 Tr_4 、 Tr_5 の各々に対して、一対のスイッチ(31、41)、(32、42)、(33、43)、(34、44)がそれぞれ配置されている。各スイッチは入力データビットでオン・オフ制御され、対応するトランジスタ $Tr_2 \sim Tr_5$ のドレインを、 V_{DD} ラインまたはトランジスタ Tr_1 のドレインのいずれかに接続する。トランジスタ $Tr_2 \sim Tr_5$ はそれぞれ異なるサイズに形成され、トランジスタのサイズに応じて基準電流 I_{ref} を 2^{n-1} 倍にコピーする。図3の構成では、スイッチ41、42、43、44による電圧降下が、 $Tr_2 \sim Tr_5$ に流れる電流に直接影響するため、ミラー比の精度が悪くなる。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2010-35090号公報

【特許文献2】特開2006-313568号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

デジタル - アナログ変換器(DA変換器)において、低電圧動作を実現するとともに、ミラー電流精度を高める。

【課題を解決するための手段】

【0012】

10

20

30

40

50

第 1 の態様では、デジタル - アナログ変換器は、
 基準電流を所定のミラー比で複製する第 1 トランジスタと、前記第 1 トランジスタにカ
 スコード接続される第 2 トランジスタとを含むミラー回路と、
 前記第 2 トランジスタのゲートに接続され、外部からの入力されるデジタル入力信号に
 よってオン・オフ制御されるアナログスイッチと、
 を含む。

【 0 0 1 3 】

第 2 の態様では、半導体集積回路は、
 基準電流を所定のミラー比で複製する第 1 トランジスタと、
 前記第 1 トランジスタにカスコード接続される第 2 トランジスタと、
 前記第 2 トランジスタのゲートに接続され、外部から入力される信号によってオン・オ
 フ制御されるとともに、前記第 2 トランジスタのオン・オフを制御するアナログスイッ
 チと、を含む。

10

【発明の効果】

【 0 0 1 4 】

デジタル - アナログ変換器の低電圧動作を実現するとともに、ミラー電流精度を高める
 ことができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】電流出力型 D A 変換器の従来構成例（従来方式 1）を示す図である。

20

【図 2】電流出力型 D A 変換器の従来構成例（従来方式 2）を示す図である。

【図 3】パワーダウン動作が可能な回路で用いられるカレントミラー回路の構成例（従来
 方式 3）を示す図である。

【図 4】実施例 1 の電流出力型 D A 変換器の構成例を示す図である。

【図 5】従来方式 1 ~ 3 と比較した実施例 1 の構成の効果を示すグラフである。

【図 6】実施例 2 の電流出力型 D A 変換器の構成例を示す図である。

【図 7】実施例 2 の効果を従来方式 3 と比較して示すグラフである。

【図 8】実施例 3 の D A 変換器の構成例を示す図である。

【発明を実施するための形態】

【 0 0 1 6 】

以下で図面を参照して実施例を説明する。

30

【実施例 1】

【 0 0 1 7 】

図 4 は、実施例 1 の D A 変換器 1 0 の構成例を示す図である。D A 変換器 1 0 は、カレ
 ントミラー回路 1 5 を有する。カレントミラー回路 1 5 は、基準電流を生成する電流源 1
 1 と、電流源 1 1 で生成された基準電流を所定の比率で生成するミラー回路 3 1 - 1、3
 1 - 2 と、ミラー回路 3 1 - 1、3 1 - 2 に接続されるアナログスイッチ A S W 1、A S
 W 2 を有するパワーダウン回路 2 1 - 1、2 1 - 2 を含む。アナログスイッチ A S W 1、
 A S W 2 は、デジタル入力信号 P D 1、P D 2 によりオン・オフ制御される。

【 0 0 1 8 】

40

ミラー回路 3 1 - 1 は、アナログ電源電圧 a V d d に接続されるトランジスタ T 4 と、
 T 4 にカスコード接続されたトランジスタ T 5 を含む。T 4 のソースは a V d d に接続さ
 れ、ドレイン電極は T 5 の入力（ソース電極）に直結している。トランジスタ T 4 はミラ
 ー回路 3 1 - 1 に流れる電流を決定するためのトランジスタであり、電流源 1 1 で生成さ
 れた基準電流 i_2 が所定の比率で複製されるようにチャネル幅が設定されている。トラン
 ジスタ T 5 はトランジスタ T 4 のドレイン電位を固定することによって、アーリー効果に
 よるミラー精度の劣化を防止している。

【 0 0 1 9 】

同様に、ミラー回路 3 1 - 2 は、アナログ電源電圧 a V d d に接続されるトランジスタ
 T 6 と、T 6 にカスコード接続されたトランジスタ T 7 を含む。T 6 のソースは a V d d

50

に接続され、ドレイン電極はT7の入力（ソース電極）に直結している。トランジスタT6はミラー回路31-2に流れる電流を決定するためのトランジスタであり、電流源11で生成された基準電流 i_2 が、ミラー回路31-1と異なる比率で複製されるようにチャネル幅が設定されている。トランジスタT7はMOSトランジスタT6のドレイン電位を固定することによって、アーリー効果によるミラー精度の劣化を防止している。

【0020】

パワーダウン回路21-1は、ミラー回路31-1のカスコード側のトランジスタT5のゲートに接続されるアナログスイッチASW1とトランジスタT8を含む。トランジスタT8のソースは aV_{dd} に接続され、ドレインはアナログスイッチASW1に接続されている。アナログスイッチASW1は、たとえば4端子のCMOSアナログスイッチである。デジタル入力PD1は、アナログスイッチASW1の制御端子に接続される。ミラー回路31-1のトランジスタT5にアナログスイッチASW1とトランジスタT8を付加したことにより、後述するようにパワーダウン動作が実現される。

10

【0021】

同様にパワーダウン回路21-2は、ミラー回路31-2のカスコード側のトランジスタT7に接続されるアナログスイッチASW2とMOSトランジスタT9を含む。トランジスタT9のソースは aV_{dd} に接続され、ドレインはアナログスイッチASW2に接続されている。アナログスイッチASW2は、ASW1と同様に4端子のCMOSアナログスイッチである。デジタル入力PD2は、アナログスイッチASW2の制御端子に接続される。ミラー回路31-2のトランジスタT7にアナログスイッチASW2とトランジスタT9を付加したことにより、パワーダウン動作が実現される。

20

【0022】

電流源11は、 aV_{dd} に接続されるトランジスタT1と、T1と並列に aV_{dd} に接続されるトランジスタT2と、T2のドレインに接続されるトランジスタT3を含む。T2およびT3の経路を流れる電流 i_2 をミラー回路31-1、31-2で複製させるためには、T2、T3を飽和領域で動作させる必要がある。そこで、トランジスタT1のゲートをT3のゲートに接続して、T3のゲート電位を決定する。これにより、MOSトランジスタT2のドレイン電位が固定され、T2とT3は飽和領域で動作することができる。T1はT2とT3を飽和領域で確実に動作させるためのトランジスタであり、T1を流れる電流 i_1 と、T2、T3の経路を流れる電流 i_2 は等しい。また、T2のゲートをT3のドレインに接続することにより、T2のソースとT3のドレイン間の電圧を通常のカスコードカレントミラーよりも小さくすることができる。

30

【0023】

電流源11のトランジスタT2のゲートは、ミラー回路31-1のMOSトランジスタT4のゲートと、ミラー回路31-2のトランジスタT6のゲートに接続されている。T2のゲート電位をT4、T6に印加することで、電流 i_2 をコピーすることができる。電流 i_2 をどれだけ比率でコピーするかは、上述のようにT4、T6のチャネル幅で規定されている。電流源11のトランジスタT3のゲートは、アナログスイッチASW1を介してミラー回路31-1のカスコード側トランジスタT5のゲートに接続され、アナログスイッチASW2を介してミラー回路31-2のカスコード側トランジスタT7のゲートに接続されている。

40

【0024】

T2、T3が飽和領域で動作していれば、T4、T5、T6、T7も飽和領域で動作する。図1の例では、図示の便宜上2つのミラー回路31-1、31-2だけが図示されているが、入力デジタル信号のビット数に応じて任意の数のミラー回路を接続することができる。カレントミラー回路15で用いられるトランジスタT1~T9は、たとえば電界効果型MOSトランジスタである。

【0025】

デジタル入力信号PD1は、パワーダウン回路21-1のアナログスイッチASW1とトランジスタT8のゲートに接続される。デジタル入力信号PD2は、パワーダウン回路

50

21 - 2のアナログスイッチASW2とトランジスタT9のゲートに接続される。デジタル信号PD1、PD2は、それぞれアナログスイッチASW1、ASW2のオン・オフを制御する。アナログスイッチASW1、ASW2のオン・オフにより、トランジスタT5、T7のオン・オフが制御され、ミラー回路31 - 1、31 - 2に流れる電流*i*₃、*i*₄が制御される。電流*i*₃と*i*₄の和がカレントミラー回路15の出力電流I_{out}となる。出力電流I_{out}は、電流電圧変換器41で電圧に変換される。電流電圧変換器41の出力V_{out}が、入力デジタル信号の値に応じたアナログ電圧信号であり、DA変換器10の出力となる。

【0026】

図1のDA変換器10の動作を説明する。パワーダウン回路21 - 1に入力されるデジタル信号PD1がHighの場合、アナログスイッチASW1はオン状態（ローインピーダンス状態）となり、トランジスタT8はオフになる。T8のゲート - ソース間の電圧が0Vになるからである。

10

【0027】

アナログスイッチASW1がオンすることにより、トランジスタT1のドレイン電位V₁はミラー回路31 - 1のカスコード側トランジスタT5のゲートに印加される。すなわち、T5のゲート電位はT1のドレイン電位となる。このときトランジスタT4で決定された電流*i*₃が流れる。T4のドレイン電位はトランジスタT5により固定されているので、電流*i*₃の変動を防止することができる。

【0028】

20

カスコード側のトランジスタT5は、電流を決定するトランジスタT4のドレイン電位を安定させると同時に、ミラー回路31 - 1に流れる電流を切り替えるゲートスイッチとして用いられる。したがって、従来構成と異なり、ミラー回路で生成された電流*i*₃をスイッチングするための追加のスイッチは不要である。追加スイッチに起因する電圧降下を回避することができる。

【0029】

入力デジタル信号PD1がLowのとき、アナログスイッチASW1はオフ状態（ハイインピーダンス状態）となり、トランジスタT8はオンになる。T8のゲート - ソース間電圧がV_{dd}になるからである。アナログスイッチASW1がオフされることにより、ミラー回路31 - 1のカスコード側トランジスタT5もオフになる。このとき電流*i*₃は流れない。このように、パワーダウン回路21 - 1をハイインピーダンスにして、ミラー回路31 - 1をパワーダウン状態にすることができる。

30

【0030】

入力デジタル信号PD2が入力されるパワーダウン回路21 - 2と、ミラー回路31 - 2についても、同様の動作が当てはまる。

【0031】

図5は、図4に示した実施例1のDA変換器10の電流電圧特性を、従来方式1～3の回路と比較したグラフである。実線で示す実施例1の構成では、電流出力型DA変換器10の出力電流は一定で安定している。また、所定の電流出力を得るのに最も低い電圧ですむので、DA変換器10全体の低電圧化が実現する。逆に言うと、同じ出力電流でDA変換器10の後段に接続される回路にかかる電圧を大きくすることができる（アナログ出力信号のパワーを高めることができる）。

40

【0032】

点線で示す図1の従来方式1は、出力電流を一定にするために大きな電圧を要する。従来方式1の電流セルアレイ124は、アーリー効果の影響によりドレイン電流が変動し、電流精度が悪い。ドレイン電流の変動の影響を相対的に小さくして電流を安定させるために、大きな電圧が必要になる。また、従来方式1は、スイッチ126に起因する電圧降下の影響も受ける。スイッチ126での電圧降下の影響を相対的に小さくするために、大きな電圧が必要になる。

【0033】

50

一点鎖線で示す図2の従来方式2では、カスコードミラー回路210を用いて電流精度を高めているので、実施例1と同様に電流値が一定する。しかし、実施例1と比較すると大きな電圧を要する。この電圧の差は、カスコードミラーに直列に接続されたスイッチSWのソース・ドレイン間の電圧降下分に対応する。

【0034】

二点鎖線で示す従来方式3では、アナログスイッチ41、42、43、44の電圧降下が直接トランジスタTr2、Tr3、Tr4、Tr5に影響するので、出力電流が一定しない。

【0035】

このように、実施例1の構成では、低電圧で動作可能であり、かつ出力電流が安定するという効果を達成することができる。この効果は、低電圧カスコードミラーにおいて特に有益である。

【実施例2】

【0036】

図6は、実施例2の電流出力型DA変換器50の構成を示す図である。実施例2では、ダミーのアナログスイッチASW3を含むダミー回路51を接続することにより、アナログスイッチASW1、ASW2による電圧降下の影響を排除する。

【0037】

カレントミラー回路55において、理想的には、ミラー回路31-1のカスコード側トランジスタT5のゲート電位と、ミラー回路31-2のカスコード側トランジスタT7のゲート電位は、電流源11のトランジスタT3のゲート電位と等しくなければならない。T1により生成されたT3のゲート電位を、T5、T7に反映させて飽和領域で動作させる必要があるからである。

【0038】

しかし、アナログスイッチASW1、ASW2をMOSトランジスタで構成した場合、各トランジスタのソース・ドレイン間で電圧降下が生じることは否定できない。実施例1の構成では、アナログスイッチASW1、ASW2の電圧降下により、トランジスタT5、T7のゲート電位が、T3のゲート電位と異なる可能性があった。T5、T7のゲート電位が変わると、電流を決定するトランジスタT4、T6のドレイン電位も、トランジスタT2のドレイン電位と異なってくる。このドレイン電流の変動により電流精度が劣化するおそれがある。

【0039】

そこで、実施例2ではダミー回路51を用いて、アナログスイッチASW1、ASW2による電圧降下の影響を排除する。ダミー回路51は、ダミーアナログスイッチASW3とダミートランジスタT10を含み、パワーダウン回路21-1、21-2と並列に接続される。ダミートランジスタT10のソースはaVddに接続され、ドレインはダミーアナログスイッチASW3に接続される。ダミートランジスタT10とダミーアナログスイッチASW3の中間ノードが、電流源11のトランジスタT3のゲートに接続される。ダミー回路51には、デジタル入力信号PD1、PD2と同じタイミングでダミー信号が入力される。

【0040】

Tr3のゲートは、ダミーアナログスイッチASW3を介してトランジスタT1のドレインに接続される。ダミーアナログスイッチASW3は、アナログスイッチASW1、ASW2と同じ大きさのソース・ドレイン間電位差を生じさせる。

【0041】

ダミーアナログスイッチASW3の制御端子とトランジスタT10のゲートには、常にHighが入力される。ダミー信号が入力されると、ダミーアナログスイッチASW3はオンになり、T10はオフになる。T3のゲートには、T1のドレイン電位からダミーアナログスイッチASW3の電圧シフト分が差し引かれた電位がかかる。

【0042】

10

20

30

40

50

パワーダウン回路21-1に供給されるデジタル入力信号PD1がHighの場合、アナログスイッチASW1がオンになり、T1のドレイン電位がT5のゲートにかかるが、アナログスイッチASW1に生じる電圧降下分だけ差し引かれた電位がT5のゲートにかかる。同じだけの電圧降下がダミーアナログスイッチASW3により生じているので、T5のゲート電位は、T3のゲート電位と等しくなる。同様のことが、パワーダウン回路21-2のアナログスイッチASW2とトランジスタT7にも当てはまる。

【0043】

T3のゲート電位と、T5、T7のゲート電位は等しい必要があるが、必ずしもT1のドレイン電位と等しい必要はない。T3とT5、T7のゲート電位が等しくなると、T2のドレイン電位と、T4、T6のドレイン電位も等しくなる。これによりミラー回路31-1、31-2に流れる電流が安定し、電流精度が向上する。

10

【0044】

図7は、実施例2の構成の効果を従来方式3のアナログスイッチと比較して示すグラフである。図3の従来方式3の回路では、アナログスイッチ41、42、43、44における電圧降下が、直接トランジスタTr2、Tr3、Tr4、Tr5に流れる電流に影響する。このため、図7に示すように、アナログスイッチによる電圧降下がそのまま出力電流の低下につながる。

【0045】

これに対して、実施例2の回路では、アナログスイッチASW1、ASW2に電圧降下が生じたとしても、ダミーアナログスイッチASW3の存在により、T5、T7のゲート電位は、T3のゲート電位と同じレベルに維持されている。したがって、T4、T6のドレイン電位が安定し、図7の実線で示すように、安定した電流出力を得ることができる。

20

【実施例3】

【0046】

実施例3では、実施例1の電流出力型DA変換器10と同様の構成で、電流源の構成を変える。実施例1と同じ構成要素には同じ符合を付して重複する説明を省略する。

【0047】

DA変換器60のカレントミラー回路65の電流源61は、トランジスタT11と、T12を含む。トランジスタT11のソースはaVddに接続され、ドレインは、T12のソースに接続される。T11のゲートはそのドレインに接続される。T12のゲートはそのドレインに接続される。これにより、T11のソースとT12のドレインの間の電圧を小さくすることができる。

30

【0048】

T11のゲート電位は、ミラー回路31-1のトランジスタT4のゲートと、ミラー回路31-2のトランジスタT6のゲートに接続されて、電流i1が所定のミラー比でコピーされる。トランジスタT12のドレイン電位は、アナログスイッチASW1を介してミラー回路のトランジスタT5のゲートに接続され、アナログスイッチASW2を介してミラー回路のトランジスタT7のゲートに接続される。

【0049】

デジタル入力信号PD1がHighのときにT12のドレイン電位が、T5のゲートに印加されて電流i3が流れる。同様に、デジタル入力信号PD1がHighのときにT12のドレイン電位が、T7のゲートに印加されて電流i4が流れる。アナログスイッチASW1、ASW2の存在により、ミラー回路31-1、31-2のトランジスタT5、T7がゲートスイッチとしても機能するので、追加スイッチによる電圧降下がないことは実施例1、2と同様である。また及びT5、T7によりT4、T6のドレイン電位が固定されてドレイン電流の変動が抑制されることも実施例1、2と同様である。

40

【0050】

実施例3の回路に、実施例2のダミー回路を組み合わせても良い。電流源11に並列接続されるミラー回路31とパワーダウン回路21の数は、2つに限定されない。電流電圧変換回路は任意の構成を採用することができる。

50

【 0 0 5 1 】

以上の説明に対し、以下の付記を提示する。

(付記 1)

基準電流を所定のミラー比で複製する第 1 トランジスタと、前記第 1 トランジスタにカスコード接続される第 2 トランジスタとを含むミラー回路と、

前記第 2 トランジスタのゲートに接続され、外部からの入力されるデジタル入力信号によってオン・オフ制御されるアナログスイッチと、

を含むことを特徴とするデジタル - アナログ変換器。

(付記 2)

前記基準電流の生成に用いられる第 3 トランジスタ、
をさらに含み、前記第 2 トランジスタのゲートは、前記アナログスイッチを介して前記第 3 トランジスタのゲートに接続されていることを特徴とする付記 1 に記載のデジタル - アナログ変換器。

10

(付記 3)

前記第 3 トランジスタのゲート電位を生成するための第 4 トランジスタ、
をさらに含み、

前記第 2 トランジスタのゲートは、前記第 4 トランジスタのドレイン電位に接続されていることを特徴とする付記 2 に記載のデジタル - アナログ変換器。

(付記 4)

前記第 3 トランジスタのゲートと前記第 4 トランジスタのドレインの間に接続され、制御端子にて高電位信号を受け取るダミーアナログスイッチ、

をさらに含むことを特徴とする付記 3 に記載のデジタル - アナログ変換器。

20

(付記 5)

前記アナログスイッチは、前記デジタル入力信号が高電位のときにオンして、前記第 2 トランジスタを導通することを特徴とする付記 1 に記載のデジタル - アナログ変換器。

(付記 6)

前記アナログスイッチは、前記デジタル入力信号が低電位のときにオフになり、前記第 2 トランジスタをパワーダウンすることを特徴とする付記 1 に記載のデジタル - アナログ変換器。

(付記 7)

前記アナログスイッチは、前記デジタル入力信号が高電位のときにオンして、前記第 2 トランジスタのゲートに前記第 4 トランジスタのドレイン電位を印加することを特徴とする付記 3 に記載のデジタル - アナログ変換器。

30

(付記 8)

前記第 3 トランジスタに直列接続されて前記基準電流を生成する第 5 トランジスタ、
をさらに含み、

前記第 1 トランジスタのゲートは、前記第 5 トランジスタのゲートに接続されていることを特徴とする付記 3 に記載のデジタル - アナログ変換器。

(付記 9)

前記第 2 トランジスタのゲートと前記アナログスイッチとに接続され、前記デジタル入力信号を受け取る第 6 トランジスタ、

をさらに含み、前記第 6 トランジスタは、前記デジタル入力信号が高電位のときにオフになることを特徴とする付記 1 に記載のデジタル - アナログ変換器。

40

(付記 10)

前記アナログスイッチと前記第 6 トランジスタの中間ノードが前記第 2 トランジスタのゲートに接続され、前記デジタル入力信号は前記第 6 トランジスタのゲートに印加されることを特徴とする付記 9 に記載のデジタルアナログ変換器。

(付記 11)

前記ミラー回路と前記アナログスイッチの組み合わせが 2 以上並列に接続されていることを特徴とする付記 1 に記載のデジタル - アナログ変換器。

50

(付記 1 2)

前記 2 以上のミラー回路から出力される電流の総和を電圧に変換する電流電圧変換回路

をさらに含むことを特徴とする付記 1 1 に記載のデジタル - アナログ変換器。

(付記 1 3)

基準電流を所定のミラー比で複製する第 1 トランジスタと、

前記第 1 トランジスタにカスコード接続される第 2 トランジスタと、

前記第 2 トランジスタのゲートに接続され、外部から入力される信号によってオン・オフ制御されるとともに、前記第 2 トランジスタのオン・オフを制御するアナログスイッチと、を含むことを特徴とする半導体集積回路。

10

【符号の説明】

【 0 0 5 2 】

1 0、5 0、6 0 D A 変換器

1 1、6 1 電流源

1 5、5 5、6 5 カレントミラー回路

2 1 - 1、2 1 - 2 パワーダウン回路

3 1 - 1、3 1 - 2 ミラー回路

4 1 電流電圧変換回路

5 1 ダミー回路

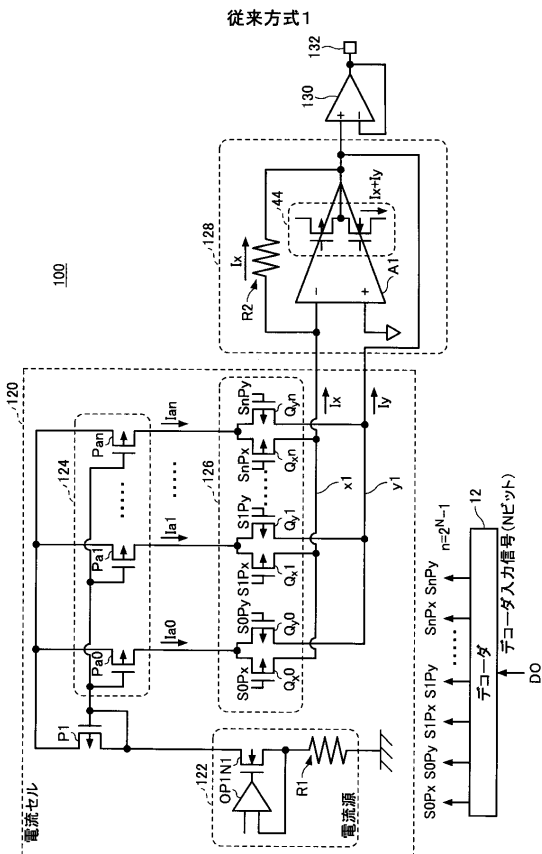
A S W 1、A S W 2 アナログスイッチ

A S W 3 ダミーアナログスイッチ

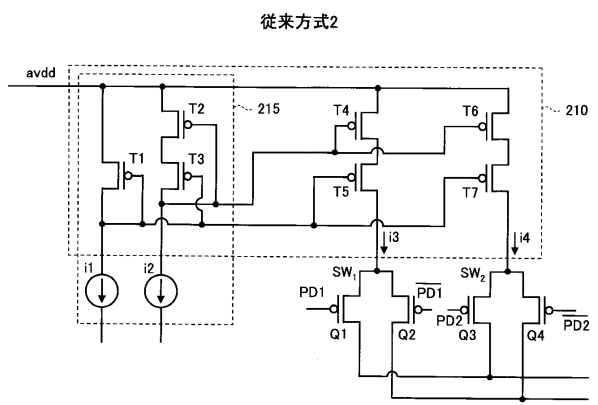
T 1 ~ T 1 2 トランジスタ

20

【 図 1 】

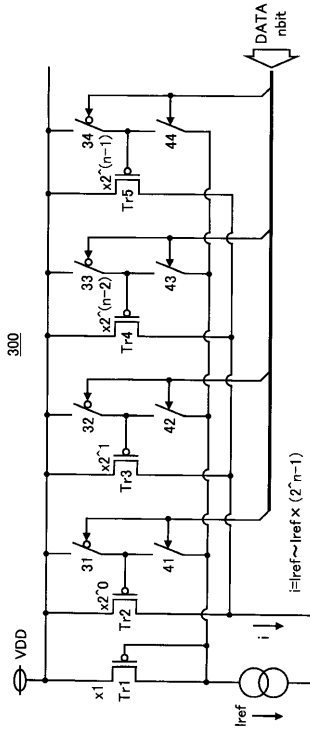


【 図 2 】



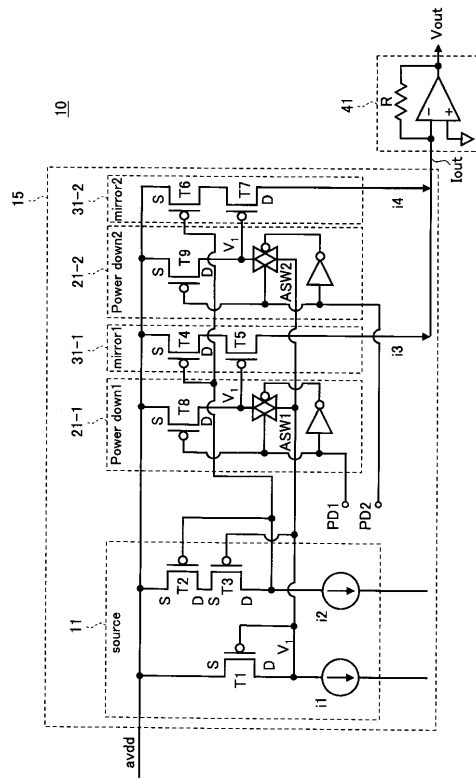
【図3】

従来方式3

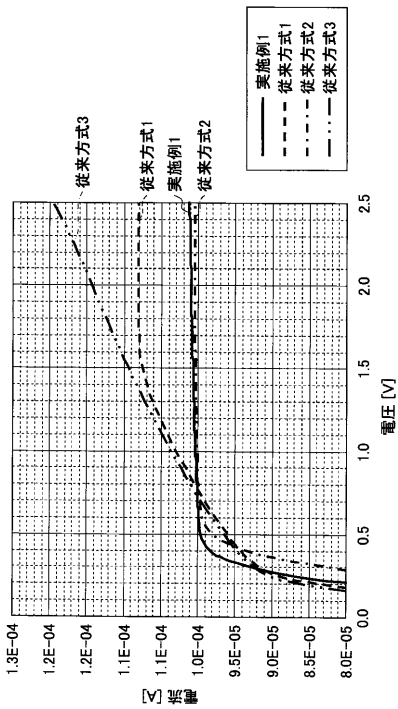


【図4】

実施例1の構成

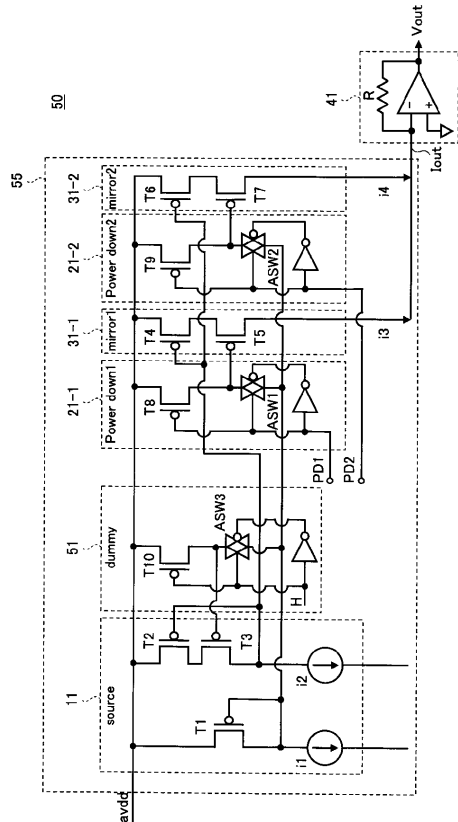


【図5】

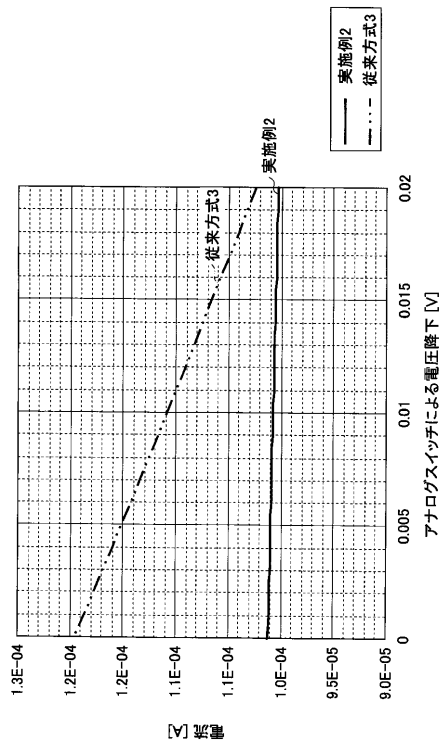


【図6】

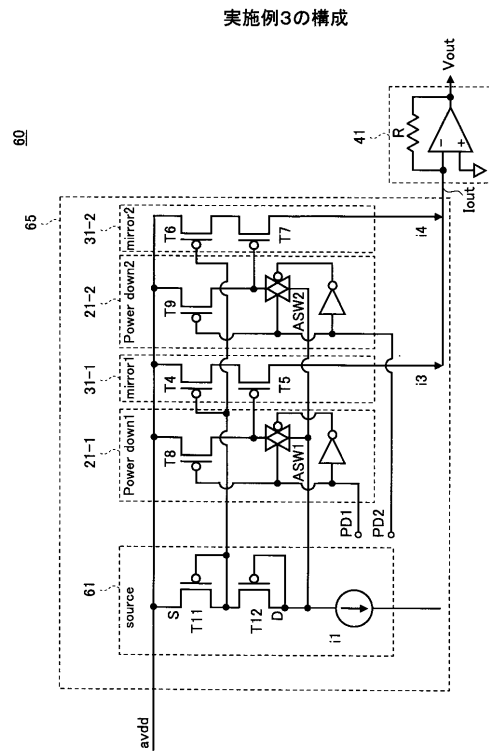
実施例2の構成



【図7】



【図8】



フロントページの続き

- (56)参考文献 国際公開第2010/100683(WO, A1)
特開平09-232635(JP, A)
特開2002-094378(JP, A)
米国特許出願公開第2002/0030621(US, A1)
国際公開第2009/037762(WO, A1)
特開2005-072632(JP, A)
国際公開第2006/129405(WO, A1)
特開2009-093202(JP, A)
米国特許出願公開第2006/0114044(US, A1)

- (58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88