

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-264057

(P2004-264057A)

(43) 公開日 平成16年9月24日(2004.9.24)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
GO 1 R 31/28	GO 1 R 31/28	G 2 G 1 3 2
HO 1 L 21/82	HO 3 K 19/00	B 5 F O 3 8
HO 1 L 21/822	GO 1 R 31/28	U 5 F O 6 4
HO 1 L 27/04	HO 1 L 27/04	T 5 J O 5 6
HO 3 K 19/00	HO 1 L 21/82	T
審査請求 未請求 請求項の数 10 O L (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2003-33995 (P2003-33995)  
 (22) 出願日 平成15年2月12日 (2003.2.12)

(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成14年度新エネルギー・産業技術総合開発機構「超高密度電子S I技術の研究開発 (エネルギー使用合理化技術開発)」に関する委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(71) 出願人 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町22番22号  
 (74) 代理人 100075557  
 弁理士 西教 圭一郎  
 (74) 代理人 100072235  
 弁理士 杉山 毅至  
 (74) 代理人 100101638  
 弁理士 廣瀬 峰太郎  
 (72) 発明者 佐藤 知稔  
 大阪府大阪市阿倍野区長池町22番22号  
 シャープ株式会社内  
 Fターム(参考) 2G132 AA08 AC15 AK13 AK23 AL12

最終頁に続く

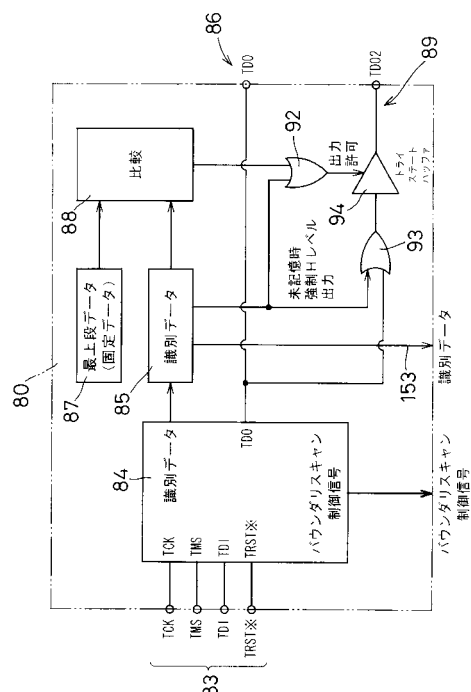
(54) 【発明の名称】 バウンダリスキャンコントローラ、半導体装置、半導体装置の半導体回路チップ識別方法、半導体装置の半導体回路チップ制御方法

(57) 【要約】

【課題】 バウンダリスキャンを実施することができ、かつ同種の半導体回路チップを積層して半導体装置を構成することができるバウンダリスキャンコントローラを提供する。

【解決手段】 記憶手段85に記憶される識別データと、固定データ保持手段87に保持される固定データとを比較手段88によって比較し、これらの識別データおよび固定データとが一致するときにデータ導出部89から、出力部86から出力されるデータと同一のデータが出力される。バウンダリスキャンテストでは、半導体回路チップに設けられるバウンダリコントローラ80のデータ導出部89を同一のバスラインに接続する。識別データと固定データとが一致しない場合には、データ導出部89は、実質上、バスラインに接続していない状態とすることができる。これによって、バウンダリコントローラ80が設けられる同種の半導体回路チップを積層して、半導体装置を構成することができる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と、

前記識別データを記憶する記憶手段と、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラ。

10

**【請求項 2】**

前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴する請求項 1 記載のバウンダリスキャンコントローラ。

20

**【請求項 3】**

前記記憶手段に識別データが記憶されていない場合、データ導出部は、識別データが記憶されていないことを示すデータを出力することを特徴とする請求項 1 または 2 記載のバウンダリスキャンコントローラ。

**【請求項 4】**

前記記憶手段に識別データが記憶されていない場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項 1 または 2 記載のバウンダリスキャンコントローラ。

30

**【請求項 5】**

前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、その出力を予め定める一定の信号レベルに維持することを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載のバウンダリスキャンコントローラ。

**【請求項 6】**

請求項 1 ~ 5 のいずれか 1 つに記載のバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置。

40

**【請求項 7】**

前記半導体回路チップは、メモリチップであり、

メモリチップ組立体は、

メモリチップのアドレス線に追加して形成される追加アドレス線と、

メモリチップを選択するため選択信号を入力する選択信号線と、

前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする請求項 6 記載の半導体装置。

**【請求項 8】**

50

前記半導体回路チップは、メモリチップであり、  
メモリチップ組立体は、  
メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、

記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする請求項6または7記載の半導体装置。

【請求項9】

請求項7記載の半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装置の半導体回路チップ識別方法。

10

【請求項10】

請求項7記載の半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせることを特徴とする半導体装置の半導体回路チップ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、たとえば3次元積層LSI(Large Scale Integration)などの半導体装置を構成する複数の半導体回路チップの入出力端子の接続状態を検査するためのバウンダリスキャンコントローラに関する。

20

【0002】

【従来の技術】

大規模集積回路(Large Scale Integration;略称LSI)などの半導体回路チップの高密度実装に対する要求が高まるなか、半導体回路チップを縦方向、つまり基板の厚み方向に積層して実装密度を上げることが提案されている。

【0003】

高密度実装を実現するため、テープキャリアパッケージによって積層される半導体回路チップをそれぞれ回路基板に接続する半導体装置がある。このような半導体装置では、テープキャリアに個々のチップを識別できるように識別信号線を備える。以後、半導体回路チップを単にチップと記載する場合がある。

30

【0004】

図11は、テープキャリア1を用いてチップ2を積層した半導体装置を示す斜視図であり、図11ではチップ2を3つ積層したものを示す。各チップ2は、個々のチップ2の動作を選択するためのチップ選択信号が入力される第1のチップ側端子3と、その他の信号が入出力される第2の端子4とを有する。また回路基板には、各チップ2に独立してチップ選択信号を与えるための第1の回路基板側の端子5a~5bと、その他の信号を与え、受取る第2の回路基板側の端子6とを有する。

【0005】

テープキャリア1は、第1および第2のチップ側端子3,4と第1および第2の回路基板側端子5,6とそれぞれ接続する配線7を有する。テープキャリア1は、チップ2とは別に設けられ、チップ1と同様に積層されて形成される。図11においてテープキャリア1は、斜線で示される部分である。

40

【0006】

このような半導体装置では、配線7の第1の回路基板側端子5と接続される部分8のパターンをあらかじめ冗長に作成しておき、テープキャリア1とチップ2とから成るテープキャリアパッケージを回路基板に実装する際に、必要な配線を残し、不要な配線を切断除去する。これによって図11に示されるように、それぞれのチップ2に独立にチップ選択信号を供給できるようになり、チップ選択信号を用いて、積層されたチップ2を識別可能としている。

【0007】

50

チップ 2 の高速高機能化にともない、前述したテープキャリア 1 を用いたパッケージでは、配線による信号遅延によってチップ 2 の性能が十分発揮できないといった問題がある。

【 0 0 0 8 】

このような問題に鑑み、第 1 の先行技術では、表裏を貫通する電極を持つチップを積層してモジュール化する提案がなされている（たとえば、特許文献 1 参照）。積層されるチップに対しては、前述のテープキャリアパッケージの積層モジュールを実現する際の工夫と同様に、個々のチップを識別することが必要である。

【 0 0 0 9 】

図 1 2 ~ 図 1 4 は、表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。説明のため、図 1 2 ~ 図 1 4 では、チップを貫通する貫通導線 1 1 ~ 1 3 と、この貫通導線 1 1 ~ 1 3 とチップの接続端子 1 4 ~ 1 6 までの配線のみを図示し、チップおよび層間絶縁膜などは図示しない。また図 1 2 ~ 図 1 4 では、チップ選択信号に関連する配線のみを示している。またここでは図 1 1 に示す半導体装置と同様に、3 つのチップを積層する場合について説明する。貫通電極 1 1 ~ 1 3 は、チップの積層方向にチップを貫通する。

10

【 0 0 1 0 】

図 1 2 は、チップを積層したときに、下段のチップに設けられる配線であって、チップの動作を選択するためのチップ選択信号を伝達するチップ選択配線 1 7 を示す斜視図である。図 1 3 は、中段のチップに設けられるチップ選択配線 1 8 を示す斜視図である。図 1 4 は、上段のチップに設けられるチップ選択配線 1 9 を示す斜視図である。

20

【 0 0 1 1 】

下段のチップは、チップ選択信号が入力されるチップ側接続端子 1 4 と、チップを貫通し、回路基板に設けられる端子とを接続するための貫通電極 2 1 , 2 2 , 2 3 と、チップ側接続端子 1 4 および貫通電極 2 1 を相互に接続するための接続線 2 4 と、貫通電極 2 2 , 2 3 と積層される中段のチップの端子とを接続する接続端子 2 5 , 2 6 とを有する。貫通電極 2 2 , 2 3 は、積層される中段および上段のチップに、チップ選択信号を伝達するための導線である。図 1 2 において、貫通電極 2 1 , 2 2 , 2 3 を斜線で示し、接続線 2 4 を網線で示す。

【 0 0 1 2 】

中段のチップは、チップ選択信号が入力されるチップ側接続端子 1 5 と、チップを貫通し、接続端子 2 5 , 2 6 を介して、下段のチップに設けられる貫通電極 2 2 , 2 3 とそれぞれ相互に接続するための貫通電極 2 7 , 2 8 と、チップ側接続端子 1 5 と貫通電極 2 7 とを相互に接続するための接続線 2 9 と、貫通電極 2 8 と積層される上段のチップの端子とを接続する接続端子 3 1 とを有する。貫通電極 2 8 は、積層される上段のチップに、チップ選択信号を伝達するための導線である。中段のチップは、下段のチップと異なり、貫通電極を 2 つだけ設ける構成で十分である。つまり、図 1 3 において仮想線で示される貫通電極 3 2 を作成しても接続されることはない。図 1 3 において、貫通電極 2 7 , 2 8 を斜線で示し、接続線 2 9 を網線で示す。

30

【 0 0 1 3 】

上段のチップは、チップ選択信号が入力されるチップ側接続端子 1 6 と、チップを貫通し、接続端子 3 1 を介して、下段のチップに設けられる貫通電極 2 8 とを相互に接続するための貫通電極 3 3 と、チップ側接続端子 1 6 と貫通電極 3 3 とを相互に接続するための接続線 3 4 とを有する。上段のチップは、下段および中段のチップと異なり、貫通電極を 1 つだけ設ける構成で十分である。つまり、図 1 4 において仮想線で示される貫通電極 3 5 , 3 6 を作成しても接続されることはない。図 1 4 において、貫通電極 3 3 を斜線で示し、接続線 3 4 を網線で示す。

40

【 0 0 1 4 】

【 特許文献 1 】

米国特許 6 1 4 1 2 4 5 号明細書

【 0 0 1 5 】

50

**【発明が解決しようとする課題】**

図12～図14に示す配線パターンは、予めチップに設けておく必要がある。すなわち、積層されるチップは、このチップを作成するウエハプロセスにおいて、下層のチップとは別チップとして作成することとなる。

**【0016】**

種類の異なるチップを積層する場合においては、元来それぞれ別チップであるので、単に積層しても問題はない。しかしながら、同一のチップを多数積層する場合、たとえばメモリを多数積層して大容量メモリを実現する場合などにおいては、同一チップを積層することができないので、積層する数だけ、別の種類のチップを作る必要があり、余分な手間が必要になる。

10

**【0017】**

また高密度実装を実現するための半導体装置では、実装されたチップが接続されているか否かを電氣的にテストするための回路、つまりバウンダリスキャンコントローラを実装する。

**【0018】**

バウンダリスキャンコントローラは、バウンダリスキャンテストの規格上、5本の信号線 TDI (Test Data input: データ入力部), TDO (Test Data Output: データ出力部), TCK (Test Clock input: クロック入力部), TMS (Test Mode Select input: テストモード入力部), TRST (Test Reset input: テストリセット入力部) を有する。ただし、TRSTは、オプションである。

20

**【0019】**

JTAG (Joint European Test Action Group) の規格に準拠するバウンダリスキャンでは、半導体装置において各チップに組み込んだバウンダリスキャンコントローラの信号線 TDI と TDO を連鎖的に接続する。以後、このバウンダリスキャンコントローラの連鎖状の接続をデジチェーンと記載する場合がある。信号線 TCK, TMS, TDI, TRST を総じて入力部と称する。

**【0020】**

次に、バウンダリスキャンテストの手法を説明する。

30

図15は、バウンダリスキャンコントローラを有する複数のチップ組立体ICの接続状態を示す回路図であり、図16は図15の回路図において、チップ組立体ICが積層されて構成される積層モジュール50を示す図である。積層モジュール50は、複数のチップ組立体IC1, IC2, ..., ICn (nは、3以上の整数) が積層されて構成される。以後、チップ組立体IC1～ICnを総称する場合、チップICと記載する。積層モジュール50には、コネクタ52が接続され、このコネクタ52にJTAGテスターが接続される。図16では、左から順に最下段、中段および最上段に積層されるチップ組立体ICを示す。

**【0021】**

各チップ組立体ICにおいて、信号線TCK, TMS, TRSTは、チップ組立体ICに設けられる配線パターンを介して、相互に並列に、コネクタ52の対応するピンに接続される。一方、信号線TDI, TDOは、前段側のチップ組立体ICの信号線TDOが後段側のチップ組立体ICの信号線TDIに順次縦続接続される。また第1段目のチップ組立体IC1の信号線TDIおよび最上段のチップ組立体ICnの信号線TDOは、コネクタ52の対応するピンに接続されている。

40

**【0022】**

このように構成された積層モジュール50において、JTAGテスターによってチップ組立体ICを制御することによって、総てのチップ組立体ICに対して一斉に、バウンダリスキャンテストが行われる。

**【0023】**

50

積層モジュール50では、最上段に積層されるチップ組立体ICnだけ、このチップ組立体ICn以外のチップ組立体とは異なる接続をする必要がある。このため、最上段のチップ組立体ICnだけ、他のチップとはウエハプロセスによって作り分ける必要がある。

【0024】

図17および図18は、図16に示す積層モジュール50におけるチップ組立体の配線パターンを示す斜視図であり、図17および図18ではフェースアップによってチップ組立体を積層する場合を想定している。フェースアップとは、基板に対してチップの回路面が反対側を向いて積層される実装方法である。説明のため、図17および図18では、チップ組立体に設けられる貫通電極61, 62と、この貫通電極61, 62とチップの接続端子63~68までの配線のみを図示し、チップおよび層間絶縁膜などは図示しない。

10

【0025】

図17は、最下段および中段のチップ組立体の配線パターンを示す斜視図である。最下段および中段のチップ組立体は、TDIのチップ側接続端子63と、TDOのチップ側接続端子64と、TCKなどをバス接続するためのチップ側接続端子65と、TDI信号を伝達するための貫通電極71と、貫通電極71とTDIのチップ側接続端子63とを接続する接続線72と、TDO信号を上段のチップに伝達するための接続端子73と、TDOのチップ側接続端子64と接続端子73とを繋ぐチップ上の接続線74と、TCKなどをバス接続するための貫通電極75と、貫通電極75とTCKなどをバス接続するためのチップ側接続端子65とを接続するチップ上の接続線76と、TCKなどの信号を上段のチップに伝達するための接続端子77と、最上段のチップからのTDO信号を下段に戻すための貫通電極78とを含む。

20

【0026】

図18は、最上段のチップ組立体の配線パターンを示す斜視図である。最上段のチップ組立体は、TDIのチップ側接続端子63と、TDOのチップ側接続端子64と、TCKなどをバス接続するためのチップ側接続端子65と、TDI信号を伝達するための貫通電極71と、貫通電極71とTDIのチップ側接続端子63とを接続する接続線72と、TCKなどをバス接続するための貫通電極75と、貫通電極75とTCKなどをバス接続するためのチップ側接続端子65とを接続するチップ上の接続線76と、最上段のチップからのTDO信号を下段に戻すための貫通電極78と、TDOのチップ側接続端子64と貫通電極78とを接続する接続線79とを含む。

30

【0027】

図17および図18に示すような最下段および中段のチップ組立体における配線パターンと、最上段のチップ組立体における配線パターンとは、予めそれぞれのチップ組立体に設けておく必要がある。すなわち積層する各チップ組立体は、ウエハプロセスにおいて、別のチップ組立体として作成することとなる。バウンダリスキャンを行う場合には、別のチップ組立体にする必要があるのは、図17および図18に示すように、最上段のチップ組立体のみであるが、同一のチップを多数積層する場合、たとえばメモリを多数積層して大容量メモリを実現する場合などにおいては、同一チップを積層することができないという問題がある。

【0028】

本発明の目的は、バウンダリスキャンを実施することができ、かつ同種の半導体回路チップを積層して半導体装置を構成することができるバウンダリスキャンコントローラを提供することである。

40

【0029】

【課題を解決するための手段】

本発明は、半導体回路チップに設けられ、外部信号入力端子と内部論理回路の入力端子との間、および外部信号出力端子と内部論理回路の出力端子との間にそれぞれ設けられるバウンダリスキャンセルが直列に接続されて構成されるシフトレジスタ回路を制御するバウンダリスキャンコントローラであって、

予め定める動作命令、半導体回路チップの識別データおよびテストデータを入力する入力

50

部と、

前記識別データを記憶する記憶手段と、

入出力タイミングを与えるクロック入力部と、予め定める動作命令を与えるテストモード入力部と、半導体回路チップの識別データおよびテストデータを入力するデータ入力部と

、

前記予め定める動作命令を実行して、識別データを記憶手段に記憶させるとともに、テストデータを用いた回路テストを実行してテスト結果データを得る制御手段と、

制御手段によって得られたテスト結果データを出力するデータ出力部と、

予め定める固定データを保持する固定データ保持手段と、

前記識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する比較手段と、

比較手段からの比較結果情報に基づいて、出力部から出力されるテスト結果データに対応するデータを導出するデータ導出部とを含むことを特徴とするバウンダリスキャンコントローラである。

#### 【0030】

本発明に従えば、テストモード入力部から予め動作命令が与えられると、制御手段は予め定める動作命令を実行する。制御手段は、予め定める動作命令を実行することによって、データ入力部から入力される半導体回路チップの識別データを記憶手段に記憶させ、またデータ入力部から入力されるテストデータを用いた回路テストを実行して、テスト結果データを得る。テストデータを用いた回路テストは、たとえばシフトレジスタ回路を制御して実行される半導体回路チップの接続テストである。

#### 【0031】

比較手段は、固定データ保持手段に保持される固定データと、記憶手段に記憶される識別データとが同一であるか否かを比較して、同一である場合には、同一であることを示す比較結果情報を出力し、同一でない場合には、同一でないことを示す比較結果情報を出力する。データ導出部は、比較結果情報に基づいて、識別データと固定データとが同一である場合には、テスト結果データに対応する同一である場合のデータを出力し、識別データと固定データとが同一でない場合にはテスト結果に対応する同一でない場合のデータを出力する。したがって、前記固定データおよび識別データが同一である場合と、同一でない場合とで、データ導出部から出力されるデータを異ならせることができる。

#### 【0032】

バウンダリスキャンテストは、前述したバウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体を構成し、この半導体回路チップ組立体を積層して構成される半導体装置において、各半導体回路チップ組立体の接続状態を検出するために行われる。このバウンダリスキャンテストは、複数のバウンダリスキャンコントローラを連結したデージーチェーンに対して行われる。デージーチェーンでは、下段のバウンダリスキャンコントローラのデータ出力部は、上段のバウンダリスキャンコントローラのデータ入力部に接続される。そして最上段の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ出力部から、テスト結果データを取出す。バウンダリスキャンテストでは、JTAGテスターによって、各入力部からバウンダリスキャンコントローラへの動作命令、識別データおよびテストデータの入力と、出力されるデータの検出が行われる。

#### 【0033】

本発明のバウンダリスキャンコントローラでは、固定データとして、最上段の半導体回路チップの識別データを固定データ保持手段に保持させることによって、最上段のバウンダリスキャンコントローラだけ、データ導出部から出力されるデータを、他のデータ導出部から出力されるデータと異ならせることができる。したがって、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ出力部は、無接続状態として、各バウンダリスキャンコントローラのデータ導出部は、同一のバスラインに接続することができる。つまり、同一のバスラインに接続されるデータ導出部のうち、最上段以外

の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ導出部から出力される状態を、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態にする、もしくは、フローティングの状態とすることにより実質上、このデータ導出部をバスラインから切断した状態とすることができる。

【0034】

したがって、バウンダリスキャンコントローラを備える同一の半導体回路チップ組立体を積層して、半導体装置を構成することができる。

【0035】

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力することを特徴とする。

10

【0036】

本発明に従えば、記憶手段に識別データが記憶され、比較情報が識別データおよび固定データが一致することを示す場合、データ導出部は、データ出力部が出力するテスト結果データと同一のデータを出力する。したがって、データ導出部からは、テスト結果データと同一のデータが出力されるので、詳細なテスト結果データを得ることができ、接続不良の詳細な場所を特定することができる。

【0037】

また本発明は、前記記憶手段に識別データが記憶されていない場合、データ導出部から出力されるデータを、他のバウンダリスキャンコントローラが認識できない状態とすることによって、データ導出部に接続されたバウンダリスキャンコントローラを実質的に無効とすることを特徴とする。

20

【0038】

もしくは、データ導出部の出力を予め定める信号レベルに維持することを特徴とする。予め定める信号レベルとは、たとえばHレベルの状態、もしくは、高いインピーダンスでHレベルにプルアップされた状態である。

【0039】

本発明に従えば、これによって、データ導出部の出力側に他のバウンダリスキャンコントローラが接続されていても、実質上、以降のバウンダリスキャンコントローラは動作しない。バウンダリスキャンコントローラに接続された半導体回路が不良である場合でも、バウンダリスキャンコントローラは動作しないため入出力回路は切り離された状態となり、たとえば、不良である半導体回路チップが異常な入出力ピンの状態となろうとしても、出力はされず不具合は回避できる。

30

【0040】

本発明に従えば、固定データと一致しない識別データを与えるのは、そのチップが積層の最も上の段以外に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、実質上、前記回路から切り離された状態とすることができる。

【0041】

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致したことを示す場合、データ導出部は、データ出力部と同じデータを出力することを特徴とする。

40

【0042】

本発明に従えば、固定データと一致した識別データを与えるのは、そのチップが積層の最も上の段に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致したことを示す場合、データ導出部は、データ出力部と同じデータを出力する。

【0043】

この出力データの切り替えにより、以降に繋がっているバウンダリスキャンコントローラを有効に動作させることができるようになる。

50



## 【0044】

また本発明は、前記記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態、もしくは、フローティングの状態とすることを特徴とする。

## 【0045】

本発明に従えば、固定データと一致しない識別データを与えるのは、そのチップが積層の最上段以外に配置される場合とする。記憶手段に識別データが記憶され、比較手段が出力する比較情報が、識別データおよび固定データが一致しないことを示す場合、データ導出部は、たとえば、高いインピーダンスでプルアップもしくはプルダウンした状態、もしくは、フローティングの状態とし、実質上、このデータ導出部をバスラインから切断した状態とする。

10

## 【0046】

また本発明は、前記バウンダリスキャンコントローラを半導体回路チップに設けて半導体回路チップ組立体が構成され、前記半導体回路チップ組立体を積層して構成されることを特徴とする半導体装置である。

## 【0047】

本発明に従えば、半導体回路チップ組立体を同一のウエハプロセスによって形成することができるので、この半導体回路チップ組立体を形成する手間が低減される。また半導体装置を形成する場合に、同じ半導体回路チップ組立体を積層するので、積層する順番などを考慮する必要がなく、装置の形成が容易となる。

20

## 【0048】

また本発明は、前記半導体回路チップは、メモリチップであり、メモリチップ組立体は、メモリチップのアドレス線に追加して形成される追加アドレス線と、メモリチップを選択するため選択信号を入力する選択信号線と、前記メモリチップの追加アドレス線に対応するデータと、記憶手段に記憶される識別データとが一致し、かつ選択信号が入力される場合に、メモリチップの動作を許可する許可手段とを含むことを特徴とする。

## 【0049】

本発明に従えば、メモリチップの選択する選択信号が入力されたとしても、追加アドレス線に対応するデータと記憶手段に記憶される識別データとが一致しないと、許可手段によってメモリチップの動作が許可されない。したがって、同一の選択信号を入力したとしても、許可手段は1つのメモリチップの動作のみを許可することができる。これによって、積層されるメモリチップごとに動作させることができる。

30

## 【0050】

また本発明は、前記半導体回路チップは、メモリチップであり、メモリチップ組立体は、メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線と、記憶手段に記憶される識別データによって、追加データ線を選択してメモリチップのデータ線に接続する選択手段とを含むことを特徴とする。

40

## 【0051】

また本発明に従えば、選択手段は、記憶手段に記憶される識別データによって追加データ線を選択して、メモリチップのデータ線に接続するので、積層されるメモリチップ毎にデータ線を割当てることができる。したがって、1つのメモリチップに対応するバスラインよりも多いバスラインに接続してメモリチップを動作させることができる。

## 【0052】

また本発明は、前記半導体装置における半導体回路チップ識別方法であって、記憶手段に記憶される識別データによって各半導体回路チップを識別することを特徴とする半導体装

50

置の半導体回路チップ識別方法である。

【0053】

本発明に従えば、記憶手段に記憶される識別データによって各半導体回路チップを個別に認識することができる。したがって、識別データを用いて半導体回路チップを個別に管理することができる。

【0054】

また本発明は、前記半導体装置における半導体回路チップ制御方法であって、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせることを特徴とする半導体装置の半導体回路チップ制御方法である。

【0055】

本発明に従えば、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせるので、積層される半導体回路チップを個別に動作させることができる。

【0056】

【発明の実施の形態】

図1は、本発明の実施の一形態であるバウンダリスキャンコントローラ80を示すブロック図である。図2は、バウンダリスキャンコントローラ80を半導体回路チップに設けて構成される半導体回路チップ組立体81を示すブロック図である。内部論理回路97と外部との接続端子は10個を仮定している。図3は、半導体回路チップ組立体81を複数積層して構成される半導体装置82を示すブロック図である。本実施の形態のバウンダリスキャンコントローラ80は、JTAG (Joint European Test Action Group) の規格に準拠して動作する。バウンダリスキャンコントローラ80は、半導体装置82において半導体回路チップが接続されているか否かを電氣的にテストするための回路である。

【0057】

バウンダリスキャンコントローラ80は、入力部83、制御手段84、記憶手段85、出力部86、固定データ保持手段87、比較手段88およびデータ導出部89を含む。以後、バウンダリスキャンコントローラ80を単にコントローラ80と記載する場合がある。

【0058】

入力部83は、予め定める動作命令、半導体回路チップの識別データおよびテストデータを入力するシリアルインタフェースである。入力部83は、4本の信号線TCK (Test Clock input: クロック入力部), TMS (Test Mode Select input: テストモード入力部), TDI (Test Data input: データ入力部), TRST (Test Reset input: テストリセット入力部) を有する。以後、半導体回路チップの識別データを単に識別データと記載する場合がある。

【0059】

TCKは、制御手段84に入出力タイミングを与え、固有のシステムクロックとは独立したテスト用のクロックを供給する信号線である。TMSは、予め定める動作命令を入力し、テスト動作を制御する信号線である。TDIは、識別データおよびテストデータをシリアル入力する信号線である。TRSTは、コントローラ80を非同期に初期化するためのデータを入力する信号線である。これらの4本の信号線は、外部のJTAGテスターによって制御され、バウンダリスキャンテストが行われる。本実施の形態では、入力部83に信号線TRSTが設けられるが、JTAG規格ではオプション端子であり、本発明の他の実施の形態において、入力部83は、信号線TCK, TMS, TDIの3つを有する構成としてもよい。

【0060】

入力部83は、制御手段84と相互に接続され、JTAGテスターから与えられる予め定める動作命令、識別データおよびテストデータを制御手段84に与える。

【0061】

制御手段84は、入力部83から記憶手段85に識別データを記憶させる動作命令が入力

10

20

30

40

50

されると、この命令を実行して、入力部 83 から入力される識別データをデコードして記憶手段 85 に記憶させる。また制御手段 84 は、入力部 83 からバウンダリスキャンテストを実行する動作命令が入力されると、この命令を実行して、入力部 83 から入力されるテストデータを用いた回路テストを実行してテスト結果データを得る。識別データを記憶手段 85 に記憶させる動作命令は、たとえばバウンダリスキャン命令の未使用コードを割当てて、回路テストを実行する場合、制御手段 84 は、バウンダリスキャン制御信号を出力して、後述するシフトレジスタ回路 91 を制御する。

【0062】

制御手段 84 は、インストラクションレジスタと、テストデータレジスタとを含む。インストラクションレジスタは、バウンダリスキャンテストを実行するための命令データを取込むための命令コードをセットするためのものである。テストデータレジスタは、バウンダリスキャンテストを実行するためのテストパターンデータをセットするためのものである。インストラクションレジスタおよびテストデータレジスタは、いずれも、シフトレジスタの構成となっており、データを送る命令が制御手段 84 に入力されると、信号線 TDI から入力される予め定める動作命令および各種データを、前記シフトレジスタを介して、信号線 TDO (Test Data Output: データ出力部) から出力することができる。以後、予め定める動作命令および各種データを総称して、単にデータと記載する場合がある。

10

【0063】

記憶手段 85 は、制御手段 84 によってデコードされた識別データを記憶する。記憶手段 85 は、フリップフロップによって構成されるラッチ回路とし、バウンダリスキャンテストを実行するための外部に接続される JTAG テスターの電源投入毎に識別データを入力し直す構成とする。

20

【0064】

この場合、識別データを指定するだけであるので、前記 JTAG テスターを完全な JTAG テスターとせず、ROM (Read Only Memory) とクロック発生器などで簡易的に JTAG 信号を発生させる回路で代用することも可能である。

【0065】

本発明の実施の他の形態では、記憶手段 85 を EPROM (Electrically Programmable Read Only Memory) などの不揮発メモリによって実現し、1 度識別データを記憶させるだけで、この識別データが保存される構成としてもよい。

30

【0066】

記憶手段 85 は、識別データのビット長よりも 1 ビット多い記録領域を有する。つまり、記憶手段 85 に記憶されるデータは、そのビット長が識別データのビット長よりも 1 ビット多いものとする。この冗長の 1 ビットに、制御手段 94 によって、記憶手段 85 に識別データが記憶されたかを否かが記憶される。これによって、記憶手段 85 に識別データが記憶されているか否かが容易にわかる。

【0067】

出力部 86 は、制御手段 84 によって得られたテスト結果データと、インストラクションレジスタおよびテストデータレジスタを介して制御手段 84 から出力される予め定める動作命令および各種データとを出力するためのシリアルインタフェースであり、信号線 TDO を有する。

40

【0068】

固定データ保持手段 87 は、固定データを保持する。固定データは、コントローラ 80 を半導体回路チップに設けて構成される半導体回路チップ組立体 81 を複数積み重ねて、半導体装置 82 を構成するとき、最上段に配置される半導体回路チップの識別データである。最上段に配置される半導体回路チップは、半導体装置 82 を基板に実装するとき、基板から最も離反する位置に設けられるものである。

【0069】

50

固定データ保持手段部 87 は、たとえばワイヤードロジックによって実現される。本実施の形態では、固定データ保持手段 87 は独立して存在するが、本発明のさらに他の実施の形態では、論理合成によって固定データ保持手段 87 を構成する場合、この固定データ保持手段 87 は、後述する比較手段 88 に内包されていてもよい。

【0070】

比較手段 88 は、記憶手段 85 に記憶される識別データ、および固定データ保持手段 87 に保持される固定データを入力し、これらの識別データおよび固定データが同一であるか否かを比較し、比較結果情報を出力する。比較手段 88 は、記憶手段 85 に記憶される識別データを、前述した冗長な 1 ビットのデータを含めて固定データと比較する。これによって、識別データが記憶手段 85 に記憶されていない場合には、比較手段 88 は、常に不一致であることを示す比較結果情報を出力することができる。

10

【0071】

データ導出部 89 は、第 1 および第 2 の OR ゲート 92, 93 と、トライステートバッファ 94 と、信号線 TDO2 を有する。第 1 の OR ゲート 92 の入力端子の一方は、比較手段 88 と相互に接続され、入力端子の他方は、記憶手段 85 と相互に接続される。第 1 の OR ゲート 92 は、比較手段 88 の比較結果情報が、識別データおよび固定データが一致することを示す場合、または記憶手段 85 に識別データが記憶されているときに、トライステートバッファ 94 に出力許可信号を出力する。

【0072】

第 2 の OR ゲート 93 の入力端子の一方は、出力部 86 である信号線 TDO と相互に接続され、入力端子の他方は、記憶手段 85 と相互に接続される。第 2 の OR ゲート 93 は、記憶手段 85 に識別データが記憶されている場合に、出力部 86 から出力されるデータと同一のデータを出力する。第 2 の OR ゲート 93 には、記憶手段 85 から前述した冗長の 1 ビットのデータが入力される。

20

【0073】

トライステートバッファ 94 は、第 1 および第 2 の OR ゲート 92, 93 の出力端子と相互に接続され、第 1 の OR ゲート 92 から出力許可信号を入力したときに、第 2 の OR ゲート 93 から入力されるデータを信号線 TDO2 に出力する。

【0074】

第 1 および第 2 の OR ゲート 92, 93 は、記憶手段 85 に識別データが記憶されていない場合には、トライステートバッファ 94 の出力端子に接続される信号線 TDO2 が、他のバウンダリスキャンコントローラが認識できないデータを出力する。ここにいう他のバウンダリスキャンコントローラが認識できないデータとは常にハイ (H) であるデータである。これによって、データ導出部 89 からは、出力部 86 から出力されるデータと同一のデータが出力されることがなく、実質上、データ導出部 89 以降に接続されるバウンダリスキャンコントローラが存在しても、以降のバウンダリスキャンコントローラは動作しない。バウンダリスキャンコントローラに接続された半導体回路が不良である場合でも、バウンダリスキャンコントローラは動作しないため入出力回路は切り離された状態となり、たとえば不良である半導体回路チップが異常な入出力ピンの状態となろうとしても、出力はされず不具合は回避できる。

30

40

【0075】

また、第 1 および第 2 の OR ゲート 92, 93 は、記憶手段 85 に識別データが記憶され、比較手段 88 が出力する比較結果情報が、識別データおよび固定データが一致していることを示す場合には、出力部 86 から出力されるデータと同一のデータを信号線 TDO2 から出力するように動作する。つまり、所望の半導体回路チップ組立体 81 のデータ導出部 89 から、出力部 86 と同一のデータを出力させることができる。

【0076】

また、第 1 および第 2 の OR ゲート 92, 93 は、記憶手段 85 に識別データが記憶され、比較手段 88 が出力する比較結果情報が、識別データおよび固定データが一致していないことを示す場合には、トライステートバッファ 94 の出力端子に接続される TDO2 へ

50

の出力を禁止しフローティング状態とする。これによってデータ導出部 89 からは、出力部 86 から出力されるデータと同一のデータが出力されることがなく、実質上、データ導出部 89 を回路から切断した状態とすることができる。

【0077】

前述したコントローラ 80 では、同一のコントローラ 80 であっても、固定データと識別データとが一致するコントローラ 80 と、固定データと識別データとが一致しない、または識別データが記録されていないコントローラ 80 とで、データ導出部 89 から異なるデータを出力させることができる。

【0078】

本実施の形態では、データ導出部 89 は、第 1 および第 2 の OR ゲート 92, 93 および トライステートバッファ 94 を有するが、本発明の実施のさらに他の形態では、前記第 1 および第 2 の OR ゲート 92, 93 および トライステートバッファ 94 を論理合成によって合体したロジックとして構成してもよい。

【0079】

半導体回路チップ組立体 81 は、前述したコントローラ 80 と、外部信号入力端子 95 と、外部信号出力端子 96 と、内部論理回路 97 と、シフトレジスタ回路 91 と、入力部接続端子 83A と、出力部接続端子 86A と、データ導出部接続端子 89A とを含む。外部信号入力端子 95 は、内部論理回路 97 に外部から信号を入力するためのインタフェースである。外部信号出力端子 96 は、内部論理回路 97 から外部に信号を出力するためのインタフェースである。内部論理回路 97 は、半導体回路チップ本来の機能を実現するための集積回路であって、任意の回路によって実現される。内部論理回路 97 は、たとえば大規模集積回路 (Large Scale Integration; 略称 LSI) などである。

【0080】

前記コントローラ 80 と、外部信号入力端子 95 と、外部信号出力端子 96 と、内部論理回路 97 と、シフトレジスタ回路 91 と、入力部接続端子 83A と、出力部接続端子 86A と、データ導出部接続端子 89A とは、同一のウェハ 99 に形成される。

【0081】

シフトレジスタ回路 91 は、複数のバウンダリスキャンセル 98 を有する。図 2 に示すように、シフトレジスタ回路 91 は、10 個のバウンダリスキャンセル 98 を有する。バウンダリスキャンセル 98 は、レジスタ回路によって実現される。各バウンダリスキャンセル 98 は、外部信号入力端子 95 および外部信号出力端子 96 である外部接続端子と内部論理回路 97 との間にそれぞれ設けられる。

【0082】

シフトレジスタ回路 91 は、前記バウンダリスキャンセル 98 が直列に接続されて構成される。バウンダリスキャンセル 98 は、内部論理回路 97 の外部信号端子の数だけ設けられる。図 2 に示す内部論理回路 97 の左側の外部接続端子から入力信号を入力し、右側の外部接続端子から出力信号を出力する場合を仮定して説明を続ける。

【0083】

バウンダリスキャンコントローラ 80 の入力部接続端子 83A は、入力部 83 の各信号線に外部からデータを入力するインタフェースである。出力部接続端子 86A は、出力部 86 の信号線からデータを出力するインタフェースである。データ導出部接続端子 89A は、データ導出部 89 の信号線からデータを出力するインタフェースである。

【0084】

制御手段 84 は、シフトレジスタ回路 91 と相互に接続され、前記シフトレジスタ回路 91 を制御して、回路テストを実行してテスト結果データを得る。回路テストでは、制御手段 84 は、以下の各動作を実行する。シフトレジスタ回路 91 のうち、外部信号入力端子 95 に接続されるバウンダリスキャンセル 98 を総称する場合、入力側セル 98A と記載し、外部信号出力端子 96 に接続されるバウンダリスキャンセル 98 を総称する場合、出力側セル 98B と記載する。

## 【 0 0 8 5 】

まず、バウンダリスキャンテスト状態に入ると、入力側セル 9 8 A、出力側セル 9 8 Bとも、内部論理回路 9 7 と外部接続端子の間の信号の繋がりを切断し、制御手段 8 4 のシフトレジスタと入力側セル 9 8 A、制御手段 8 4 のシフトレジスタと出力側セル 9 8 B を接続する。そして、入力部接続端子 8 3 A を介して信号線 T D I からシリアルテストデータを入力し、シフトレジスタ回路 9 1 に格納する。その後、テスト実行命令により、シフトレジスタ回路 9 1 に格納されたテストデータは入力側セル 9 8 A、出力側セル 9 8 B を通して、外部接続端子に伝えられる。さらに、アップデート命令により、外部接続端子の状態がモニターバックされシフトレジスタ回路 9 1 に格納される。

## 【 0 0 8 6 】

次に、シフトレジスタ回路 9 1 に格納されたモニターバックされた外部接続端子の状態は、出力部 T D O からシリアルで出力される。

## 【 0 0 8 7 】

また、バウンダリスキャンテストモードによっては、入力側セル 9 8 A と内部論理回路 9 7、出力側セル 9 8 B と内部論理回路 9 7 を使って、セルフテストを実施することもある。この場合、バウンダリスキャンセル 9 8 の繋がりが変更になるのみで、テストデータのセット、モニターバックされた状態の取り出しは同様である。

## 【 0 0 8 8 】

このような動作を必要に応じて行うことによって、制御手段 9 4 は、積層される半導体回路チップが正常に接続されているか（動作しているか）否かをモニターバックされた状態示すテスト結果データを得ることができる。

## 【 0 0 8 9 】

半導体装置 8 2 は、前述した半導体回路チップ組立体 8 1 を積層して構成される。図 3 において、仮想線内で囲まれた領域に示される半導体回路チップ組立体 8 1 は、積層されている。以後、半導体回路チップ組立体 8 1 を積層したものを積層モジュールと記載する場合がある。

## 【 0 0 9 0 】

半導体装置 8 2 には、コネクタ 1 0 1 が設けられ、このコネクタ 1 0 1 に J T A G テスターが接続される。図 3 では、左から順に最下段、中段および最上段に積層される半導体回路チップ組立体 8 1 を示す。また、図 3 では、半導体回路チップ組立体 8 1 を 3 つだけ示しているが、半導体回路チップ組立体 8 1 は、任意の数積層して半導体装置 8 2 を構成してもよい。

## 【 0 0 9 1 】

各半導体回路チップ組立体 8 1 の信号線 T C K は、同一のバスライン 1 0 2 a に接続され、コネクタ 1 0 1 の対応する T C K ピン 1 0 1 a に相互に接続される。信号線 T M S , T R S T および T D O 2 は、信号線 T C K と同様に、それぞれが同一のバスライン 1 0 2 b , 1 0 2 c , 1 0 2 d に接続され、相互に並列に、コネクタ 1 0 1 の対応する T M S ピン 1 0 1 b , T R S T ピン 1 0 1 c および T D O 2 ピン 1 0 1 d に接続される。

## 【 0 0 9 2 】

前段側の半導体回路チップ組立体 8 1 の出力部接続端子 8 6 A は、後段側の半導体回路チップ組立体 8 1 の信号線 T D I に対応する入力部接続端子 8 3 A に順次接続される。また第 1 段目の半導体回路チップ組立体 8 1 の信号線 T D I は、コネクタ 1 0 1 の対応する T D I ピン 1 0 1 e に接続される。最上段の半導体回路チップ組立体 8 1 の信号線 T D O は、無接続とする。

## 【 0 0 9 3 】

このように半導体装置 8 2 では、各コントローラ 8 0 を連鎖状に接続する。以後、この連鎖状に接続することを、デイジーチェーンと記載する場合がある。半導体装置 8 2 において、コネクタ 1 0 1 を介して、J T A G テスターによってコントローラ 8 0 を制御することによって、全ての半導体回路チップ組立体 8 1 に対して一斉に、バウンダリスキャンテストが行うことができる。

10

20

30

40

50

## 【0094】

次に、前述した識別データの設定方法について説明する。

図4は、コントローラ80の記憶手段85に識別データを設定する動作を示すフローチャートである。ステップS0で、半導体装置82に外部のJTAGテスターが接続されるとステップS1に移る。ステップS1では、入力部86から信号線TMS, TCKを用いることによって、または信号線TRSTの信号レベルをLレベルとすることによって、コントローラ80の制御手段84をリセットする。バウンダリスキャンでは、制御手段84がどのような状態であっても、信号線TMSの信号レベルをHレベルとし、この状態を5クロックの間保つことによって、制御手段84をリセットすることができる。

## 【0095】

次にステップS2に移り、信号線TMS, TCKと用いて、制御手段84に動作命令を入力するための命令であるコマンドセット命令を入力して、ステップS3に移る。

## 【0096】

ステップS3では、信号線TDI, TCKを用いて、積層される半導体回路チップに設けられるコントローラ80の制御手段84には、記憶手段85に識別データを記憶させるための識別コードセット命令を与える動作命令を与える。また積層されない半導体回路チップに設けられるコントローラ80の制御手段84には、命令をスキップする命令スキップコマンド(bypass命令)を与える。

## 【0097】

次にステップS4に移り、信号線TMS, TCKを用いて、制御手段84にデータを入力するための動作命令であるデータセットコマンドを入力して、ステップS5に移る。

## 【0098】

ステップS5では、信号線TDI, TCKを用いて、積層される各半導体回路チップに設けられるコントローラ80に識別データを送り、ステップS6に移り、動作を終了する。ステップ5では、識別データとして、積層された半導体回路チップに設けられるコントローラ80の記憶手段85に記憶されるデータが、それぞれ異なる値を持つようにデিজチェーンのデータ線である信号線TDI, TDOを通して与える。たとえば、最上段の半導体回路チップに設けられる記憶手段85には、識別データとして「0」を、さらに、最上段から1つ下の半導体回路チップに設けられる記憶手段85には、識別データとして「1」を与える。また最上段からm(mは、2以上の整数)番目の半導体回路チップに設けられる記憶手段85には、識別データとして「m」を与える。

## 【0099】

積層される半導体回路チップ組立体81のコントローラ80と、積層されない通常の半導体装置(図示せず)に設けられる通常のコントローラとが、デিজチェーンを構成する場合であっても、積層される半導体回路チップの個数、および積層される半導体回路チップから成る積層モジュールまでに設けられる通常のコントローラの数、予め分かっているので、積層される半導体回路チップに設けられる記憶手段85に与えられる識別データの作成には問題はない。

## 【0100】

さらに、積層される半導体回路チップ組立体81のコントローラ80によって構成されるデিজチェーンの後に、さらに別のデバイスのコントローラが接続される場合であっても、積層される半導体回路チップ組立体81に設けられる記憶手段85に識別データが記憶されていない場合、データ導出部89の出力は、Hレベルで固定され、コントローラ80が有する制御手段84に対しては、命令をスキップする命令が与えられるので、問題にならない。

## 【0101】

以上のフローチャートによって、積層される半導体回路チップに設けられるコントローラ80に、識別データを記憶させることができる。

## 【0102】

記憶手段85に識別データが記憶されていないコントローラ80では、出力部86から出

10

20

30

40

50

力されるデータがバウンダリスキャンの出力であり、データ導出部 89 の信号線 T D O 2 は、H レベルの信号を出力する。

【 0 1 0 3 】

積層された半導体回路チップ組立体 81 のうち、最上段の半導体回路チップの識別データと同じ識別データ、前述した例では「 0 」が与えられたコントローラ 80 は、出力部 86 から出力されるデータと同一のデータをデータ導出部 T D O 2 から出力するように設定が変更される。また最上段の半導体回路チップの識別データとは異なる識別データが与えられたコントローラ 80 は、データ導出部 T D O 2 から切り離される。

【 0 1 0 4 】

バウンダリスキャンのデイジーチェーン上に複数の積層モジュールがある場合には、図 4 10 に示す動作手順を繰り返して、順々に設定していけばよい。

【 0 1 0 5 】

図 5 は、コントローラ 80 を半導体回路チップに設けて形成される半導体回路チップ組立体 81 の配線パターンの一部を示す斜視図である。半導体回路チップ組立体 81 は、第 1 ~ 第 3 の貫通電極 103 ~ 104 を有する。説明のため、図 4 では、半導体回路チップ組立体 81 を貫通する第 1 ~ 第 3 の貫通導線 103 ~ 105 と、この第 1 ~ 第 3 の貫通導線 103 ~ 105 と半導体回路チップ組立体 81 の接続端子 83A, 86A, 89A までの配線のみを図示し、半導体回路チップおよび層間絶縁膜などは図示しない。第 1 ~ 第 3 の貫通電極 103 ~ 105 は、半導体回路チップ組立体 81 の積層方向、すなわち図 4 の矢 20 符 A 方向に、半導体回路チップ組立体 81 を貫通する。また、ここではフェースアップで半導体回路チップ組立体 81 を積層する場合について示している。

【 0 1 0 6 】

半導体回路チップ組立体 81 の一表面には、入力部 83 の端子である入力部接続端子 83A と、出力部 86 の端子である出力部接続端子 86A と、データ導出部 89 であるデータ導出部接続端子 89A が形成される。入力部接続端子 83A は、信号線 T D I の端子 111、および信号線 T C K の端子 113 である。信号線 T C K, T M S, T R S T をそれぞれ接続する配線は、同様であるので、ここでは信号線 T C K を接続する配線のみを示す。出力部接続端子 86A は、信号線 T D O の端子 112 である。データ導出部接続端子 89A は、信号線 T D O 2 の端子 114 である。

【 0 1 0 7 】

第 1 の貫通電極 103 の一端部は、信号線 T D I の端子 111 に第 1 の接続線 115 を介して相互に接続される。第 1 の接続線 115 は、半導体回路チップ組立体 81 の一表面に形成される。第 1 の接続端子 116 は、積層される半導体回路チップ組立体 81 の第 1 の貫通電極 103 の他端部と相互に接続される。

第 1 の貫通電極 103 の一端部の上方には、層間絶縁膜を介して、積層される半導体回路チップ 81 と接続される第 1 の接続端子 116 が形成される。信号線 T D O の端子 112 は、層間絶縁膜を挟んで第 1 の接続線 115 に積層される第 2 接続線 117 を介して、第 1 の接続端子 116 と相互に接続される。

【 0 1 0 8 】

第 2 の貫通電極 104 の一端部は、信号線 T C K の端子 113 に第 3 の接続線 118 を介して相互に接続される。第 3 の接続線 118 は、半導体回路チップ組立体 81 の一表面に形成される。第 2 の貫通電極 104 の一端部には、積層される半導体回路チップ 81 と接続される第 2 の接続端子 119 が形成される。第 2 の接続端子 119 は、積層される半導体回路チップ組立体 81 の第 2 の貫通電極 104 の他端部と相互に接続される。

【 0 1 0 9 】

第 3 の貫通電極 105 の一端部は、信号線 T D O 2 の端子 114 に第 4 の接続線 121 を介して相互に接続される。第 4 の接続線 121 は、半導体回路チップ組立体 81 の一表面に形成される。第 3 の貫通電極 105 の一端部には、積層される半導体回路チップ 81 と接続される第 3 の接続端子 122 が形成される。第 3 の接続端子 122 は、積層される半導体回路チップ組立体 81 の第 3 の貫通電極 105 の他端部と相互に接続される。

30

40

50



## 【0110】

このように配線を設けることによって、半導体回路チップ組立体81の外部から入力されるデータは、第1の貫通電極103を通り、第1の接続線115を經由して信号線TDIの端子111に伝えられる。信号線TDOから出力されるデータは、端子112から第2の接続線117を介して、第1の接続端子116から積層される半導体回路チップ組立体81に伝えられる。また信号線TCKの端子112は、共通のバスラインに接続され、信号線TDO2の端子114は共通のバスラインに接続される。

## 【0111】

図4に示す配線を形成して、半導体回路チップ組立体81を積層すると、上下の半導体回路チップ組立体81をずらさないで積み重ねることができるので、半導体装置82を可及的小形に形成することができる。

10

## 【0112】

以上のように、コントローラ80を用いて半導体回路チップ組立体81を構成すると、図4に示す1つの配線パターンのみで、バウンダリスキャンテストを実施するためのデジタチェーンを形成することができる。したがって、同一の半導体回路チップを積層する際に半導体回路チップ組立体81を作り分ける必要が生じない。つまり半導体回路チップ組立体81を同一のウエハプロセスによって形成することができるので、この半導体回路チップ組立体81を形成する手間が低減される。また半導体装置82を形成する場合に、同じ半導体回路チップ組立体81を積層するので、積層する順番などを考慮する必要がなく、工程が容易となる。

20

## 【0113】

本実施の形態では、半導体回路チップ組立体81をフェースアップで積層する場合について述べたが、半導体回路チップ組立体81は、フェースダウンで積層してもよい。この場合図4において、前述した信号線TDIの端子111を、信号線TDOの端子とし、信号線TDOの端子112を、信号線TDIの端子とすればよい。

## 【0114】

図6は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ130を示すブロック図である。バウンダリスキャンコントローラ130は、入力部83、制御手段84、記憶手段85、出力部86、固定データ保持手段87、比較手段88およびデータ導出部89Aを含む。バウンダリスキャンコントローラ130と、前述した図1に示すバウンダリスキャンコントローラ80とは、データ導出部89Aの構成のみが異なるので、同様な部分には同様の符号を付して、説明を省略する。以後、バウンダリスキャンコントローラ130を単にコントローラ130と記載する場合がある。

30

## 【0115】

データ導出部89Aは、トライステートバッファ94と、プルアップ手段131と、信号線TDO2を有する。トライステートバッファ94は、比較手段88と、出力部86である信号線TDOと相互に接続される。トライステートバッファ94は、比較手段88から出力される比較結果情報が、識別データと固定データとが一致することを示す場合は、出力部86から出力されるデータと同一のデータを出力する。トライステートバッファ94の入力端子は、信号線TDOと相互に接続され、出力端子は信号線TDO2と相互に接続される。

40

## 【0116】

一方、トライステートバッファ94は、比較手段88から出力される比較結果情報が、識別データと固定データとが一致しないことを示す場合には、入力されるデータの出力が禁止される。

## 【0117】

プルアップ手段131は、信号線TDO2および電源に接続され、信号線TDO2に対して、プラス(+)側電源から微弱な電流を常に与えて、信号線TDO2を弱いプルアップとする。これによって、トライステートバッファ94の出力が禁止されている時でも、信号線TDO2の信号レベルは、予め定める信号レベルになる。予め定める信号レベルとは

50

、ハイ(H)レベルである。

【0118】

また、プルアップ手段131から信号線TDO2に供給する電流は微弱であるので、トライステートバッファ94もしくは半導体回路チップ制御装置81の外部のデバイスからロー(L)レベルの信号を与えられた場合には、信号線TDO2の信号レベルは、Lレベルとなる。

【0119】

弱いプルアップ手段13を実現するには、たとえば、TTL(Transistor Transistor Logic)回路を用いる場合、プラス(+)側電源(Vcc)と出力の間に高抵抗を挿入することによって実現可能であり、CMOS(Contemporary Metal Oxide Semiconductor)を用いる場合には、プラス(+)側電源(Vdd)と出力の間に、ドレイン-ソース間の抵抗の高いPチャネルトランジスタがオン状態になるようにゲート電圧を設定して挿入することによって実現可能である。前記ゲート電圧は、-側電源に固定すればよい。

【0120】

万一、コントローラもしくは半導体回路チップそのものが不良で、信号線TDO2からマイナス(-)レベルの信号を出力した場合には、電源が短絡して積層される他の半導体回路チップにまで影響が及ぶ可能性があるが、信号線TDO2を弱いプルアップとすることによって、このような不具合を防止することができる。

【0121】

また、コントローラ130では、前述のコントローラ80と比較して、回路構成を簡単にすることができ、小形化を図ることができる。

【0122】

コントローラ130を有する半導体回路チップ組立体および、半導体回路チップ組立体を複数積層して構成される半導体装置は、前述した半導体回路チップ組立体81および半導体装置82と同様である。また、識別データの設定方法も前述の実施の形態のコントローラ80の場合と同様である。

【0123】

図7は、本発明のさらに他の実施の形態のバウンダリスキャンコントローラ140を示すブロック図である。バウンダリスキャンコントローラ140は、入力部83、制御手段84、記憶手段85、出力部86、固定データ保持手段87、比較手段88およびデータ導出部89Bを含む。バウンダリスキャンコントローラ140と、前述した図1および図5に示すバウンダリスキャンコントローラ80、130とは、データ導出部89Bの構成のみが異なるので、同様な部分には同一の符号を付して、説明を省略する。以後、バウンダリスキャンコントローラ140を単にコントローラ140と記載する場合がある。

【0124】

本実施の形態では、データ導出部29は、トライステートバッファ94と、プルアップ手段131と、信号線TDO2を有する。プルアップ手段131は、記憶手段85、信号線TDO2および電源に接続され、記憶手段85に識別データが記憶されていない場合、信号線TDO2に対して、プラス(+)側電源から微弱な電流を常に与えて、信号線TDO2を弱いプルアップとする。これによって、トライステートバッファ94の出力が禁止されている時でも、信号線TDO2の信号レベルは、予め定める信号レベルになる。予め定める信号レベルとは、ハイ(H)レベルである。

【0125】

またプルアップ手段131は、記憶手段85に識別データが記憶されている場合、信号線TDO2のプルアップを禁止する。これによって、トライステートバッファ94から出力される信号レベルがLレベルである場合に、プルアップ手段131を介してプラス(+)側電源から信号線TDO2に流れも電流を無くすことができ、消費電力を低減することができる。

【0126】

10

20

30

40

50

プルアップ手段 131 による信号線 TDO2 のプルアップを禁止するには、たとえば、TTL 回路を用いる場合、プラス (+) 側電源 (Vcc) と出力との間に高抵抗を挿入し、かつ挿入した高抵抗との間にトランジスタを挿入することによって実現可能である。前記トランジスタは、たとえば PNP トランジスタによって実現される。CMOS を用いる場合には、プラス (+) 側電源 (Vdd) と出力の間に挿入した抵抗の高い P チャネルトランジスタのゲートを制御することで実現可能である。

【0127】

コントローラ 140 を有する半導体回路チップ組立体および、半導体回路チップ組立体を複数積層して構成される半導体装置は、前述した半導体回路チップ組立体 81 および半導体装置 82 と同様である。また、識別データの設定方法も前述の実施の形態のコントローラ 80 の場合と同様である。

10

【0128】

本実施の各形態のコントローラ 80, 130, 140 の記憶手段 85 には、半導体回路チップ毎の識別データが記憶されるので、この識別データによって、半導体装置 82 に設けられる半導体回路チップを識別することができる。

【0129】

本発明のさらに他の実施の形態のバウンダリスキャンコントローラでは、上述したバウンダリスキャンコントローラ 80, 130, 140 のうちのいずれか 1 つを有する半導体回路チップ組立体に、記憶手段 85 に記憶される識別データによって信号線を選択する信号選択手段 150 を設ける構成としてもよい。

20

【0130】

図 8 は、信号選択手段 150 を示すブロック図である。信号選択手段 150 には、外部から信号を入力または外部へ信号を出力する複数の信号線 151 が接続される。信号選択手段 150 は、複数の信号線 151 の中から、識別データに対応する信号線 151 を内部信号線 152 に接続する。前述したバウンダリスキャンコントローラ 80, 130, 140 において、たとえば、信号線 151 を積層する半導体回路チップ組立体の数だけ各半導体回路チップ組立体に追加して形成する。

【0131】

図 1、図 6 および図 7 に示すように、記憶手段 85 に記憶される識別データを取出す識別データ取出し線 153 をコントローラ 80, 130, 140 に設け、識別データを信号選択手段 150 に入力する。信号選択手段 150 では、追加された信号線 151 の内、対応する信号線を選択することによって、半導体回路チップ毎の動作を指示することが可能となる。

30

【0132】

たとえば信号線 151 を、チップ選択信号 (略称 CS) 線とすると、それぞれの半導体回路チップ組立体に、独立にチップ選択信号を供給できるようになり、チップ選択信号を用いて、積層された半導体回路チップの識別が可能となる。

【0133】

前述したバウンダリスキャンコントローラ 80, 130, 140 のうちいずれか 1 つが設けられる半導体回路チップは、たとえばメモリチップであり、半導体装置は、たとえばメモリモジュールである。

40

【0134】

本発明のさらに他の実施の形態では、メモリチップにバウンダリスキャンコントローラ 80, 130, 140 のうちいずれか 1 つが設けられるメモリチップ組立体に、メモリチップを選択するメモリチップ選択手段 160 を設ける構成としてもよい。

【0135】

図 9 は、メモリチップ組立体に設けられるメモリチップ選択手段 160 を示す図である。メモリチップ組立体は、メモリチップのアドレス線に追加して形成される追加アドレス線 161 と、メモリチップを選択するため選択信号を入力する選択信号線 162 と、メモリチップ選択手段 160 とを含む。

50

## 【0136】

メモリチップ組立体には、積層されるメモリチップと同じ数だけ追加アドレス線161を形成する。またメモリチップ組立体には、選択信号線162を形成する。

## 【0137】

メモリチップ選択手段160は、記憶手段25に記憶される識別データと、追加したアドレス線161のアドレスとを比較するアドレス比較手段163と、アドレス比較手段163の比較結果情報と選択信号線162から入力される信号とに基づいて、動作許可情報を出力する動作許可情報出力手段164とを含む。

## 【0138】

アドレス比較手段163は、記憶手段25および追加したアドレス線161と相互に接続され、識別データと追加したアドレス線161のアドレスとを比較する。アドレス比較手段163は、識別データが前記アドレス線161のアドレスと一致する場合には、一致することを示す比較結果情報を出力する。 10

## 【0139】

動作許可情報出力手段164は、比較回路163からの比較結果情報を入力し、この比較結果情報が、識別データとアドレス線161のアドレスとが一致することを示すものである場合であり、かつメモリチップを選択する選択信号が選択信号線162から入力されている場合に、メモリチップの動作を許可する動作許可情報を出力する。

## 【0140】

このように、メモリチップ組立体に設けられる記憶手段25に記憶される識別データをアドレスとして用いることができる。したがって、選択信号線162から同一の選択信号が入力される場合であっても、積層されるメモリチップ毎にアドレスが異なることによって、メモリチップを選択して動作させることができる。したがって、必要なメモリチップのみを選択して動作させることができる。 20

## 【0141】

本発明のさらに他の実施の形態では、メモリチップにバウンダリスキャンコントローラ80, 130, 140のうちいずれか1つが設けられるメモリチップ組立体に、データ線を選択するデータ線選択手段170を設ける構成としてもよい。

## 【0142】

図10は、メモリチップ組立体に設けられるデータ線選択手段170を示す図である。メモリチップ組立体は、メモリチップのデータ線に追加して形成され、前記データ線の数よりも多い追加データ線172と、追加データ線172を選択してメモリチップのデータ線171に接続するデータ線選択手段170とを含む。 30

## 【0143】

データ線は、入出力端子であるが、OE（出力イネーブル）端子や、RW（読み書き指定）などの状態で出力として動作しているか入力として動作しているか特定できるため、入力のデータセクタと出力のデータセクタを独立に設けてもよいし、データセクタに双方向性のものを用いれば、入出力の端子であっても図示される接続で実現できる。

## 【0144】

メモリチップ組立体には、メモリチップのデータ線の数よりも多い追加データ線172が形成される。データ線選択手段170は、複数のデータセクタ173を有する。各データセクタ173には、それぞれ記憶手段25から識別データが入力される。各データセクタ173は、複数の追加データ線172と、メモリチップの1つのデータ線171とに接続され、識別データに基づいて、追加データ線172を選択して、メモリチップのデータ線171に接続することができる。 40

## 【0145】

このように、識別データによって追加データ線172を選択することができるので、たとえば8ビットバスに対応するメモリチップを4つ積層したメモリモジュールを32ビットバスに対応するメモリとして使用することができる。つまり32ビットバスからの入力を、識別データによって選択して、積層される4つのメモリチップに振り分けることができ 50

る。したがって、複数のメモリチップを積層して、少ないスペースで大容量のメモリモジュールを容易に構成することができる。

【0146】

さらに本発明のさらに他の実施の形態では、メモリチップ組立体に、アドレス線およびデータ線を追加して、前述した図9に示すメモリチップ選択手段160、および図10に示すデータ線選択手段170とを組合せて構成してもよい。

【0147】

【発明の効果】

以上のように本発明によれば、固定データ保持手段に保持される固定データおよび記憶手段に記憶される識別データが同一である場合と、同一でない場合とで、データ導出部から出力されるデータを異ならせることができる。 10

【0148】

バウンダリスキャンテストは、複数のバウンダリスキャンコントローラを連結したダイジェーションに対して行われる。本発明のバウンダリスキャンコントローラでは、固定データとして、最上段の半導体回路チップの識別データを固定データ保持手段に保持させることによって、最上段のバウンダリスキャンコントローラだけ、データ導出部から出力されるデータを、他のデータ導出部から出力されるデータと異ならせることができる。

【0149】

したがって、最上段の半導体回路チップに設けられるバウンダリスキャンコントローラの出力部は、無接続状態として、各バウンダリスキャンコントローラのデータ導出部は、同一のバスラインに接続することができる。つまり、同一のバスラインに接続されるデータ導出部のうち、最上段以外の半導体回路チップに設けられるバウンダリスキャンコントローラのデータ導出部をバスラインから切断した状態とすることができる。これによって、バウンダリスキャンコントローラを備える同一の半導体回路チップ組立体を積層して、半導体装置を構成することができる。 20

【0150】

また本発明によれば、記憶手段に識別データが記憶され、比較情報が識別データおよび固定データが一致することを示す場合、データ導出部は、出力部が出力するテスト結果データと同一のデータを出力する。したがって、データ導出部から詳細なテスト結果データを得ることができ、接続不良の詳細な場所を特定することができる。 30

【0151】

また本発明によれば、記憶手段に識別データが記憶されていない場合、データ導出部は、その出力を予め定める信号レベルに維持する。予め定める信号レベルとは、たとえばHレベルの状態である。これによって、データ導出部の出力側が回路に接続されていても、実質上、前記回路から切り離された状態とすることができる。

【0152】

また本発明によれば、半導体回路チップ組立体を同一のウエハプロセスによって形成することができるので、この半導体回路チップ組立体を形成する手間が低減される。また半導体装置を形成する場合に、同じ半導体回路チップ組立体を積層するので、積層する順番などを考慮する必要がなく、装置の形成が容易となり、製造コストが低減する。 40

【0153】

また本発明によれば、メモリチップの選択する選択信号が入力されたとしても、追加アドレス線に対応するデータと記憶手段に記憶される識別データとが一致しないと、許可手段によってメモリチップの動作が許可されない。したがって、同一の選択信号を入力したとしても、許可手段は1つのメモリチップの動作のみを許可することができるので、積層されるメモリチップごとに動作させることができる。

【0154】

また本発明によれば、選択手段は、記憶手段に記憶される識別データによって追加データ線を選択して、メモリチップのデータ線に接続するので、積層されるメモリチップ毎に追加データ線を割当てることができる。したがって、1つのメモリチップに対応するバスラ 50

インよりも多いバスラインに接続してメモリチップを動作させることができる。これによって、メモリチップの種類を増やさなくても、メモリチップ組立体を積層して大容量メモリモジュールを構成することができる。

【0155】

また本発明によれば、記憶手段に記憶される識別データによって各半導体回路チップを個別に認識することができる。したがって、識別データを用いることによって、半導体回路チップを個別に管理することができる。

【0156】

また本発明によれば、記憶手段に記憶される識別データに基づいて選択した半導体回路チップに動作を行わせるので、積層される半導体回路チップを個別に動作させることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態であるバウンダリスキャンコントローラ80を示すブロック図である。

【図2】バウンダリスキャンコントローラ80を半導体回路チップに設けて構成される半導体回路チップ組立体81を示すブロック図である。

【図3】半導体回路チップ組立体81を複数積層して構成される半導体装置82を示すブロック図である。

【図4】コントローラ80の記憶手段85に識別データを設定する動作を示すフローチャートである。

【図5】コントローラ80を半導体回路チップに設けて形成される半導体回路チップ組立体81の配線パターンの一部を示す斜視図である。

【図6】本発明のさらに他の実施の形態のバウンダリスキャンコントローラ130を示すブロック図である。

【図7】本発明のさらに他の実施の形態のバウンダリスキャンコントローラ140を示すブロック図である。

【図8】信号選択手段150を示すブロック図である。

【図9】メモリチップ組立体に設けられるメモリチップ選択手段160を示す図である。

【図10】メモリチップ組立体に設けられるデータ線選択手段170を示す図である。

【図11】テープキャリア1を用いてチップ2を積層した半導体装置を示す斜視図である。

【図12】表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

【図13】表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

【図14】表裏を貫通する電極を持つチップを積層して構成される半導体装置を説明するための図である。

【図15】バウンダリスキャンテストの手法を説明するための図である。

【図16】バウンダリスキャンテストの手法を説明するための図である。

【図17】図16に示す積層モジュール50におけるチップ組立体の配線パターンを示す斜視図である。

【図18】図16に示す積層モジュール50におけるチップ組立体の配線パターンを示す斜視図である。

【符号の説明】

80, 130, 140 バウンダリスキャンコントローラ

81 半導体回路チップ組立体

82 半導体装置

83 入力部

84 制御手段

85 記憶手段

10

20

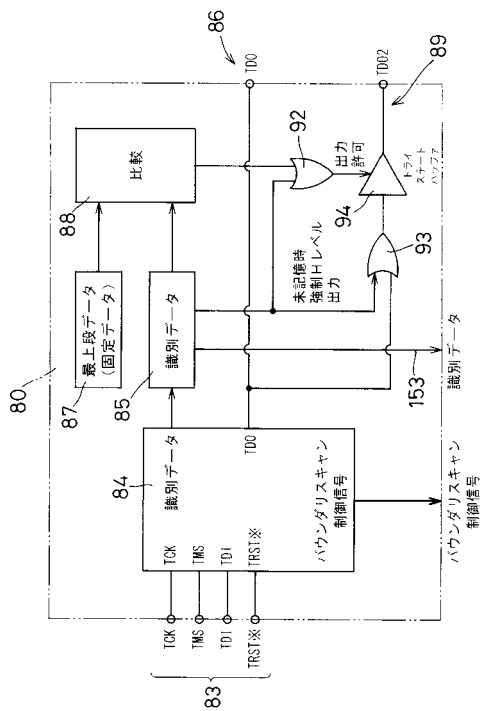
30

40

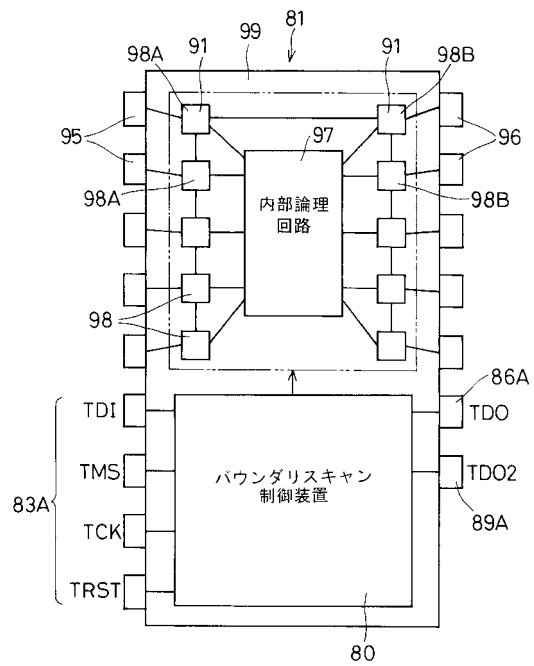
50

- 8 6 出力部
- 8 7 固定データ保持手段
- 8 8 比較手段
- 8 9 データ導出部
- 1 6 0 メモリチップ選択手段
- 1 6 1 追加アドレス線
- 1 7 0 データ線選択手段
- 1 7 1 追加データ線

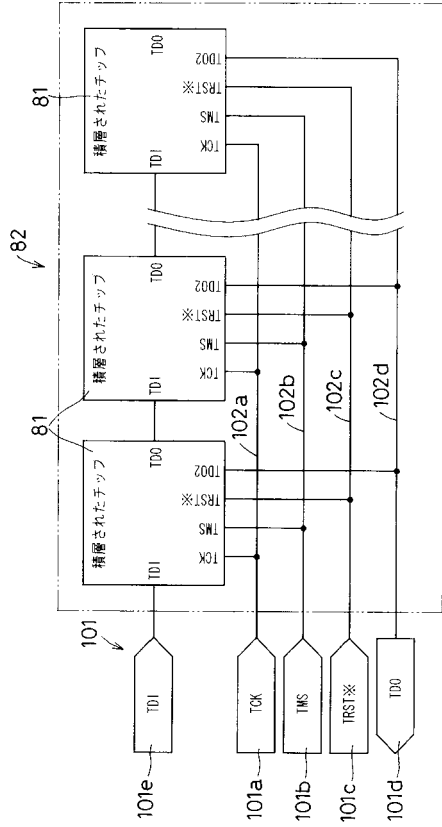
【 図 1 】



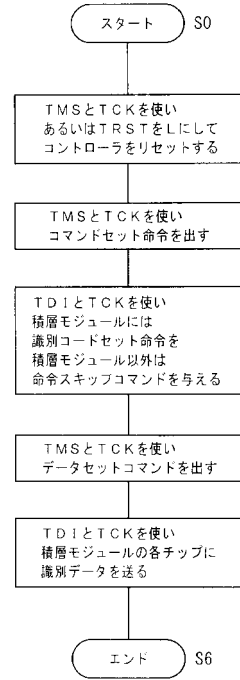
【 図 2 】



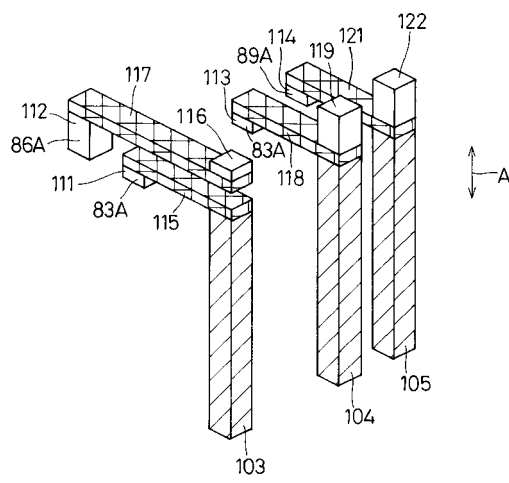
【図3】



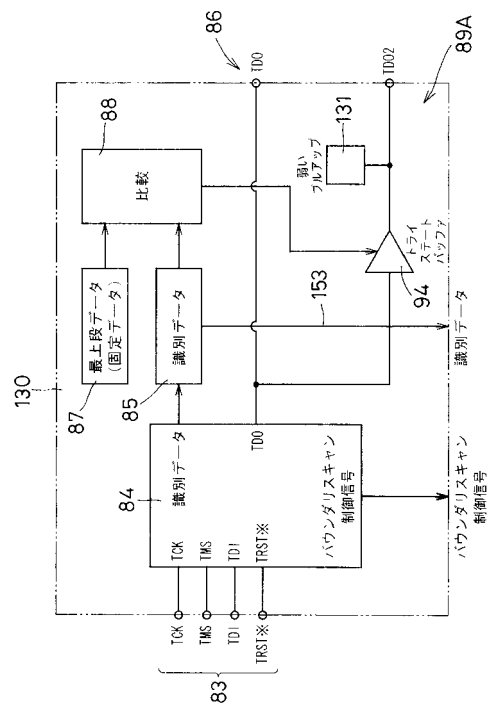
【図4】



【図5】

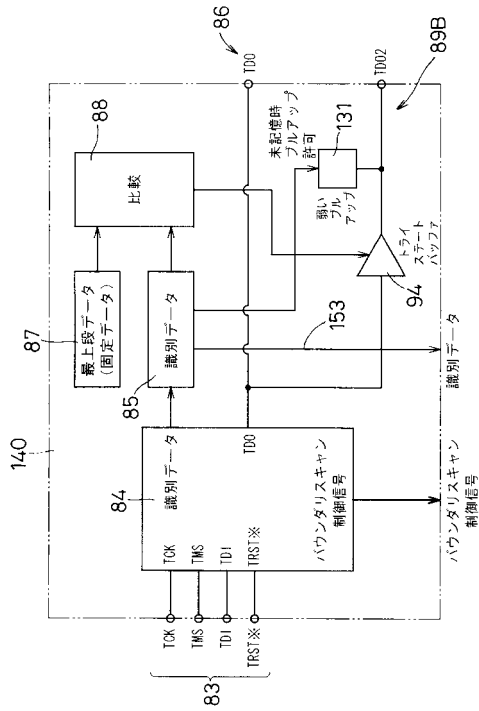


【図6】

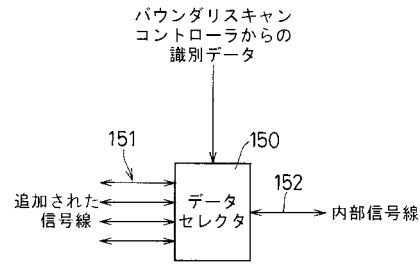




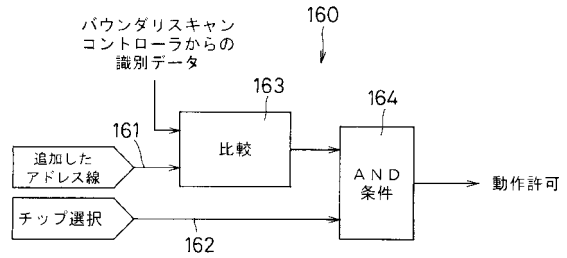
【図 7】



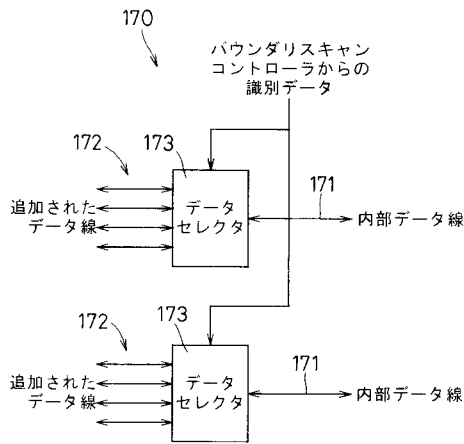
【図 8】



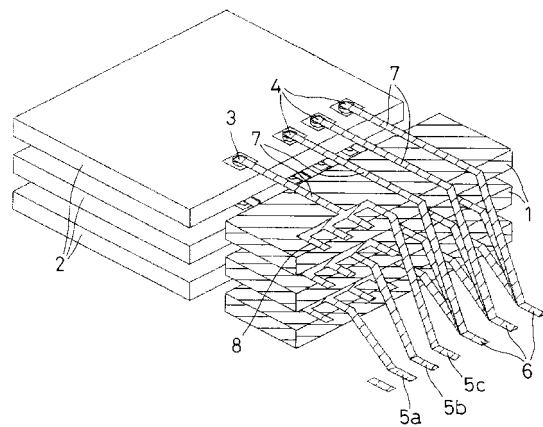
【図 9】



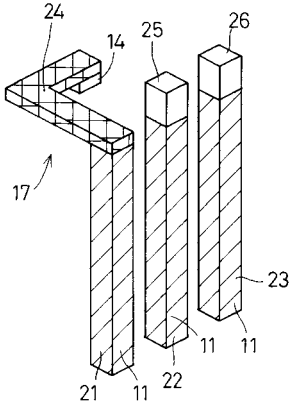
【図 10】



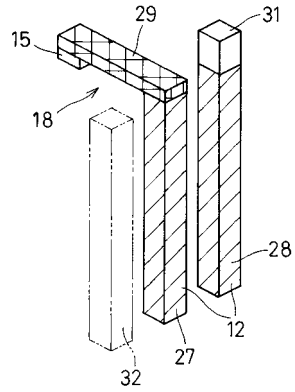
【図 11】



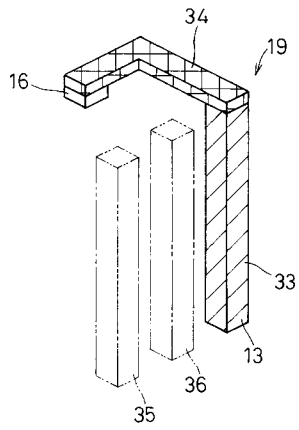
【図 1 2】



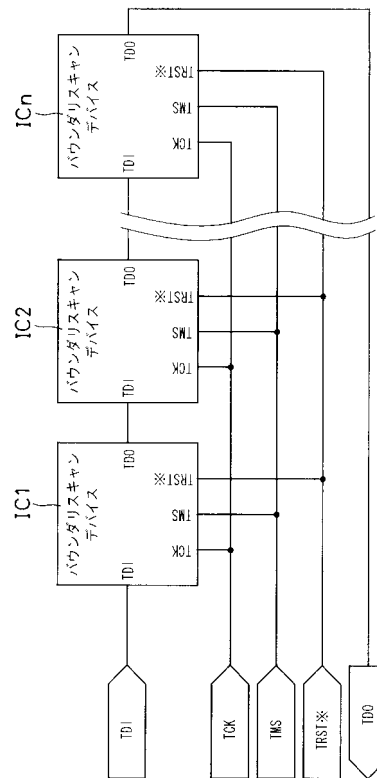
【図 1 3】



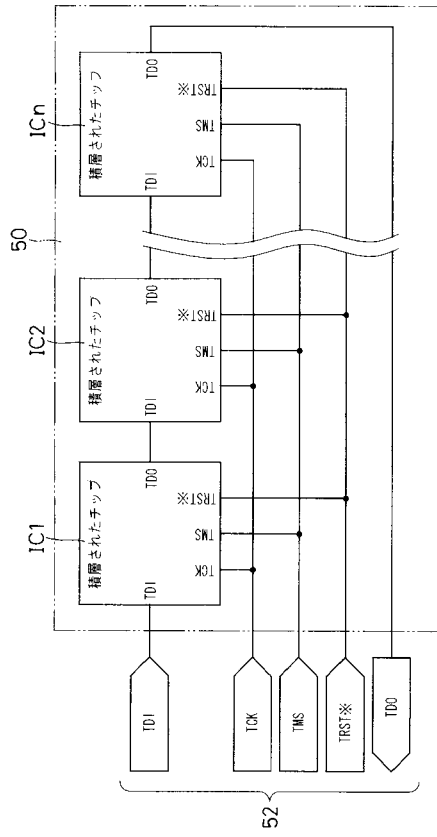
【図 1 4】



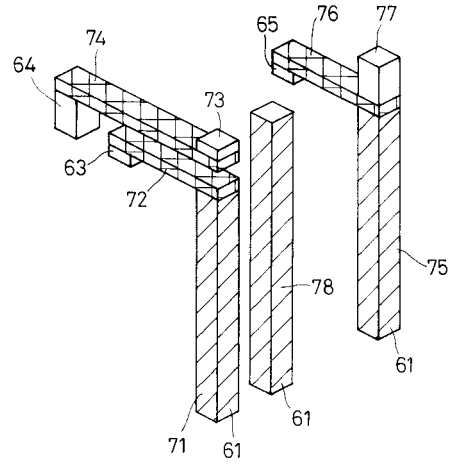
【図 1 5】



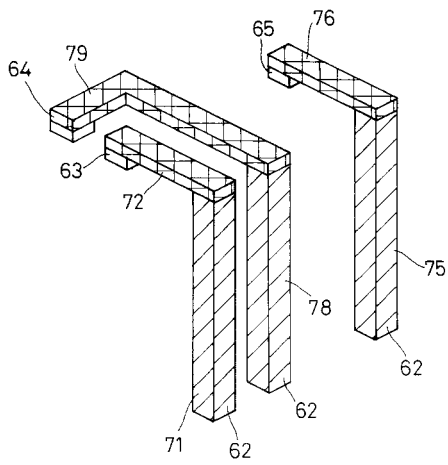
【図 16】



【図 17】



【図 18】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

H 0 1 L 27/04

U

Fターム(参考) 5F038 DF01 DF05 DF14 DF17 DT04 DT05 DT06 DT10 DT13 DT15  
DT17 EZ07 EZ20  
5F064 AA11 BB02 BB04 BB12 BB16 BB18 BB19 BB28 BB31 BB40  
EE22 FF12 FF16 HH10  
5J056 AA00 BB60 CC09 KK02