



(19) **RU** ⁽¹¹⁾ **2 155 388** ⁽¹³⁾ **C2**
(51) МПК⁷ **G 11 B 5/09, G 06 F 7/00, 7/22**

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ**

(21), (22) Заявка: 95116585/09, 29.09.1995
(24) Дата начала действия патента: 29.09.1995
(30) Приоритет: 31.10.1994 KR 94-28376
(46) Дата публикации: 27.08.2000
(56) Ссылки: US 5142421 A, 25.08.1992. EP 0492704 A1, 01.07.1992. Балашов Е.П. и др. Накопители информации с подвижным магнитным носителем. - Л.: Энергоиздат, 1982, с.56-60, 145, 183-185. SU 1732380 A1, 07.05.1992.
(98) Адрес для переписки: 129010, Москва, ул. Большая Спасская 25, стр.3, ООО "Городисский и Партнеры", Емельянову Е.И.

(71) Заявитель:
САМСУНГ ЭЛЕКТРОНИКС КО., ЛТД. (KR)
(72) Изобретатель: Сун-тае КИМ (KR)
(73) Патентообладатель:
САМСУНГ ЭЛЕКТРОНИКС КО., ЛТД. (KR)

(54) **УСТРОЙСТВО ЗАПИСИ ЦИФРОВОГО СИГНАЛА**

(57)
Изобретение относится к области вычислительной техники и может быть использовано в системах записи сигнала. Изобретение использует перемещающуюся без возврата к нулю с инверсией на единицах (I-NRZI) модуляцию для устройства записи цифрового сигнала, используемого для записи на параллельные дорожки среды записи перемежающихся кодов, предназначенных для включения пилот-сигналов в выбранные множества записываемых дорожек. Устройство содержит

кодеры, мультиплексор, преобразователи параллельного в последовательное и генератор сигнала управления. Техническим результатом является повышение быстродействия. 10 з.п. ф-лы, 20 ил.





(19) **RU** ⁽¹¹⁾ **2 155 388** ⁽¹³⁾ **C2**
(51) Int. Cl.⁷ **G 11 B 5/09, G 06 F 7/00, 7/22**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 95116585/09, 29.09.1995

(24) Effective date for property rights: 29.09.1995

(30) Priority: 31.10.1994 KR 94-28376

(46) Date of publication: 27.08.2000

(98) Mail address:
129010, Moskva, ul. Bol'shaja Spasskaja 25,
str.3, OOO "Gorodisskij i Partnery",
Emel'janovu E.I.

(71) Applicant:
SAMSUNG EhLEKTRONIKS KO., LTD. (KR)

(72) Inventor: Sun-tae KIM (KR)

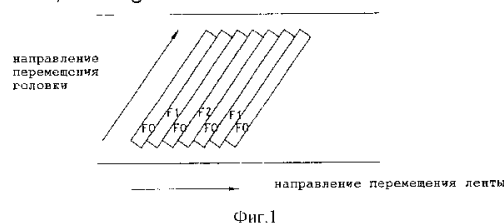
(73) Proprietor:
SAMSUNG EhLEKTRONIKS KO., LTD. (KR)

(54) **DEVICE FOR DIGITAL SIGNAL RECORDING**

(57) Abstract:

FIELD: computer engineering, in particular, signal recording equipment.
SUBSTANCE: device uses interlacing Non-Return Zero Inverted modulation for writing digital signal to parallel tracks of recording medium as interlacing codes, which are designed for setting pilot signals into chosen sets of written tracks. Respective device has encoders, multiplexer, parallel-to-serial converters, and control

signal generator. EFFECT: increased speed.
11 cl, 47 dwg



Изобретение относится к устройству для записи цифрового сигнала, записывающему раздельную без возвращения к нулю с обращением на ЕДИНИЦАХ (I-NRZI) модуляцию, которая содержит управляющие сигналы, применяемые для трекинга головки во время воспроизведения.

Уровень техники

В устройстве записи/воспроизведения таком, как видеомagnetофон, по мере отклонения головки от дорожки среды магнитной записи во время воспроизведения ухудшается сигнал, поступающий от головки, и возрастают ошибки. Это препятствует нормальному воспроизведению изображения, так что необходимо, чтобы головка точно следовала нужной дорожке. Другими словами, необходимо осуществлять трекинг головки. Для того, чтобы увеличить время записи в видеомagnetофонах с цифровой записью, предназначенных для домашнего пользования, дорожки делаются особенно узкими, что увеличивает необходимость для удовлетворительного воспроизведения изображения точность трекинга головки. Среди способов для определения ошибки трекинга головки или отклонения от идеального трекинга имеются способы, использующие различные ответные управляющие сигналы для последующих дорожек для облегчения сравнения перекрестных помех управляющих сигналов от предшествующих дорожек и последующей дорожки, которой наиболее точно следует головка, чтобы определить, в какую сторону отклоняется трекинг головки, в сторону предшествующей дорожки или в сторону последующей дорожки. Управляющие сигналы принимают форму пиков и провалов в частном спектре цифровых сигналов, записываемых на дорожки путем выборочной записи одной из двух типов раздельной без возврата к нулю с обращением на ЕДИНИЦАХ (I-NRZI) модуляции. Эта же информация предварительно кодируется в два параллельных во времени множества последовательно передаваемых слов канала, и слова канала, которые выбираются из одного или другого множества для управления I-NRZI модуляцией в течение записи, выбираются так, чтобы I-NRZI модуляция имела наименьшее отклонение от критерия управляющего сигнала для каждой записывающей дорожки. После окончания выбора слова канала активизируется информация предварительного кодирования, загруженная в предварительный кодер, который не генерировал выбранное слово канала для подтверждения заранее закодированной информации, загруженной в предварительный кодер, который генерировал выбранное слово канала. Это делается для обеспечения непрерывности процедур предварительного кодирования и процедур декодирования, следующих за I-NRZI модуляцией, восстановленной из среды записи в течение воспроизведения и демодуляции. После завершения выбора слова канала интеграторы в схеме для определения, какое слово канала должно быть выбрано, должны обновлять свое содержимое, чтобы отразить, какое слово канала было выбрано фактически для записи. Такие методы описаны в патенте США N 5142421, опубликованном 24 августа 1992

года на имя Kahlman (Кальман) и др., озаглавленном "УСТРОЙСТВО ДЛЯ ЗАПИСИ ЦИФРОВОГО ИНФОРМАЦИОННОГО СИГНАЛА НА НОСИТЕЛЬ ЗАПИСИ" и приведенном здесь в качестве ссылки.

5 В этом патенте США N 5142421 осуществление I-NRZI модуляции осуществляется на основе последовательных битов. Это не пригодно для работы в магистральной линии связи, где слова канала, выбранные из предварительных кодеров последовательных битов, записываются в среду магнитной записи после некоторого фиксированного запаздывания для приспособления цепи выбора. После генерации соответствующей пары слов канала требуется некоторое время для выполнения процедуры принятия решения, которая определяет, которое из них будет записано. После процедуры принятия решения необходимо еще некоторое время для обновления загруженной в 10 предварительные кодеры информации. Эти процедуры решения и обновления должны быть завершены до того, как будет возможна дальнейшая запись, так что запаздывания, вызванные этими процедурами решения и обновления, создают некоторые разрывы в непрерывном потоке битов по мере непрерывного тактирования способами синхронного тактирования. Соответственно, должна быть выделена память буфера первым пришел/первым ушел, которая может быть периодически считана до 20 предварительных кодеров последовательных битов, и память буфера первым пришел/первым ушел, в которую можно осуществлять периодическую запись посредством выбранных слов канала и затем непрерывно считывать, должна быть предоставлена для слов канала, сгенерированных предварительными кодерами последовательных битов. Генерация сигналов тактирования для памяти буфера является в некоторой степени 30 сложной, поэтому желательно избегать использования памяти буфера периодической записи и считывания.

Заявка, озаглавленная "УСТРОЙСТВО ДЛЯ ЗАПИСИ ЦИФРОВОГО СИГНАЛА", поданная 7 июня 1995 года изобретателем по настоящей заявке, приведена здесь в качестве ссылки как не имеющей существенного отношения к делу. В этой заявке автор настоящего изобретения г-н Soon-Tae Kim описывает использование 35 предварительных кодеров параллельных битов совместно с преобразователями параллельных битов в последовательные биты (P/S), для использования обработки в магистральной линии осуществленной I-NRZI модуляции и чтобы избавиться от необходимости в памяти буфера периодической записи или периодического 40 чтения. Процедуры предварительного кодирования на начальных шагах осуществления I-NRZI модуляции в общем случае осуществляются путем применения первого и второго предварительных кодеров типа 2T для параллельной генерации пары множеств слов канала, из которых 45 выбираются слова канала для записи. Как указали Kahlman и др., когда префиксы единичных битов присоединяются к информационным словам, предварительно

закодированным вторым и первым предварительными кодерами 2Т типа, то соответствующие места нечетных битов в соответствующих словах канала, которые они сгенерировали, одновременно являются битовыми дополнениями друг друга, а соответствующие места четных битов в этих словах канала остаются без изменения. Это свойство используется для уменьшения количества преобразований параллельных битов в последовательные, необходимых после первого и второго предварительных кодеров параллельных битов 2Т типа, в определенном устройстве записи цифрового сигнала, описанном в одновременно изданной заявке изобретателя, указанной выше.

В исполнениях изобретения, описанных здесь, это свойство используется для осуществления I-NRZI модуляции, используя одиночный предварительный кодер типа 2Т для генерации первого из пары совместных слов канала и получения второго слова канала этой пары из первого путем битового дополнения его мест нечетных битов и сохраняя неизменными свои места четных битов. В частности, заманчиво использовать одиночный предварительный кодер 2Т типа, когда предварительное кодирование выполняется на основе параллельных битов, в то время как имеется значительное количество вентилей исключающих ИЛИ и значительное количество битовых защелок в предварительном кодере параллельных битов 2Т типа, как это описано в приведенной выше одновременно изданной заявке изобретателя.

Сущность изобретения

Настоящее изобретение осуществлено в устройстве записи цифрового сигнала, которое осуществляет раздельно без возврата к нулю с обращением на ЕДИНИЦАХ (I-NRZI) модуляцию, используя одиночный предварительный кодер 2Т типа. В предпочтительных исполнениях настоящего изобретения одиночным предварительным кодером 2Т типа является тот, который осуществляет собственно кодирование каждого информационного слова на основе параллельных битов, для использования обработки в магистральной линии осуществляемой I-NRZI модуляции и для предотвращения необходимости использования памяти буфера для периодической записи или периодического считывания.

В конкретных исполнениях настоящего изобретения, используемых для записи телевизионных сигналов, создаются условия для осуществления I-NRZI модулями, используя тот же самый предварительный кодер 2Т типа для информации синхронизации и обработки, а также для видео- и аудиоинформации. Пилот-сигналы, вводимые в процессе записи видео- и аудиоинформации, продолжают свое воздействие посредством записи информации синхронизации и обработки.

Устройство для записи цифрового сигнала, использующее для записи перемещающуюся без возврата к нулю с инверсией на ЕДИНИЦАХ (I-NRZI) модуляцию, содержит порт ввода для приема информационных слов с n -параллельными битами, n является четным положительным числом; предварительный кодер для

кодирования информационных слов с $(n+1)$ -параллельными битами, которые формируются путем ввода бита управления с заранее определенной величиной в каждое информационное слово с n -параллельными битами, предварительный кодер предназначен для создания первого из двух типов $(n+1)$ -битовых слов канала раньше второго из двух типов $(n+1)$ -битовых слов канала, которое вырабатывается, когда бит управления имеет противоположную битовую величину, сопряженную с величиной заранее определенного бита, предварительный кодер инициализируется в соответствии с первым сигналом управления; мультиплексор с временным разделением для выделения каждого слова канала $(n+1)$ -параллельными битами, передаваемого от предварительного кодера в первую группу битов, биты которой должны быть преобразованы в дополнительные там, где заранее определенная битовая величина бита управления будет сопряженной по отношению к заранее определенной битовой величине, и во вторую битовую группу, биты которой должны оставаться неизменными, когда заранее определенная битовая величина бита управления будет сопряженной по отношению к заранее определенной битовой величине, для передачи первой и второй группы битов совместно; первый преобразователь параллельного в последовательное для генерации первого сигнала последовательных битов путем преобразования каждого слова канала с $(n+1)$ -параллельными битами первого типа, передаваемого от предварительного кодера в слово канала с $(n+1)$ -последовательными битами первого типа; второй преобразователь параллельного в последовательное для генерации второго сигнала с последовательными битами путем преобразования в дополнительные только битов из первой группы битов в слове канала с $(n+1)$ -параллельными битами, передаваемого от предварительного кодера и затем преобразован результирующее слово канала с $(n+1)$ -параллельными битами второго типа в слово канала с $(n+1)$ -последовательными битами второго типа; устройство записи на параллельных дорожках среды для записи (I-NRZI) модуляции в соответствии с I-NRZI кодом, который генерируется путем выбора выходного сигнала одного из преобразователей параллельного в последовательный и выходного сигнала второго преобразователя параллельно в последовательный, выбор должен осуществляться в ответ на второй сигнал управления; генератор сигнала управления, чувствительный к первым и вторым группам битов совместно передаваемых мультиплексором с временным разделением, для генерирования первых и вторых сигналов управления, первые и вторые сигналы управления генерируются так, чтобы указывать какие из первых и вторых сигналов последовательных битов должны быть выбраны для включения в код для того, чтобы минимизировать отклонение I-NRZI модуляции от спектральной характеристики, предписанной одной из дорожек, на которых ведется запись в текущий момент.

Предварительный кодер является 2Т

предварительным кодером для I-NRZI кодирования $(n+1)$ -битовых информационных слов, формируемых путем присоединения бита управления с заранее определенной битовой величиной к каждому информационному слову с параллельными битами в качестве соответствующего префиксного бита, $(n+1)$ -битовые информационные слова формируются путем присоединения соответствующего НУЛЕВОГО префиксного бита к каждому информационному слову с n -параллельными битами.

Кроме того, мультиплексор с временным разделением содержит третий преобразователь параллельного в последовательное для преобразования первой группы битов после выбора слова канала с $(n+1)$ -параллельными битами упомянутого первого типа, передаваемого от предварительного кодера, в нечетные слова канала с последовательными битами и четвертый преобразователь параллельного в последовательное для преобразования второй группы битов, выбранных в качестве слова канала с $(n+1)$ -параллельными битами первого типа, передаваемого от предварительного кодера в нечетные слова канала с последовательными битами.

Генератор сигнала управления содержит цепь для генерации первого и второго сигнала управления, которая действует в зависимости от того, превысил ли второй сигнал ошибки сигнал первой ошибки по амплитуде или нет; первую цепь для аддитивного объединения единичных параметров, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, с другими одиночными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами совместно передаваемого от мультиплексора с временным разделением, для генерации первых результатов объединения; первый интегратор для интегрирования первых результатов объединения совместно с исходной величиной интегрирования интегратора, для генерирования первого выходного сигнала интегратора, который равен величине первой цифровой суммы обработки, которая должна быть получена, если слово канала первого типа было выбрано следующим для записи; вторую цепь для дифференцированного объединения единичных параметров, полярности которых определяются битами, каждого нечетного слова канала, передаваемого от мультиплексора с временным разделением, с другими единичными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами совместно передаваемого от мультиплексора с временным разделением, для генерации вторых результатов объединения; второй интегратор для интегрирования вторых результатов объединения совместно с исходной величиной интегрирования второго интегратора, чтобы таким образом генерировать выходной сигнал второго генератора, равный величине второй

цифровой суммы обработки, которая будет получена, если слово канала второго типа будет выбрано следующим для записи, исходные величины первого и второго интеграторов остаются теми же и равны одному из выходных сигналов первого и второго интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии любого отклонения первой цифровой суммы обработки от предписанной величины цифровой суммы обработки для одной из дорожек, которые записываются в текущий момент, результат вычисления энергии любого отклонения первой цифровой суммы обработки включается в первый сигнал ошибки; и цепь для вычисления энергии любого отклонения второй цифровой суммы от предписанной величины цифровой суммы обработки для одной из дорожек, которые записываются в текущий момент, результат вычисления энергии любого отклонения второй цифровой суммы включается во второй сигнал ошибки.

Генератор сигнала управления дополнительно содержит цепь для генерации треугольной волны предписанной первой частоты в качестве величины цифровой суммы обработки, когда каждая из первого набора дорожек записывается; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системой функции синусоидальной волны второй частоты и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением для генерации первого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системой функции синусоидальной волны второй частоты и перемножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением для генерации второго потока произведений; третью цепь аддитивного объединения первого и второго потоков произведений для генерации третьих результатов объединения; третий интегратор для интегрирования третьих результатов объединения совместно с исходной величиной интегрирования третьего интегратора, так чтобы сгенерировать выходной сигнал третьего интегратора; цепь для вычисления энергии выходного сигнала третьего интегратора, результат вычисления энергии выходного сигнала третьего интегратора включается в первый сигнал ошибки; четвертую цепь объединения для дифференциального объединения первого и второго потоков произведений для генерации четвертых результатов объединения; четвертый интегратор для интегрирования четвертых результатов объединения совместно с исходной величиной интегрирования четвертого интегратора, так чтобы сгенерировать выходной сигнал четвертого интегратора, третья и четвертая исходные величины интегрирования остаются теми же и равными одному из выходных сигналов

упомянутого третьего и четвертого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала четвертого интегратора, результат вычисления энергии выходного сигнала четвертого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны второй частоты и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации третьего потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны второй частоты и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации четвертого потока произведений; пятую цепь аддитивного объединения третьего и четвертого потоков произведений для генерации пятых результатов объединения; пятый интегратор для интегрирования пятых результатов объединения совместно с исходной величиной интегрирования пятого интегратора, так чтобы сгенерировать выходной сигнал пятого интегратора; цепь для вычисления энергии выходного сигнала пятого интегратора, результат вычисления энергии выходного сигнала пятого интегратора включается в первый сигнал ошибки; шестую цепь объединения для дифференцированного объединения третьего и второго потоков произведений для генерации шестых результатов объединения; шестой интегратор для интегрирования шестых результатов объединения совместно с исходной величиной шестого интегратора, так чтобы сгенерировать выходной сигнал шестого интегратора, исходные величины интегрирования пятого и шестого интеграторов остаются теми же и равными одному из выходных сигналов пятого и шестого интеграторов для слова канала, ранее выбранного для записи, и цепь для вычисления энергии выходного сигнала шестого интегратора, результат вычисления энергии выходного сигнала шестого интегратора включается во второй сигнал ошибки.

Генератор сигнала управления дополнительно содержит цепь для генерации встречающихся четным образом последующих образцов системной функции прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации первого потока сомножителей; цепь для генерации встречающихся нечетным образом последующих образцов системной функции

прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами, каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации второго потока сомножителей; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей, для генерации пятого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей, для генерации шестого потока произведений; седьмую цепь аддитивного объединения пятого и шестого потоков произведений для генерации седьмых результатов объединения; седьмой интегратор для интегрирования седьмых результатов объединения совместно с исходной величиной интегрирования седьмого интегратора, так чтобы сгенерировать выходной сигнал седьмого интегратора; цепь для вычисления энергии выходного сигнала седьмого интегратора, результат вычисления энергии выходного сигнала седьмого интегратора включается в упомянутый первый сигнал ошибки; восьмую цепь для дифференциального объединения пятых и шестых потоков произведений для генерации восьмых результатов объединения; восьмой интегратор для интегрирования восьмых результатов объединения совместно с исходной величиной интегрирования восьмого интегратора, так чтобы сгенерировать выходной сигнал восьмого интегратора, исходные величины седьмого и восьмого интеграторов остаются теми же и равными одному из выходных сигналов седьмого и восьмого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала восьмого интегратора, результат вычисления энергии выходного сигнала восьмого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей, для генерации седьмого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей для генерации восьмого потока произведений; девятую цепь для аддитивного объединения седьмого и восьмого потоков произведений для генерации девятых результатов объединения; девятый интегратор для интегрирования девятых результатов объединения совместно с исходной величиной интегрирования девятого интегратора, так чтобы сгенерировать

выходной сигнал девятого интегратора; цепь для вычисления энергии выходного сигнала девятого интегратора, результат вычисления энергии выходного сигнала девятого интегратора включается в первый сигнал ошибки; десятую цепь для дифференцированного объединения седьмого и восьмого потоков произведений для генерации десятых результатов объединения; десятый интегратор для интегрирования десятых результатов объединения совместно с исходной величиной интегрирования десятого интегратора, так чтобы сгенерировать выходной сигнал десятого интегратора, девятые и десятые исходные величины интегрирования остаются теми же и равными одному из выходных сигналов девятого и десятого интегратора для слова канала, ранее выбранного для записи; и цепь для вычисления энергии выходного сигнала десятого интегратора, результат вычисления энергии выходного сигнала десятого интегратора включается во второй сигнал ошибки.

Генератор сигнала управления дополнительно содержит цепь для генерации встречающихся четным образом последующих образцов системной функции прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением для генерации первого потока сомножителей; цепь для генерации встречающихся нечетным образом последующих образцов системной функции прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации второго потока сомножителей; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей для генерации первого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей для генерации второго потока произведений; третью цепь для аддитивного объединения первого и второго потоков произведений для генерации третьих результатов объединения; третий интегратор для интегрирования третьих результатов объединения совместно с исходной величиной интегрирования третьего интегратора, так чтобы сгенерировать выходной сигнал третьего интегратора; цепь для вычисления энергии выходного сигнала третьего интегратора, результат вычисления энергии выходного сигнала третьего интегратора включается в первый сигнал ошибки; четвертую цепь для дифференцированного объединения первых

и вторых потоков произведений для генерации четвертых результатов объединения; четвертый интегратор для интегрирования четвертых результатов объединения совместно с исходной величиной интегрирования четвертого интегратора, чтобы сгенерировать выходной сигнал четвертого интегратора, третья и четвертая исходные величины интегрирования остаются теми же и равными одному из выходных сигналов третьего и четвертого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала четвертого интегратора, результат вычисления энергии выходного сигнала четвертого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей для генерации третьего потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей для генерации четвертого потока произведений, пятую цепь для аддитивного объединения третьего и четвертого потоков произведений для генерации пятых результатов объединения; пятый интегратор для интегрирования пятых результатов объединения совместно с исходной величиной интегрирования пятого интегратора, так чтобы сгенерировать выходной сигнал пятого интегратора; цепь для вычисления энергии выходного сигнала пятого интегратора, результат вычисления энергии выходного сигнала пятого интегратора включается в первый сигнал ошибки; шестую цепь для дифференцированного объединения третьего и четвертого потоков произведений для генерации шестых результатов объединения; шестой интегратор для интегрирования шестых результатов объединения совместно с исходной величиной интегрирования шестого интегратора, чтобы сгенерировать выходной сигнал шестого интегратора, пятые и шестые исходные величины интегрирования остаются теми же и равными одному из выходных сигналов пятого и шестого интеграторов для слова канала, ранее выбранного для записи; и цепь для вычисления энергии выходного сигнала шестого интегратора, результат вычисления энергии выходного сигнала шестого интегратора включается во второй сигнал ошибки.

Кроме того, генератор сигнала управления содержит цепь для генерации первого и второго сигналов управления, которые генерируются в зависимости от того, был ли первый сигнал ошибки превышен по амплитуде вторым сигналом ошибки или нет; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции синусоидальной волны с частотой, имеющей минимальное значение, и умножающую их на соответствующие

единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации первого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны частоты с минимальным значением и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации первого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны частоты с минимальным значением и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора, с совместным временем, для генерации второго потока произведений; третью цепь для аддитивного объединения первого и второго потоков произведений для генерации третьих результатов объединения; третий интегратор для интегрирования третьих результатов объединения совместно с исходной величиной интегрирования третьего интегратора, чтобы сгенерировать выходной сигнал третьего интегратора; цепь для вычисления энергии выходного сигнала третьего интегратора, результат вычисления энергии выходного сигнала третьего интегратора включается в первый сигнал ошибки; четвертую цепь для дифференцированного объединения первого и второго потоков произведений для генерации четвертых результатов объединения; четвертый интегратор для интегрирования четвертых результатов объединения совместно с исходной величиной интегрирования четвертого интегратора, чтобы сгенерировать выходной сигнал четвертого интегратора, третьи и четвертые исходные величины интегрирования остаются теми же и равными одному из выходных сигналов третьего и четвертого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала четвертого интегратора, результат вычисления энергии выходного сигнала четвертого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны частоты с минимальным значением и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с совместным временем, для генерации третьего потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны частоты с минимальным значением и

умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации четвертого потока произведений; пятую цепь объединения аддитивного объединения третьего и четвертого потоков произведений для генерации пятых результатов объединения; пятый интегратор для интегрирования пятых результатов объединения совместно с исходной величиной интегрирования пятого интегратора, чтобы сгенерировать выходной сигнал пятого интегратора; цепь для вычисления энергии выходного сигнала пятого интегратора, результат вычисления энергии выходного сигнала пятого интегратора включается в первый сигнал ошибки; шестую цепь для дифференцированного объединения третьего и четвертого потоков произведений для генерации шестых результатов объединения; шестой интегратор для интегрирования шестых результатов объединения совместно с исходной величиной интегрирования шестого интегратора, чтобы сгенерировать в выходной сигнал шестого интегратора, пятые и шестые исходные величины интегрирования остаются теми же и равными выходному сигналу одного из пятого и шестого интегратора для слова канала, ранее выбранного для записи; и цепь для вычисления энергии выходного сигнала шестого интегратора, результат вычисления энергии выходного сигнала шестого интегратора включается во второй сигнал ошибки.

В устройстве каждая из параллельных дорожек среды для записи имеет исходную вторую часть дорожки, куда записывается предварительная информация, имеет последующую первую часть дорожки, где записывается видеoinформация, имеет последующую четвертую часть дорожки, где записывается информация обработки, имеет конечную пятую часть дорожки, где записывается заключительная информация; данные синхронизации записываются в начало соответствующих строк первой и третьей частей дорожек, куда записывается видео- и аудиоинформация; информационное слово данных обработки, записываемое в четвертую часть дорожки для управления схемой фазовой автоподстройки, используемой для определения бита в течение воспроизведения из среды записи, станут более очевидны после детального описания его предпочтительного исполнения со ссылкой на приложенные чертежи, на которых:

фиг. 1 изображает иллюстративный образец записи потока последовательных данных слов канала в смежные параллельные дорожки на поверхности среды магнитной записи;

фиг. 2А, 2В и 2С иллюстрируют спектр частот, связанный с образцом, показанным на фиг. 1;

фиг. 3 является блок-схемой известного устройства записи цифрового сигнала, описанной в патенте США N 5142421;

фиг. 4 является детальной диаграммой схемы части усовершенствованного

генератора сигнала управления для устройства записи цифрового сигнала, показанного на фиг. 3;

фиг. 5 иллюстрирует один из частотных спектров образца потока последовательных данных слов канала, выбранных сигналом управления, сгенерированным генератором сигнала управления, показанным на фиг. 4;

фиг. 6 является диаграммой ранее известного образца дорожки используемого в настоящем изобретении;

фиг. 7 иллюстрирует содержимое информации, записываемой на единичную дорожку, показанную на фиг. 6;

фиг. 8 является блок-схемой устройства записи цифрового сигнала, использующего настоящее изобретение;

фиг. 9 является детальной блок-схемой цепи предварительного кодера, содержащегося в устройстве записи цифрового сигнала фиг. 8;

фиг. 10А-10I иллюстрируют образцы данных синхронизации и данных обработки;

фиг. 11 является детальной диаграммой цепи устройства ввода сигналов, показанного на фиг. 9;

фиг. 12А и 12В являются детальными диаграммами схем части предварительного кодера, показанного на фиг. 9;

фиг. 13 является детальной диаграммой схемы первого преобразователя параллельных в последовательные, показанного на фиг. 9;

фиг. 14 является детальной диаграммой схемы второго преобразователя параллельного в последовательное, показанного на фиг. 9;

фиг. 15А-15I иллюстрируют рабочие формы волн рабочего состояния для различных блоков, показанных на фиг. 8 и 9;

фиг. 16 является детальной диаграммой схемы генератора сигнала управления, показанного на фиг. 8;

фиг. 17А и фиг. 17В иллюстрируют сигнал треугольной волны, генерируемый генератором треугольной волны, который показан на фиг. 16;

фиг. 18А, 18В и 18С иллюстрируют сигнал синусоидальной волны и сигнал прямоугольной волны, используемые в генераторе сигнала управления фиг. 16;

фиг. 19А и 19В являются примерами таблицы синусов нечетных образцов и таблицы косинусов четных образцов для загрузки сигнала синусоидальной волны, показанной на фиг. 18А; и

фиг. 20А, 20В и 20С являются примерами альтернативного исполнения цепей, ограниченных четырехугольниками, обозначенными пунктирными линиями фиг. 16.

Подробное описание изобретения

Фиг. 1 иллюстрирует как, для упрощения трекинга головки, устройство записи цифровой информации со спиральной разверткой записывает поток последовательных данных слов канала в три соответствующих спектральных образца F0, F1 и F2 на последовательных параллельных дорожках среды магнитной записи. По соглашению, дорожки показаны в укороченном виде и имеют большее отклонение от направления движения ленты, чем на самом деле. Пилот-сигналы появляются в спектре цифровых сигналов,

записываемых в соответствии с последовательностью F0, F1, F0, F2, ... на соответствующих дорожках среды магнитной записи. Пилот-сигналы принимают форму провалов или пиков на заранее предписанных частотах, которые вводятся в частотную область спектральной энергии ответной реакции (преобразование Фурье) сигналов, записываемых на дорожки. Во время воспроизведения одной из таких дорожек конкретного образца устанавливается определенное отклонение области спектральной энергии ответной реакции для ожидаемых величин. Такие отклонения приписываются для извлечения цифровых сигналов из предыдущих и последующих дорожек, для того чтобы оценить относительную близость головки к предыдущей дорожке и к последующей дорожке, на основании чего может быть определена ошибка трекинга. Показанная последовательность образцов F0, F1, F2 является всего лишь примером, в то время как на практике количество образцов и последовательности для записи может отличаться от этой иллюстрации. Заявка США на изобретение N 5142421 описывает конкретный из этих вариантов.

Фиг. 2А, 2В и 2С иллюстрируют спектр частот потоков данных последовательных битов слов канала, несущих образцы F0, F1 и F2, показанные на фиг. 1, соответствующим образом. В частотном спектре образца F0 имеются минимумы на частотах f_1 и f_2 , где спектральная энергия относительно мала. В частотном спектре образца F1 имеется пилот-сигнал (пик) на частоте $f_1 = 1/2\pi$, где спектральная энергия относительно велика, и имеются минимальные значения на частоте $f_2 = \omega_2/2\pi$, где спектральная энергия относительно мала. В частотном спектре образца F2 имеется минимум на частоте f_1 , где спектральная энергия относительно мала, и пилот-сигнал (пик) на частоте f_2 , где спектральная энергия относительно велика.

В течение воспроизведения образца F0 используется эффект переходного взаимодействия между управляющими сигналами (пиками f_1 и f_2) образцов F1 и F2 смежных дорожек для определения ошибки трекинга. С одной стороны, если головка отклонилась от центра образца F0 в сторону образца F1, то переходное влияние пилот-сигнала от образца F1 становится больше, чем влияние пилот-сигнала от образца F2. В результате, частотная компонента f_1 сигнала воспроизведения увеличивается, а частотная компонента f_2 уменьшается. С другой стороны, если головка отклонится от центра образца F0 в сторону образца F2, то переходное влияние пилот-сигнала от образца F2 станет больше, чем пилот-сигнала образца F1. В результате, в среднем, частотная компонента f_2 сигнала воспроизведения увеличится, а частотная компонента f_1 уменьшится. Во время воспроизведения образца F0, после этого, сравнение среднего значения спектральной энергии сигнала воспроизведения на частотах f_1 и f_2 позволяет определить отклонение трекинга дорожки. Используя этот результат, становится возможным точный трекинг путем управления высотой элемента головки посредством напряжения, приложенного к

пьезоэлектронному элементу, на котором установлена головка, или путем управления скоростью перемещения среды магнитной записи (ленты).

Фиг. 3 является блок-схемой устройства записи цифрового сигнала, описанного в заявке США на изобретение N 5142421, изданной 25 августа 1992 года Kahlman et alii, озаглавленной "СРЕДСТВО ДЛЯ ЗАПИСИ СИГНАЛА ЦИФРОВОЙ ИНФОРМАЦИИ НА НОСИТЕЛЬ ЗАПИСЕЙ" и приведенной здесь в качестве ссылки. Схематичная конфигурация и работа его будут обсуждены в сравнении с обычным способом записи образцов F0, F1 и F2.

На фиг. 3 цифровые слова с 8-параллельными битами принимаются посредством порта ввода 1 в преобразователь 2 параллельного в последовательный (P/S). P/S преобразователь 2 преобразует, например, каждую последующую группу из трех цифровых слов с 8-параллельными битами в одно цифровое информационное слово с 24-последовательными битами, передаваемое посредством порта вывода 3 преобразователя. Устройство ввода сигнала 4 содержит устройство ввода бита "0" 4.1 и устройство ввода бита "1" 4.2, каждое из которых принимает в качестве соответствующего входного сигнала поток цифровых информационных слов с 24-последовательными битами, которые появляются в порте вывода 3 P/S преобразователя 2. Устройство ввода бита "0" 4.1 вводит цифровой префикс одиночного бита, состоящий из "0" перед самым старшим разрядом (MSB) каждого информационного слова с 24-последовательными битами для генерации соответствующего "положительного" информационного слова с 25-последовательными битами, передаваемого с выхода порта вывода 5 устройства ввода "0" бита 4.1. Устройство ввода бита "1" 4.2 вводит цифровой префикс одиночного бита, содержащий "1" перед самым старшим разрядом (MSB) каждого информационного слова с 24-последовательными битами для генерации соответствующего "отрицательного" информационного слова с 25-последовательными битами, передаваемого от порта вывода 7 устройства ввода бита "1" 4.2.

Кодер 6 содержит предварительный кодер 6.1, преобразующий "положительные" информационные слова в соответствующие слова канала с 25-последовательными битами, которые передаются посредством соединения 9. Кодер 6, кроме этого, содержит предварительный кодер 6.2, преобразующий "отрицательные" информационные слова в соответствующие слова канала с 25-последовательными битами, которые передаются посредством соединения 11. В конце этого описания и в формулах изобретения, приложенных к этому описанию, для того, чтобы различать слова канала, передаваемые от предварительного кодера 6.1, и слова канала, передаваемые предварительным кодером 6.2, слова канала, получаемые от предварительного кодера 6.1, упоминаются как "положительные" информационные слова канала, а слова канала, передаваемые от предварительного

кодера 6.2, упоминаются как "отрицательные" информационные слова канала. Если предварительные кодеры 6.1 и 6.2 являются 2Т предварительными кодерами, то префиксный код одиночного бита заставляет их генерировать слова канала с 25-последовательными битами, в которых соответствующие четные биты те же, а соответствующие нечетные биты являются битовыми дополнениями. 2Т предварительный кодер содержит два входных вентиля исключаящего ИЛИ и регистр двухступенчатого сдвига, который позволяет осуществить интегрирующую обратную связь выходного соединения вентиля исключаящего ИЛИ с первым из его входных соединений. Вентиль исключаящего ИЛИ принимает входной сигнал предварительного кодера на свое второе входное соединение, передает выходной сигнал предварительному кодеру со своего выходного соединения и обычным образом принимает на свое первое входное соединение выходной сигнал предварительного кодера с задержкой 2Т из-за прохождения через регистр двухступенчатого сдвига. Интервал T является интервалом квантования входного сигнала предварительного кодера и интервалом между тактируемыми сдвигами битов регистра двухступенчатого сдвига. Обратная связь вентиля исключаящего ИЛИ, осуществляемого регистром двухступенчатого сдвига, упоминается как "интегрирующая обратная связь" или просто "интегрирующее соединение".

Предварительный кодер 6.1 передает "положительные" информационные слова канала с 25-последовательными битами посредством соединения 9 в качестве своего выходного сигнала; а предварительный кодер 6.2 передает "отрицательные" информационные слова канала с 25-последовательными битами посредством соединения 11 в качестве своего выходного сигнала. На основании этих слов канала с 25-последовательными битами, которые передаются параллельно от предварительных кодеров 6.1 и 6.2, генератор сигнала управления 10 сравнивает соответствующие характеристики спектральной энергии частотной области каждого слова с предписанными характеристиками спектральной энергии для дорожки, которая должна быть записана цифровым записывающим устройством 14 для определения, какое из слов канала отклонилось меньше от предписанного спектрального ответного сигнала. Генератор сигнала управления 10 генерирует сигнал управления CS, указывая, какое из слов канала, полученное от предварительных кодеров 6.1 и 6.2, отклонилось наименьшим образом от предписанного спектрального ответного сигнала и которое должно быть выбрано для записи. Сигнал управления CS передается посредством соединения 17 на порт управления выбором селектора 12, который выбирает выходной сигнал от одного из предварительных кодеров 6.1 и 6.2 (после задержки, полученной от устройства компенсации по времени 8), который имеет наименьшее отклонение от предписанного ответного спектрального сигнала, для использования в цифровом записывающем

устройстве 14. Запаздывания 8.1 и 8.2 устройства компенсации по времени 8 необходимы для компенсации по времени, необходимого для генератора сигнала управления 10 для генерации сигнала управления CS для использования в селекторе 12. Сигнал управления CS тоже передается посредством соединения 17 на соответствующие порты управления предварительных кодеров 6.1 и 6.2 для управления передачей содержимого регистра сдвига в одном из предварительных кодеров 6.1 и 6.2, выходной сигнал которого выбирается для записи в регистр сдвига другого из предварительных кодеров 6.1 и 6.2, чтобы обеспечить непрерывность кодирования.

Селектор 12 принимает посредством соединения 13 "положительный" информационный выходной сигнал предварительного кодера 6.1 с запаздыванием 8.1 и принимает посредством соединения 15 "отрицательный" информационный выходной сигнал предварительного кодера 6.2 с запаздыванием 8.2. В ответ на сигнал управления CS селектор 12 передает один из выбранных выходных сигналов с запаздыванием от предварительных кодеров 6.1 и 6.2 посредством соединения 19 на цифровое записывающее устройство 14 в качестве выходного сигнала для записи. Необходим некоторый запас скорости для того, чтобы битовая модуляция могла быть записана при постоянной битовой скорости цифровым записывающим устройством 14. Запаздывания 8.1 и 8.2 могут быть фиксированными запаздываниями с запасом скорости, обеспечиваемым после селектора 12; или в качестве альтернативы запаздывания 8.1 и 8.2 могут быть буферной памятью скорости типа первым пришел/первым обслужен (FIFO), что обеспечит необходимый запас скорости.

Фиг. 4 является детальной диаграммой схемы усовершенствованного генератора сигнала управления для устройства записи цифрового сигнала фиг. 3, который работает для генерации последовательного потока данных слов канала с ответным частотным спектром, показанным на фиг. 5. Сравнивая со спектром образца F1, показанного на фиг. 2B, увидим, что в спектре, показанном на фиг. 5, имеются провалы с каждой стороны f_1 . Эти провалы указывают, что мощность шума спектра уменьшается вслед за частотой пилот-сигнала f_1 , что приводит к повышению отношения сигнал/шум для определения пилот-сигнала на частоте f_1 .

Усовершенствованный генератор сигнала управления фиг. 4 отличается от того, который описан Kahiman и др., тем, что он содержит устройства отображения кода в арифметику 10.1 и 10.2. Устройство отображения кода в арифметику 10.1 преобразует ЕДИНИЦЫ и НУЛИ "положительного" информационного выходного сигнала предварительного кодера 6.1 в арифметические описания I-NRZI модуляции, которая осуществляет коммутацию отрицательных и положительных арифметических величин с одинаковыми амплитудами и не порождает постоянной составляющей. Устройство отображения кода в арифметику 10.2 по своей конструкции

аналогично устройству отображения кода в арифметику 10.1. Преобразователь кода в арифметику 10.2 преобразует ЕДИНИЦЫ и НУЛИ "отрицательного" информационного выходного сигнала предварительного кодера 6.2 в арифметические описания I-NRZI модуляции, которая осуществляет коммутацию отрицательных и положительных арифметических величин одинаковой амплитуды и не порождает постоянную составляющую. В качестве примера, каждое из устройств отображения 10.1 и 10.2 может использовать ЕДИНИЦЫ и НУЛИ, передаваемые туда как изменяющийся битовый знак перед неизменной ЕДИНИЦЕЙ, так что модуляция описывается в терминах двоичной арифметики дополнений.

Таблица для просмотра синусов/косинусов, загруженная в постоянное запоминающее устройство (ПЗУ), которое не показано, генерирует комплексный носитель частоты f_1 , имеющей угловую частоту ω_1 , и состоит из компонентов $\sin \omega_1 t$ и $\cos \omega_1 t$. Другая таблица для просмотра синусов/косинусов, загруженная в ПЗУ (ROM), которая не показана, генерирует комплексный носитель частоты f_2 , который имеет угловую частоту ω_2 и состоит из компонентов $\sin \omega_2 t$ и $\cos \omega_2 t$. Генератор треугольной волны 18 генерирует треугольный сигнал, соответствующий величине цифровой суммы необходимой частоты (f_1) потока последовательных данных слов канала, а генератор прямоугольной волны 38 генерирует прямоугольную волну с частотой ω_1 . Генератор треугольной волны 18 и генератор прямоугольной волны 38 могут тоже обеспечиваться таблицами для просмотра, загруженными в ROM. Генерирование всех системных функций в ROM упрощает обработку слов канала в последовательности, отличной от нормальной последовательности битов.

Цепь фильтра PATH0 определяет, как распределение спектральной энергии I-NRZI модуляции во время продолжения генерации на основе "положительного" информационного слова канала от предварительного кодера 6.1 отклоняется от необходимого распределения спектральной энергии для записи дорожки по образцу F1, имеющему пик на частоте f_1 , провал с одной из сторон от f_1 и с минимальным значением на частоте f_2 . Схема взвешенного суммирования 52.1 объединяет с соответствующим весом вычисленное отклонение от необходимого минимального значения на нулевой частоте и от необходимого пикового значения на частоте f_1 после получения от схемы возведения в квадрат 22.1 с вычисленными отклонениями от других желаемых величин. Вычисленные отклонения от минимального значения на частоте f_2 после передачи для ортогональных фаз частот f_2 схемами возведения в квадрат 28.1 и 34.1 взвешиваются аналогичным образом по отношению друг к другу в схеме взвешенного суммирования 52.1. Вычисленные отклонения от провалов с одной из сторон частоты f_1 после передачи для ортогональных фаз частоты f_1 схемами возведения в квадрат 44.1 и 50.1 взвешиваются аналогичным образом по отношению друг к другу в схеме

взвешенного суммирования 52.1. Осуществить эффективное взвешивание входных сигналов схемы взвешенного суммирования 52.1, полученных от схем возведения в квадрат 28.1 и 34.1, относительно сложно по сравнению с взвешиванием входного сигнала схемы взвешенного суммирования 52.1 от схемы возведения в квадрат 22.1, так как отсутствие правильной пилот-частоты f_1 лучше переносится, чем присутствие неправильной пилот-частоты f_2 , цепью коррекции трекинга, используемой в течение воспроизведения. Осуществить эффективное взвешивание входных сигналов схемы взвешенного суммирования 52.1, полученных от схем возведения в квадрат 44.1 и 50.1, относительно просто по сравнению с взвешиванием входного сигнала схемы взвешенного суммирования 52.1, полученного от схемы возведения в квадрат 22.1. Схема фильтра PATH0 передает в качестве выходного сигнала суммирования схемы взвешенного суммирования 52.1 сигнал первой ошибки e_1 .

Вычисление в системе PATH0 величины, на которую распределение спектральной энергии I-NRZI модуляции, когда генерация в ней продолжается на основании "положительного" информационного слова канала от предварительного кодера 6.1, отклоняется от необходимого минимального значения на нулевой частоте и необходимого пикового значения на частоте f_1 , осуществляется следующим образом. Схема интегрирования 16.1 принимает текущее "положительное" информационное слово канала от предварительного кодера 6.1 после преобразования в арифметическую форму устройством отображения кода в арифметику 10.1 и интегрирует его с заранее загруженной величиной. Устройство вычитания 20.1 вычитает выходной сигнал генератора треугольной волны 18 из выходного сигнала схемы интегрирования 16.1; а схема возведения в квадрат 22.1 помножает само на себя результирующее различие, а результирующий квадрат передается в сеть взвешенного суммирования 52.1 для получения компонент и первого сигнала ошибки e_1 . Генератор треугольной волны 18 и устройство вычитания 20.1 составляют схему детектирования для определения любого отклонения от предписанной цифровой суммы, необходимой для поддержания нужного пилот-сигнала, соответствующего величине цифровой суммы, которую передает схема интегрирования 16.1. Схема возведения в квадрат 22.1 вычисляет энергию этого отклонения.

Вычисления в системе PATH0 величины, на которую распределение спектральной энергии I-NRZI модуляции, когда генерация в ней продолжается на основании "положительного" информационного слова канала от предварительного кодера 6.1, отклоняется от необходимого минимального значения на нулевой частоте и необходимого пикового значения на частоте f_2 , осуществляется следующим образом. Устройство помножения 24.1 умножает выходной сигнал предварительного кодера 6.1, после преобразования в арифметику устройством отображения кода в арифметику 10.1, системную функцию синусоидальной

волны $\sin \omega_2 t$ частоты f_2 ; схема интегрирования 26.1 интегрирует произведение, полученное от устройства умножения 24.1; а схема возведения в квадрат 28.1 возводит в квадрат результат интегрирования, полученный от схемы интегрирования 26.1, для использования в сети взвешенного суммирования 52.1. Устройство умножения 30.1 умножает выходной сигнал предварительного кодера 6.1, после преобразования в арифметическую форму устройством отображения кода в арифметику 10.1, на системную функцию косинусоидальной волны $\cos \omega_2 t$ частоты f_2 ; схема интегрирования 32.1 интегрирует это произведение, полученное от устройства умножения 30.1, а схема возведения в квадрат 34.1 возводит в квадрат результаты интегрирования, полученные от схемы интегрирования 32.1, для использования в сети взвешенного суммирования 52.1. (Фраза "системная функция" используется в цифровой электронике для обращения к функции в аналоговом режиме, что описывается на основании дискретизированных данных, цифровыми выборками).

Вычисления в системе PATH0 величины, на которую распределение спектральной энергии I-NRZI модуляции, когда генерация в ней продолжается на основании "положительного" информационного слова канала от предварительного кодера 6.1, отклоняется от необходимого минимума на нулевой частоте и необходимого пикового значения на частоте f_1 , осуществляется следующим образом. Устройство вычитания 36.1 вычитает прямоугольную волну частоты f_1 , переданную генератором прямоугольной волны 38, из выходного сигнала предварительного кодера 6.1, после преобразования в арифметическую форму устройством отображения кода в арифметику 10.1. Генератор прямоугольной волны 38 и устройство вычитания 36.1 составляют схему детектирования для определения любого отклонения от необходимой прямоугольной волны "положительного" информационного слова канала с последовательными битами, полученного от предварительного кодера 6.1, после преобразования к арифметической форме устройством отображения кода в арифметику 10.1. Устройство помножения 40.1 перемножает выходной сигнал различия от устройства вычитания 36.1 на системную функцию синусоидальной волны $\sin \omega_1 t$ частоты f_1 ; схема интегрирования 42.1 интегрирует произведение, полученное от устройства умножения 40.1; а схема возведения в квадрат 44.1 возводит в квадрат результаты интегрирования, полученные от схемы интегрирования 42.1, для использования в сети взвешенного суммирования 52.1. Устройство умножения 46.1 умножает выходной разностный сигнал от устройства вычитания 36.1 на системную функцию косинусоидальной волны $\cos \omega_1 t$ частоты f_1 , схема интегрирования 48.1 интегрирует произведение, полученное от устройства умножения 46.1; а схема возведения в квадрат 50.1 возводит в квадрат результаты интегрирования, полученные от схемы интегрирования 48.1, для использования в сети взвешенного

суммирования 52.1.

Цепь фильтра PATH1 определяет величину, на которую распределение спектральной энергии в I-NRZI модуляции, когда генерация в ней продолжается на основе "отрицательного инф. слова канала, полученного от предварительного кодера 6.2, отклоняется от необходимого распределения спектральной энергии для дорожки, записываемой при помощи образца F1, имеющего пиковое значение на частоте f_1 , провалы по обе стороны частоты f_1 и минимальное значение на частоте f_2 . Схема взвешенного суммирования 52.2 в схеме фильтра PATH1 объединяет с соответствующим весом вычисленное отклонение от необходимого минимального значения на нулевой частоте и от необходимого пикового значения на частоте f_1 , после приема от схемы возведения в квадрат 22.2, после вычисления отклонения от других необходимых качеств переданных от схем возведения в квадрат 28.2, 34.2, 44.2 и 50.2. Сеть взвешенного суммирования 52.2 передает, в качестве суммарного выходного сигнала, сигнал второй ошибки e2. Компаратор 54 сравнивает сигналы ошибок e1 и e2 для генерации сигнала управления CS, которые передаются на порт управления выбором селектора 12, который выбирает слово канала, имеющее сигнал ошибки наименьшей величины.

Вычисления в системе PATH1 величины, на которую распределение спектральной энергии I-NRZI модуляции, когда генерация в ней продолжается на основании "отрицательного" информационного слова канала, полученного от предварительного кодера 6.2, отклоняется от необходимого минимального значения на нулевой частоте и от необходимого пикового значения на частоте f_2 , осуществляется следующим образом. Схема интегрирования 16.2 принимает текущее "отрицательное" информационное слово канала от предварительного кодера 6.2 после преобразования в арифметическую форму устройством отображения кода в арифметику 10.2 и интегрирует его с заранее загруженным значением. Устройство вычитания 20.2 вычитает выходной сигнал генератора треугольной волны 18 из выходного сигнала схемы интегрирования 16.2, схема возведения в квадрат 22.2 умножает результирующее различие само на себя, а результирующий квадрат передается на сеть взвешенного суммирования 52.2 для получения компоненты сигнала первой ошибки e2. Генератор треугольной волны 18 и устройство вычитания 20.2 составляют схему детектирования для определения любого отклонения от предписанной цифровой суммы, необходимой для поддержания нужного пилот-сигнала, величины цифровой суммы, которую передает схема интегрирования 16.2. Схема возведения в квадрат 22.2 вычисляет энергию этого отклонения.

Вычисление в системе PATH1 величины, на которую распределение спектральной энергии I-NRZI модуляции после продолжения в ней генерации на основании "отрицательного" информационного слова канала, полученного от предварительного кодера 6.2, отклоняется от необходимого

минимального значения на нулевой частоте и от необходимого пикового значения на частоте f_2 , выполняется следующим образом. Устройство умножения 24.2 перемножает выходной сигнал предварительного кодера 6.2, после преобразования в арифметическую форму устройством отображения кода в арифметику 10.2, на системную функцию синусоидальной волны $\sin \omega_2 t$ частоты f_2 ; схема интегрирования 26.2 интегрирует произведение, полученное от схемы умножения 24.1; а схема возведения в квадрат 28.2 возводит в квадрат результаты интегрирования, полученные от схемы интегрирования 26.2, для использования в сети взвешенного суммирования 52.2. Устройство умножения 30.2 перемножает выходной сигнал, полученный от предварительного кодера 6.2, после преобразования в арифметическую форму устройством отображения кода в арифметику 10.2, на системную функцию косинусоидальной волны $\cos \omega_2 t$ частоты f_2 ; схема интегрирования 32.2 интегрирует произведение, полученное от устройства умножения 30.2; а схема возведения в квадрат 34.2 возводит в квадрат результаты интегрирования, полученные от схемы интегрирования 32.2, для использования в сети взвешенного суммирования 52.1.

Вычисления в системе PATH1 величины, на которую распределение спектральной энергии I-NRZI модуляции, когда генерация в ней продолжается на основании "отрицательного" информационного слова канала, полученного от предварительного кодера 6.2, отличается от необходимого минимального значения по любую сторону пика на частоте f_1 , осуществляется следующим образом. Устройство вычитания 36.2 вычитает прямоугольную волну частоты f_1 , переданную генератором прямоугольной волны 38, из выходного сигнала предварительного кодера 6.2 после преобразования в арифметическую форму устройством отображения кода в арифметику 10.2. Генератор прямоугольной волны 38 и устройство вычитания 36.2 образуют цепь детектирования для определения любого отклонения от предписанной прямоугольной волны "отрицательного" информационного слова канала с последовательными битами, которое передает предварительный кодер 6.2 посредством соединения 11. Устройство помножения 40.2 перемножает входной сигнал различия устройства вычитания 36.2 на системную функцию синусоидальной волны $\sin \omega_1 t$ частоты f_1 ; а схема интегрирования 42.2 интегрирует произведение, полученное от устройства умножения 40.2; схема возведения в квадрат 44.2 возводит в квадрат результаты интегрирования, полученные от схемы интегрирования 42.2, для использования в сети взвешенного суммирования 52.2. Устройство умножения 46.2 умножает выходной сигнал различия от устройства вычитания 36.2 на системную функцию косинусоидальной волны $\cos \omega_1 t$ частоты f_1 ; схема интегрирования 48.2 интегрирует произведение, полученное от устройства умножения 46.2; а схема возведения в квадрат 50.2 возводит в квадрат результаты интегрирования, полученные от схемы

интегрирования 48.2, для использования в сети взвешенного суммирования 52.2.

Работа генератора сигнала управления 10 в процессе генерации образца F1 была описана выше. В процессе генерации образца F2 работа генератора сигнала управления 10 осуществляется путем транспозиции f_1 и f_2 , и тем самым осуществляется транспозиция ω_1 и ω_2 . В процессе генерации образца F0 работа генератора сигнала управления 10 совершенствуется путем отключения генератора треугольной волны 18 и генератора прямоугольной волны 38. Независимо от того, какой из образцов F0, F1 или F2 был сгенерирован, должны последовать определенные процедуры повторной инициализации после того, как будет принято решение выбрать "положительное" информационное слово канала, переданное предварительным кодером 6.1, или выбрать "отрицательное" информационное слово канала, переданное предварительным кодером 6.2, для определения I-NRZI модуляции, которая должна быть записана. Эти процедуры повторной инициализации выполняются для непрерывности кодирования и для того, чтобы позволить генератору сигнала управления получить основу для принятия решения относительно того, какая из следующих пар должна быть выбрана для записи.

Позже, когда слово канала, которое должно быть записано следующим, определено, содержание схем интегрирования 16.1, 26.1, 32.1, 42.1 и 48.1 или содержание схем интегрирования 16.2, 26.2, 32.2, 42.2 и 48.2 должно быть изменено. Если новое выбранное слово канала является "отрицательного" информационного типа, то содержание схем интегрирования 16.1, 26.1, 32.1, 42.1 и 48.1 должно быть изменено в соответствии с содержанием схем интегрирования 16.2, 26.2, 32.2, 42.2 и 48.2 соответственно.

Как было отмечено ранее, когда слово канала, которое должно быть записано следующим, было определено, информация для предварительного кодирования от "интегрирующей обратной связи" одного из предварительных кодеров 6.1 и 6.2, которые передают слово канала, которое выбирается для записи, должна передаваться на "интегрирующую обратную связь" одного из предварительных кодеров 6.1 и 6.2. Если слово канала, выбранное для последующей записи, было передано от предварительного кодера 6.1, то содержимое регистра сдвига в интегрирующей обратной связи в его вентиле исключающего ИЛИ передается на соответствующие позиции в регистре сдвига в интегрирующем соединении обратной связи вентиля исключающего или в предварительном кодере 6.2. С другой стороны, если слово канала, выбранное для последующей записи, было передано от предварительного кодера 6.2, то содержимое регистра сдвига в интегрирующей обратной связи его вентиля исключающего ИЛИ передается на соответствующие позиции регистра сдвига в интегрирующей обратной связи вентиля исключающего ИЛИ в предварительном кодере 6.1.

На практике, однако, имеется существенная задержка по времени до завершения этой передачи в ранее известном

устройстве записи цифрового сигнала, описанном в заявке США на изобретение N 5142421, такое запаздывание возникает в устройствах цифрового умножения, схемах интегрирования и схемах возведения в квадрат в генераторе сигнала управления 10. Это запаздывание делает необходимым использование памяти буфера совместного чтения после кодера 6, что может быть обеспечено компенсатором времени 8 и делает необходимым использование памяти буфера совместного чтения перед кодером 6, что может осуществляться преобразователем параллельного в последовательное 2. Приготовления для такого совместного чтения и записи в память буфера на практике трудно синхронизируются. Как указывалось изобретателем Soon-Tae Kim в его заявке на изобретение из конкурирующей области, озаглавленное УСТРОЙСТВО ЗАПИСИ ЦИФРОВОГО СИГНАЛА, можно избежать необходимости в совместном чтении и записи в память буфера путем осуществления предварительного кодирования на основании слова с параллельными битами. Однако 2T предварительный кодер для слов с параллельными битами значительно более сложен по своей структуре, чем предварительный кодер 2T для слов с последовательными битами.

Фиг. 6 изображает среду для магнитной записи, на которой записываются цифровые видеосигналы и цифровые аудиосигналы на дорожки T1, T2, ..., расположенные под заранее определенным углом к продольной оси на среде для магнитной записи. Цифровая видеoinформация запоминается в соответствующей первой части TP1 дорожки каждой дорожки. Каждая дорожка начинается с соответствующей второй части TP2 дорожки, которая содержит предварительную информацию. Цифровая аудиoinформация, например аудиосигнал с импульсно-кодовой модуляцией, загружается в соответствующую третью часть дорожки TP3 каждой дорожки. Первая и третья части дорожки TP1 и TP3 каждой дорожки разделяются соответствующей четвертой частью дорожки TP4. Каждая дорожка заканчивается соответствующей пятой частью дорожки TP5, которая содержит заключительную информацию.

Фиг. 7 схематично показывает информацию потока последовательных данных слов канала, записанных на единичной дорожке. На фиг. 7, например, две строки 25-битовых слов канала записаны на каждой второй части дорожки TP2. Каждая из соответствующих строк имеет сорок семь 25-битовых слов канала. Вся информация, записанная в каждую вторую часть дорожки TP2, состоит из девятисто четырех 25-битовых слов канала.

После второй части дорожки TP2 записанная в первую часть дорожки TP1 информация состоит из 88 строк. Каждая из соответствующих строк содержит сорок семь 25-битовых слов канала. Часть TP1 дорожки содержит данные синхронизации, данные идентификации (ID), вспомогательные данные, видеоданные, данные горизонтальной четности и данные вертикальной четности.

Четвертая часть TP4 дорожки следует за первой частью TP1 дорожки. Как в случае

второй части TP2 дорожки, сорок семь 25-битовых слов канала записываются в каждую из двух строк четвертой части TP4 дорожки.

За четвертой частью TP4 дорожки следует девять строк с информацией на третьей части TP3 дорожки. Каждая из соответствующих строк содержит сорок семь 25-битовых слов канала. Третья часть TP3 канала содержит данные синхронизации, данные ID, вспомогательные данные, аудиоданные, данные горизонтальной четности и данные вертикальной четности.

В пятой части TP5 дорожки 1325 битов (пятьдесят три 25-битовых слов канала) записываются в случае системы из 625 строк и 1445 битов записывается в случае 525-строковой системы.

Детальное описание структуры и информации сигнала, записанного в среду магнитной записи, показанное на фиг. 6 и 7, описано в европейской заявке на изобретение N 0492704 A1, изданной 1 июля 1992 г., озаглавленной "Приспособление для записи кодовых слов, используемых в тактовых сигналах, в начало дорожки на носителе магнитных записей" и приведенной здесь путем ссылки. В этой ссылке пилот-сигнал загружается во вторую часть TP2 дорожки при помощи заранее определенного количества слов канала. Четвертая часть TP4 четвертой дорожки в качестве входного интервала содержит те же слова канала, что и вторая часть TP2 дорожки, то же самое справедливо и в отношении пятой части TP5 дорожки.

В настоящем изобретении, однако, поток последовательных данных таков, что он содержит пилот-сигнал с частотой f_1 , который продолжается в частях дорожки TP2, TP1, TP4, TP3 и TP5 каждой дорожки в первом наборе дорожек, и пилот-сигнал частотой f_2 , который продолжается в частях дорожки TP2, TP1, TP4, TP3 и TP5 каждой дорожки во втором наборе дорожек. Данные обработки загружаются в четвертую часть TP4 дорожки каждой дорожки вместо того, чтобы повторять слова канала первой части TP1 дорожки. Загруженные данные обработки предназначены для предотвращения неправильной работы схемы фазовой автоподстройки, работающей на частоте битового тактового сигнала, и необходимы для выделения битов воспроизведенного сигнала в течение воспроизведения. Предпочтительное исполнение настоящего изобретения будет описано ниже.

Обратимся к фиг. 8, порт ввода 101 для приема последовательно передаваемых слов с 8-параллельными битами связывается с портом для ввода преобразователя параллельного в параллельное (P/P) 102. Преобразователь P/P 102 преобразует каждую последующую группу трех последовательных слов с 8-параллельными битами, переданными на его порт ввода, в три цифровых слова с 8-параллельными битами, т.е. в 24-битовое информационное слово, и передает преобразованное слово в форме параллельных битов с его порта вывода 103. Устройство ввода сигнала 104 присоединяет префикс цифрового слова с единичным битом "0" бит к каждому 24-битовому информационному слову, переданному в форме параллельных битов от порта вывода 103 P/P преобразователя 102.

Фиг. 7 показывает, как данные синхронизации записываются в заранее определенном формате и загружаются в начало соответствующих строк первой и третьей частей TP1 и TP3 дорожек. Семнадцать битов данных синхронизации 25-битового информационного слова совместно с исходным 8-битовым информационным словом передается параллельно от P/P преобразователя 102. Исходное 8-битовое информационное слово соответствует данным ID и описывается детально в европейской заявке на изобретение N 0492704 A1.

После записи сигнала в четвертую часть TP4 четвертой дорожки устройство ввода сигнала 104 принимает внешние данные обработки, в которых 25-битовые информационные слова имеют заранее определенный формат. Генератор (не показан) предназначен для генерации данных синхронизации и данных обработки, а также для генерации "0" бита для устройства ввода сигнала 104, если бит вводится последовательно в 24-битовую информацию, вместо того, чтобы вводиться как связанный НОЛЬ в информацию с 24-параллельными битами.

Полученное путем таких процедур 25-битовое информационное слово передается посредством порта вывода 105 для использования в качестве входного сигнала предварительного кодера 106. Предварительный кодер 106 преобразует информационное слово с 25-параллельными битами в слово канала с 25-параллельными битами. Желательно, чтобы устройство ввода сигнала 104 присоединяло только префикс единичного бита к каждому информационному слову и чтобы 2T предварительный кодер 2T использовался для предварительного кодирования 106.

Если устройство ввода сигнала 104 присоединяет префикс бита "0" к каждому информационному слову, то предварительный кодер 106 генерирует "положительное" информационное слово канала, которое обычно генерируется другим предварительным кодером, обрабатывающим информационные слова, к которым был присоединен префикс бита "1", но в которых добавленные и встречающиеся нечетным образом биты те же, что и соответствующие биты в "отрицательном" информационном слове канала. Соответственно, когда в соответствии с настоящим изобретением используется только один предварительный кодер 2T для генерации I-NRZI модуляции, то в исполнениях, где этот предварительный кодер 2T генерирует "положительное" информационное слово канала, "отрицательное" информационное слово канала может быть получено из "положительного" информационного слова канала путем битового дополнения его нечетных битовых мест и сохраняя его четные битовые места без изменения. В альтернативных исполнениях настоящего изобретения, в которых одиночный предварительный кодер 2T генерирует "отрицательное" информационное слово канала, "положительное" информационное слово канала может быть получено из "отрицательного" информационного слова канала путем битового дополнения его

нечетных битовых мест и сохранив его четные битовые места без изменения.

Первые и вторые P/S преобразователи 108 и 110 имеют соответствующие порты ввода, к каждому из которых подсоединяется порт вывода 107 предварительного кодера 106, и имеют соответствующие порты вывода, связанные с портами ввода селектора 122 посредством задержек 116 и 118 соответственно. Задержки 116 и 118 обеспечивают компенсацию на время, необходимое для передачи сигнала управления от генератора сигнала управления 120 на селектор 122, в ответ на выходной сигнал предварительного кодера 106 после преобразования в формат последовательных битов. Более конкретно, первый P/S преобразователь 108 преобразует в форму последовательных битов "положительное" информационное слово канала с 25-параллельными битами, переданное от предварительного кодера 106. Второй P/S преобразователь выборочно инвертирует только места нечетных битов "положительного" информационного слова канала с 25-параллельными битами (далее упоминаемое как слово "нечетного канала") и преобразует в формат последовательных битов результирующее "отрицательное" информационное слово канала.

Третий P/S преобразователь 112 выбирает ответное нечетное слово канала из каждого слова канала с 25-параллельными битами, переданное предварительным кодером 106, и преобразует выбранное нечетное слово канала в нечетное слово канала с 13-последовательными битами, переданное от его порта вывода 115 на устройство отображения кода в арифметику 1150. Устройство отображения кода в арифметику 1150 преобразует ЕДИНИЦЫ и НУЛИ слова нечетного канала в арифметические описания NRZI модуляции, которая осуществляет коммутацию отрицательных и положительных арифметических величин с аналогичными амплитудами и не порождает постоянную составляющую. Устройство отображения кода в арифметику 1150 передает эти описания от своего порта вывода 115 на генератор сигнала управления 120. Четвертый P/S преобразователь 114 выбирает места четных битов каждого слова канала с 25-параллельными битами, переданного предварительным кодером 106 (далее упомянутое как слово "четного канала"), и преобразует выбранное четное слово канала в четное слово канала с 12-последовательными битами, передаваемое от его порта вывода 117 на устройство отображения кода в арифметику 1170. Устройство отображения кода в арифметику 1170 преобразует ЕДИНИЦЫ и НУЛИ слова четного канала в арифметические описания I-NRZI модуляции, которая коммутирует отрицательные и положительные арифметические величины аналогичной амплитуды и не порождает постоянной составляющей. Устройство отображения кода в арифметику 1170 передает эти описания от своего порта вывода 117 на генератор сигнала управления 120. Третий и четвертый P/S преобразователи 112 и 114 совместно могут быть спроектированы как мультиплексор с

временным разделением.

Генератор сигнала управления 120 генерирует первый и второй сигналы управления на основании сигналов нечетных и четных слов канала, принятых от третьего P/S преобразователя 112 и от четвертого P/S преобразователя 114. Первый сигнал управления CS1 передается с выхода 123 генератора сигнала управления 120 на порт управления предварительного кодера 106 для управления его повторной инициализацией в конце каждого интервала слова канала. Второй сигнал управления CS2 поддерживает одно из двух величин в интервале слова канала и передается от порта вывода 125 генератора сигнала управления 120 на выход порта управления селектором 122.

Селектор 122 принимает очередное "положительное" информационное слово канала с 25-последовательными битами, переданное от первого P/S преобразователя 108, и "отрицательное" информационное слово канала с 25-последовательными битами, переданное от второго P/S преобразователя 110. Затем селектор 122 выбирает в качестве записываемой порции 124 одно из этих слов канала, которое согласно второму сигналу управления CS2 вызовет наименьшее отклонение от спектральной характеристики, необходимой для записывающей дорожки.

Фиг. 9 является детальной блок-схемой устройства ввода сигнала 104, предварительного кодера 106, а также P/S преобразователей 108, 110, 112 и 114, которые показаны на фиг. 8. Работа этих схем, показанных на фиг. 9, будет объяснена со ссылкой на фиг. 10A-10I, 11, 12A, 12B, 13, 14, а также на 15A-15I.

Обратимся к фиг. 9, устройство ввода сигнала 104 состоит из двадцати пяти защелок 104. а-104.у. В ответ на одновременное появление сигнала системного задающего генератора и сигнала загрузки бит "0" вводится в защелку 104. а, используемую для хранения самого старшего разряда, а другие двадцать четыре защелки 104.b-104.у принимают информационное слово с 24-параллельными битами, переданное от порта вывода 103 P/P преобразователя 102. Когда вводятся данные синхронизации, как показано на фиг. 10A-10D, то семнадцать битов данных синхронизации, имеющих заранее определенный формат, вводятся в защелки 104.a- 104.q. Восемь битов данных ID, выводимые из порта вывода 103 P/P преобразователя 102, вводятся в остальные восемь защелок 104.r- 104.у. В случае, когда вводятся данные обработки, как показано на фиг. 10G, двадцать пять битов данных обработки, имеющих заранее определенный формат, вводятся в защелки 104.a-104.у.

Как показано на детальной блок-схеме устройства ввода сигналов 104 на фиг. 11, каждый из двадцати пяти защелок 104.a-104.у состоит соответственно из одного D-триггера, двух вентилей И и одного вентиля ИЛИ. Во время работы соответствующих защелок, когда сигнал ЗАГРУЗКИ имеет высокий логический уровень, бит "0", переданный в порт данных защелки 104.a, и 24-битовое информационное слово, переданное из P/P преобразователя 102, защелкиваются и защелкнутые выходные сигналы передаются

посредством Q порта соответствующих D-триггеров. Когда сигнал ЗАГРУЗКИ имеет низкий логический уровень, то защелки, поддерживающие выход Q соответствующих D-триггеров, остаются неизменными.

Первые выходы XOR вентилей 106.а-106.у предварительного кодера 106, показанного на фиг. 9, связываются с выходами соответствующих защелок 104.а-104.у устройства ввода сигнала 104. Вторые входы вентилей исключающего ИЛИ (XOR) 106.а и 106.б соединяются с соответствующими выходами защелок 106.2 и 106.1. Вторые входы вентилей XOR 106.с-106.у соединяются с соответствующими выходами вентилей XOR 106.а-106.в. Выходы вентилей XOR 106.х и 106.у связываются с входами защелок 106.2 и 106.1.

Работа предварительного кодера 106 будет описана ниже. Второй самый младший разряд (LSB) от предыдущего слова канала и самый старший разряд (MSB) (здесь, введенный "0" бит) настоящего 25-битового слова канала вводятся в вентиль XOR 106.а. LSB от предыдущего слова канала и второй самый старший разряд (здесь, первый бит выходных данных) настоящего 25-битового слова канала вводятся в вентиль XOR 106.б. Выход вентилей XOR 106.а и второй бит входных данных вводятся в вентиль XOR 106.с. Выход вентилей XOR 106.б и третий бит входных данных вводятся в вентиль XOR 106.д.

Вентили XOR 106.е-106.у совместно осуществляют предварительное 2Т кодирование 25-битового информационного слова. Выходным сигналом вентилей XOR 106.а-106.у является 25-битовое слово канала, переданное параллельно от предварительного кодера 106.

В настоящем изобретении, используя один предварительный кодер, в случае, когда переданные на предварительный кодер данные 106 являются данными синхронизации, показанными на фиг. 10А-10Д, исходное значение защелок 106.1 и 106.2 устанавливается равным "00" во время осуществления предварительного кодирования. Действуя таким образом, генерируются сигналы, как показано на фиг. 10В или 10Е. Как показано на фиг. 10С или 10F, результат предварительного кодирования, осуществленный, когда начальное значение защелок 106.1 и 106.2 равнялось "11", представляет собой данные синхронизации, в которых слово канала предварительно кодируется после осуществления инвертирования исходного значения "00". Результат генерируется путем использования второго P/S преобразователя 110, приводимого в рабочее состояние во время преобразования данных синхронизации или данных обработки так, чтобы он осуществлял битовое дополнение всех битов в словах канала, переданных ему от предварительного кодера 106, раньше компонентов нечетного слова канала.

В случае, когда данные, вводимые в предварительный кодер 106 являются данными обработки, как показано на фиг. 10Г, сигнал, показанный на фиг. 10Н передается от предварительного кодера 106, где исходные значения защелок 106.1 и 106.2 являются "00".

Как показано на фиг. 10I, предварительно

кодируемые данные обработки, когда исходное значение равно "11", представляют собой инвертированный результат предварительно закодированных данных обработки для исходного значения "00". Результат генерируется посредством использования второго P/S преобразователя 110, приводимого в рабочее состояние, во время преобразования данных синхронизации или данных обработки так, чтобы он осуществлял битовое дополнение всех битов в словах канала, передаваемых ему от предварительного кодера 106, раньше компонентов нечетного слова канала.

Связь защелок 106.1 и 106.2 предварительного кодера 106, показанного на детальной диаграмме схемы фиг. 12В, является альтернативной по отношению к соединению защелок 106.3 и 106.4 предварительного кодера 106, показанного на детальной диаграмме схемы фиг. 12А.

Обратимся к фиг. 12А, когда сигнал ЗАГРУЗКИ имеет логический высокий уровень, то выходной сигнал 24 вентилей XOR 106.х, переданный на порт данных D-триггера D2 посредством вентилей G8 и G9, передается как второй самый младший разряд 24 предыдущего слова канала, на второй порт ввода вентилей XOR 106.б фиг. 9 в ответ на таковой сигнал. Одновременно, выходной сигнал 25 XOR вентилей 106.у, передаваемый в порт данных D-триггера D1 посредством вентилей G2, G3, G5 и G6, передается как LSB предыдущего слова канала на второй порт ввода вентилей XOR 106.б фиг. 9 в соответствии с таковым сигналом. Когда сигнал ЗАГРУЗКИ имеет низкий логический уровень, то D-триггеры D1 и D2 поддерживают выход порта вывода Q, пока сигнал ЗАГРУЗКИ не примет высокий логический уровень.

Пока выход D-триггера D1 испытывает влияние первого сигнала управления CS1, переданного от порта вывода первого сигнала управления 123 генератора сигнала управления 120, показанного на фиг. 8, если первый сигнал управления CS1 имеет высокий уровень, то выход 25 вентилей XOR 106.у передается без изменений. Если первый сигнал управления CS1 имеет низкий уровень, то выход вентилей XOR 106.у передается после инвертирования.

Например, когда выход 25 вентилей XOR 106.у имеет высокий логический уровень, а первый сигнал управления CS1 имеет низкий логический уровень, то выход D-триггера D1 имеет высокий уровень. Если выходной сигнал управления CS1 имеет высокий уровень, то выход D-триггера D6 имеет высокий логический уровень.

Если первый сигнал управления CS1 имеет высокий уровень, что указывает на выбор "положительного" информационного слова канала, то исходное значение защелки 106.1 предварительного кодера 106 остается без изменения. Если сигнал управления CS1 имеет низкий уровень, что указывает на выбор "отрицательного" информационного слова канала, то исходное значение защелки 106.1 предварительного кодера 106 подвергается битовому дополнению.

Вместо использования вентилей И G1 и G2 для приема первого сигнала управления CS1 и самого младшего разряда предыдущего слова канала та же самая

работа может осуществляться путем использования вентиля ИЛИ G3, инвертора G10 и XOR вентиля G11, как показано на фиг. 12B.

Первый P/S преобразователь 108 фиг. 9 принимает соответствующий выходной сигнал вентилей XOR 106.a-106.y параллельно в ответ на одновременное появление сигнала (системного) задающего генератора и сигнала ЗАГРУЗКИ и последовательно передает принятые выходные сигналы в качестве слова канала с 25-последовательными битами. Преобразователь R/S 108 состоит из двадцати пяти защелок 108. a-108. y и детально показан на фиг. 13. Каждая защелка состоит из двух вентилях И, вентиля ИЛИ и D-триггера.

Когда сигнал ЗАГРУЗКИ имеет высокий логический уровень, то каждый из D-триггеров принимает выходной сигнал соответствующего вентиля XOR предварительного кодера 106 и использует принятый выходной сигнал в качестве входного сигнала первого вентиля И защелки следующего старшего бита. Если сигнал ЗАГРУЗКИ имеет низкий логический уровень, то соответствующие D-триггеры блокируют выходы Q до того, как сигнал ЗАГРУЗКИ не примет высокий логический уровень. В качестве конечного выходного сигнала передается слово канала с 25-последовательными битами от порта Q D-триггера защелки 108.a для фиксирования самого старшего разряда слова канала.

Детальная диаграмма схемы второго R/S преобразователя 110 показана на фиг. 14.

Обратимся к фиг. 14. Для того, чтобы получить "отрицательное" информационное 25-битовое слово так, чтобы оно было доступно для выбора для включения в I-NRZI код, необходимо, чтобы нечетные слова канала "положительного" информационного 25-битового слова канала подверглись битовому дополнению. Среди нечетных защелок, например защелка 110.a содержит первый вентиль И G12, имеющий неинвертирующий вход, связанный с выходом D-триггера D4 предыдущей защелки (здесь 110.b), и инвертируемый вход, принимающий сигнал ЗАГРУЗКИ, второй вентиль И G13, имеющий неинвертируемый вход, принимающий сигнал ЗАГРУЗКИ, и инвертирующий вход, связанный с выходом вентиля XOR (106.a фиг. 9) предварительного кодера 106, вентиль ИЛИ G14 для логического суммирования выходных сигналов первого и второго вентилей И G12 и G13, а также D-триггер D3, порт ввода для данных которого связан с выходом вентиля ИЛИ G14, тактируемый порт которого принимает сигнал системного задающего генератора, а также порт вывода Q которого передает слово канала с последовательными битами. Для того, чтобы получить данные синхронизации и данные обработки I-NRZI промодулированные начальным значением "11", которое имеет инвертированный результат по отношению к результату, I-NRZI промодулированному исходным значением "00", второй P/S преобразователь 110 создан для осуществления битового дополнения четных слов канала аналогичным образом.

Среди защелок для встречающихся нечетным образом битов защелка 110.b для второго бита самого старшего разряда

содержит первый вентиль И G15, имеющий инвертирующий вход, принимающий сигнал управления синхронизацией/обработкой, и неинвертирующий вход, принимающий соответствующий выходной сигнал вентиля XOR (106. b фиг. 9), второй вентиль И G16, имеющий неинвертирующий вход, принимающий сигнал управления синхронизацией/обработкой, и инвертирующий вход, принимающий выходной сигнал предварительного кодера, а также первый вентиль ИЛИ G17 для логического суммирования выходных сигналов первого и второго вентилей И G15 и G16, третий вентиль И G18, имеющий неинвертирующий вход, связанный с Q портом вывода D-триггера D5 предыдущей защелки (здесь 110.c), и инвертирующий вход, принимающий сигнал ЗАГРУЗКИ, четвертый вентиль И G19 для приема сигнала ЗАГРУЗКИ и выходной сигнал первого вентиля ИЛИ G17, второй вентиль ИЛИ G20 для логического суммирования выходных сигналов третьего и четвертого вентилей И G18 и G19, а также D-триггер D3, порт ввода данных которого связан с выходом второго вентиля ИЛИ G20, тактируемый порт которого принимает сигнал задающего генератора и Q порт вывода которого связан с неинвертирующим входом первого вентиля И G12 защелки старшего бита (здесь 110. a). (Для защелок, встречающихся четным образом битов, защелки (например, 110.b)) могут быть составлены из вентиля XOR вместо двух вентилей И G15 и G16 и вентиля ИЛИ G17). Для удобства ссылочные позиции пары вентилей И, вентиля ИЛИ и D-триггера, которые содержатся в качестве компонентов в каждой защелке, пронумерованы для защелок 110.a, 110.b и 110.c.

Сигнал управления обработкой воздействует на все защелки встречающихся четным образом битов среди двадцати пяти защелок. Так как каждый блок данных синхронизации состоит из семнадцати битов, то сигнал управления синхронизацией воздействует на защелки, которые соответствуют четным местам среди семнадцати ведущих мест битов.

За исключением того случая, когда обрабатываются данные синхронизации или данные обработки, второй P/S преобразователь 110 осуществляет битовое дополнение только нечетной компоненты слова канала своего входного "положительного" информационного слова канала с 25-параллельными битами и преобразует результирующее "отрицательное" информационное слово канала с 25-параллельными битами в "отрицательное" информационное слово канала с 25-последовательными битами. Если данные, переданные на второй P/S преобразователь 110, являются данными синхронизации, то в слове канала с 25-параллельными битами, переданном от предварительного кодера 106, 2-ой, 4-ой, 6-ой, 8-ой, 10-й, 12-ой, 14-ой и 16-ой биты четных слов канала так же, как и биты нечетных слов канала, являются битовыми дополнениями в слове канала с 25-последовательными битами, которое было передано от второго P/S преобразователя 110.

Третий P/S преобразователь 112 фиг. 9

содержит тринадцать защелок. Эта конфигурация аналогична конфигурации для соответствующих защелок первого P/S преобразователя 108, показанного на фиг. 13. В ответ на сигнал ЗАГРУЗКИ третий P/S преобразователь 112 загружает в качестве своего входного сигнала только нечетные слова канала из слова канала с 25-параллельными битами, переданного от предварительного кодера 106; а после этого, в ответ на сигнал системного задающего генератора передает слово канала с 13-последовательными битами на порт вывода 115 защелки 112.а.

Четвертый P/S преобразователь 114 фиг. 9 содержит двенадцать защелок, эта конфигурация является такой же, как и для соответствующих защелок первого P/S преобразователя 108, показанного на фиг. 13. В ответ на сигнал ЗАГРУЗКИ четвертый P/S преобразователь 114 загружает в качестве своего входного сигнала только четные слова канала из слова канала с 25-параллельными битами, переданного от предварительного кодера 106; а после этого, в ответ на сигнал системного задающего генератора передает слово канала с 12-последовательными битами на порт вывода 117 защелки 114.а.

Фиг. 15А-15І представляют формы волн в рабочем режиме блоков, показанных на фиг. 8 и 9. Фиг. 15А иллюстрирует слово канала с 25-последовательными битами, переданное с выхода предварительного кодера 106. Фиг. 15В иллюстрирует слово канала с 13-последовательными битами, переданное от третьего P/S преобразователя 112. Фиг. 15С иллюстрирует слово канала с 12-последовательными битами, переданное от четвертого P/S преобразователя 114. Фиг. 15D иллюстрирует сигнал системного задающего генератора, подаваемый на вход соответствующих блоков фиг. 9 побитно. Фиг. 15Е иллюстрирует первый сигнал управления CS1, генерируемый генератором сигнала управления 120 и передаваемый на вход защелки 106.1 предварительного кодера 106 фиг. 9. Фиг. 15F иллюстрирует сигнал ЗАГРУЗКИ, подаваемый на вход соответствующих блоков фиг. 9, с периодом одного 25-битового слова. Фиг. 15G иллюстрирует сигнал управления обработкой, генерируемый в пределах периода двадцати битов и передаваемый на второй P/S преобразователь 110. Фиг. 15H иллюстрирует сигнал управления синхронизацией, генерируемый в пределах периода одной строки и передаваемый на второй преобразователь 110. Фиг. 15I иллюстрирует второй сигнал управления CS2, генерируемый генератором второго сигнала управления 120 фиг. 8 и передаваемый на селектор 122.

Если второй сигнал управления CS2 имеет высокий уровень, то селектор 122 воспроизводит в качестве своего выходного сигнала выходной сигнал с последовательными битами от первого P/S преобразователя 108. Если второй сигнал управления CS2 имеет низкий уровень, то селектор 122 воспроизводит в качестве своего выходного сигнала выходной сигнал с последовательными битами от второго P/S преобразователя 110. Второй сигнал управления CS2 генерируется без изменения в пределах каждого последующего периода одного 25-битового слова канала.

Когда 25-битовое слово канала уплотняется с общим временем в нечетные и четные слова канала, показанные на фиг. 15В и 15С, то, по крайней мере, для периода 12-битового слова канала, составляющего часть периода 25-битового слова канала предварительного кодера 106, задержка по времени интеграторами, устройствами умножения и схемами возведения в квадрат генератора сигнала управления 120, показанного на фиг. 16, компенсируется, тем самым позволяя генерировать сигнал управления для выбора одной из необходимых частотных характеристик между выходными сигналами первого и второго P/S преобразователей 108 и 110. Это позволяет генерировать сигнал управления в реальном времени. Фиг. 16 является детальной диаграммой схемы генератора сигнала управления 120 фиг. 8 во время записи первого набора дорожек, записываемых по образцу F1.

На фиг. 16 биты каждого нечетного слова канала, последовательно переданные от порта вывода 115 третьего P/S преобразователя 112, используются как биты знака перед соответствующими ЕДИНИЦАМИ для генерации ДВУХ дополнительных чисел, используемых в сумматоре 126 в качестве его первого слагаемого входного сигнала, используемых в устройстве вычитания 128 в качестве его вычитаемого входного сигнала, используемых в устройствах вычитания 182 и 204 в качестве их уменьшаемых входных сигналов, а также используются в устройствах умножения 146 и 162 в качестве перемножаемых входных сигналов. Эти биты каждого четного слова канала, последовательно переданные от порта вывода 116 четвертого P/S преобразователя 114, используются в качестве знаковых битов перед соответствующими ЕДИНИЦАМИ для генерации ДВУХ дополнительных чисел, используемых в сумматоре 126 в качестве его второго слагаемого входного сигнала, используемых в устройстве вычитания 128 и в устройствах вычитания 176 и 200 в качестве уменьшаемых входных сигналов, а также используются в устройствах умножения 144 и 160 в качестве их перемножаемых входных сигналов. После того, как последний бит каждого четного слова канала, последовательно передаваемого от порта ввода 117 четвертого P/S преобразователя

114, будет передан на сумматор 126 в качестве его второго слагаемого входного сигнала, на устройства вычитания 128, 176 и 200 в качестве их уменьшаемых входных сигналов, а также на устройства умножения 144 и 160 в качестве их перемножаемых входных сигналов, арифметические нули в течение оставшегося интервала слова канала последовательно передаются на сумматор 126 в качестве его второго слагаемого входного сигнала, на устройства вычитания 128, 176 и 200 в качестве их уменьшаемых входных сигналов, а также на устройства умножения 146 и 162 в качестве их перемножаемых входных сигналов. После того, как последний бит каждого нечетного слова канала, последовательно передаваемого от порта вывода 115 третьего P/S преобразователя 112, передается на сумматор 126 в качестве его первого слагаемого входного сигнала, на устройство

вычитания 128 в качестве его вычитаемого входного сигнала, на устройства вычитания 182 и 204 в качестве их уменьшаемого входного сигнала, а также на устройства умножения 146 и 162 в качестве их перемножаемых входных сигналов, арифметические нули в течение оставшегося интервала слова канала последовательно передаются на сумматор 126 в качестве его слагаемого входного сигнала, на устройство вычитания 128 в качестве его вычитаемого входного сигнала, на устройства вычитания 182 и 204 в качестве их уменьшаемых входных сигналов, а также на устройства умножения 146 и 162 в качестве их перемножаемых входных сигналов.

На фиг. 6 схема взвешенного суммирования 220 генерирует в качестве первого сигнала ошибки e_1 взвешенную сумму соответствующих энергий отклонений от необходимых спектральных характеристик I-NRZI модуляции в предположении, что "положительное" информационное слово канала выбрано следующим для продолжения I-NRZI модуляции. Соответствующие энергии этих отклонений вычисляются схемами возведения в квадрат 140, 156, 172, 196 и 216. Схема взвешенного суммирования 222 генерирует в качестве второго сигнала ошибки e_2 взвешенную сумму соответствующих энергий отклонений от необходимой спектральной характеристики I-NRZI модуляции в предположении, что "отрицательное" информационное слово канала выбрано следующим для продолжения I-NRZI модуляции. Соответствующие энергии этих отклонений вычисляются схемами возведения в квадрат 142, 158, 174, 198 и 218. Детектор (DET) 224 генерирует первый сигнал управления CS1 и второй сигнал управления CS2 в ответ на сравнение амплитуд первого сигнала ошибки e_1 и второго сигнала ошибки e_2 .

Суммарные выходные сигналы от сумматора 126 передаются на интегратор 130, который вычисляет цифровую сумму обработки всех слов канала, ранее выбранных для записи, и пару битов "положительного" информационного слова канала, которое рассматривается в текущий момент для записи. Устройство вычитания 134 сравнивает эту цифровую сумму обработки с предписанной функцией для записываемой дорожки, для определения любого отклонения от этой предписанной функции. Схема возведения в квадрат вычисляет энергию этого отклонения для использования в сети взвешенного суммирования 220.

Выходные разностные сигналы от устройства вычитания 128 используются в интеграторе 132, который вычисляет цифровую сумму обработки всех слов канала, ранее выбранных для записи, и пары битов "отрицательного" информационного слова канала, рассматриваемого в текущий момент для записи. Устройство вычитания 138 сравнивает эту цифровую сумму обработки с предписанной функцией для дорожки, которая записывается, для обнаружения какого-либо отклонения от этой предписанной функции, а схема возведения в квадрат 142 вычисляет энергию этого отклонения для использования в сети взвешенного суммирования 222.

Во время записи нулевого множества

дорожек, записываемых по образцу F0, устройства вычитания 134 и 138 принимают арифметические нули своих соответствующих вычитаемых входных сигналов. Во время записи первого множества дорожек, записываемых по образцу F1, а также во время записи второго набора дорожек, записываемых по образцу F2, устройства вычитания 134 и 138 принимают в качестве своих соответствующих входных сигналов треугольную волну от генератора треугольной волны 136. Соответственно, дополнительно, для обеспечения подавления члена с нулевой частотой составляется конфигурация, содержащая элементы 126-142 для формирования пилотсигнала, имеющего пик на частоте f_1 в течение записи первого набора дорожек и имеющего пик на частоте f_2 в течение записи второго набора дорожек. Это делается в ответ на действие генератора треугольной волны 136 этой конфигурации, который генерирует треугольную волну, имеющую фундаментальную частоту f_1 в течение записи первого множества дорожек, и генерирует треугольную волну, имеющую фундаментальную частоту f_2 в течение записи второго множества дорожек. Генератор треугольной волны 136 обычно встраивается в ПЗУ, к которой последовательно обращаются в ответ на сигнал задающего генератора системы тактирования.

Генератор треугольной волны 136 создается на основании ПЗУ и генерирует величину предписанной цифровой суммы (DSV) в соответствии с сигналом треугольной волны с частотой f_1 (например, $1/90T$), как показано на фиг. 17A, 8-битовые данные (например, 90A-90R) загружаются с 5-битным нулевым адресом через пятнадцать в таблице ПЗУ, как показано на фиг. 17B. Это позволяет формировать провал на частоте $f=0$ Гц (другими словами, постоянную составляющую DC), а пилот-сигнал может быть сформирован на частоте f_1 . В качестве альтернативы, пилот-сигнал может быть сформирован на частоте $f_2 (= \omega/2\pi)$.

В течение записи первого множества дорожек по образцу F1 составляется конфигурация, содержащая элементы 144-174, предназначенная для формирования провалов на частоте $f_2 = \omega/2\pi$ в ответ на прием устройствами умножения 144, 146 и 162 в качестве соответствующих входных перемножаемых сигналов функции $e \cdot \sin \omega_2 t$, $o \cdot \sin \omega_2 t$, $e \cdot \cos \omega_2 t$ и $o \cdot \cos \omega_2 t$ из таблиц для просмотра, загруженных в ПЗУ последовательно, со скоростью, задаваемой системы задающим генератором. Функции дискретизированных данных $o \cdot \sin \omega_2 t$ и $e \cdot \sin \omega_2 t$ соответственно содержат встречающиеся нечетным образом и встречающиеся четным образом последующие образцы системной функции синусоидальной волны $\sin \omega_2 t$. Эти функции загружаются последовательно в ПЗУ для последующего считывания парами во время последовательного обращения к ПЗУ в течение первой половины интервала слова канала. Функции дискретизированных данных $o \cdot \cos \omega_2 t$ и $e \cdot \cos \omega_2 t$ соответственно содержат встречающиеся нечетным образом и встречающиеся четным образом в

последовательных образцах системной функции косинусоидальной волны $\cos \omega_2 t$. Эти функции загружаются последовательно в ПЗУ для дальнейшего считывания парами во время последовательного обращения к ПЗУ в течение первой половины интервала слова канала.

Разделение таблицы синусов и таблицы синусов четных образцов в ПЗУ будет рассмотрено более детально. Если форма волны синусоидальных сигналов является, например, $1/60T$ для частоты f_2 , как показано на фиг. 18А, то один период синусоидального сигнала разделяется на 1200 образцов, а данные загружаются в таблицы синусов четных образцов и нечетных образцов, каждая из которых имеет шестьсот адресов, связанных с ней. В таблице синусов нечетных образцов, которая показана на фиг. 19А, данные (далее упоминаемые как "нечетные синусоидальные" сигналы), соответствующие образцам, появляющимся нечетным образом в сигнале синусоидальной волны, загружаются в 600 последовательных адресных ячейках. В таблице синусов четных образцов, показанной на фиг. 19В, данные (далее упоминаемые как "четные синусоидальные" сигналы), соответствующие четным образом встречающимся образцам сигнала синусоидальной волны, загружаются в 600 последовательных адресных ячеек расположенных таким образом, чтобы к ним можно было обратиться параллельно соответствующим ячейкам из 600 последовательных адресных ячеек таблицы синусов нечетных образцов. Тем временем, как показано на фиг. 18В, синусоидальные величины, соответствующие образцам (обозначенным точками), превращаются в нечетные адреса или четные адреса синусоидального сигнала, периодически подразделяемого с периодом 25-битового слова канала. ЕВ представляет собой интервал образца в четном слове канала, где вставляется арифметический ноль. Так как величина синуса для каждого встречающегося нечетным образом образца должна достигаться параллельно и одновременно с величиной синуса для предыдущего, встречающегося нечетным образом образца, то таблица синусов нечетных образцов может быть загружена в ПЗУ с тем же адресом, что и таблица синусов нечетных образцов, и одноадресный указатель следования, генерирующий последовательность 9-битовых адресов, может быть использован вместо указателей следования адресов, генерирующих перемещенные 10-битовые адреса.

Знакомые с проектированием цифровой аппаратуры дадут высокую оценку тому обстоятельству, что может быть использована определенная общеизвестная хитрость проектирования для уменьшения общего объема ПЗУ, необходимого для загрузки системных функций синусоидальной волны и косинусоидальной волны. Квадратичная симметрия функции синусоидальной волны может быть использована для уменьшения объема ПЗУ в четыре раза. Более того, ПЗУ может иметь конструкцию банка данных такую, что различные октанты синусоидальной волны могут быть достигнуты одновременно и независимо друг от друга, что позволяет извлекать функцию

косинусоидальной волны из того же ПЗУ, из которого извлекается функция синусоидальной волны.

В течение записи второго множества дорожек по образцу F2 создается конфигурация, содержащая элементы 144-174 для формирования провала на частоте $f_1 = \omega/2\pi$ вместо частоты f_2 . Это делается в ответ на прием устройствами умножения 144, 146, 160 и 162 соответствующим образом функции дискретизированных данных $e^{-\sin \omega_1 t}$, $o^{-\sin \omega_1 t}$, $e^{-\cos \omega_1 t}$ и $o^{-\cos \omega_1 t}$ по мере поступления из таблиц для просмотра, загруженных в ПЗУ, которые последовательно вызываются со скоростью, соответствующей частоте системного генератора, раньше функций дискретизированных данных $e^{-\sin \omega_2 t}$, $o^{-\sin \omega_2 t}$, $e^{-\cos \omega_2 t}$ и $o^{-\cos \omega_2 t}$.

Сумматор 148 суммирует произведения, полученные от устройств умножения 144 и 146, а результирующая сумма передается на интегратор 152, который указывает количество частот нежелательных провалов "мнимых" фаз, если I-NRZI код продолжается "положительным" информационным словом канала. Схема возведения в квадрат 156 вычисляет энергию частотных компонент этих нежелательных провалов для использования в сети взвешенного суммирования 220.

Устройство вычитания объединяет произведения от устройства умножения 144 с отрицательными произведениями от устройства помножения 146, а результирующая сумма передается на интегратор 152, который указывает количество нежелательных частот провалов "мнимой" фазы, если I-NRZI код продолжается "отрицательным" информационным словом канала. Схема возведения в квадрат 158 вычисляет энергию частотного компонента нежелательного провала для использования в сети взвешенного суммирования 222.

Сумматор 164 суммирует произведения от устройств умножения 160 и 162, а результирующая сумма передается на интегратор 168, который указывает количество нежелательных частот провалов "реальной" фазы, если I-NRZI код продолжается "положительным" информационным словом канала. Схема возведения в квадрат 172 сравнивает энергию частотного компонента этого нежелательного провала для использования в сети взвешенного суммирования 222.

Устройство вычитания 166 объединяет произведения от устройства умножения 160 с отрицательными произведениями от устройства умножения 162, а результирующая сумма передается на интегратор 170, который указывает количество частот нежелательных провалов "реальной" фазы, если I-NRZI код продолжается "отрицательным" информационным словом канала. Схема возведения в квадрат 174 вычисляет энергию этого частотного компонента нежелательного провала для использования в сети взвешенного суммирования 222.

Во время записи первого множества дорожек по образцу F1 и во время записи второго множества дорожек по образцу F2 составляется конфигурация, содержащая элементы 176-218 для формирования провалов с каждой стороны пилот-сигнала. Генераторы прямоугольной волны 178 и 184 в

этой конфигурации генерируют прямоугольные волны, имеющие фундаментальную частоту f_1 во время записи первого множества дорожек, и генерируют прямоугольные волны, имеющие фундаментальную частоту f_2 во время записи второго множества дорожек. Генераторы прямоугольных волн 178 и 184 могут быть встроены в ПЗУ, к которому происходит последовательное обращение в ответ на сигнал задающего генератора системы тактирования.

Во время записи первого набора дорожек по образцу F1 создается конфигурация, содержащая элементы 176-218 для формирования провалов по обе стороны пилот-сигнала, имеющего частоту f_1 . Это делается в ответ на генерацию генератором прямоугольной волны 178 и 184, прямоугольных волн с фундаментальной частотой f_1 и в ответ на прием устройствами умножения 180, 186, 202 и 206 функций дискретизированных данных $e \cdot \sin \omega_1 t$, $o \cdot \sin \omega_1 t$, $e \cdot \cos \omega_1 t$ и $o \cdot \cos \omega_1 t$ по мере поступления от таблиц для просмотра, загруженных в ПЗУ, к которому происходит последовательное обращение со скоростью, соответствующей системному задающему генератору.

Во время записи второго множества дорожек по образцу F2 создается конфигурация, содержащая элементы 176-218 для формирования провалов с любой стороны пилот-сигнала, имеющего частоту f_2 . Это делается в ответ на генерацию генераторами прямоугольной волны 178 и 184, прямоугольных волн с фундаментальной частотой f_2 и в ответ на прием устройствами умножения 180, 186, 202 и 206 соответствующих функций дискретизированных данных $e \cdot \sin \omega_2 t$, $o \cdot \sin \omega_2 t$, $e \cdot \cos \omega_2 t$ и $o \cdot \cos \omega_2 t$ по мере поступления от таблиц для просмотра, загруженных в ПЗУ, к которому происходит последовательное обращение со скоростью, соответствующей системному задающему генератору, раньше функций дискретизированных данных $e \cdot \sin \omega_1 t$, $o \cdot \sin \omega_1 t$, $e \cdot \cos \omega_1 t$ и $o \cdot \cos \omega_1 t$.

Во время записи нулевых дорожек по образцу F0 устройства вычитания 176 и 182 в конфигурации, содержащей элементы 176-218, принимают арифметический ноль в качестве их вычитаемых входных сигналов раньше прямоугольных волн от генераторов прямоугольных волн 178 и 184. Конфигурация, содержащая элементы 176-218, соответствующим образом создается для формирования провала на одной из частот f_1 и f_2 , а конфигурация, содержащая элементы 144-174, создается для формирования провалов на других частотах f_1 и f_2 . Осуществляется подстройка взвешивания выходных сигналов от схем возведения в квадрат 196, 198, 216 и 218 в схемах взвешенного суммирования 220 и 222 для выравнивания провалов на частотах f_1 и f_2 .

Схема взвешенного суммирования 220 генерирует сигнал первой ошибки e_1 в качестве взвешенной суммы соответствующих энергий отклонений от желаемой спектральной характеристики

I-NRZI модуляции при условии, что "положительное" информационное слово канала выбрано следующим для продолжения I-NRZI модуляции; а схема взвешенного суммирования 222 генерирует сигнал первой ошибки e_2 в качестве взвешенной суммы соответствующих энергий отклонений от желаемой спектральной характеристики I-NRZI модуляции при условии, что "отрицательное" информационное слово канала выбирается следующим для продолжения I-NRZI модуляции. Детектор (DET) 224 содержит компаратор, который выбирает наименьшую величину из сигналов ошибок e_1 и e_2 . Этот компаратор может принимать форму устройства вычитания, которое принимает сигналы ошибок e_1 и e_2 с "0" битом знакового расширения в качестве ДВУХ дополнительных уменьшаемых и в качестве ПАРЫ дополнительных вычитаемых соответственно. Знаковый бит разностного выходного сигнала этого устройства вычитания загружается в битовую защелку для интервала одного слова канала, для передачи порту ввода 125 второго сигнала управления CS2, который управляет выбором селектора 122 для выбора либо "положительного" информационного либо "отрицательного" информационного слова канала для использования в записывающем устройстве 124 фиг. 8. Знаковый бит разностного выходного сигнала этого устройства вычитания также используется для формирования первого сигнала управления CS1, который передается от порта вывода 123 генератора сигнала управления 120 фиг. 16 на предварительный кодер 106 фиг. 8 и 9.

Первый сигнал управления CS1 также используется генератором сигнала управления 120 для дальнейшей передачи на порты ввода сигнала управления соответствующих интеграторов. После того, как первый сигнал управления CS1 укажет, что "положительное" информационное слово канала было выбрано для записи, в ответ на импульс сброса, после окончания интервала слова канала, величины соответствующих интеграторов 132, 154, 170, 194 и 214 для 25-битового "отрицательного" информационного слова канала заменяются величинами, загруженными в соответствующие интеграторы 130, 152, 168, 192 и 212 в соответствии с 25-битовым "положительным" информационным словом канала. Когда первый сигнал управления CS1 укажет, что "отрицательное" информационное слово канала было выбрано для записи, то в ответ на импульс сброса, после окончания интервала слова канала, величины соответствующих интеграторов 130, 152, 168, 192 и 212 для 25-битового "положительного" информационного слова канала заменяются величинами, загруженными в соответствующие интеграторы 132, 154, 170, 194 и 214 в соответствии с 25-битовым "отрицательным" информационным словом канала.

Фиг. 20A, 20B и 20C показывают альтернативные модификации, которые могут быть осуществлены над устройством фиг. 16 так, чтобы данные синхронизации и данные обработки могли бы быть I-NRZI закодированы после использования

предварительного кодера 106 и без использования другого предварительного кодера.

На фиг. 10B показаны результирующие NRZI закодированные данные, переданные от предварительного кодера 106, когда данные синхронизации, показанные на фиг. 10A, передаются на 2T предварительный кодер 106, в котором исходные величины устанавливаются равными "00". NRZI закодированные данные синхронизации, показанные на фиг. 10C, должны быть сгенерированы в ответ на данные синхронизации, показанные на фиг. 10A, предварительным кодером 2T, в котором начальная величина устанавливается равной "11". Вместо использования такого дополнительного 2T предварительного кодера, однако, NRZI закодированные данные, показанные на фиг. 10C, генерируются путем инвертирования или битового дополнения каждого и всех битов данных синхронизации, показанных на фиг. 10B, по мере поступления от предварительного кодера 106.

На фиг. 10E показаны результирующие NRZI закодированные данные синхронизации, переданные от предварительного кодера 106 после того, как данные синхронизации, показанные на фиг. 10D, были переданы на предварительный кодер 2T 106, в котором исходная величина устанавливается равной "00". NRZI закодированные данные синхронизации, показанные на фиг. 10F, должны быть сгенерированы в ответ на генерацию данных синхронизации, показанных на фиг. 10D, 2T предварительным кодером, однако NRZI закодированные данные, показанные на фиг. 10F, генерируются путем инвертирования или битового дополнения каждого и всех битов данных синхронизации, показанных на фиг. 10E, по мере передачи от предварительного кодера 106.

На фиг. 10H показаны результирующие NRZI закодированные данные обработки, переданные от предварительного кодера 106 после того, как данные обработки, показанные на фиг. 10G, будут переданы на 2T предварительный кодер, в котором исходная величина установлена равной "00". NRZI закодированные данные обработки, показанные на фиг. 10I, должны быть сгенерированы в ответ на генерацию данных обработки, показанных на фиг. 10G, предварительным кодером 2T, в котором исходная величина установлена равной "11". Вместо использования такого дополнительного предварительного кодера 2T, однако, NRZI закодированные данные обработки, показанные на фиг. 10I, генерируются путем инвертирования или битового дополнения каждого и всех битов данных обработки, показанных на фиг. 10H, по мере поступления от предварительного кодера 106.

То есть, необходимо осуществить битовое дополнение встречающихся четным образом битов, переданных от порта вывода 117 четвертого P/S преобразователя 114, а также встречающихся нечетным образом битов от порта вывода 115 третьего P/S преобразователя 112 для того, чтобы сгенерировать в предварительном кодере 106 код для выдачи I-NRZI закодированных на

фиг. 10C или 10F. Аналогично, необходимо осуществить битовое дополнение битов, встречающихся четным образом, переданных от порта вывода 117 четвертого P/S преобразователя 114, а также битов, встречающихся нечетным образом, переданных от порта вывода 115 третьего P/S преобразователя 112 для того, чтобы сгенерировать в предварительном кодере 106 код для выдачи NRZI промодулированных данных обработки, показанных на фиг. 10I.

На фиг. 20A показано альтернативное исполнение цепи, состоящей из элементов 126-132, ограниченных четырехугольником, обведенным пунктирной линией на фиг. 16, чтобы приспособить сигналы, переданные посредством портов вывода 115 и 117, в моменты времени, соответствующие данным синхронизации или данным обработки. Сумматор 230, устройство вычитания 232, интегратор 234 и интегратор 326 соответствуют сумматору 126, устройству вычитания 128, интегратору 130 и интегратору 132 фиг. 16. Усовершенствования фиг. 20A в цепи блока, состоящего из элементов 126-132, ограничены пунктирной линией на фиг. 16, аналогичные усовершенствования осуществлены на фиг. 16 для цепи блока, состоящего из элементов 148-154, ограниченных пунктирной линией, для цепи блока, состоящего из элементов 164-170, ограниченных пунктирной линией, для цепи блока, состоящего из элементов 188-194, ограниченных пунктирной линией, а также цепи блока, состоящего из элементов 208-214, ограниченных пунктирной линией.

Устройство умножения 226 умножает на -1, каждый +1 или -1 член, описанный последующими битами четного слова канала, переданного от порта вывода 117 четвертого P/S преобразователя 114. Если сигнал управления синхронизацией/обработкой укажет, что имеющиеся входные данные являются либо данными синхронизации, либо данными обработки, то управляемый коммутатор 228 отвечает выбором выходного сигнала устройства умножения 226 в качестве уменьшаемого входного сигнала устройства вычитания 232. Это делает отрицательными арифметические величины битов, встречающиеся четным образом, переданные от порта вывода 114 четвертого P/S преобразователя 114, а также арифметические величины битов, встречающиеся нечетным образом, передаваемые от порта вывода 115 третьего P/S преобразователя 112, которые стали арифметическими под воздействием устройства вычитания 232. Разностный выходной сигнал от устройства вычитания 232, указывающий на арифметические величины NRZI закодированных данных синхронизации или обработки, должен быть закодирован предварительным кодером 2T, в котором исходные величины устанавливаются равными "11".

Если сигнал синхронизации/обработки удовлетворяет тому условию, что указывает, что настоящие данные не являются ни данными синхронизации ни данными обработки, то управляемый коммутатор 228 осуществляет выбор +1 или -1 членов, описанных последующими битами четных слов канала, передаваемых от выходного порта 117 четвертого P/S преобразователя

114 на устройство вычитания 232 в качестве уменьшаемого выхода. Устройство вычитания 232 вычитает нечетные слова канала из выходного сигнала, выбранного управляемым коммутатором 228, а результирующий разностный сигнал остается таким же, как и ранее описанный в случае фиг. 16.

В любом из режимов работы, которые описаны соответствующим образом в следующих двух параграфах, сумматор 230 добавляет +1 или -1 члены, описанные следующими битами нечетных слов канала, передаваемых от порта вывода 115 третьего P/S преобразователя 112 на смежные +1 или -1 члены, описываемые последующими битами четных слов канала, переданных от порта вывода 117 четвертого P/S преобразователя 114. Интегратор 234 накапливает результирующие суммы с величиной цифровой суммы ранее записанных I-NRZI кодов, энергия результата накопления интегратора 324 определяется возведением в квадрат и результат используется в сети взвешенного суммирования 220. Интегратор 236 накапливает разностные сигналы, полученные от устройства вычитания 232 с величиной цифровой суммы ранее записанных I-NRZI кодов, энергия результата накопления интегратора 236 определяется возведением в квадрат и результат передается в сеть взвешенного суммирования 222.

На фиг. 20В показано альтернативное исполнение цепи элементов 126-132, ограниченных четырехугольником из пунктирной линии на фиг. 16, для приспособления сигналов, передаваемых посредством портов вывода 115 и 117 в моменты времени, соответствующие данным синхронизации или данным обработки. Сумматор 242, устройство вычитания 244, интегратор 250 и интегратор 252 соответствуют сумматору 126, устройству вычитания 128, интегратору 130 и интегратору 132 на фиг. 16. Там, где на фиг. 20В осуществлена модификация цепи элементов 126-132 блока, ограниченного пунктирной линией на фиг. 16, аналогичная модификация осуществлена на фиг. 16 в цепи элементов 148-154 блока, ограниченного пунктирной линией, в цепи элементов 164-170 блока, ограниченного пунктирной линией, цепи элементов 188-194 блока, ограниченного пунктирной линией, а также цепи элементов 208-214 блока, ограниченного пунктирной линией.

Сумматор 242 прибавляет +1 или -1 члены, описываемые последующими битами нечетных слов канала, передаваемых от порта вывода 115 третьего P/S преобразователя 112 на смежные члены +1 или -1, описываемые последующими битами четных слов канала, которые передаются от порта вывода 117 четвертого P/S преобразователя 114. Интегратор 250 накапливает результирующие суммы совместно с величиной цифровой суммы ранее записанных I-NRZI кодов, энергия результата накопления интегратора 250 определяется путем возведения в квадрат и результат передается на сеть взвешенного суммирования 220.

Устройство вычитания 244 принимает в качестве уменьшаемого входного сигнала +1

или -1 члены, описываемые последующими битами четных слов канала, передаваемых от порта вывода 117 четвертого P/S преобразователя 114. Устройство умножения 238 умножает на -1 каждый из +1 или -1 членов, описываемых последующими битами нечетных слов канала, передаваемых от порта вывода 115 третьего P/S преобразователя 112. Другое устройство умножения 246 умножает каждый выходной сигнал, полученный от устройства вычитания 244, на -1.

Если сигнал управления синхронизацией/обработкой удовлетворяет тому условию, что указывает на то, что настоящие входные данные не являются ни данными синхронизации, ни данными обработки, то управляемый коммутатор 240 отвечает путем выбора нечетного слова канала, передаваемого от порта вывода 115 третьего P/S преобразователя 112, для использования в качестве вычитающего входного сигнала в устройстве вычитания 244, и управляемый коммутатор 248 отвечает выбором выходного сигнала устройства вычитания 244 для использования в интеграторе 252. Интегратор 252 накапливает выходные сигналы от управляемого коммутатора 248 совместно с величиной цифровой суммы ранее записанных I-NRZI кодов, энергия результата накопления интегратора 252 определяется путем возведения в квадрат и результат передается на сеть взвешенного суммирования 222. Во время воспроизведения выходным сигналом от управляемого коммутатора 248 воспроизведения выходного сигнала устройства вычитания 244 работа осуществляется аналогично тому, как это было описано для фиг. 16.

Если сигнал управления синхронизацией/обработкой укажет, что настоящие выходные данные не являются ни данными синхронизации, ни данными обработки, то управляемый коммутатор 240 отвечает выбором выходного сигнала устройства умножения 238 в качестве вычитающего входного сигнала устройства вычитания 244. Это делает отрицательным арифметические величины битов, встречающихся нечетным образом, передаваемых от порта вывода 115 третьего P/S преобразователя 112, что приводит к работе устройства вычитания 244 как сумматора. Выходной сигнал от устройства вычитания 244 указывает на отрицательные из NRZI закодированных данных синхронизации или данных обработки, которые необходимо закодировать предварительным кодером 2Т, в котором исходным величинам присваивается значение "11". Устройство умножения 246 умножает каждый выходной сигнал от устройства вычитания 244 на -1 для генерации арифметических величин NRZI закодированных данных синхронизации или данных обработки для кодирования предварительным кодером 2Т, в котором исходным величинам присваивается значение "11". Управляемый коммутатор 248 отвечает сигналом управления синхронизацией/обработкой, указывая, что настоящие выходные данные являются либо данными синхронизации, либо данными обработки, путем выбора произведения из

устройства умножения 246 для использования в качестве входного сигнала для интегратора 252. Таким образом, интегратор 252 накапливает арифметические величины NRZI закодированных данных синхронизации или данных обработки, которые должны быть закодированы предварительным кодером 2Т, в котором исходным величинам приписывается значение "11", совместно с величиной цифровой суммы ранее записанных I-NRZI кодов. Энергия результата накопления интегратора 252 определяется путем возведения в квадрат, а результат передается в сеть взвешенного суммирования 222.

На фиг. 20С показано еще одно усовершенствование цепи элементов 126-132, ограниченных пунктирной линией фиг. 16, для приспособливания сигналов, передаваемых посредством портов вывода 115 и 117 в моменты времени, соответствующие данным синхронизации или данным обработки. Сумматор 254, устройство вычитания 256, интегратор 262 и интегратор 264 соответствуют сумматору 126, устройству вычитания 128, интегратору 132 и интегратору 132 на фиг. 16. Аналогично тому, сделанному на фиг. 20С усовершенствованию для цепи элементов 126-132 блока, ограниченного пунктирной линией, усовершенствование сделано для цепи элементов 148-154 блока, ограниченного пунктирной линией на фиг. 16, а также для цепи элементов 164-170 блока, ограниченного пунктирной линией, цепи элементов 188-194 блока, ограниченного пунктирной линией, цепи элементов 208-214 блока, ограниченного пунктирной линией.

Сумматор 254 добавляет +1 или -1 члены, описываемые последующими битами нечетных слов канала, которые передаются от порта вывода 115 третьего P/S преобразователя 112 к смежным членам +1 или -1, описываемым последующими битами четных слов канала, которые передаются от порта вывода 117 четвертого P/S преобразователя 114. Интегратор 262 накапливает результирующие суммы совместно с величиной суммы ранее записанных I-NRZI кодов, результат накопления энергии интегратором 262 определяется путем возведения в квадрат и результат передается в сеть взвешенного суммирования 220.

Устройство вычитания 256 вычитает +1 или -1 члены, описываемые последующими битами нечетных слов канала, которые передаются от порта вывода 115 третьего P/S преобразователя 112 из смежных +1 или -1 членов, описываемых последующими битами четных слов канала, которые передаются от порта вывода 117 четвертого P/S преобразователя 114. Результирующие различия передаются от устройства вычитания 256 на управляемый коммутатор 260 в качестве первого из двух его входных сигналов, выбираемых одновременно в качестве выходного сигнала коммутатора 260, выходной сигнал которого передается на интегратор 264 в качестве его входного сигнала. Устройство умножения 258 умножает на -1 выходной сигнал выходной суммы, полученный от сумматора 254, результат должен использоваться в качестве второго входного сигнала управляемого коммутатора 260. Интегратор 264 накапливает выходные

сигналы управляемого коммутатора 260 совместно с величиной цифровой суммы ранее записанных I-NRZI кодов, энергия результата накопления интегратором 264 определителя путем возведения в квадрат, а результат используется в сети взвешенного суммирования 222.

Если сигнал управления синхронизацией/обработкой удовлетворяет тому условию, что указывает, что настоящие входные данные не являются ни данными синхронизации, ни данными обработки, то управляемый коммутатор 260 выбирает разности, передаваемые от сумматора 254 для использования в интеграторе 274, и дальнейшая работа осуществляется аналогично описанному для фиг. 16. Если сигнал управления синхронизацией/обработкой в предыдущих входных данных является либо данными синхронизации, либо данными обработки, то управляемый коммутатор 260 выбирает выходной сигнал устройства умножения 258 для использования в интеграторе 264. Интегратор 264 интегрирует ЕДИНИЦЫ, являющиеся дополнениями сигнала, интегрируемого интегратором 262.

Другие альтернативные исполнения настоящего изобретения, дополнительно к тем, которые были описаны ранее, станут очевидными для лиц, знакомых с областью науки, связанной с проектированием цифровых записывающих устройств и знакомых с настоящим описанием; и желательно, чтобы такие альтернативные исполнения были рассмотрены в свете прилагаемых к этому изобретению формул изобретения. В качестве специфического примера, генератор треугольной волны 136 на фиг. 16 может быть заменен генератором треугольной волны, генерирующим сопряженную треугольную волну по отношению к той, которая генерируется генератором 136, а устройства вычитания 134 и 138 могут быть заменены соответствующими сумматорами без изменения порядка работы. В качестве дальнейшего специфического примера, генераторы прямоугольных волн 178 и 184 фиг. 16 могут быть заменены генераторами прямоугольных волн, которые генерируют сопряженные прямоугольные волны по отношению к прямоугольным волнам, которые генерируются генераторами 178 и 184, а устройства вычитания 176, 182, 200 и 204 могут быть заменены соответствующими сумматорами без изменения порядка работы. Способы оценки энергий отклонений на основании их абсолютных величин вместо того, чтобы возводить в квадрат отклонения, известны проектировщикам цифровой аппаратуры, а цепи, использующие такие способы, эквивалентны цепи возведения в квадрат, показанной на фиг. 16. Одиночный предварительный кодер генерирует "отрицательный" информационный NRZI код вместо генерирования "положительного" информационного NRZI кода в альтернативных исполнениях настоящего изобретения; а также сделаны соответствующие изменения в генераторе управления.

Формула изобретения:

1. Устройство записи цифрового сигнала, использующее для записи перемежающуюся,

без возврата к нулю, с инверсией на единицах модуляцию, содержащее порт ввода для приема информационных слов с n -параллельными битами, n является четным положительным целым; предварительный кодер для перемещающегося, без возврата к нулю, с инверсией на единицах кодирования информационных слов с $(n + 1)$ -параллельными битами, которые формируются путем ввода бита управления с заранее определенной величиной в каждое информационное слово с n -параллельными битами, предварительный кодер предназначен для создания первого из двух типов $(n + 1)$ -битовых слов канал раньше второго из двух типов $(n + 1)$ -битовых слов канала, которое вырабатывается, когда бит управления имеет противоположную битовую величину, сопряженную с величиной заранее определенного бита, предварительный кодер инициализируется в соответствии с первым сигналом управления; мультиплексор с временным разделением для выделения каждого слова канала с $(n + 1)$ -параллельными битами, передаваемого от предварительного кодера в первую группу битов, биты которой должны быть преобразованы в дополнительные там, где заранее определенная битовая величина бита управления будет сопряженной по отношению к заранее определенной битовой величине, и во вторую битовую группу, биты которой должны оставаться неизменными, когда заранее определенная битовая величина бита управления будет сопряженной по отношению к заранее определенной битовой величине, для передачи первой и второй группы битов совместно; первый преобразователь для генерации первого сигнала последовательных битов путем преобразования каждого слова канала с $(n + 1)$ -параллельными битами первого типа, передаваемого от предварительного кодера в слово канала с $(n + 1)$ -последовательными битами первого типа; второй преобразователь для генерации второго сигнала с последовательными битами путем преобразования в дополнительные только битов из первой группы битов в слове канала с $(n + 1)$ -параллельными битами, передаваемого от предварительного кодера, и затем преобразования результирующего слова канала с $(n + 1)$ -параллельными битами второго типа в слово канала с $(n + 1)$ -последовательными битами второго типа; устройство записи на параллельных дорожках среды записи перемежающейся, без возврата к нулю, с инверсией на единицах модуляции в соответствии с перемежающимися, без возврата к нулю, с инверсией на единицах кодом, который генерируется путем выбора выходного сигнала одного из упомянутых преобразователей и выходного сигнала второго преобразователя, выбор должен осуществляться в ответ на второй сигнал управления, а также генератор сигнала управления, чувствительный к первым и вторым группам битов, совместно передаваемых мультиплексором с временным разделением, для генерирования первых и вторых сигналов управления, отличающееся тем, что первые и вторые сигналы управления генерируются так, чтобы указывать, какие из первых и вторых сигналов

последовательных битов должны быть выбраны для включения в перемежающийся, без возврата к нулю, с инверсией на единицах код для того, чтобы минимизировать отклонение перемежающейся, без возврата к нулю, с инверсией на единицах модуляции от спектральной характеристики, предписанной одной из дорожек, на которых ведется запись в текущий момент.

2. Устройство записи цифрового сигнала по п.1, отличающееся тем, что предварительный кодер является 2Т предварительным кодером для перемежающегося, без возврата к нулю, с инверсией на единицах кодирования $(n + 1)$ -битовых информационных слов, формируемых путем присоединения бита управления с заранее определенной битовой величиной к каждому информационному слову с n -параллельными битами в качестве соответствующего префиксного бита.

3. Устройство записи цифрового сигнала по п.2, отличающееся тем, что $(n + 1)$ -битовые информационные слова формируются путем присоединения соответствующего нулевого префиксного бита к каждому информационному слову с n -параллельными битами.

4. Устройство записи цифрового сигнала по п.2, отличающееся тем, что мультиплексор с временным разделением содержит третий преобразователь для преобразования первой группы битов после выбора слова канала с $(n + 1)$ -параллельными битами упомянутого первого типа, передаваемого от предварительного кодера, в нечетные слова канала с последовательными битами и четвертый преобразователь для преобразования второй группы битов, выбранных в качестве слова канала с $(n + 1)$ -параллельными битами первого типа, передаваемого от предварительного кодера, в нечетные слова канала с последовательными битами.

5. Устройство записи цифровых сигналов по п.2, отличающееся тем, что генератор сигнала управления содержит цепь для генерации первого и второго сигнала управления, которая действует в зависимости от того, превысил ли второй сигнал ошибки сигнал первой ошибки по амплитуде или нет; первую цепь для аддитивного объединения единичных параметров, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, с другими одиночными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами, совместно передаваемого от мультиплексора с временным разделением, для генерации первых результатов объединения; первый интегратор для интегрирования первых результатов объединения совместно с исходной величиной интегрирования интегратора, для генерирования первого выходного сигнала интегратора, который равен величине первой цифровой суммы обработки, которая должна быть получена, если слово канала первого типа было выбрано следующим для записи; вторую цепь для дифференцированного объединения единичных параметров, полярности которых определяются битами

каждого нечетного слова канала, передаваемого от мультиплексора с временным разделением, с другими единичными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами, совместно передаваемого от мультиплексора с временным разделением, для генерации вторых результатов объединения; второй интегратор для интегрирования вторых результатов объединения совместно с исходной величиной интегрирования второго интегратора, чтобы таким образом генерировать выходной сигнал второго интегратора, равный величине второй цифровой суммы обработки, которая будет получена, если слово канала второго типа будет выбрано следующим для записи, исходные величины первого и второго интеграторов остаются теми же и равны одному из выходных сигналов первого и второго интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии любого отклонения первой цифровой суммы обработки от предписанной величины цифровой суммы обработки для одной из дорожек, которые записываются в текущий момент, результат вычисления энергии любого отклонения первой цифровой суммы обработки включается в первый сигнал ошибки, и цепь для вычисления энергии любого отклонения второй цифровой суммы от предписанной величины цифровой суммы обработки для одной из дорожек, которые записываются в текущий момент, результат вычисления энергии любого отклонения второй цифровой суммы включается во второй сигнал ошибки.

6. Устройство для записи цифрового сигнала по п.5, отличающееся тем, что генератор сигнала управления дополнительно содержит цепь для генерации треугольной волны предписанной первой частоты в качестве величины цифровой суммы обработки, когда каждая из первого набора дорожек записывается.

7. Устройство для записи цифрового сигнала по п.6, отличающееся тем, что генератор сигнала управления дополнительно содержит цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции синусоидальной волны второй частоты и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для регенерации первого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны второй частоты и перемножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации второго потока произведений; третью цепь аддитивного объединения первого и второго потоков произведений для генерации третьих

результатов объединения; третий интегратор для интегрирования третьих результатов объединения совместно с исходной величиной интегрирования третьего интегратора так, чтобы сгенерировать выходной сигнал третьего интегратора; цепь для вычисления энергии выходного сигнала третьего интегратора, результат вычисления энергии выходного сигнала третьего интегратора включается в первый сигнал ошибки; четвертую цепь объединения для дифференцированного объединения первого и второго потоков произведений для генерации четвертых результатов объединения; четвертый интегратор для интегрирования четвертых результатов объединения совместно с исходной величиной интегрирования четвертого интегратора так, чтобы сгенерировать выходной сигнал четвертого интегратора, третья и четвертая исходные величины интегрирования остаются теми же и равными одному из выходных сигналов упомянутого третьего и четвертого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала четвертого интегратора, результат вычисления энергии выходного сигнала четвертого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны второй частоты и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для регенерации третьего потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны второй частоты и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации четвертого потока произведений; пятую цепь аддитивного объединения третьего и четвертого потоков произведений для генерации пятых результатов объединения; пятый интегратор для интегрирования пятых результатов объединения совместно с исходной величиной интегрирования пятого интегратора так, чтобы сгенерировать выходной сигнал пятого интегратора; цепь для вычисления энергии выходного сигнала пятого интегратора, результат вычисления энергии выходного сигнала пятого интегратора включается в первый сигнал ошибки; шестую цепь объединения для дифференцированного объединения третьего и второго потоков произведений для генерации шестых результатов объединения; шестой интегратор для интегрирования шестых результатов объединения совместно с исходной величиной интегрирования шестого интегратора так, чтобы сгенерировать выходной сигнал шестого интегратора, исходные величины интегрирования пятого и шестого

интеграторов остаются теми же и равными одному из выходных сигналов пятого и шестого интеграторов для слова канала, ранее выбранного для записи, и цепь для вычисления энергии выходного сигнала шестого интегратора, результат вычисления энергии выходного сигнала шестого интегратора включается во второй сигнал ошибки.

8. Устройство записи цифрового сигнала по п.7, отличающееся тем, что генератор сигнала управления дополнительно содержит цепь генерации встречающихся четным образом последующих образцов системной функции прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации первого потока сомножителей; цепь для генерации встречающихся нечетным образом последующих образцов системной функции прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации второго потока сомножителей; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей для генерации пятого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей для генерации шестого потока произведений; седьмую цепь аддитивного объединения пятого и шестого потоков произведений для генерации седьмых результатов объединения; седьмой интегратор для интегрирования седьмых результатов объединения совместно с исходной величиной интегрирования седьмого интегратора так, чтобы сгенерировать выходной сигнал седьмого интегратора; цепь для вычисления энергии выходного сигнала седьмого интегратора, результат вычисления энергии выходного сигнала седьмого интегратора включается в упомянутый первый сигнал ошибки; восьмую цепь для дифференцированного объединения пятых и шестых потоков произведений для генерации восьмых результатов объединения; восьмой интегратор для интегрирования восьмых результатов объединения совместно с исходной величиной интегрирования восьмого интегратора так, чтобы сгенерировать выходной сигнал восьмого интегратора, исходные величины седьмого и восьмого интеграторов остаются теми же и равными одного из выходных сигналов седьмого и восьмого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала

восьмого интегратора, результат вычисления энергии выходного сигнала восьмого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей для генерации седьмого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей для генерации восьмого потока произведений; девятую цепь аддитивного объединения седьмого и восьмого потоков произведений для генерации девятых результатов объединения; девятый интегратор для интегрирования девятых результатов объединения совместно с исходной величиной интегрирования девятого интегратора так, чтобы генерировать выходной сигнал девятого интегратора; цепь для вычисления энергии выходного сигнала девятого интегратора, причем результат вычисления энергии выходного сигнала девятого интегратора включается в первый сигнал ошибки; десятую цепь для дифференцированного объединения седьмого и восьмого потоков произведений для генерации десятых результатов объединения; десятый интегратор для интегрирования десятых результатов объединения совместно с исходной величиной интегрирования десятого интегратора так, чтобы сгенерировать выходной сигнал десятого интегратора, девятые и десятые исходные величины интегрирования остаются теми же и равными одному из выходных сигналов девятого и десятого интеграторов для слова канала, ранее выбранного для записи, и цепь для вычисления энергии выходного сигнала десятого интегратора, результат вычисления энергии выходного сигнала десятого интегратора включается во второй сигнал ошибки.

9. Устройство записи цифрового сигнала по п.6, отличающееся тем, что генератор сигнала управления дополнительно содержит цепь для генерации встречающихся четным образом последующих образцов системной функции прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации первого потока сомножителей; цепь для генерации встречающихся нечетным образом последующих образцов системной функции прямоугольной волны первой частоты и объединяющую их с соответствующими единичными параметрами, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для регенерации второго потока сомножителей; цепь для генерации встречающихся четным образом

последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей для генерации первого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны первой частоты и умножающую их на соответствующие образцы первого потока сомножителей для генерации второго потока произведений; третью цепь аддитивного объединения первого и второго потоков произведений для генерации третьих результатов объединения; третий интегратор для интегрирования третьих результатов объединения совместно с исходной величиной интегрирования третьего интегратора так, чтобы сгенерировать выходной сигнал третьего интегратора; цепь для вычисления энергии выходного сигнала третьего интегратора, результат вычисления энергии выходного сигнала третьего интегратора включается в первый сигнал ошибки; четвертую цепь для дифференцированного объединения первых и вторых потоков произведений для генерации четвертых результатов объединения; четвертый интегратор для интегрирования четвертых результатов объединения совместно с исходной величиной интегрирования четвертого интегратора, чтобы сгенерировать выходной сигнал четвертого интегратора, третья и четвертая исходные величины интегрирования остаются теми же и равными одному из выходных сигналов третьего и четвертого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала четвертого интегратора, результат вычисления энергии выходного сигнала четвертого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей для генерации третьего потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны первой частоты и умножающую их на соответствующие образцы второго потока сомножителей для генерации четвертого потока произведений; пятую цепь аддитивного объединения третьего и четвертого потоков произведений для генерации пятых результатов объединением; пятый интегратор для интегрирования пятых результатов объединения совместно с исходной величиной интегрирования пятого интегратора так, чтобы сгенерировать выходной сигнал пятого интегратора; цепь для вычисления энергии выходного сигнала пятого интегратора, результат вычисления энергии выходного сигнала пятого интегратора включается в первый сигнал ошибки; шестую цепь для дифференцированного объединения третьего и четвертого потоков произведений для генерации шестых результатов объединения;

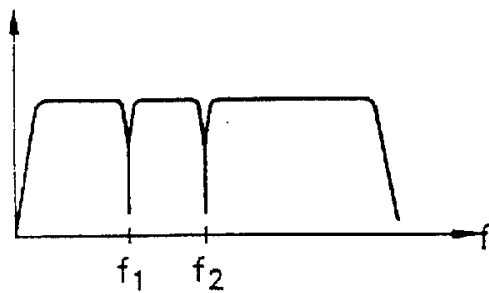
шестой интегратор для интегрирования шестых результатов объединения совместно с исходной величиной интегрирования шестого интегратора, чтобы сгенерировать выходной сигнал шестого интегратора, пятые и шестые исходные величины интегрирования остаются теми же и равными одному из выходных сигналов пятого и шестого интеграторов для слова канала, ранее выбранного для записи, и цепь для вычисления энергии выходного сигнала шестого интегратора, результат вычисления энергии выходного сигнала шестого интегратора включается во второй сигнал ошибки.

10. Устройство записи цифрового сигнала по п.5, отличающееся тем, что генератор сигнала управления дополнительно содержит цепь для генерации первого и второго сигналов управления, которые генерируются в зависимости от того, был ли первый сигнал ошибки превышен по амплитуде вторым сигналом ошибки или нет; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции синусоидальной волны с частотой, имеющей минимальное значение и умножающей их на соответствующие единичные параметры, полярности которых определяются битами каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации первого потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции синусоидальной волны с частотой, имеющей минимальное значение и умножающей их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации второго потока произведений; третью цепь для аддитивного объединения первого и второго потоков произведения для генерации третьих результатов объединения; третий интегратор для интегрирования третьих результатов объединения совместно с исходной величиной интегрирования третьего интегратора так, чтобы сгенерировать выходной сигнал третьего интегратора; цепь для вычисления энергии выходного сигнала третьего интегратора, результат вычисления энергии выходного сигнала третьего интегратора включается в первый сигнал ошибки; четвертую цепь для дифференцированного объединения первого и второго потоков произведений для генерации четвертых результатов объединения; четвертый интегратор для интегрирования четвертых результатов объединения совместно с исходной величиной интегрирования четвертого интегратора, чтобы сгенерировать выходной сигнал четвертого интегратора, третьи и четвертые исходные величины интегрирования остаются теми же и равными одному из выходных сигналов третьего и четвертого интеграторов для слова канала, ранее выбранного для записи; цепь для вычисления энергии выходного сигнала

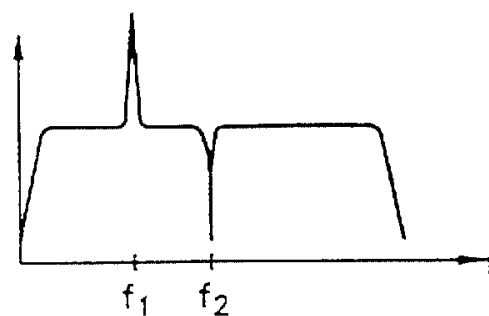
четвертого интегратора, причем результат вычисления энергии выходного сигнала четвертого интегратора включается во второй сигнал ошибки; цепь для генерации встречающихся четным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны частоты с минимальным значением и умножающую их на соответствующие единичные параметры, полярности которых определяются битами, каждого четного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации третьего потока произведений; цепь для генерации встречающихся нечетным образом последующих образцов дискретизированных данных системной функции косинусоидальной волны частоты с минимальным значением и умножающую их на соответствующие единичные параметры, полярности которых определяются битами каждого нечетного слова канала с последовательными битами, передаваемого от мультиплексора с временным разделением, для генерации четвертого потока произведений; пятую цепь аддитивного объединения третьего и четвертого потоков произведений для генерации пятых результатов объединения; пятый интегратор для интегрирования пятых результатов объединения совместно с исходной величиной интегрирования пятого интегратора так, чтобы сгенерировать выходной сигнал пятого интегратора; цепь для вычисления энергии выходного сигнала пятого интегратора, результат вычисления энергии выходного сигнала пятого интегратора включается в первый сигнал ошибки; шестую цепь для

дифференцированного объединения третьего и четвертого потоков произведений для генерации шестых результатов объединения; шестой интегратор для интегрирования шестых результатов объединения совместно с исходной величиной интегрирования шестого интегратора, чтобы сгенерировать выходной сигнал шестого интегратора, пятое и шестые исходные величины интегрирования остаются теми же и равными выходному сигналу одного из пятого и шестого интеграторов для слова канала, ранее выбранного для записи, и цепь для вычисления энергии выходного сигнала шестого интегратора, причем результат вычисления энергии выходного сигнала шестого интегратора включается во второй сигнал ошибки.

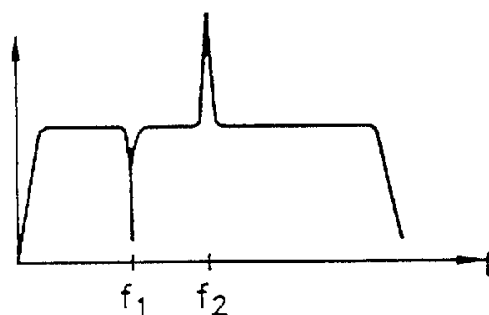
11. Устройство записи цифрового сигнала по п.1, отличающееся тем, что каждая из параллельных дорожек среды записи имеет исходную вторую часть дорожки, куда записывается предварительная информация, имеет последующую первую часть дорожки, где записывается видеоинформация, имеет последующую четвертую часть дорожки, где записывается информация обработки, имеет конечную пятую часть дорожки, где записывается дополнительная информация, данные синхронизации записываются в начало соответствующих строк первой и третьей частей дорожек, куда записывается видео- и аудиоинформация, упомянутая информация обработки записывается в четвертую часть дорожки для управления схемой фазовой автоподстройки, используемой для определения бита в течение воспроизведения из среды записи.



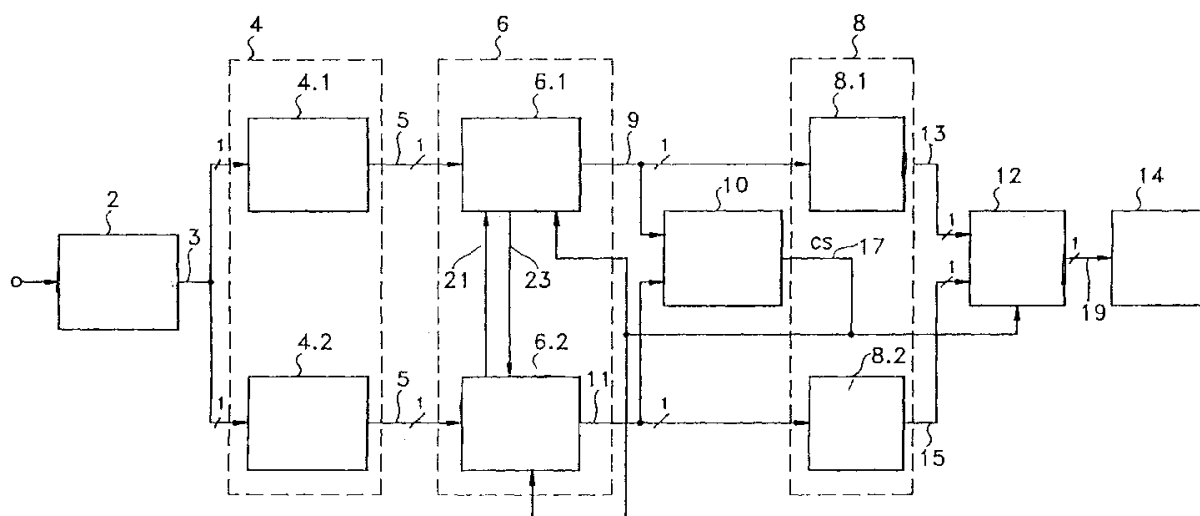
Фиг.2А



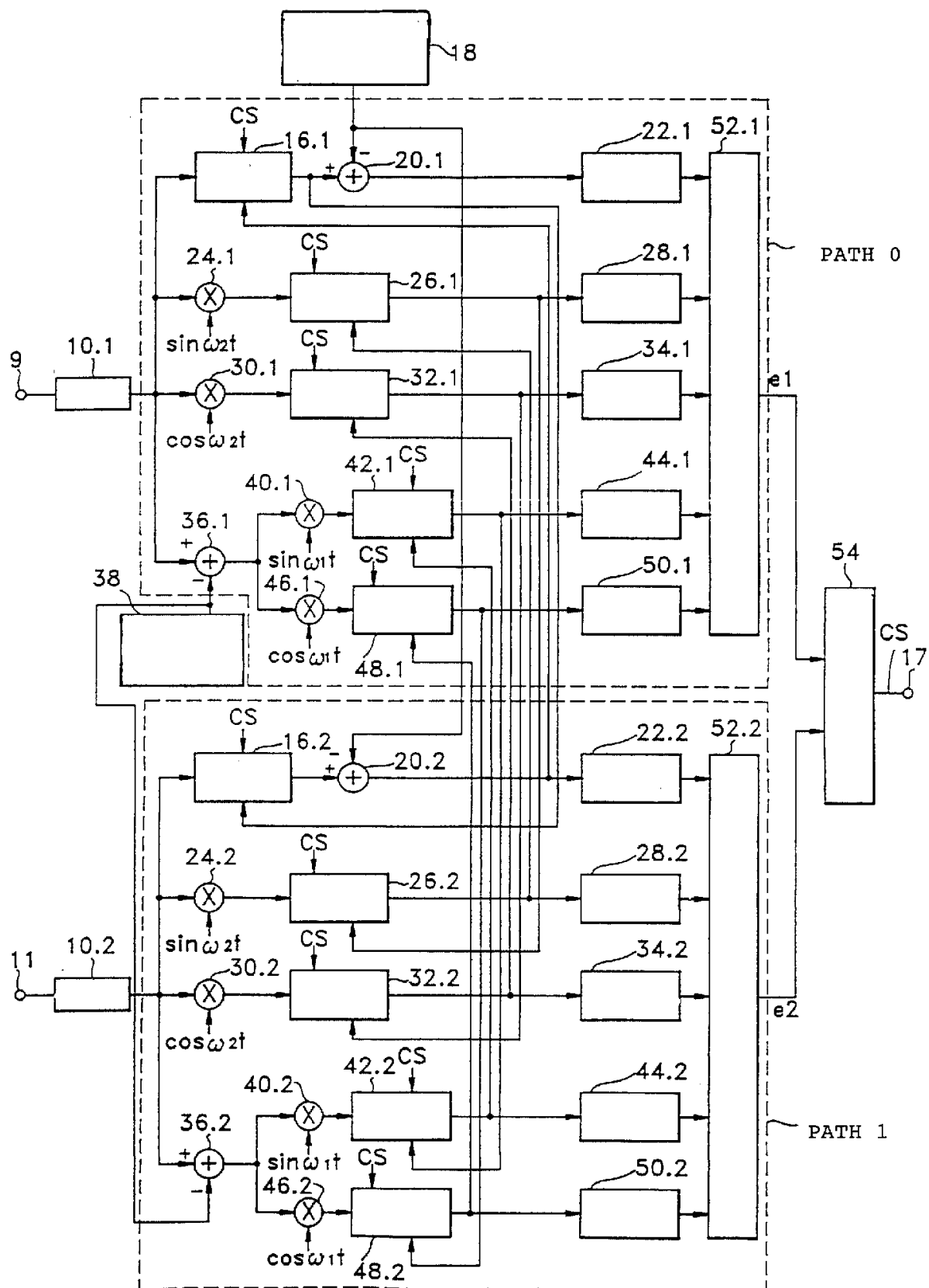
Фиг.2В



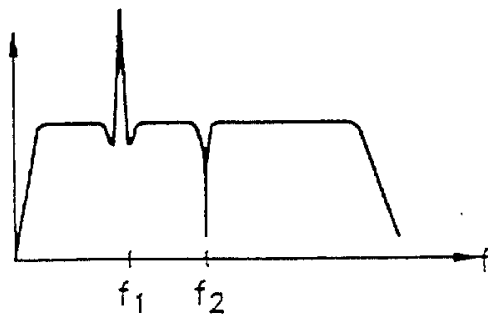
Фиг.2С



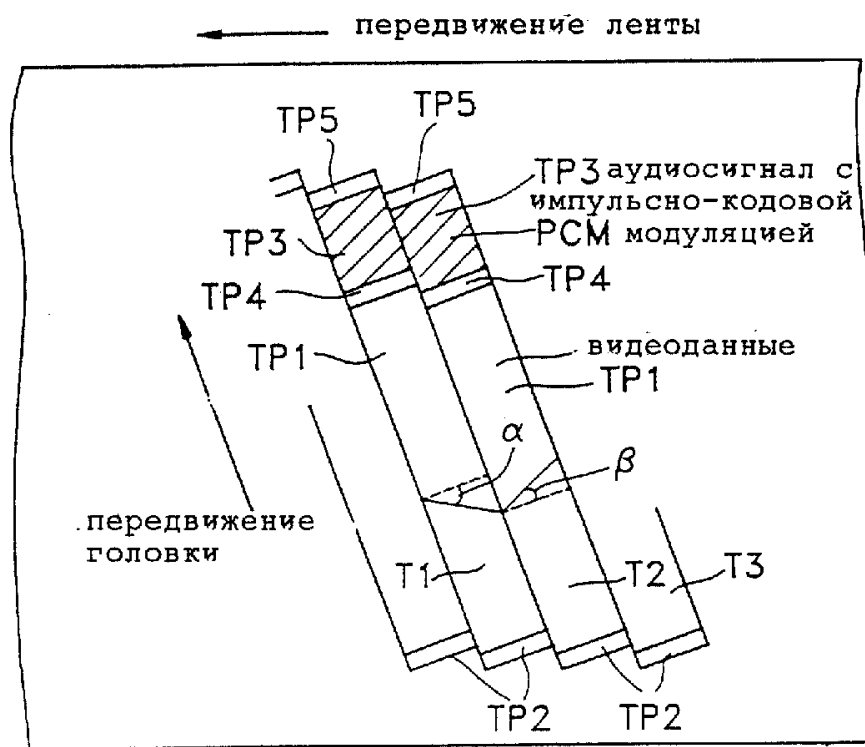
Фиг.3



Фиг.4



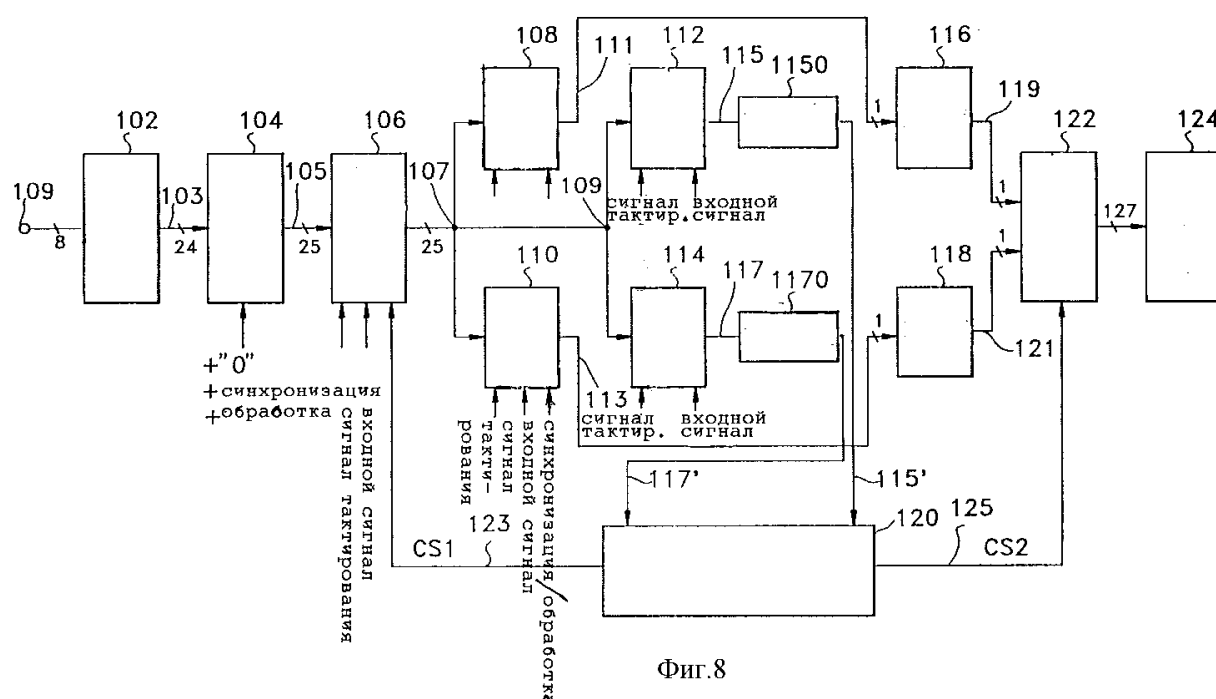
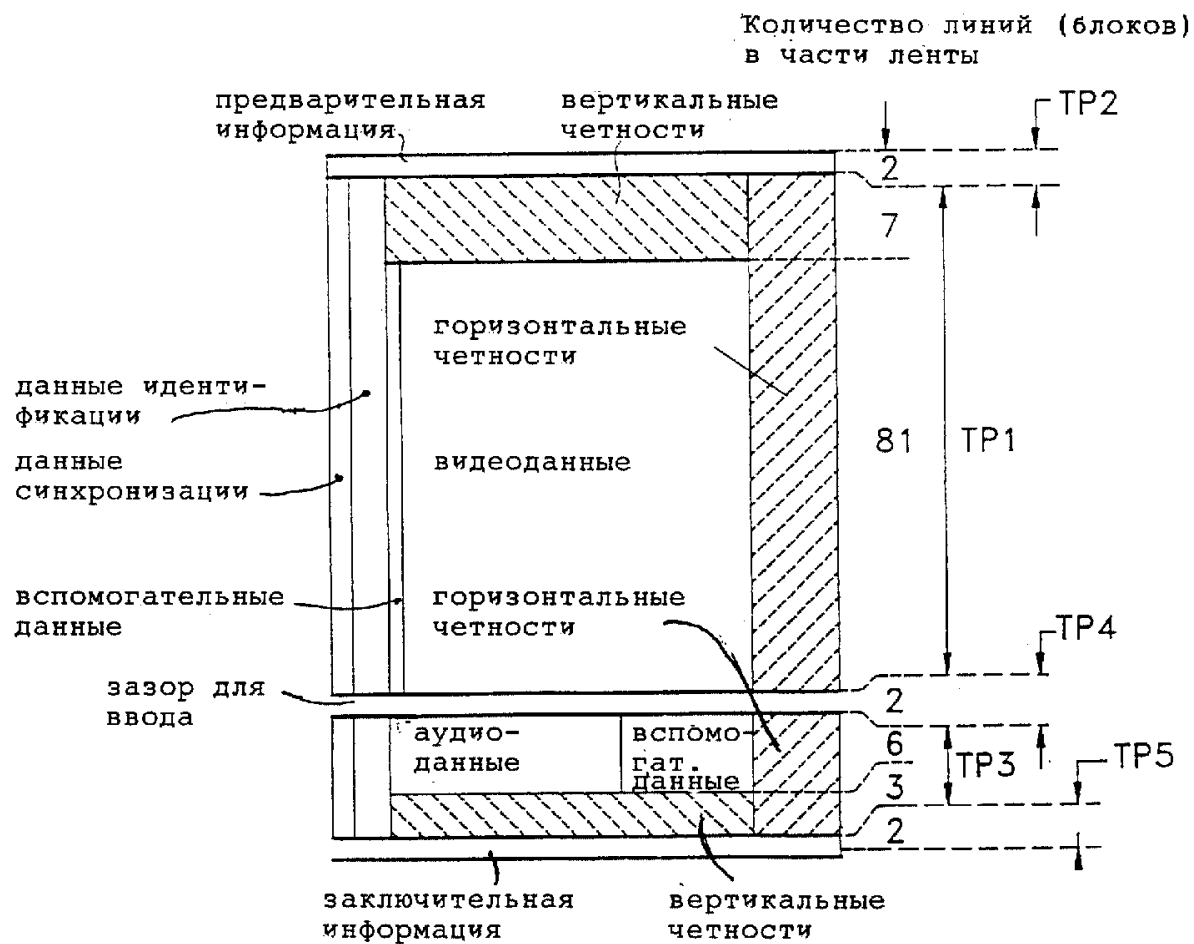
Фиг.5

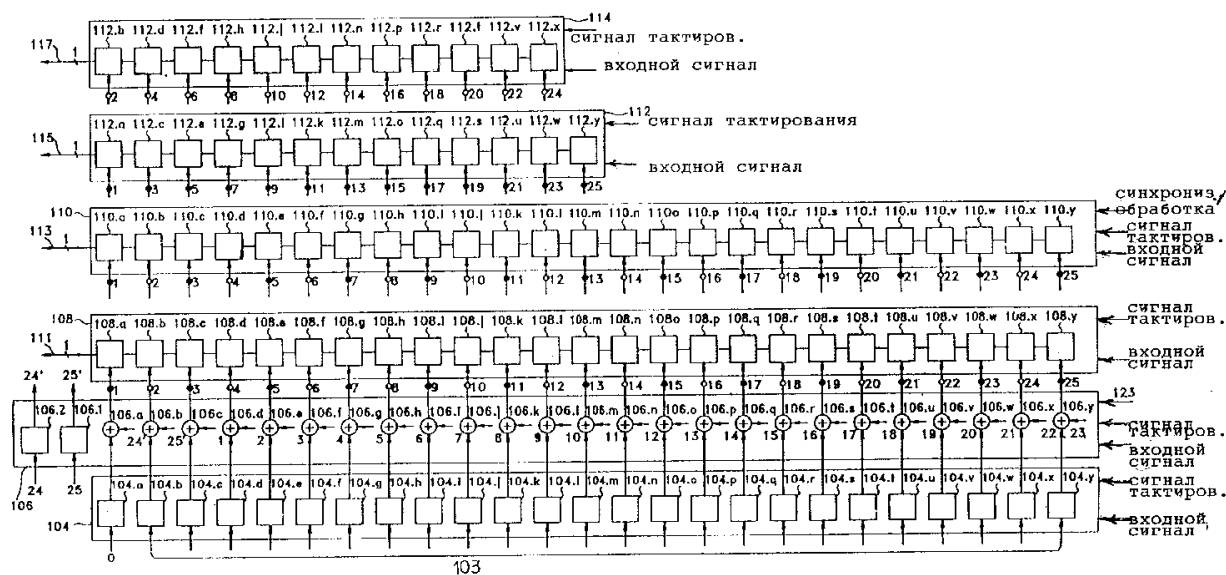


Фиг.6

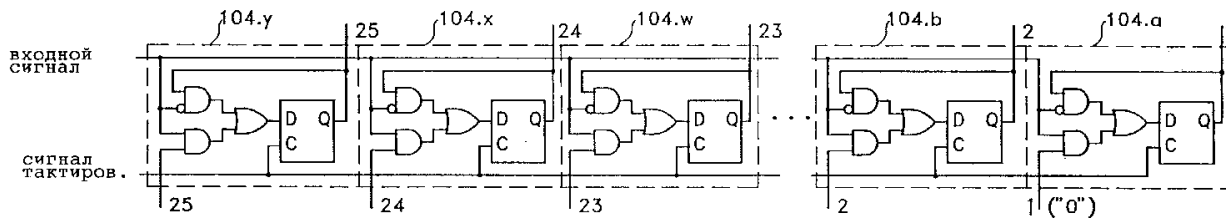
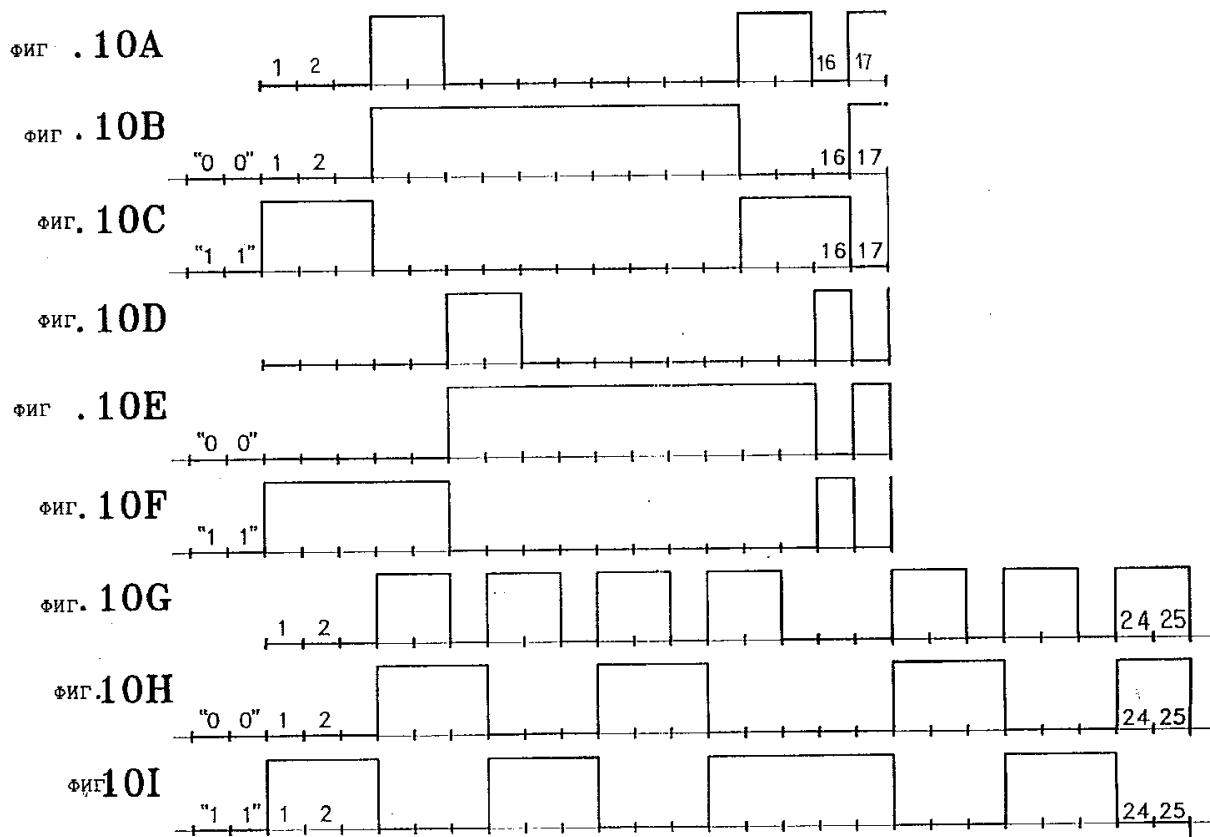
RU 2155388 C2

RU 2155388 C2

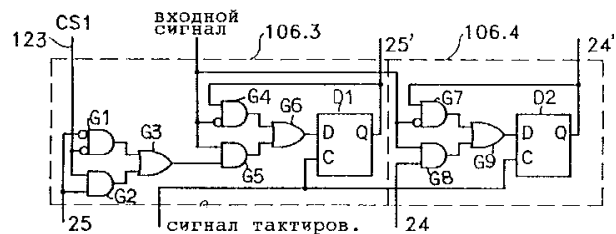




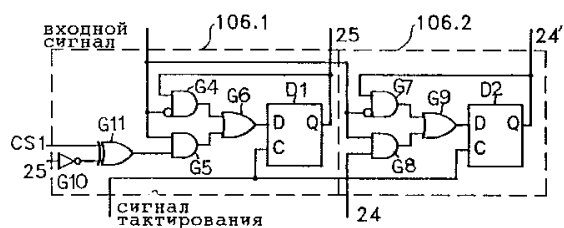
Фиг.9



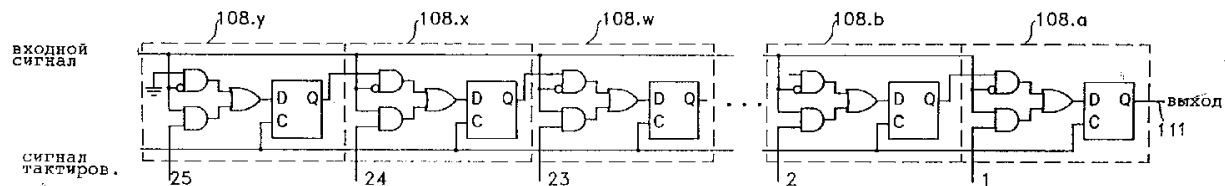
Фиг.11



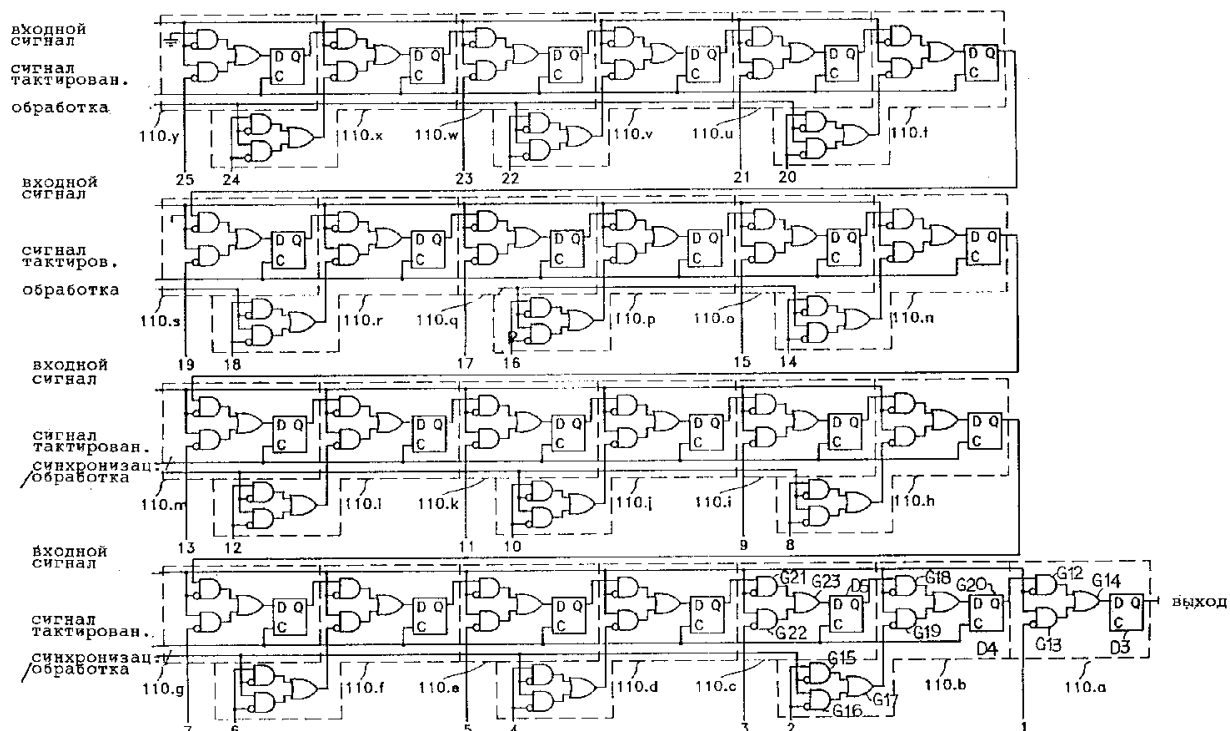
Фиг.12А



Фиг.12В

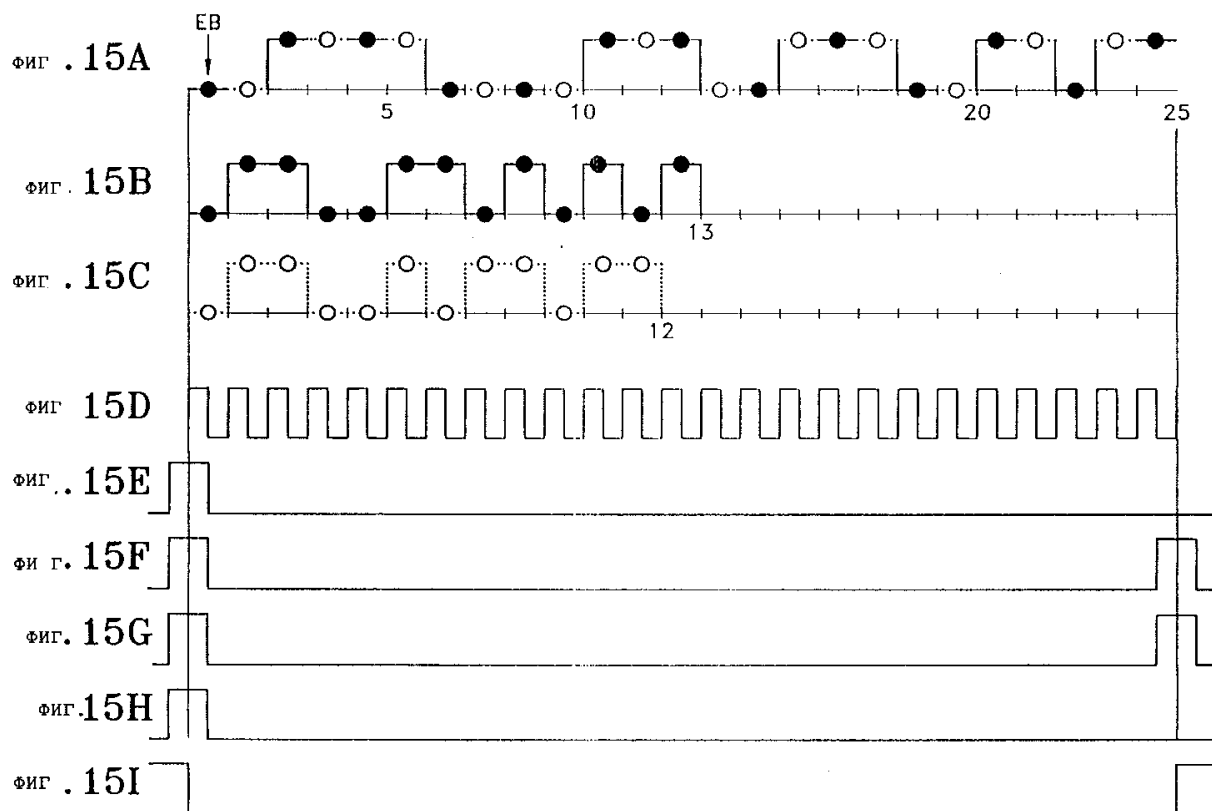


Фиг.13

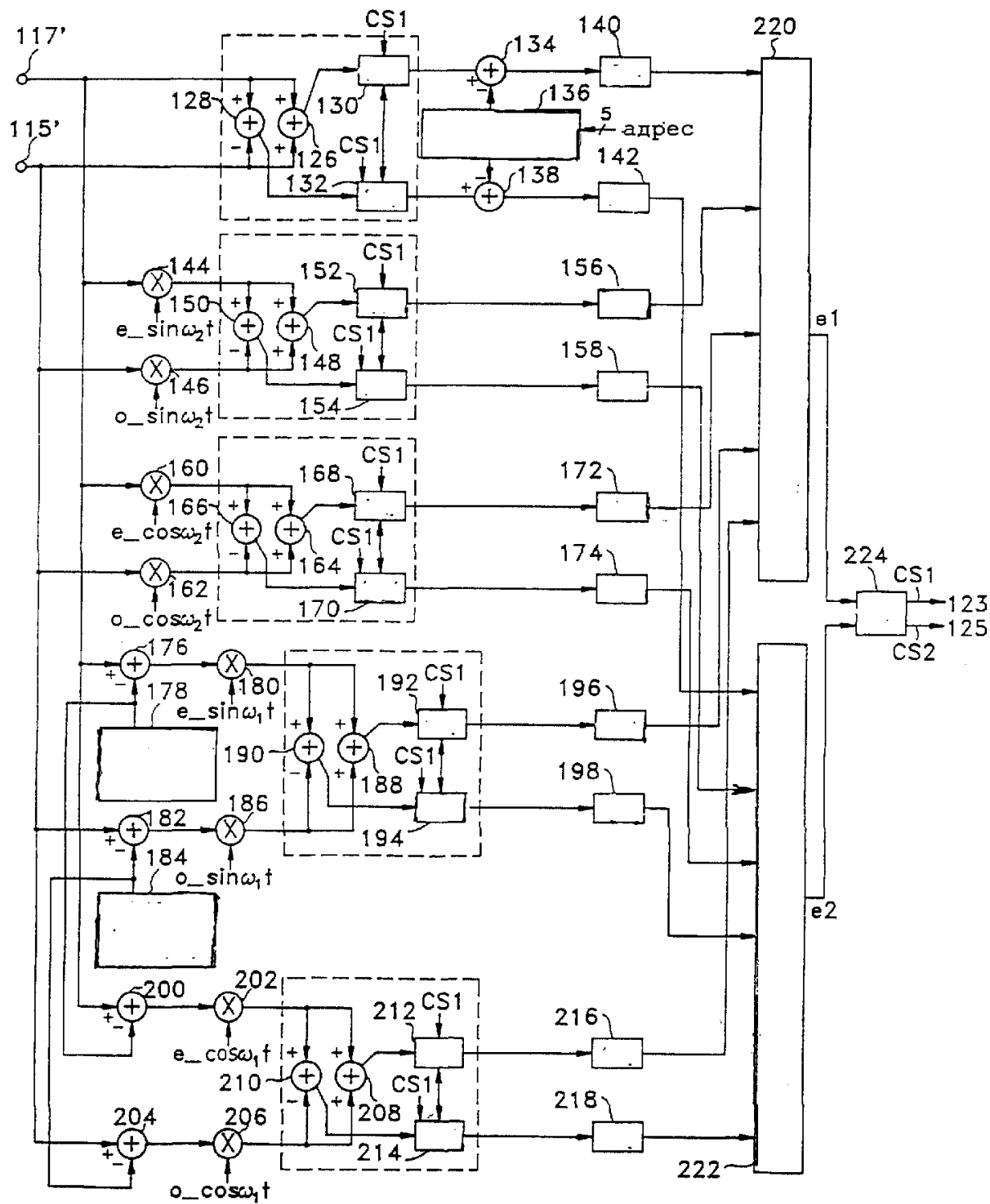


Фиг.14

RU 2155388 C2

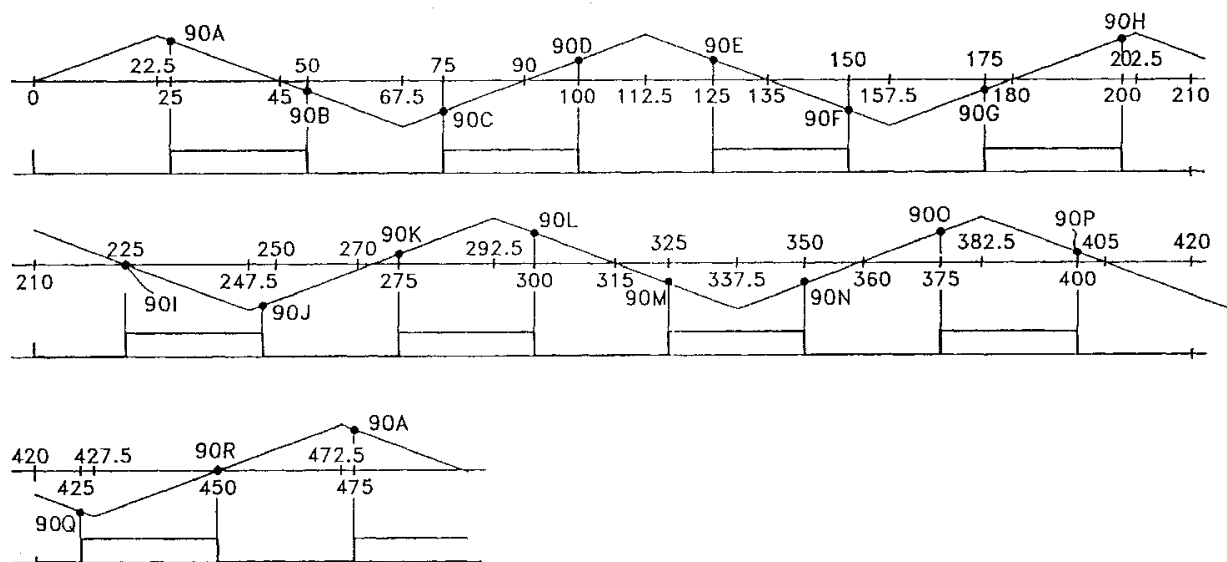


RU 2155388 C2



Фиг.16

RU 2155388 C2

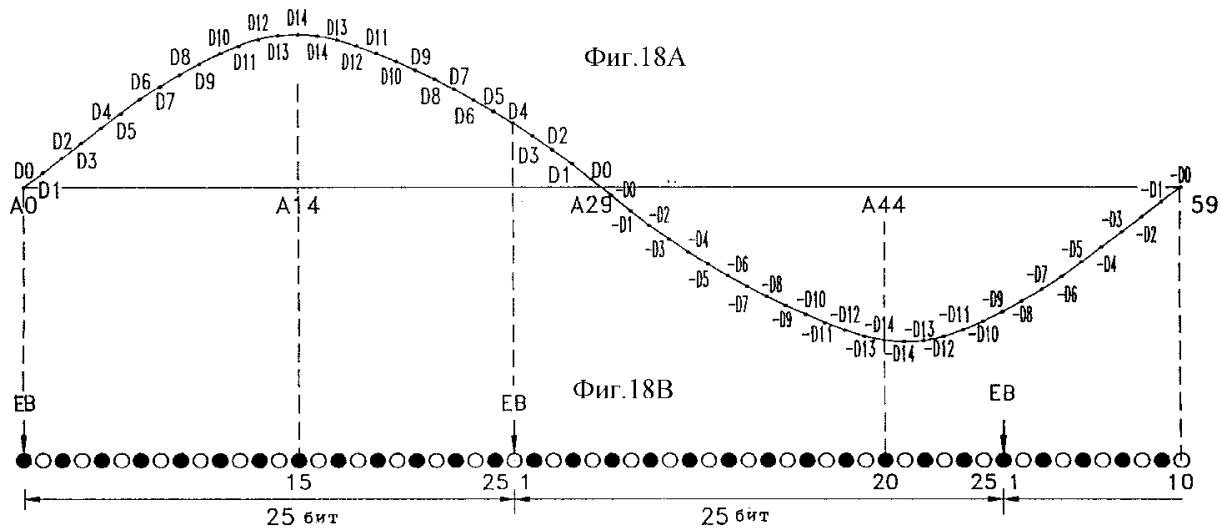


Фиг.17А

RU 2155388 C2

адрес		данные
0	00000	90A
1	00001	90B
2	00010	90C
3	00011	90D
4	00100	90E
5	00101	90F
6	00110	90G
7	00111	90H
8	01000	90I
9	01001	90J
10	01010	90K
11	01011	90L
12	01100	90M
13	01101	90N
14	01110	90O
15	01111	90Q
16	10000	90R

Фиг.17В



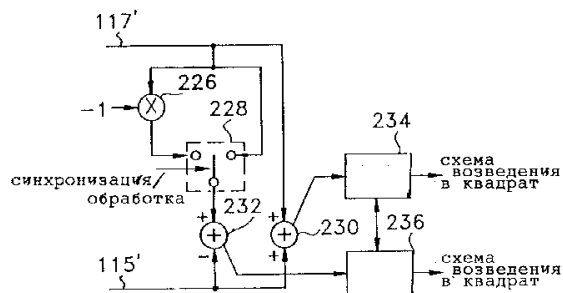
Фиг.18С

	адрес	данные	адрес	данные	адрес	данные	адрес	данные
0	00,0000,0000	D0	25	00,0001,1001	D4	50	00,0011,0010	-D9
1	00,0000,0001	D2	26	00,0001,1010	D2	51	00,0011,0011	-D7
2	00,0000,0010	D4	27	00,0001,1011	D0	52	00,0011,0100	-D5
3	00,0000,0011	D6	28	00,0001,1100	-D1	53	00,0011,0101	-D3
4	00,0000,0100	D8	29	00,0001,1101	-D3	54	00,0011,0110	-D1
5	00,0000,0101	D10	30	00,0001,1110	-D5	55	00,0011,0111	D0
6	00,0000,0110	D12	31	00,0001,1111	-D7	56	00,0011,1000	D2
7	00,0000,0111	D14	32	00,0010,0000	-D9	57	00,0011,1001	D4
8	00,0000,1000	D13	33	00,0010,0001	-D11	58	00,0011,1010	D6
9	00,0000,1001	D11	34	00,0010,0010	-D13	59	00,0011,1011	D8
10	00,0000,1010	D9	35	00,0010,0011	-D14	60	00,0011,1100	D10
11	00,0000,1011	D7	36	00,0010,0100	-D12	61	00,0011,1101	D12
12	00,0000,1100	D5	37	00,0010,0101	-D10	62	00,0011,1110	D14
13	00,0000,1101	0	38	00,0010,0110	0	63	00,0011,1111	0
14	00,0000,1110	0	39	00,0010,0111	0	64	00,0100,0000	0
15	00,0000,1111	0	40	00,0010,1000	0	65	00,0100,0001	0
16	00,0001,0000	0	41	00,0010,1001	0	66	00,0100,0010	0
17	00,0001,0001	0	42	00,0010,1010	0	67	00,0100,0011	0
18	00,0001,0010	0	43	00,0010,1011	0	68	00,0100,0100	0
19	00,0001,0011	0	44	00,0010,1100	0	69	00,0100,0101	0
20	00,0001,0100	0	45	00,0010,1101	0	70	00,0100,0110	0
21	00,0001,0101	0	46	00,0010,1110	0	71	00,0100,0111	0
22	00,0001,0110	0	47	00,0010,1111	0	72	00,0100,1000	0
23	00,0001,0111	0	48	00,0011,0000	0	73	00,0100,1001	0
24	00,0001,1000	0	49	00,0011,0001	0	74	00,0100,1010	0
						588	10,0100,1100	0
						589	10,0100,1101	0
						590	10,0100,1110	0
						591	10,0100,1111	0
						592	10,0101,0000	0
						593	10,0101,0001	0
						594	10,0101,0010	0
						595	10,0101,0011	0
						596	10,0101,0100	0
						597	10,0101,0101	0
						598	10,0101,0110	0
						599	10,0101,0111	0

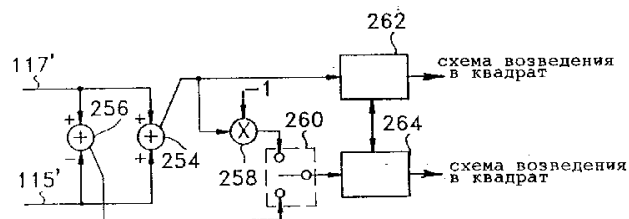
Фиг.19А

	адрес	данные		адрес	данные		адрес	данные		адрес	данные
0	00,0000,0000	D1	25	00,0001,1001	D3	50	00,0011,0010	-D8			
1	00,0000,0001	D3	26	00,0001,1010	D1	51	00,0011,0011	-D6			
2	00,0000,0010	D5	27	00,0001,1011	-D0	52	00,0011,0100	-D4			
3	00,0000,0011	D7	28	00,0001,1100	-D2	53	00,0011,0101	-D2			
4	00,0000,0100	D9	29	00,0001,1101	-D4	54	00,0011,0110	-D0			
5	00,0000,0101	D11	30	00,0001,1110	-D6	55	00,0011,0111	D1	•	•	•
6	00,0000,0110	D13	31	00,0001,1111	-D8	56	00,0011,1000	D3	•	•	•
7	00,0000,0111	D14	32	00,0010,0000	-D10	57	00,0011,1001	D5	•	•	•
8	00,0000,1000	D12	33	00,0010,0001	-D12	58	00,0011,1010	D7			
9	00,0000,1001	D10	34	00,0010,0010	-D14	59	00,0011,1011	D9			
10	00,0000,1010	D8	35	00,0010,0011	-D13	60	00,0011,1100	D11			
11	00,0000,1011	D6	36	00,0010,0100	-D11	61	00,0011,1101	D13			
12	00,0000,1100	0	37	00,0010,0101	0	62	00,0011,1110	0			
13	00,0000,1101	0	38	00,0010,0110	0	63	00,0011,1111	0	588	10,0100,1100	0
14	00,0000,1110	0	39	00,0010,0111	0	64	00,0100,0000	0	589	10,0100,1101	0
15	00,0000,1111	0	40	00,0010,1000	0	65	00,0100,0001	0	590	10,0100,1110	0
16	00,0001,0000	0	41	00,0010,1001	0	66	00,0100,0010	0	591	10,0100,1111	0
17	00,0001,0001	0	42	00,0010,1010	0	67	00,0100,0011	0	592	10,0101,0000	0
18	00,0001,0010	0	43	00,0010,1011	0	68	00,0100,0100	0	593	10,0101,0001	0
19	00,0001,0011	0	44	00,0010,1100	0	69	00,0100,0101	0	594	10,0101,0010	0
20	00,0001,0100	0	45	00,0010,1101	0	70	00,0100,0110	0	595	10,0101,0011	0
21	00,0001,0101	0	46	00,0010,1110	0	71	00,0100,0111	0	596	10,0101,0100	0
22	00,0001,0110	0	47	00,0010,1111	0	72	00,0100,1000	0	597	10,0101,0101	0
23	00,0001,0111	0	48	00,0011,0000	0	73	00,0100,1001	0	598	10,0101,0110	0
24	00,0001,1000	0	49	00,0011,0001	0	74	00,0100,1010	0	599	10,0101,0111	0

Фиг.19В



Фиг.20А



Фиг.20С

