

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 2003 年 1 月 23 日 10/349,042 （主張優先權）

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

[發明所屬之技術領域]

本發明大體上係關於電晶體，而尤係關於鰭片場效電晶體(fin field effect transistor, FinFET)。

[先前技術]

縮小裝置尺寸已經是驅使改進積體電路性能和減少積體電路成本之主要因素。由於相關於現有之閘極氧化物厚度和源極/汲極(S/D)接面深度之限制，要縮小現有之塊狀(bulk)金屬氧化物半導體場效電晶體(MOSFET)裝置尺寸低於 0.1 微米(μm)之製程代即使不是不可能，那也是很困難的。因此，需要新的裝置結構和新的材料以改進 FET 之性能。

雙閘極 MOSFET 表現為可選擇用來成功地替代現用平面 MOSFET 之新裝置。於雙閘極 MOSFET 中，使用雙閘極以控制通道係有效地抑制了短通道效應。FinFET 為最新的雙閘極結構並且包括形成於垂直鰭片中之通道。FinFET 於佈線和製造上相似於現用的平面 MOSFET。FinFET 相較於其他的雙閘極結構，亦提供了通道長度之範圍、CMOS 相容性和大封裝密度。

[發明內容]

根據本發明，係提供一種使用垂直形成之自行對準於鰭片通道之應變通道層(strained channel layer)之 FinFET 電晶體。應變通道層可包括結晶體材料，該結晶體材料為晶格常數不匹配 FinFET 之鰭片之結晶體材料者。晶格常

數不匹配(lattice constant mismatch)使得應變通道層內產生張力應變(tensile strain)，該張力應變增加載流子(carrier)之移動率(mobility)。增加載流子移動率會轉而增加 FinFET 電晶體之驅動電流，因此而改進了 FinFET 之性能。

於下列之說明中將部分地提出本發明之額外的優點和其他的特徵，而提出說明之部分，對於熟悉此項技術之一般技術人員而言於檢視下列之說明後，對本發明將變得很清楚，或者他們可從實作本發明中而習得本發明。如詳細指出於所附申請專利範圍中，可實現和獲得本發明之優點和特徵。

依照本發明，藉由包含有鰭片之半導體結構，可部分地達成上述和其他之優點。該鰭片包括第一結晶體材料和複數個表面。該結構進一步包括形成於該複數個表面之至少部分上之層，該層包括第二結晶體材料。該第一結晶體材料較之該第二結晶體材料具有不同之晶格常數而引起該層內之張力應變。

依照本發明之另一態樣，提供一種電晶體。該電晶體包括鰭片，該鰭片進一步包括第一結晶體材料以及第一和第二端部。該第一結晶體材料具有第一晶格常數。該電晶體進一步包括形成鄰近於該鰭片之第一和第二端部之源極和汲極區域。該電晶體亦包括形成於該鰭片之至少部分上之第二結晶體材料之第一層。該第二結晶體材料具有第二晶格常數，其中該第一晶格常數係大於該第二晶格常數。該電晶體額外地包括形成於該第一層之至少部分上之電介

質層，和形成於該電介質層之至少部分上之閘極電極。

依照本發明之又一態樣，提供一種形成半導體裝置之方法。該方法包括形成鰭片，該鰭片包括第一結晶體材料 and 多個表面。該方法進一步包括於該多個表面之至少部分上形成第一層。該第一層包括第二結晶體材料，其中該第一結晶體材料之晶格常數與第二結晶體材料不匹配，以於該第一層內產生張力應變。

由下列之詳細說明，本發明之其他的優點和特徵，對於熟悉此項技術之一般技術人員而言，將變得很容易瞭解。所示和說明之實施例，提供考量用來施行本發明之最佳模式之說明。本發明於各種不同之態樣可作修飾，而全然不會偏離本發明之範圍。因此，各圖式將作為說明之性質，而不是要用來限制本發明。

[實施方式]

本發明之下列詳細說明將參照所附各圖式。於不同圖式中相同之元件符號可視為相同或相似之元件。而且，下列之詳細說明並不限制本發明。反之，本發明之範圍係由所附申請專利範圍所界定。

根據本發明，提供了一種增加通道移動率之 FinFET。根據本發明，垂直形成之應變通道層係自行對準於 FinFET 之鰭片通道。應變通道層可包括與 FinFET 之鰭片之結晶體材料晶格不匹配之結晶體材料，而使得張力應變於應變通道層內產生。

所引起之張力應變增加應變通道層之載流子移動率，

因此，增加 FinFET 之驅動電流。

第 1 圖顯示依照本發明之實施範例所形成之基板 100 的橫剖面圖。根據本發明，基板 100 可以是絕緣層上覆矽 (silicon on insulator, SOI) 結構，該結構例如包括形成於埋藏氧化物層 110 上之鰭片通道層 105。埋藏氧化物層 110 可形成於矽層上(圖中未顯示)。鰭片通道層 105 之厚度例如可以是從大約 500 埃(Å)至大約 2000 埃之厚度，且埋藏氧化物層 110 之厚度例如可以是從大約 1000 埃至大約 3000 埃之厚度。

鰭片通道層 105 可包括具有晶格常數大於選用於應變通道層之結晶體材料之晶格常數之結晶體材料(相關於下列第 3A 和第 3B 圖之說明)。舉例而言，若選擇矽用於應變通道層，則鰭片通道層 105 可包括具有晶格常數大於矽之晶格常數之結晶體材料。例如，鰭片通道層 105 可包括 $\text{Si}_x\text{Ge}_{(1-x)}$ ，而 x 約等於 0.7。可適當地選擇使用其他的 x 值。熟悉此項技術者將瞭解到，可以使用除了 $\text{Si}_x\text{Ge}_{(1-x)}$ 以外之其他的結晶體材料，而使得材料之晶格常數要大於選擇用於應變通道層之結晶體材料之晶格常數。於一些實施例中，基板 100 可藉由晶圓結合磊晶 $\text{Si}_x\text{Ge}_{(1-x)}$ 至氧化物/矽基板晶圓而形成。然而，熟悉此項技術者將瞭解到，可以使用其他現用之技術來形成基板 100。

如第 2A 和第 2B 圖中所示，於形成基板 100 之後，可由鰭片通道層 105 形成垂直鰭片 205。例如，可形成鰭片 205 具有 10 奈米(nm)至 15 奈米範圍之寬度(w)。可使用任

何現用之技術，包括但不限於現用之光學微影術和蝕刻製程，而由鰭片通道層 105 形成鰭片 205。

接著形成鰭片 205 後，可形成源極 210 和汲極 215 鄰接於個別之鰭片 205 之端部，如第 2C 和第 2D 圖中所示。例如，可藉由沉積結晶體材料層於鰭片 205 上而形成源極 210 和汲極 215 區域。例如，可使用現用之光學微影術和蝕刻製程，而由結晶體材料層形成源極 210 和汲極 215 區域。然而，熟悉此項技術者將瞭解到，可使用任何現用之其他技術來形成源極 210 和汲極 215 區域。源極 210 和汲極 215 區域可包括譬如像是 $\text{Si}_x\text{Ge}_{(1-x)}$ ， x 約等於 0.7 之結晶體材料。

於形成源極 210 和汲極 215 區域後，可在鰭片 205、源極 210 和汲極 215 上形成應變層 305，如第 3A 和第 3B 圖中所示。可使用任何適當之現用製程而於鰭片 205、源極 210 和汲極 215 上形成應變層 305。於一些實施範例中，例如，可使用選擇之磊晶沉積製程而於鰭片 205、源極 210 和汲極 215 上形成應變層 305。應變層 305 可包括結晶體材料，該結晶體材料之晶格常數要小於用於鰭片 205 之結晶體材料之晶格常數。以晶格不匹配於鰭片 205 和應變層 305 之間，則會在應變層 305 上產生張力應變。例如，應變層 305 可形成具有厚度 t 大約為鰭片 205 之寬度 w 之 $1/2$ 至 $1/3$ 。例如，應變層 305 之厚度 t 可以是 5 奈米 (nm)。應變層 305 可包括矽，但是不限於矽。熟悉此項技術者將瞭解到，可替代使用其他之具有晶格常數小於用於形成鰭片

205 之結晶體材料者之結晶體材料。

於形成應變層 305 後，可於鰭片 205 上未由源極 210 和汲極 215 所覆蓋之部分形成閘極電介質 405 和閘極電極 410，如第 4A 和第 4B 圖中所示。閘極電介質 405 可包括薄層之電介質材料，譬如 SiO 、 SiO_2 、 SiN 、 SiON 、 HFO_2 、 ZrO_2 、 Al_2O_3 、 $\text{HFSiO}_{(x)}$ 、 ZnS 、 MgF_2 、或其他的電介質材料。閘極電極 410 可形成於閘極電介質 405 上，並包括例如多晶矽層。可使用任何現用之製程，譬如例如現用之沉積和圖案化製程，而將閘極電介質 405 和閘極電極 410 形成於鰭片 205 上。形成閘極電介質 405 和閘極電極 410 於鰭片 205 上，因而產生 FET 側壁垂直通道，該通道包括於鰭片 205 之二個垂直表面之薄應變層 305。應變層 305 透過由應變層 305 與鰭片 205 間之晶格不匹配所引起之於應變層 305 中之張力應變，而提供改良之載流子遷移率。此載流子遷移率之增強能增加使用第 4A 和第 4B 圖中所示半導體結構所建立之 FinFET 電晶體之驅動電流。

範例之應變絕緣體

第 5 圖顯示範例之應變絕緣體 505，根據本發明，應變絕緣體 505 可形成於 FinFET 之鰭片下，譬如第 2A 和第 2B 圖中所示之鰭片 205 的下方。鰭片 205 可形成於應變絕緣體 505 之絕緣材料上，而使得鰭片 205 和應變絕緣體 505 之結晶體材料為晶格不匹配。鰭片 205 和應變絕緣體 505 間之晶格不匹配產生鰭片 205 中之張力應變，該鰭片 205 因而改良 FinFET 之載流子遷移率。熟悉此項技術者將瞭

解到，可以使用任何適當之具有晶格常數不匹配鰭片 205 之結晶體材料之絕緣材料作為應變絕緣體 505。

範例之源極/汲極再生長製程

第 6 圖顯示根據本發明另一實施例之範例之鑲嵌源極/汲極再生長。在基板上形成作用區 600 與鰭片 605 之後，可沉積四乙基正矽酸鹽 (TEOS) 於鰭片 605 和作用區 600 上，然後予以研磨。然後可使用遮罩 (遮罩 1) 610 以打開閘極區域 615。可削薄鰭片 605，並且可藉由沉積和研磨多晶矽於閘極區域 615 而形成閘極 620。可使用第二遮罩 (遮罩 2) 625 以打開源極和汲極區域 630。可蝕刻於經打開之源極和汲極區域 630 內之作用區 600 之氮化物層，以曝露源極和汲極區域 630。由該曝露之區域，可選擇地再生長矽以產生源極 635 和汲極 640。

於前述之說明中，為了提供對本發明之完全瞭解，而提出了許多特定的詳細說明，譬如特定的材料、結構、化學物、製程、等等。然而，可不須憑藉此處所特別提出之詳細說明而施行本發明。於其他的例子中，為了不致模糊了本發明之目標，已知的製程結構未予詳細說明。在施行本發明中，可使用習知的光學微影術和蝕刻技術，而因此於此處不再詳細提出此等技術之細部說明。

於此說明書中僅顯示和說明了本發明之較佳實施例和其各種變化之少數例子。應瞭解到本發明能夠使用於各種其他的組合和環境中，並在此處所表現之發明概念範圍內能夠作修改。

[圖式簡單說明]

可參考下列所附圖式，其中於各圖中具有相同元件符號指示之各元件係表示相同之元件。

第 1 圖顯示根據本發明可用來形成 FinFET 之鰭片之基板的範例層；

第 2A 圖顯示根據本發明之範例鰭片；

第 2B 圖顯示根據本發明之第 2A 圖之範例鰭片之橫剖面圖；

第 2C 和第 2D 圖顯示根據本發明之形成鄰接於第 2A 和第 2B 圖之鰭片之範例源極和汲極區域；

第 3A 圖顯示根據本發明之形成於鰭片上之應變層之橫剖面圖；

第 3B 圖顯示根據本發明之形成於鰭片和源極和汲極區域上之第 3A 圖之應變層之上視圖；

第 4A 圖顯示根據本發明之形成於鰭片上之閘極電介質和閘極電極之橫剖面圖；

第 4B 圖顯示根據本發明之形成於鰭片上之第 4A 圖之閘極電介質和閘極電極之上視圖；

第 5 圖顯示根據本發明另一實施例之於第 2A 和第 2B 圖之鰭片下方之應變絕緣體之示意圖；以及

第 6 圖顯示根據本發明另一實施例之鑲嵌源極/汲極再生長。

[主要元件符號說明]

100 基板

105 鰭片通道層

110	埋藏氧化物層	205、605	鰭片
210、635	源極	215、640	汲極
305	應變層	405	閘極電介質
410	閘極電極	505	應變絕緣體
600	作用區	610	遮罩(遮罩 1)
615	閘極區域	620	閘極
625	遮罩(遮罩 2)	630	源極和汲極區域

伍、中文發明摘要：

一種半導體結構，包括鰭片(205)和形成於該鰭片上之層(305)。該鰭片(205)包括具有矩形橫剖面 and 許多表面之第一結晶體材料。該層(305)形成於該等表面上並包括第二結晶體材料。該第一結晶體材料較之該第二結晶體材料具有不同之晶格常數，以令該層(305)內產生張力應變。

陸、英文發明摘要：

A semiconductor structure includes a fin (205) and a layer (305) formed on the fin. The fin (205) includes a first crystalline material having a rectangular cross section and a number of surfaces. The layer (305) is formed on the surfaces and includes a second crystalline material. The first crystalline material has a different lattice constant than the second crystalline material to induce tensile strain within the layer (305).

柒、指定代表圖：

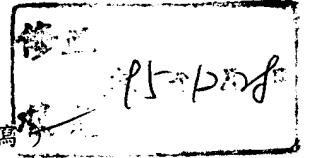
(一)本案指定代表圖為：第(3B)圖。

(二)本代表圖之元件代表符號簡單說明：

205	鰭片	210	源極
215	汲極	305	應變層

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93101515

※ 申請日期：93.1.20

※IPC 分類：H01L 29/772

壹、發明名稱：(中文/英文)

應變通道鰭片場效應電晶體/STRAINED CHANNEL FINFET

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

高級微裝置公司/ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 柯洛皮 丹尼爾 R /COLLOPY, DANIEL R.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號
One AMD Place, M/S 68, P.O.Box 3453, Sunnyvale, CA 94088-3453 U.S.A.

國籍：(中文/英文) 美國/U.S.A.

參、發明人：(共5人)

姓名：(中文/英文)

1. 達西拉馬非 斯坎瓦拉/DAKSHINA-MURTHY, SRIKANTESWARA
2. 安西琳/AN, JUDY XILIN
3. 羅蘭 卡瓦皮克/ZORAN, KRIVOKAPIC
4. 王海宏/WANG, HAIHONG
5. 俞賓/YU, BIN

住居所地址：(中文/英文)

1. 美國·德州 78759·奧斯汀·茜莊#1423 路 10926 號
10926 Jollyville Road, #1423 Austin, TX 78759, U.S.A.
2. 美國·加州 95129·聖荷西·雨林灣 905 號
905 Raintree Court, San Jose, CA 95129, U.S.A.
3. 美國·加州 95050·聖塔克萊拉·拉瓦納廣場 2321 號
2321 De Varona Place, Santa Clara, CA 95050, U.S.A.
4. 美國·加州 94555·佛蒙特·多納梯 34170 號
34170 Donahue Terrace, Fremont, CA 94555, U.S.A.
5. 美國·加州 95014·丘帕提諾·小狗道 1373 號
1373 Poppy Way, Cupertino, CA 95014, U.S.A.

國籍：(中文/英文)

1. 印度/INDIA
2. 3. 美國/U.S.A.
4. 5. 中國大陸/CHINA

拾、申請專利範圍：

1. 一種半導體裝置，包括：

鰭片(205)，包括第一結晶體材料和複數個表面，
其中該第一結晶體材料包括矽鍺；以及

第一層(305)，形成於該複數個表面之至少部分上，
該第一層(305)包括第二結晶體材料，其中該第二結晶
體材料包括矽，且其中該第一結晶體材料較之該第二結
晶體材料具有不同之晶格常數，以於該第一層內產生張
力應變。

2. 如申請專利範圍第 1 項之半導體裝置，其中該第一結晶
體材料包括形式為 $\text{Si}_x\text{Ge}_{(1-x)}$ 的矽鍺，而其中 x 約等於
0.7。

3. 如申請專利範圍第 1 項之半導體裝置，復包括：

第二層(405)，形成於該第一層(305)之至少部分
上，該第二層(405)包括電介質；以及

閘極電極(410)，形成於該第二層(405)之至少部分
上，該閘極電極(410)包括多晶矽。

4. 一種電晶體，包括：

鰭片(205)，包括具有第一晶格常數之第一結晶體
材料，該鰭片(205)復包括第一和第二端部，其中該第
一結晶體材料包括形式為 $\text{Si}_x\text{Ge}_{(1-x)}$ 的矽鍺，而其中 x
約等於 0.7；

源極(210)和汲極(215)區域，形成鄰近於該鰭片
(205)之該第一和第二端部；

形成於該鰭片(205)之至少部分上之第二結晶體材料之第一層(305)，該第二結晶體材料具有第二晶格常數，其中該第一晶格常數係大於該第二晶格常數，且其中該第二結晶體材料包括矽；

形成於該第一層(305)之至少部分上之電介質層(405)；以及

形成於該電介質層(405)之至少部分上之閘極電極(410)，其中該閘極電極(410)包括第三結晶體材料且其中該第三結晶體材料包括多晶矽，

其中該第一晶格常數係大於該第二晶格常數，以於該第一層中產生張力應變，且該張力應變增加該第一層中之載流子(carrier)移動率。

5. 一種形成半導體裝置之方法，包括：

形成鰭片(205)，該鰭片(205)包括第一結晶體材料、複數個表面和寬度，其中該第一結晶體材料包括矽鍺；以及

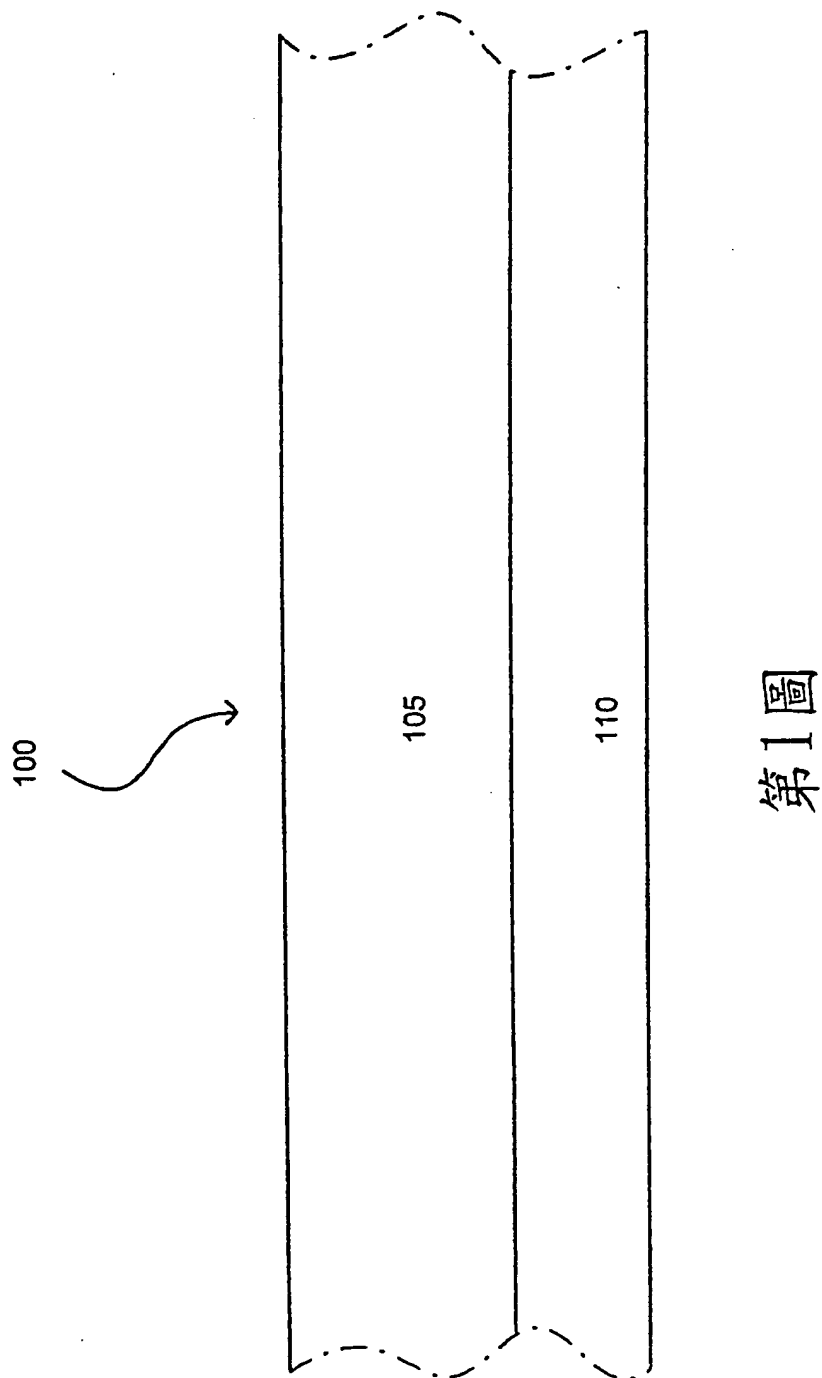
於該複數個表面之至少部分上形成第一層(305)，該第一層(305)包括第二結晶體材料，其中該第二結晶體材料包括矽，且其中該第一結晶體材料為晶格常數不匹配於該第二結晶體材料者，以於該第一層內產生張力應變。

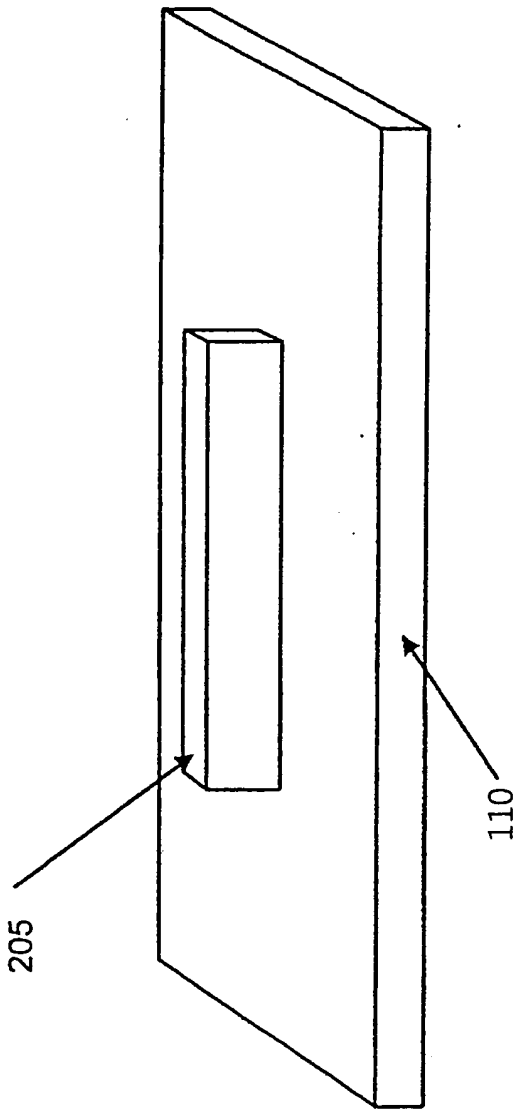
6. 如申請專利範圍第 5 項之方法，其中該第一結晶體材料包括形式為 $\text{Si}_x\text{Ge}_{(1-x)}$ 的矽鍺，而其中 x 約等於 0.7，復包括：

於該第一層(305)上形成第二層(405)，該第二層
(405)包括電介質；以及

於該第二層(405)上形成閘極電極(410)，該閘極電
極(410)包括多晶矽。

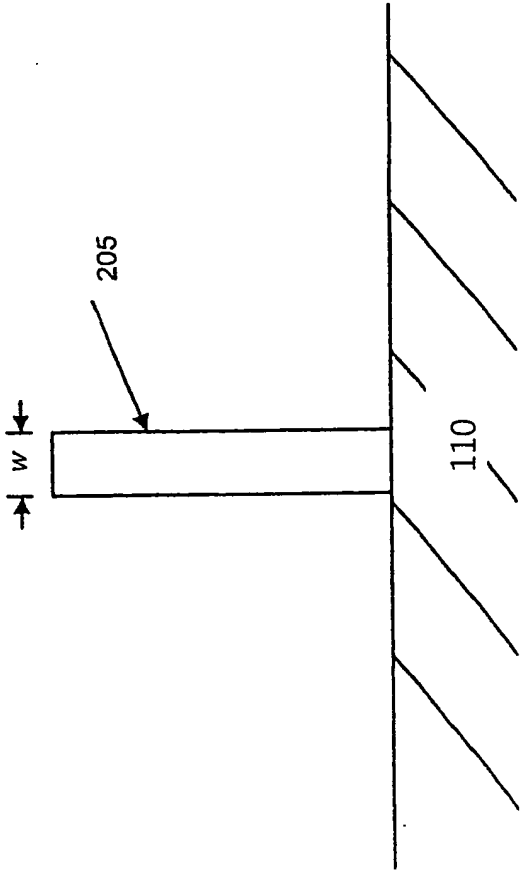
八、圖式：





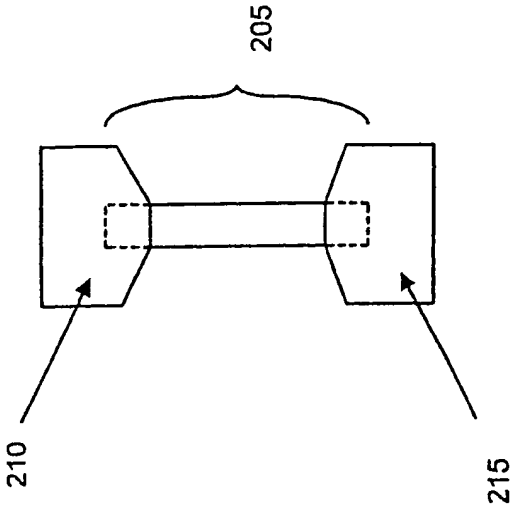
第2A圖

橫剖面視圖

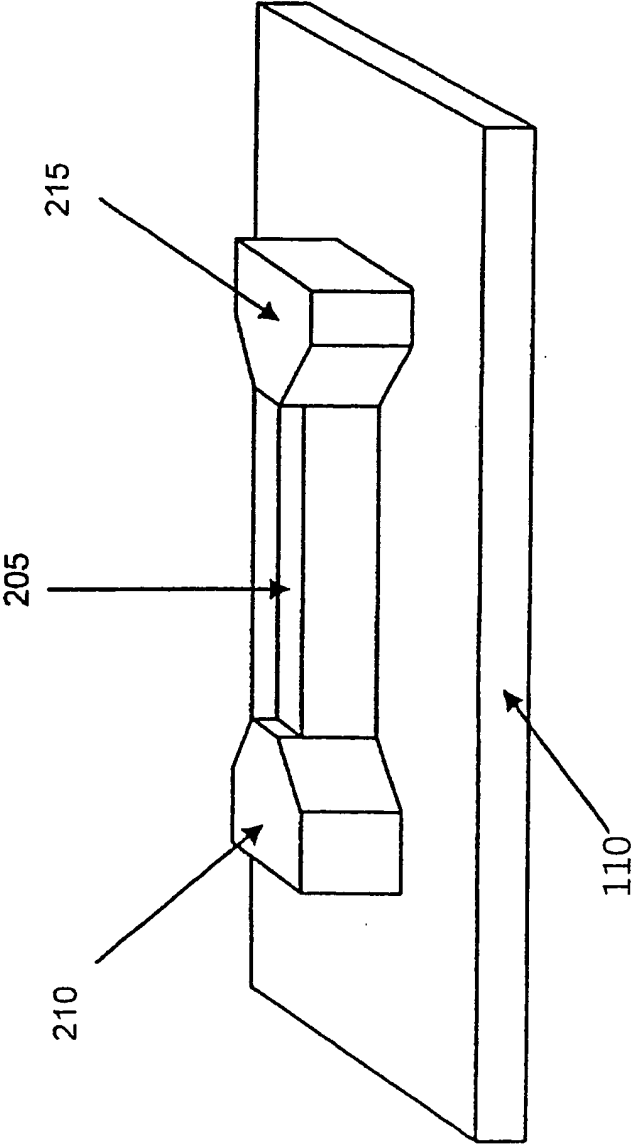


第2B圖

上視圖

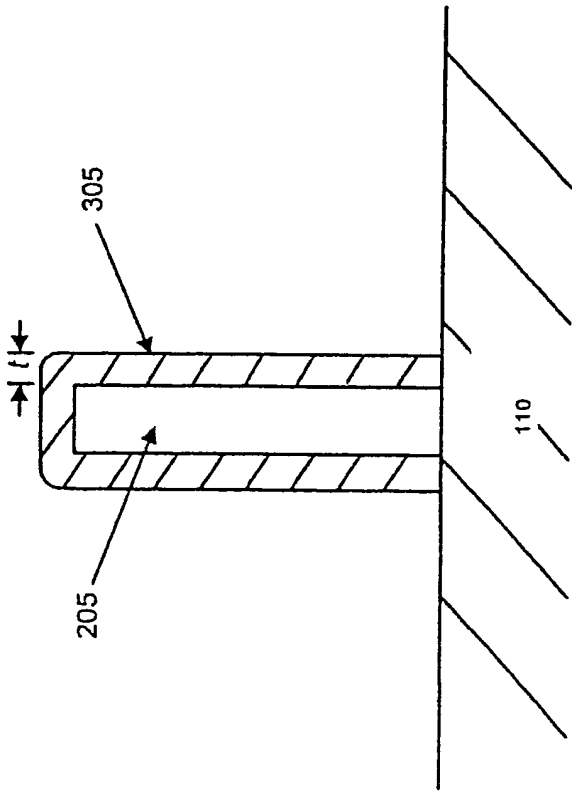


第2D圖



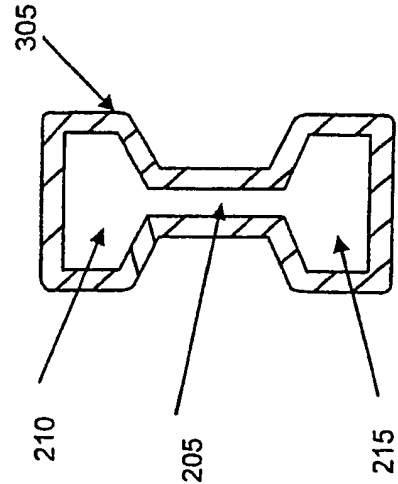
第2C圖

橫剖面視圖



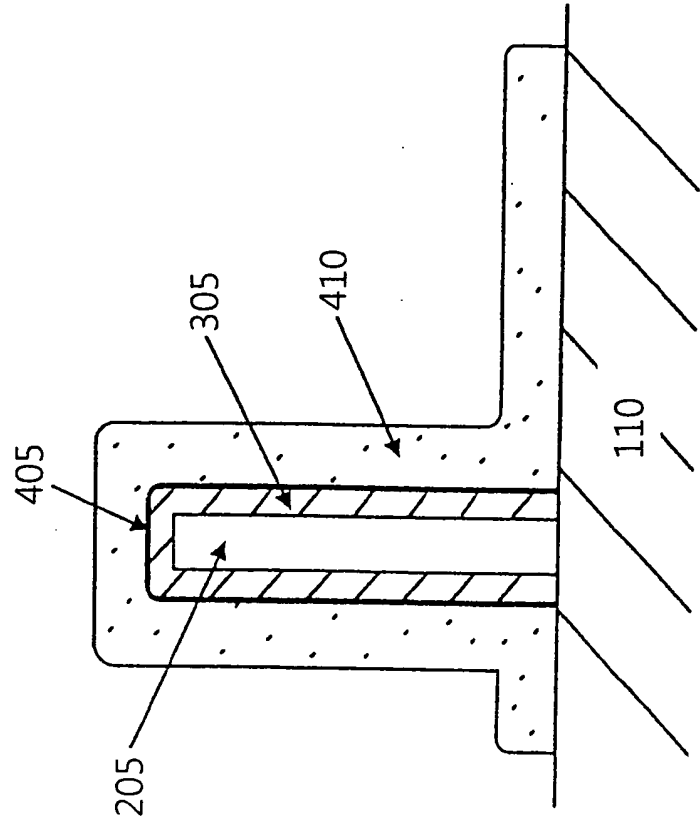
第3A圖

上視圖



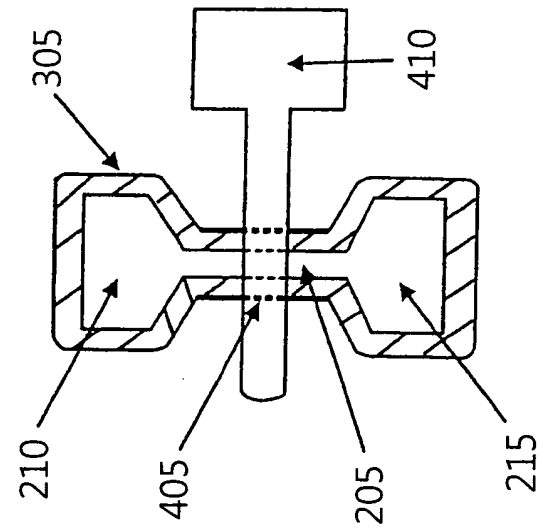
第3B圖

橫剖面視圖



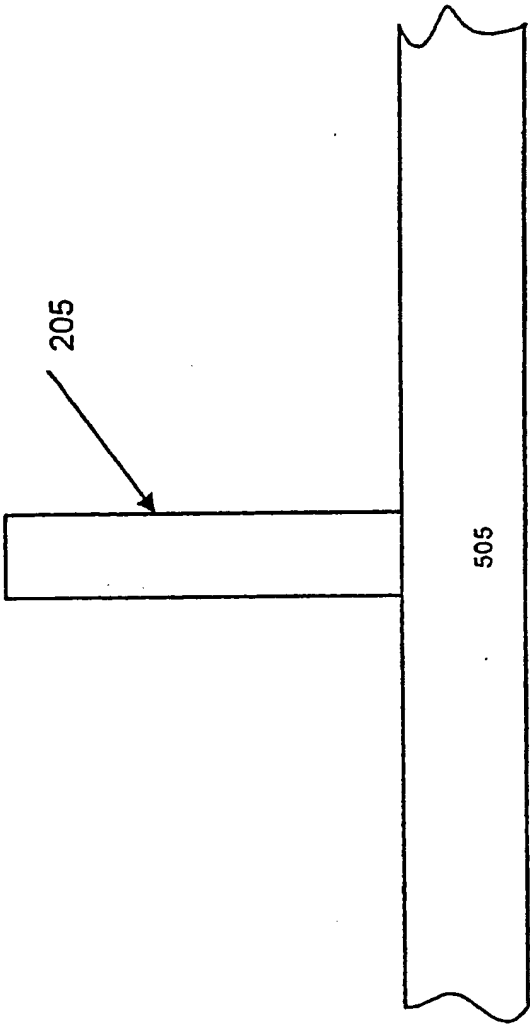
第4A圖

上視圖

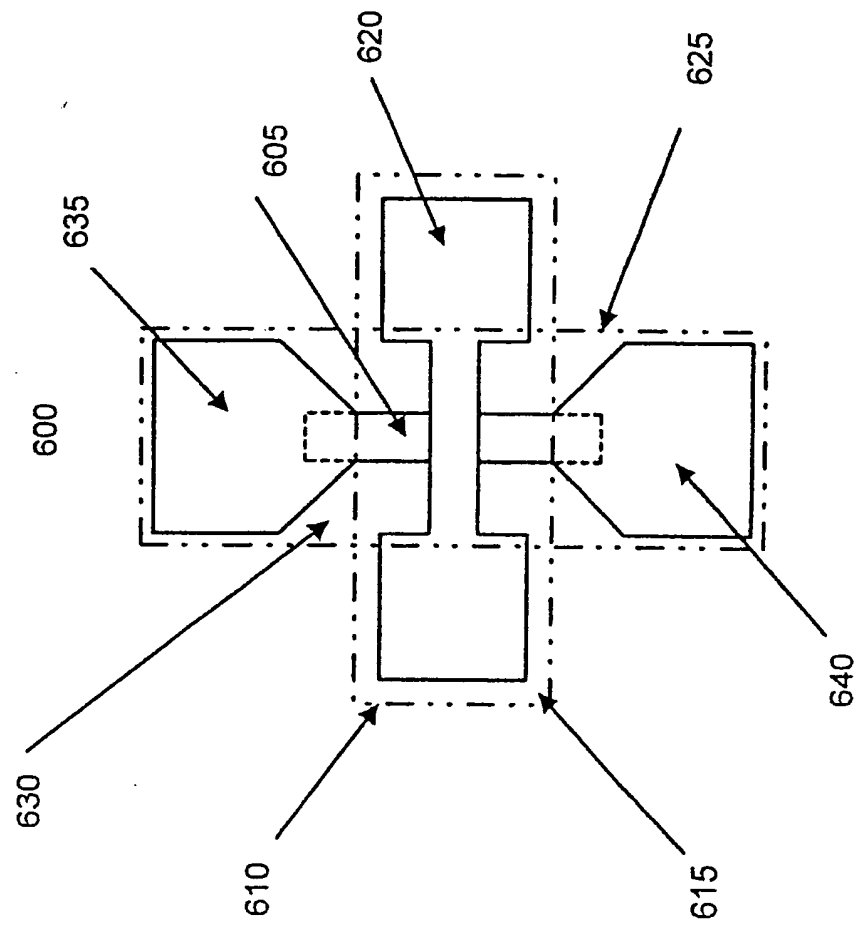


第4B圖





第5圖



第6圖