

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年1月4日(04.01.2018)



(10) 国際公開番号

WO 2018/003445 A1

- (51) 国際特許分類:
H01G 4/12 (2006.01) *H01L 21/822* (2006.01)
H01G 4/33 (2006.01) *H01L 27/04* (2006.01)
- (21) 国際出願番号: PCT/JP2017/021240
- (22) 国際出願日: 2017年6月8日(08.06.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-128047 2016年6月28日(28.06.2016) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者: 原田 真臣 (HARADA, Masatomi);
〒6178555 京都府長岡京市東神足 1 丁目 10 番
1 号 株式会社村田製作所内 Kyoto (JP). 泉谷
淳子 (IZUMITANI, Junko); 〒6178555 京都府長
岡京市東神足 1 丁目 10 番 1 号 株式会社村
田製作所内 Kyoto (JP). 香川 武史 (KAGAWA,
Takeshi); 〒6178555 京都府長岡京市東神足 1
丁目 10 番 1 号 株式会社村田製作所内 Kyoto
(JP). 石田 宣博 (ISHIDA, Nobuhiro); 〒6178555
京都府長岡京市東神足 1 丁目 10 番 1 号 株
式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 稲葉 良幸, 外 (INABA, Yoshiyuki et al.);
〒1066123 東京都港区六本木 6 - 10 -
1 六本木ヒルズ森タワー 23 階 T M I
総合法律事務所 Tokyo (JP).

(54) Title: CAPACITOR

(54) 発明の名称: キャパシタ

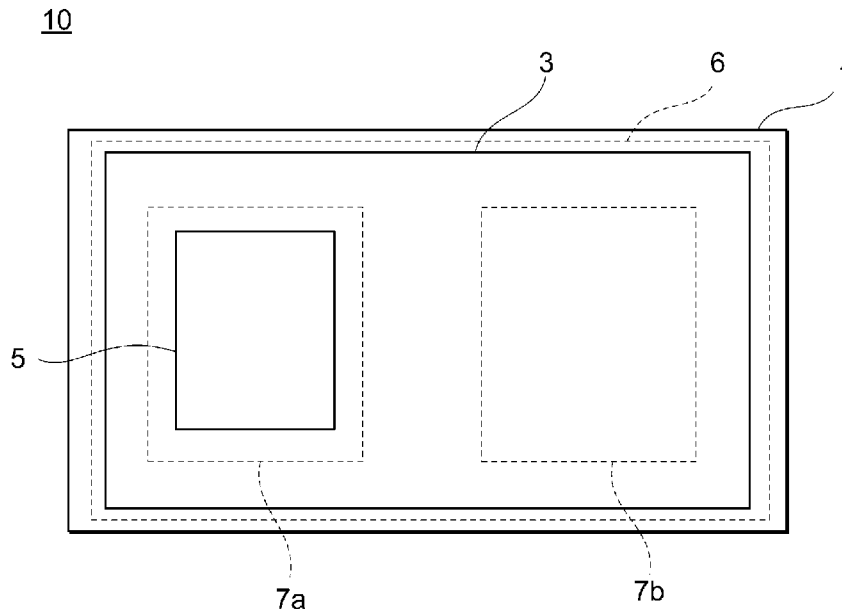


図 1

(57) **Abstract:** Provided is a capacitor comprising an upper electrode, a substrate, and a lower electrode, in which generation of substrate capacitance is prevented. A capacitor according to one aspect of the present invention is provided with a substrate, a lower electrode formed on the substrate, a dielectric film formed on the lower electrode, an upper electrode formed on a part of the dielectric film, and a first terminal electrode connecting to the upper electrode. The upper electrode and the first terminal electrode are formed in the region in which the lower electrode is formed when the capacitor is



WO 2018/003445 A1



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

viewed in plan view from the first terminal electrode side.

(57) 要約: 上部電極、基板、下部電極からなる基板容量の発生を防止したキャパシタを提供する。本発明の一側面に係るキャパシタは、基板と、基板上に形成された下部電極と、下部電極上に形成された誘電体膜と、誘電体膜上の一部に形成された上部電極と、上部電極に接続する第1端子電極と、を備え、上部電極及び第1端子電極は、第1端子電極側からキャパシタを見た平面視において、下部電極の形成領域内に形成されている。

明 細 書

発明の名称：キャパシタ

技術分野

[0001] 本発明は、キャパシタに関する。

背景技術

[0002] 半導体集積回路に用いられる代表的なキャパシタ素子として、例えばMIM (Metal Insulator Metal) キャパシタがよく知られている。MIMキャパシタは、絶縁体を下部電極と上部電極とで挟んだ平行平板型の構造を有するキャパシタである。

[0003] 例えば特許文献1には、絶縁特性及びリーク電流特性の劣化を防止する薄膜MIMキャパシタを提供する技術について開示されている。特許文献1に記載の薄膜MIMキャパシタは、基板と、該基板上に形成された貴金属からなる下部電極と、該下部電極上に形成された誘電体層薄膜と、該誘電体薄膜上に形成された貴金属からなる上部電極と、を有する。

先行技術文献

特許文献

[0004] 特許文献1：特開2010-109014号公報

発明の概要

発明が解決しようとする課題

[0005] キャパシタは、上部電極及び下部電極を、外部と電氣的に接続させるための端子電極を備える。しかしながら、上部電極に接続する端子電極が下部電極の形成領域を超えて延在した場合、上部電極に繋がる端子電極と下部電極が接近し、基板を挟んで容量結合する場合がある。この結果、上部電極、誘電体膜、下部電極からなる真正容量と並列接続した、上部電極、基板、下部電極からなる浮遊容量が生じる。上部電極、基板、下部電極からなる浮遊容量を基板容量という。

[0006] 上部電極と下部電極との間に電圧が印加されたときに基板容量の変動が顕

在化する。容量変動が起こると、キャパシタが所望の電荷を貯めることができないため、キャパシタが実装された電子回路が動作不良となる。また、電子回路を複数の周波数で動作させる場合、動作周波数で基板容量が真正容量や浮遊容量と比較して大きく変動すると、所望の電荷を貯めることができないことがある。この結果、キャパシタが実装された電子回路が動作不良となる。

[0007] 本発明はこのような事情に鑑みてなされたものであり、上部電極、基板、下部電極からなる基板容量の発生を防止したキャパシタを提供することを目的とする。

課題を解決するための手段

[0008] 本発明の一側面に係るキャパシタは、基板と、基板上に形成された下部電極と、下部電極上に形成された誘電体膜と、誘電体膜上の一部に形成された上部電極と、上部電極に接続する第1端子電極と、を備え、上部電極及び第1端子電極は、第1端子電極側からキャパシタを見た平面視において、下部電極の形成領域内に形成されている。

発明の効果

[0009] 本発明によれば、上部電極、基板、下部電極からなる基板容量の発生を防止することができる。

図面の簡単な説明

[0010] [図1]本実施形態に係るキャパシタの構成要素の形成領域を示す平面図である。

[図2]本実施形態に係るキャパシタの断面図である。

[図3]比較例のキャパシタの断面図である。

[図4]本実施形態に係るキャパシタの工程断面図である。

[図5]本実施形態に係るキャパシタの工程断面図である。

[図6]本実施形態に係るキャパシタの工程断面図である。

[図7]本実施形態に係るキャパシタの工程断面図である。

[図8]本実施形態に係るキャパシタの工程断面図である。

[図9]本実施形態に係るキャパシタの工程断面図である。

[図10]第2実施形態に係るキャパシタの断面図である。

[図11]第3実施形態に係るキャパシタの断面図である。

発明を実施するための形態

[0011] (第1実施形態)

図1は、本実施形態に係るキャパシタの構成要素の形成領域を示す平面図である。図2は、本実施形態に係るキャパシタの断面図である。

[0012] 基板1上には絶縁膜2が形成されており、絶縁膜2上に下部電極3が形成されている。絶縁膜2及び下部電極3上には、下部電極3を被覆する誘電体膜4が形成されている。誘電体膜4上の一部には上部電極5が形成されている。誘電体膜4及び上部電極5上には保護層6が形成されており、保護層6には上部電極5を露出させる開口部6aと、下部電極3の一部を露出させる開口部6bが形成されている。保護層6の開口部6a、6bをそれぞれ埋め込むように保護層6上には第1端子電極7a及び第2端子電極7bが形成されている。第1端子電極7aは上部電極5に接続されており、第2端子電極7bは下部電極3に接続されている。なお、第1端子電極7a及び第2端子電極7bを区別する必要がない場合には、単に端子電極7という。

[0013] 本実施形態では、上部電極5及び第1端子電極7aは、端子電極7側からキャパシタを見た平面視において(図1)、下部電極3の形成領域内に形成されている。また、第2端子電極7bも、端子電極7側からキャパシタを見た平面視において、下部電極3の形成領域内に形成されている。また、上部電極5は、端子電極7側からキャパシタを見た平面視において、第1端子電極7aの形成領域内に形成されている。以下、本実施形態のキャパシタを構成する各層の材料及び厚さの一例について説明する。

[0014] 基板1の材料に限定はないが、シリコン基板やガリウム砒素基板等の半導体基板、ガラスやアルミナ等の絶縁性基板が好ましい。例えば、基板1の長辺の長さは $200\mu\text{m}\sim 600\mu\text{m}$ 、短辺の長さは $100\mu\text{m}\sim 300\mu\text{m}$ である。また、基板の厚さに限定はないが、 $5\mu\text{m}$ 以上 $300\mu\text{m}$ 以下が好

ましい。基板の厚さが $5\mu\text{m}$ より薄い場合、基板の機械的強度が弱くなるため、後述するキャパシタの製造において、バックグラインドやダイシング時にウエハに割れや欠けが生じる。基板の厚さが $300\mu\text{m}$ より厚い場合、キャパシタの縦、横の長さよりも厚くなってしまい、キャパシタの実装時のハンドリングが難しくなる。

また、基板を含めたキャパシタ全体の厚さは、 $10\mu\text{m}$ 以上 $300\mu\text{m}$ 以下が好ましい。

[0015] 絶縁膜2の材料に限定はないが、 SiO_2 、 SiN 、 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 等からなる絶縁膜が好ましい。絶縁膜の厚さに限定はないが、基板とその上部に形成されるキャパシタが絶縁できればよく、 $0.05\mu\text{m}$ 以上であることが好ましい。

[0016] 下部電極3の材料に限定はないが、 Cu 、 Ag 、 Au 、 Al 、 Ni 、 Cr 、 Ti 等からなる金属又はこれらの金属を含む導電体が好ましい。下部電極の厚さに限定はないが、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下が好ましく、 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下がさらに好ましい。下部電極厚が $0.5\mu\text{m}$ より薄い場合、電極の抵抗が大きくなり、キャパシタの高周波特性に影響を及ぼす。下部電極厚が $10\mu\text{m}$ より厚い場合、電極の応力によって素子の機械的強度が弱くなり、キャパシタが歪む可能性がある。

[0017] 誘電体膜4の材料に限定はないが、 SiO_2 、 SiN 、 Al_2O_3 、 HfO_2 、 Ta_2O_5 、 ZrO_2 等の酸化物、窒化物が好ましい。誘電体膜の厚さは、特に限定はないが、 $0.1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下が好ましい。

[0018] 上部電極5の材料に限定はないが、 Cu 、 Ag 、 Au 、 Al 、 Ni 、 Cr 、 Ti 等からなる金属又はこれらの金属を含む導電体が好ましい。上部電極5の厚さは、限定はないが、下部電極3と同様の理由から、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下が好ましく、 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下がさらに好ましい。また、下部電極3の厚さは上部電極5の厚さよりも厚いことが好ましい。下部電極3の長さは上部電極5の長さより長い。このため、下部電極3の厚さが薄い場合、等価直列抵抗（ESR）が大きくなるためである。

[0019] 保護層 6 の材料に特に限定はないが、ポリイミド等の樹脂材料が好ましい。保護層 6 の厚さに限定はないが、 $1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下が好ましい。保護層の厚さが $1\ \mu\text{m}$ より薄い場合、保護層 6 を挟んだ第 1 端子電極 7 a と下部電極 3 の間の容量が、誘電体膜 4 を挟んだ下部電極 3 と上部電極 5 の間の容量と比較して大きくなり、保護層 6 を挟んだ容量の電圧変動や周波数特性がキャパシタ全体に影響を及ぼす。保護層 6 の厚さを $20\ \mu\text{m}$ より厚くしようとすると、高粘度の保護層材料が必要となり、厚さの制御が難しく、キャパシタ容量にばらつきを生じる要因となる。また、保護層 6 の周縁は、上面から見た場合、ダイシングした基板 1 の端部と下部電極 3 を覆う誘電体膜 4 の側壁の間にあってもよい。下部電極 3 の側壁部の誘電体膜厚は薄くなったり、段差部分で堆積していないことがあり、本実施形態に係るキャパシタが、はんだ実装される際に、はんだと下部電極 3 が接触することを回避することができる。

[0020] 端子電極 7 の材料に限定はないが、下部電極 3 及び上部電極 5 の材料よりも抵抗率の低い材料であることが好ましく、Cu や Al 等からなる金属であることが好ましい。これにより抵抗を下げる事が可能となるからである。また、端子電極 7 の最表面は、Au や Sn であってもよい。

[0021] 本実施形態では、上部電極 5 及び第 1 端子電極 7 a は、端子電極 7 側からキャパシタを見た平面視において、下部電極 3 の形成領域内に形成されている（図 1）。換言すれば、上部電極 5 及び第 1 端子電極 7 a は、キャパシタを上から見た平面視において、下部電極 3 の周縁で画定される領域内にのみ形成されている。このような構造にすることによって、電圧印加時に、上部電極 5 と第 1 端子電極 7 a から出る電気力線は、誘電体膜 4 と保護層 6 を通って、図 2 の断面図において上部電極 5 と第 1 端子電極 7 a の下方に形成される下部電極 3 に入る。第 1 端子電極 7 a は下部電極 3 の外側に形成されていないため、上部電極 5 と下部電極 3 は基板 1 を挟んだ容量結合をしない。

[0022] これに対して図 3 に示す比較例の構造では、第 1 端子電極 7 a は下部電極 3 の形成領域を超えて延在している。このため、電圧印加時に、上部電極 5

と第1端子電極7aから出る電気力線の一部が、誘電体膜4、保護層6、絶縁膜2及び基板1を通して、下部電極3に入る。この結果、上部電極5、誘電体膜4、下部電極3からなる真正容量と並列接続した、上部電極5、基板1、下部電極3からなる浮遊容量である基板容量 C_a が生じる。上部電極5と下部電極3との間に電圧が印加されたときに基板容量 C_a の変動が顕在化する。容量変動が起こると、キャパシタが所望の電荷を貯めることができないため、キャパシタが実装された電子回路が動作不良となる。また、電子回路を複数の周波数で動作させる場合、動作周波数で基板容量が真正容量や浮遊容量と比較して大きく変動すると、所望の電荷を貯めることができないことがある。この結果、キャパシタが実装された電子回路が動作不良となる。

[0023] 本実施形態によれば、上述したように、上部電極5と下部電極3は基板1を挟んだ容量結合をしないため、電圧が印加されたときに基板容量の変動が全体の容量に影響しない。また、本実施形態の構造とすることによって、基板容量が顕在化しないため、基板容量が全体のキャパシタ容量の周波数特性に影響しない。

[0024] また、本実施形態では、端子電極7は保護層6の側壁部分に形成されていないため、平坦な形状をしている。端子電極7が保護層6の側壁に形成される場合、端子電極7を形成する金属膜が側壁の段差で途切れたり、電圧印加時に電界が集中して、キャパシタの絶縁耐性に悪影響がある。保護層6の上面にのみ平坦な端子電極7を形成することにより、キャパシタの絶縁耐性を向上させることができる。

[0025] さらに、本実施形態では、上部電極5は、端子電極7側からキャパシタを見た平面視において、第1端子電極7aの形成領域内に形成されている。上部電極5が端子電極7の形成領域を超えて延在すると、上部電極5の延在部の存在により、真正容量に直列接続される等価直列抵抗（ESR）や等価直列インダクタンス（ESL）が大きくなり、Q値が低下する。本実施形態によれば、上部電極5は第1端子電極7aの形成領域内に形成されていることから、等価直列抵抗（ESR）や等価直列インダクタンス（ESL）を低減

でき、Q値を向上させることができる。

[0026] 次に、本実施形態に係るキャパシタの製造方法について図4～図9を参照して説明する。

[0027] 図4に示すように、基板1上に絶縁膜2を形成する。絶縁膜2は、 SiO_2 、 SiN 、 Al_2O_3 からなる絶縁膜が好ましい。絶縁膜2は、スパッタリング法やCVD（化学的気相堆積）法で形成することができる。絶縁膜2の厚さは、 $0.1\mu\text{m}$ 以上であることが好ましい。

[0028] 次に、図5に示すように、絶縁膜2上に下部電極3のパターンを形成する。下部電極3として、例えば、 Cu 、 Ag 、 Au 、 Al からなる金属又はこれらを含む導電体を堆積する。下部電極3の厚さは、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下が好ましく、 $2\sim6\mu\text{m}$ がさらに好ましい。下部電極3のパターン形成の方法に限定はないが、例えばセミアディティブ工法を使用する。セミアディティブ工法では、スパッタリングや無電解めっきによりシード層を成膜し、フォトリソグラフィ技術によりシード層の一部を開口するレジストパターンを形成し、無電解めっきにより開口部に下部電極材料を形成し、レジストを剥離し、最後に下部電極材料が形成されていない部位のシード層を除去する。

[0029] 次に、図6に示すように、下部電極3の領域を含む基板全面に誘電体膜4を形成し、パターニングを行って、誘電体膜4の一部を露出させる開口部4aを形成する。誘電体膜4として、例えば、 SiO_2 、 SiN 、 Al_2O_3 、 HfO_2 、 Ta_2O_5 等の酸化物又は窒化物を $0.1\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下の厚さで形成する。誘電体膜4は、スパッタリング法やCVD法で形成することができる。パターニングは、例えばフォトリソグラフィ及びエッチングにより行う。

[0030] 次に、図7に示すように、誘電体膜4の一部に上部電極5のパターンを形成する。上部電極5として、例えば、 Cu 、 Ag 、 Au 、 Al からなる金属又はこれらを含む導電体を堆積する。上部電極5の厚さは、 $0.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下が好ましく、 $2\sim6\mu\text{m}$ がさらに好ましい。上部電極5のパタ

ーン形成の方法に限定はないが、下部電極 3 と同様に、例えばセミアディティブ工法を使用する。

[0031] 次に、図 8 に示すように、保護層 6 を堆積し、パターニングを行って、保護層 6 に上部電極 5 を露出させる開口部 6 a と、誘電体膜 4 を露出させる開口部 6 b とを形成する。例えば、保護層 6 として、ポリイミド等の樹脂材料を堆積する。保護層 6 の厚さは、1 ～ 20 μm が好ましい。パターニングでは、フォトリソグラフィ技術により保護層 6 上にレジストパターンを形成し、レジストパターンをマスクとして保護層 6 の不要な部分をエッチングする。

[0032] 次に、図 9 に示すように、保護層 6 の開口部 6 a, 6 b をそれぞれ埋め込む第 1 端子電極 7 a 及び第 2 端子電極 7 b のパターンを形成する。本実施形態では、第 1 端子電極 7 a 及び第 2 端子電極 7 b を下部電極 3 の形成領域内にのみ形成する。また、保護層 6 の上面のみに第 1 端子電極 7 a 及び第 2 端子電極 7 b を形成し、保護層 6 の側壁に第 1 端子電極 7 a 及び第 2 端子電極 7 b を形成しないことが好ましい。また、できるだけ上部電極 5 の全面に接続するように第 1 端子電極 7 a をパターン形成することが好ましい。端子電極 7 として、例えば Cu 又は Al を用いる。Cu 又は Al からなる端子電極 7 は、スパッタリングやめっきで形成することができる。また、端子電極 7 は Ni / Au をめっきすることが好ましい。端子電極 7 のパターン形成の方法に限定はないが、下部電極 3 と同様に、例えばセミアディティブ工法を使用する。

[0033] 以上のようにして本実施形態に係るキャパシタが製造される。

[0034] (第 2 実施形態)

第 2 の実施形態以降では第 1 の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0035] 図 10 は、第 2 実施形態に係るキャパシタの断面図である。

第 2 実施形態では、下部電極 3 が形成される基板 1 の領域には、複数のト

レンチが形成されており、凹凸構造をなしている。基板 1 のトレンチを被覆するように、絶縁膜 2、下部電極 3、誘電体膜 4、上部電極 5 が順に形成されている。

[0036] 第 2 実施形態によれば、下部電極 3 が形成される基板 1 の領域には、複数のトレンチが形成されていることから、容量結合する下部電極 3 の表面積を増大させることができ、キャパシタの容量値を増大させることができる。

[0037] 第 2 実施形態に係るキャパシタは、下記のようにして製造される。まず、基板 1 上にレジストパターンを形成し、当該レジストパターンをマスクとした異方性ドライエッチングにより、基板 1 に複数のトレンチ 1 a を形成する。その後、第 1 実施形態と同様に図 4 ～図 9 に示した工程を経ればよい。

[0038] (第 3 実施形態)

図 1 1 は、第 3 実施形態に係るキャパシタの断面図である。

第 3 実施形態では、基板 1 にピラミッド形状のテクスチャ構造が形成されている。これにより、第 3 実施形態では、基板 1 のピラミッドの斜面を被覆するように、絶縁膜 2、下部電極 3、誘電体膜 4、上部電極 5 が順に形成されている。

[0039] 第 3 実施形態によれば、下部電極 3 が形成される基板 1 の領域には、複数のピラミッド構造が形成されていることから、容量結合する下部電極 3 の表面積を増大させることができ、キャパシタの容量値を増大させることができる。

[0040] 第 3 実施形態に係るキャパシタを製造するには、基板材料としてシリコン基板を使用することが好ましい。基板 1 に形成されるテクスチャ構造は、(100)面のシリコン基板を NaOH や KOH 等のアルカリ溶液に浸漬し、(111)面を露出させることで形成することができる。(111)面が出ると、図 1 1 内のピラミッドの斜面をなす二辺の間の角 θ_1 は、 110° 程度となる。

その後、第 1 実施形態と同様に図 4 ～図 9 に示した工程を経ればよい。

[0041] 以上、本発明の例示的な実施形態について説明した。

[0042] 本実施形態に係るキャパシタ 10 は、基板 1 と、基板 1 上に形成された下部電極 3 と、下部電極 3 上に形成された誘電体膜 4 と、誘電体膜 4 上の一部に形成された上部電極 5 と、上部電極 5 に接続する第 1 端子電極 7 a と、を備え、上部電極 5 及び第 1 端子電極 7 a は、第 1 端子電極 7 a 側からキャパシタ 10 を見た平面視において、下部電極 3 の形成領域内に形成されている（図 2）。これにより、電圧印加時に、上部電極 5 と第 1 端子電極 7 a から出る電気力線は、誘電体膜 4 と保護層 6 を通って、図 2 の断面図において上部電極 5 と第 1 端子電極 7 a の下方に形成される下部電極 3 に入る。第 1 端子電極 7 a は下部電極 3 の外側に形成されていないため、上部電極 5 と下部電極 3 は基板 1 を挟んだ容量結合をしない。このように、上部電極 5 と下部電極 3 は基板 1 を挟んだ容量結合をしないため、電圧が印加されたときに基板容量の変動が全体の容量に影響しない。また、本実施形態の構造とすることによって、基板容量が顕在化しないため、基板容量が全体のキャパシタ容量の周波数特性に影響しない。

[0043] 例えば、下部電極 3 に接続する第 2 端子電極 7 b をさらに備え、第 2 端子電極 7 b は、第 1 端子電極 7 a 側からキャパシタ 10 を見た平面視において、下部電極 3 の形成領域内に形成されている（図 2）。このように、第 1 端子電極 7 a 及び第 2 端子電極 7 b の双方が下部電極 3 の形成領域内に形成されることにより、下地の段差の影響を受けずに平坦な端子電極 7 となる。この結果、端子電極 7 を形成する金属膜が側壁の段差で途切れたり、電圧印加時に電界が集中して、キャパシタの絶縁耐性が低下することを防止できる。

[0044] 好ましくは、上部電極 5 は、第 1 端子電極 7 a 側からキャパシタ 10 を見た平面視において、第 1 端子電極 7 a の形成領域内に形成されている（図 2）。これにより、真正容量に直列接続される等価直列抵抗（ESR）や等価直列インダクタンス（ESL）を低減でき、Q 値を向上させることができる。

[0045] 好ましくは、下部電極 3 が形成される基板 1 の領域には、トレンチ 1 a が形成されている（図 10）。これにより、容量結合する下部電極 3 の表面積

を増大させることができ、キャパシタの容量値を増大させることができる。

[0046] 例えば、トレンチ 1 b の内壁はテーパ形状をなしている（図 1 1）。これにより、トレンチの内壁が垂直な場合と比べて、トレンチの内壁を被覆するように形成される下部電極 3 及び上部電極 5 の応力が低減される。

[0047] なお、以上説明した各実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。本発明は、その趣旨を逸脱することなく、変更／改良され得るととともに、本発明にはその等価物も含まれる。即ち、各実施形態に当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、各実施形態が備える各要素及びその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。さらに、図面の寸法比率は図示の比率に限られるものではない。また、各実施形態は例示であり、異なる実施形態で示した構成の部分的な置換又は組み合わせが可能であることは言うまでもなく、これらも本発明の特徴を含む限り本発明の範囲に包含される。

符号の説明

- [0048] 1 …基板
1 a, 1 b …トレンチ
2 …絶縁膜
3 …下部電極
4 …誘電体膜
4 a …開口部
5 …上部電極
6 …保護層
6 a, 6 b …開口部
7 …端子電極
7 a …第 1 端子電極
7 b …第 2 端子電極

10, 10 a…キャパシタ

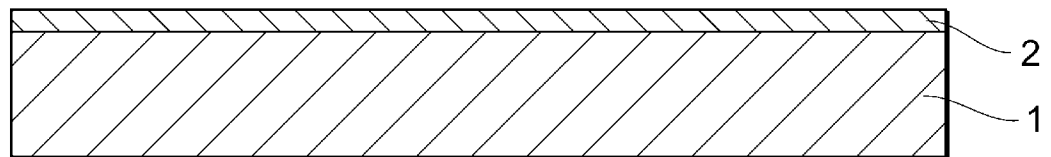
請求の範囲

- [請求項1] 基板と、
前記基板上に形成された下部電極と、
前記下部電極上に形成された誘電体膜と、
前記誘電体膜上の一部に形成された上部電極と、
前記上部電極に接続する第1端子電極と、
を備え、
前記上部電極及び前記第1端子電極は、前記第1端子電極側からキャパシタを見た平面視において、前記下部電極の形成領域内に形成されている、
キャパシタ。
- [請求項2] 前記下部電極に接続する第2端子電極をさらに備え、
前記第2端子電極は、前記第1端子電極側からキャパシタを見た平面視において、前記下部電極の形成領域内に形成されている、
請求項1に記載のキャパシタ。
- [請求項3] 前記上部電極は、前記第1端子電極側からキャパシタを見た平面視において、前記第1端子電極の形成領域内に形成されている、
請求項1又は2に記載のキャパシタ。
- [請求項4] 前記下部電極が形成される前記基板の領域には、トレンチが形成されている、
請求項1～3のいずれか一項に記載のキャパシタ。
- [請求項5] 前記下部電極が形成される前記基板の領域には、ピラミッド構造が形成されている、
請求項1～3のいずれか一項に記載のキャパシタ。

10a



图4



[図5]

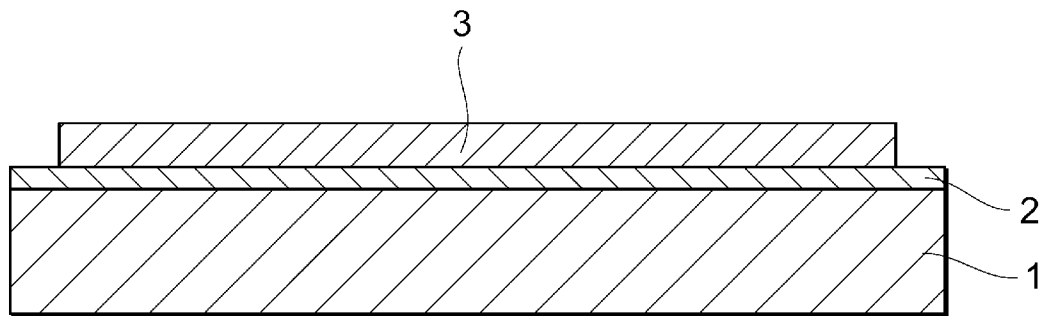


図5

[図6]

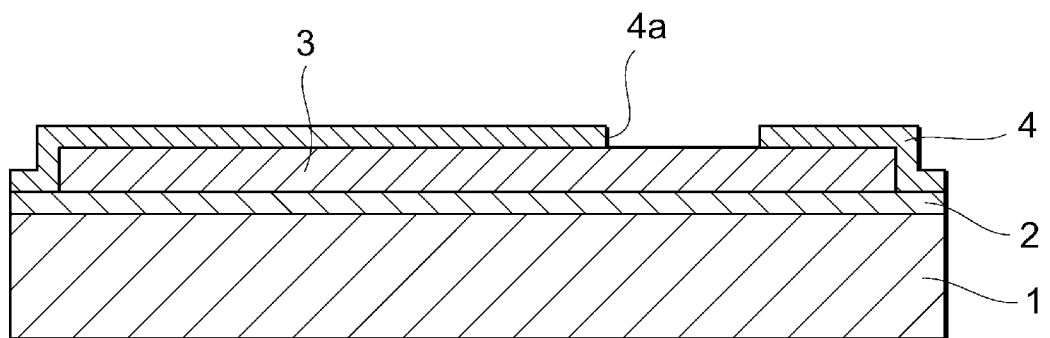


図6

[図7]

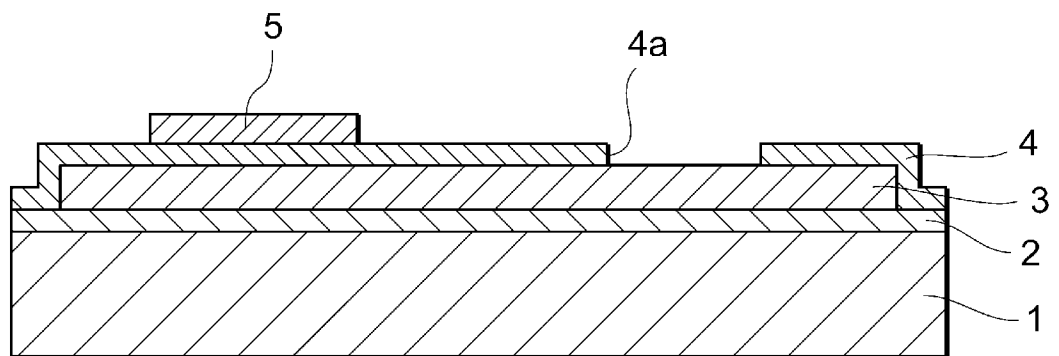


図7

[図8]

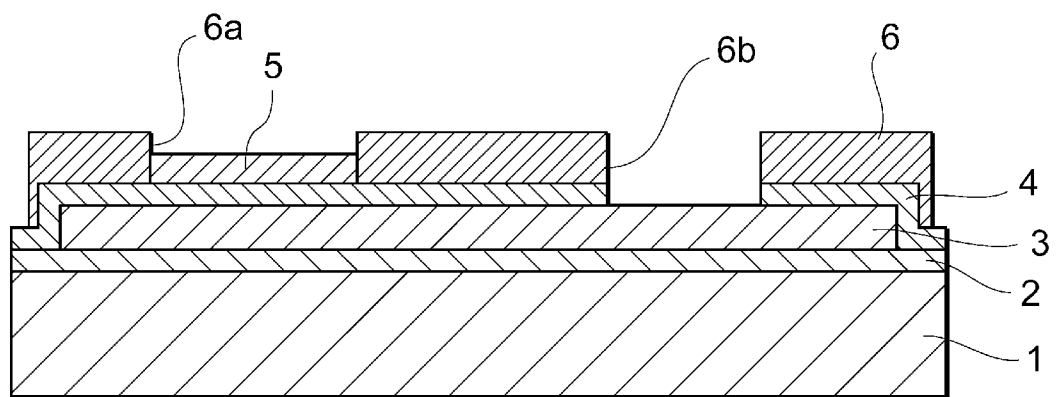


図8

[図9]

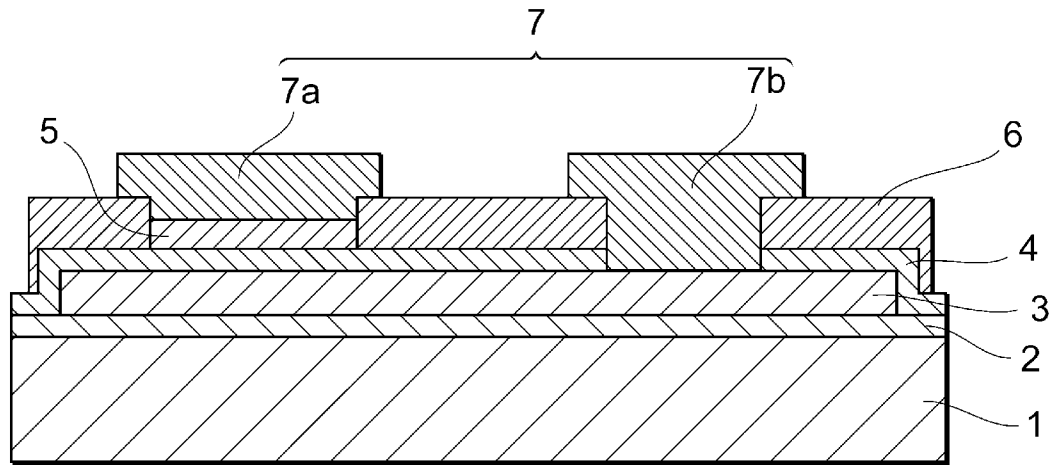


図9

[図10]

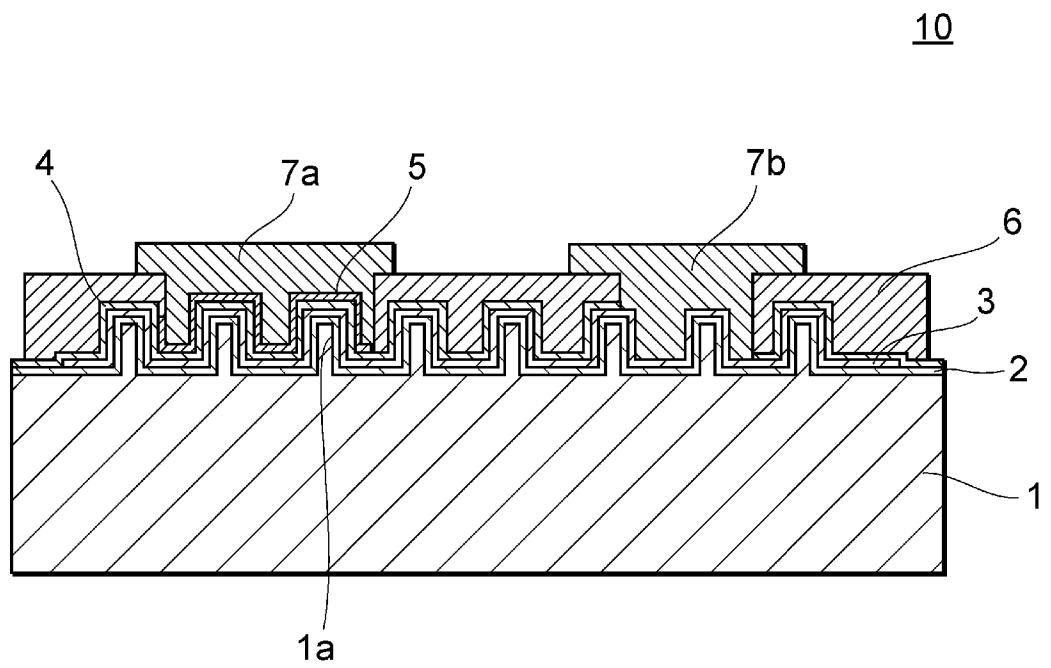


図10

[図11]

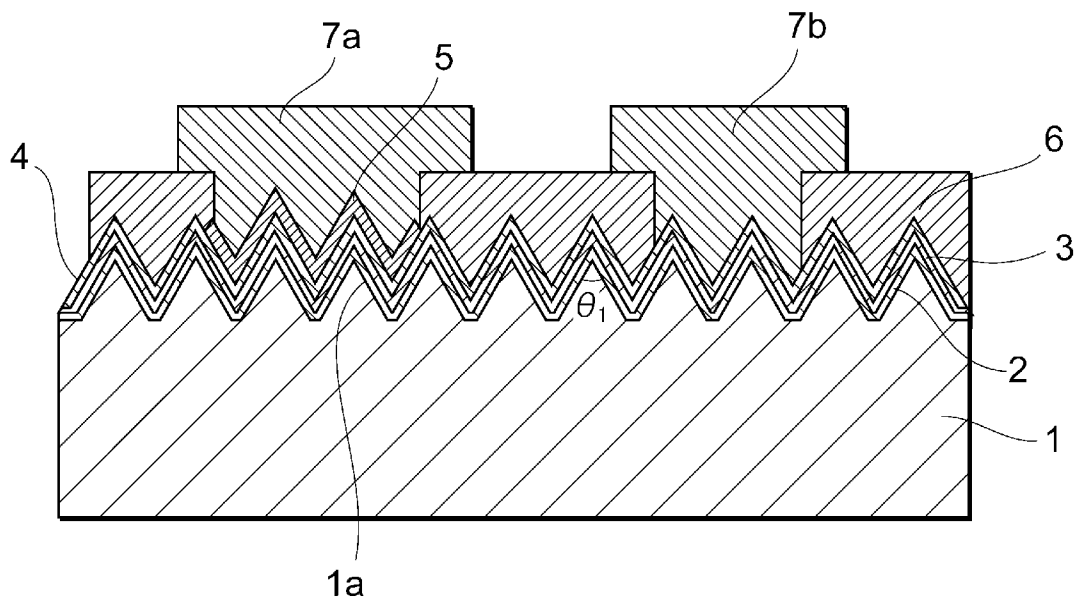
10

図11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/021240

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01)i, H01G4/33(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01G4/33, H01L21/822, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2008/149622 A1 (Kyocera Corp.), 11 December 2008 (11.12.2008), paragraphs [0025] to [0046]; fig. 1 & US 2010/0178878 A1 paragraphs [0036] to [0057]; fig. 1 & EP 2166549 A1	1, 2 3-5
Y	JP 2007-299939 A (Renesas Technology Corp.), 15 November 2007 (15.11.2007), paragraph [0006] (Family: none)	3-5
Y	JP 2008-251972 A (TDK Corp.), 16 October 2008 (16.10.2008), Background Art & US 2008/0237794 A1 Background Art	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 August 2017 (09.08.17)

Date of mailing of the international search report
22 August 2017 (22.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/021240

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-172154 A (Fujitsu Media Devices Ltd.), 17 June 2004 (17.06.2004), paragraph [0030]; fig. 3 (Family: none)	5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/12(2006.01)i, H01G4/33(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/12, H01G4/33, H01L21/822, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2008/149622 A1（京セラ株式会社）2008.12.11, 段落 [0025] - [0046], 図 1 & US 2010/0178878 A1, 段落 [0036] - [0057], 図 1 & EP 2166549 A1	1, 2 3-5
Y	JP 2007-299939 A（株式会社ルネサステクノロジ）2007.11.15, 段落 [0006]（ファミリーなし）	3-5
Y	JP 2008-251972 A（TDK株式会社）2008.10.16, 背景技術 & US 2008/0237794 A1, 背景技術	4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

09.08.2017

国際調査報告の発送日

22.08.2017

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 晃洋

5 D

3800

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-172154 A (富士通メディアデバイス株式会社) 2004.06.17, 段落 [0030], 図 3 (ファミリーなし)	5