

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-507541
(P2024-507541A)

(43)公表日 令和6年2月20日(2024.2.20)

(51)国際特許分類
H 0 1 L 23/02 (2006.01)

F I
H 0 1 L 23/02

G

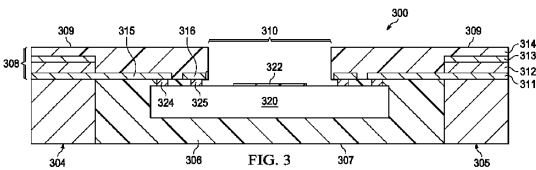
審査請求 未請求 予備審査請求 未請求 (全21頁)

(21)出願番号	特願2023-550606(P2023-550606)	(71)出願人	507107291
(86)(22)出願日	令和4年2月18日(2022.2.18)		テキサス インストルメンツ インコーポ レイテッド
(85)翻訳文提出日	令和5年10月16日(2023.10.16)		アメリカ合衆国 テキサス州 7 5 2 6 5 ー 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)国際出願番号	PCT/US2022/016891		
(87)国際公開番号	WO2022/182575	(74)代理人	230129078
(87)国際公開日	令和4年9月1日(2022.9.1)		弁護士 佐藤 仁
(31)優先権主張番号	63/152,375	(72)発明者	アーネスト ゲオルグ ミュルナー
(32)優先日	令和3年2月23日(2021.2.23)		ドイツ連邦共和国 8 0 9 9 2 ミュンヘ ン, ケムニッツァー プラッツ 1 2
(33)優先権主張国・地域又は機関	米国(US)	(72)発明者	マイケル リューデルス
(31)優先権主張番号	17/363,200		ドイツ連邦共和国 8 5 3 5 4 フライジ ング, デュエルシュトラッセ 8 エイ
(32)優先日	令和3年6月30日(2021.6.30)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA 最終頁に続く		

(54)【発明の名称】 チップセンサのためのオープンパッケージ

(57)【要約】

 記載される例において、デバイス（300）が相互接続基板（308）を含み、相互接続基板（308）は、相互接続基板を介したアパーチャ（310）を有する。オンチップ要素（322）を有する集積回路（IC）ダイ（320）が、オンチップ要素がアパーチャと整合されアパーチャに面した状態で、相互接続基板上に搭載される。ICダイは、相互接続基板の一方の側のみにモールド化合物（306）を用いてオーバーモールドされ、その結果、アパーチャにはモールド化合物がないままであり、オンチップ要素の周囲環境へのアクセスを可能にする。



【特許請求の範囲】

【請求項 1】

デバイスであって、

第 1 の表面及び反対の第 2 の表面を有する相互接続基板であって、前記第 1 の表面及び前記第 2 の表面を介して延在するアパーチャを有する前記相互接続基板と、

第 1 の側及び反対の第 2 の側を有する集積回路（IC）ダイであって、前記 IC が、前記 IC の前記第 1 の側の周辺領域によって囲まれたオンチップ要素を有しており、前記相互接続基板が前記アパーチャ内に露出された前記オンチップ要素を有する場合に前記 IC ダイの前記第 1 の側が前記第 2 の側に結合される、前記 IC ダイと、

前記 IC ダイの前記第 2 の側と前記相互接続基板の前記第 2 の表面の一部とを覆う封止材料であって、露出表面を有する前記封止材料と、

10

を含み、

前記デバイスが第 1 の表面及び反対の第 2 の表面を有し、前記デバイスの前記第 1 の表面が前記相互接続基板の前記第 1 の表面であり、前記デバイスの前記第 2 の表面が前記封止材料の前記露出表面の一部であり、そのため前記アパーチャが前記デバイスの前記第 1 の表面を貫通している、

デバイス。

【請求項 2】

請求項 1 に記載のデバイスであって、前記 IC ダイの前記第 1 の表面と前記相互接続基板の前記第 2 の表面との間の前記オンチップ要素の前記周辺領域にシーリング材料をさらに含む、デバイス。

20

【請求項 3】

請求項 2 に記載のデバイスであって、前記シーリング材料が金属リングである、デバイス。

【請求項 4】

請求項 2 に記載のデバイスであって、前記シーリング材料が硬化エポキシである、デバイス。

【請求項 5】

請求項 1 に記載のデバイスであって、各々、第 1 の表面と反対の第 2 の表面とを有するリードフレームコンタクトをさらに含み、前記リードフレームコンタクトの前記第 1 の表面が、前記相互接続基板の前記第 2 の表面に結合され、前記リードフレームコンタクトの前記第 2 の表面が、前記デバイスの前記第 2 の表面の一部である、デバイス。

30

【請求項 6】

請求項 5 に記載のデバイスであって、前記 IC ダイの前記第 1 の表面と前記相互接続基板の前記第 2 の表面との間の前記オンチップ要素の前記周辺領域にシーリング材料をさらに含む、デバイス。

【請求項 7】

請求項 1 に記載のデバイスであって、前記オンチップ要素がオンチップセンサ要素である、デバイス。

【請求項 8】

請求項 1 に記載のデバイスであって、前記オンチップ要素がオンチップアクチュエータ要素である、デバイス。

40

【請求項 9】

請求項 6 に記載のデバイスであって、前記デバイスが QFN（quad flat no-lead）パッケージであり、前記アパーチャが前記 QFN パッケージの頂部表面を貫通している、デバイス。

【請求項 10】

請求項 1 に記載のデバイスであって、前記相互接続基板の前記第 1 の表面及び前記相互接続基板の前記第 2 の表面が平坦な表面である、デバイス。

【請求項 11】

50

デバイスを製造する方法であって、前記方法が、

第 1 の表面及び反対の第 2 の表面を有する相互接続基板を製造することであって、前記相互接続基板が前記第 2 の表面上にコンタクトパッドを有することと、

前記第 1 の表面及び前記第 2 の表面を介して延在するアパーチャを前記相互接続基板に形成することと、

集積回路（IC）ダイ上のオンチップ要素が前記アパーチャ内で露出され、前記 IC ダイ上のボンドパッドが前記相互接続基板の前記第 2 の表面上の前記コンタクトパッドの一部に結合されるように、前記 IC ダイを前記相互接続基板の前記第 2 の表面上に搭載することと、

前記オンチップ要素の周りの前記 IC ダイの周辺領域を前記相互接続基板の前記第 2 の表面にシーリングすることと、

前記相互接続基板の前記第 1 の表面と前記アパーチャとにモールド化合物がないように保ちながら、前記 IC ダイと前記相互接続基板の前記第 2 の表面の一部とを前記モールド化合物でオーバーモールドすることと、

を含む、方法。

【請求項 1 2】

請求項 1 1 に記載の方法であって、相互接続基板を製造することが、

コンタクトパッド及び第 1 の閉鎖構造を有するリードを形成するため、支持基板上に金属の第 1 の層をエッチングすることと、

ビア及び第 2 の閉鎖構造を形成するため、前記第 1 の金属層に重なる第 2 の金属層をエッチングすることであって、前記第 2 の閉鎖構造が、金属閉鎖構造を形成するように前記第 1 の閉鎖構造と整合されることと、

前記第 1 及び第 2 の金属層を絶縁材料で覆うことと、

前記絶縁材料の一部を除去することによって前記相互接続基板の前記第 1 の表面をつくることと、

前記支持基板を除去して、前記コンタクトパッドの表面と前記相互接続基板の前記第 1 の表面とは反対の前記絶縁材料の一部の表面とを露出させることによって、前記相互接続基板の前記第 2 の表面をつくることと、

を含む、方法。

【請求項 1 3】

請求項 1 2 に記載の方法であって、アパーチャを形成することが、

前記相互接続基板の前記第 1 の表面上に、前記金属閉鎖構造の一部を露出させるエッチングマスクをつくることと、

残留要素を囲む閉鎖空間をつくるため、金属閉鎖構造を完全にエッチングすることと、

前記残留要素を除去することと、

を含む、方法。

【請求項 1 4】

請求項 1 1 に記載の方法であって、アパーチャを形成することが、前記相互接続基板を介する穴を機械加工することを含む、方法。

【請求項 1 5】

請求項 1 1 に記載の方法であって、前記 IC ダイの前記周辺領域を前記第 2 の表面にシーリングすることが、前記 IC ダイの前記周辺領域と前記相互接続基板の前記第 2 の表面との間にアンダーフィル材料を挿入することを含む、方法。

【請求項 1 6】

請求項 1 1 に記載の方法であって、前記 IC ダイの周辺領域を前記第 2 の表面にシーリングすることが、前記 IC ダイ上の閉鎖金属リングを前記相互接続基板にはんだ付けすることを含む、方法。

【請求項 1 7】

請求項 1 1 に記載の方法であって、

前記 IC ダイを前記モールド化合物でオーバーモールドする前に、リードフレーム上の

10

20

30

40

50

リードフレームコンタクトを前記相互接続基板上の前記コンタクトパッドの別の部分に結合することと、

前記ＩＣダイをオーバーモールドした後の前記リードフレームコンタクトの表面と、前記リードフレームと、前記相互接続基板の前記第１の表面の一部とを露出させることと、をさらに含む、方法。

【請求項１８】

請求項１１に記載の方法であって、複数のデバイスを形成するために、複数の相互接続基板が並列に製造及びオーバーモールドされ、オーバーモールドされた後に前記複数のデバイスを分離することを更に含む、方法。

【請求項１９】

デバイスを製造する方法であって、前記方法が、
コンタクトパッド及び第１の閉鎖構造を有するリードを形成するため、支持基板上に金属の第１の層をエッチングすることと、
ビア及び第２の閉鎖構造を形成するため、前記第１の金属層に重なる第２の金属層をエッチングすることであって、前記第２の閉鎖構造が、金属閉鎖構造を形成するように前記第１の閉鎖構造と整合されることと、
前記第１及び第２の金属層を絶縁材料で覆うことと、
前記絶縁材料の一部を除去することによって相互接続基板の第１の表面をつくることと

、
前記相互接続基板の前記第１の表面上に、前記金属閉鎖構造の一部を露出させるエッチングマスクをつくることと、
残留要素を囲む閉鎖空間をつくるため、前記金属閉鎖構造を完全にエッチングすることと、

前記支持基板を除去して、前記コンタクトパッドの表面と前記相互接続基板の前記第１の表面とは反対の前記絶縁材料の一部の表面とを露出させることによって、前記相互接続基板の第２の表面をつくることと、

前記相互接続基板を介して第１の表面から前記反対の第２の表面まで延在するアパーチャを形成するために前記残留要素を除去することと、
を含む、方法。

【請求項２０】

請求項１９に記載の方法であって、
集積回路（ＩＣ）ダイ上のオンチップ要素が前記アパーチャ内で露出され、前記ＩＣダイ上のボンドパッドが前記相互接続基板の前記第２の表面上の前記コンタクトパッドの一部に結合されるように、前記ＩＣダイを前記相互接続基板の前記第２の表面上に搭載すること、

前記オンチップ要素の周りの前記ＩＣダイの周辺領域を、前記相互接続基板の前記第２の表面にシーリングすることと、

前記相互接続基板の前記第１の表面とアパーチャとに前記モールド化合物がないように保ちながら、前記ＩＣダイと前記相互接続基板の前記第２の表面の一部とを前記モールド化合物でオーバーモールドすることと、

を更に含む、方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本願は、チップ上のセンサのための環境アクセスを可能にするオープンキャビティを有する集積回路チップのためのパッケージに関する。

【背景技術】

【０００２】

湿度センサ、ガスセンサ、ｐＨセンサ、光センサ、ＭＥＭＳ（微小電気機械）センサなど、チップの表面又はチップのバルク内にセンサ要素がある集積回路（ＩＣ）チップセン

10

20

30

40

50

サは、物理的／周囲環境材料がセンサに到達して測定され得るようにするために、パッケージ内の開口を必要とする。

【0003】

パッケージ内にオープンキャビティをモールドすることができるフィルムアシストモールドディング（FAM）のような手法は、妥当な価格の解決策を達成するために、困難で高価な設定を必要とする。パッケージ内に開口を提供するセラミックパッケージは、多くの用途に対して法外な価格となっている。

【発明の概要】

【0004】

説明する例において、デバイスが、相互接続基板を介したアパーチャを有する相互接続基板を含む。オンチップ要素を有する集積回路（IC）ダイが、オンチップ要素がアパーチャと整合されアパーチャに面した状態で、相互接続基板上に搭載される。ICダイは、相互接続基板の一方の側のみにモールド化合物を用いてオーバーモールドされ、その結果、アパーチャにはモールド化合物がないままであり、オンチップ要素が周囲環境にアクセスすることが可能となる。

【図面の簡単な説明】

【0005】

【図1】相互接続基板が、オンチップセンサを周囲環境に露出させるためのアパーチャを含む、例示のデバイスの等角図である。

【0006】

【図2】例示のフィルムアシストモールドディング手法の断面図である。

【0007】

【図3】相互接続基板が、オンチップセンサを露出させるためのアパーチャを含む、例示のデバイスの断面図である。

【0008】

【図4】別の例示のデバイスの断面図であり、相互接続基板が、フリップチップ構成でオンチップセンサを露出させるためのアパーチャを含む。

【0009】

【図5A】例示の相互接続基板におけるアパーチャの製造を図示する底面図である。

【図5B】例示の相互接続基板におけるアパーチャの製造を図示する底面図である。

【図5C】例示の相互接続基板におけるアパーチャの製造を図示する底面図である。

【0010】

【図6A】例示の相互接続基板の製造を図示する。

【図6B】例示の相互接続基板の製造を図示する。

【図6C】例示の相互接続基板の製造を図示する。

【図6D】例示の相互接続基板の製造を図示する。

【図6E】例示の相互接続基板の製造を図示する。

【図6F】例示の相互接続基板の製造を図示する。

【図6G】例示の相互接続基板の製造を図示する。

【図6H】例示の相互接続基板の製造を図示する。

【図6I】例示の相互接続基板の製造を図示する。

【図6J】例示の相互接続基板の製造を図示する。

【図6K】例示の相互接続基板の製造を図示する。

【0011】

【図7】シーリングリングを備える例示の相互接続基板の底面図である。

【0012】

【図8A】オンチップセンサを露出させるためのアパーチャを有する、例示のデバイスのアセンブリ及び封止を図示する。

【図8B】オンチップセンサを露出させるためのアパーチャを有する、例示のデバイスのアセンブリ及び封止を図示する。

10

20

30

40

50

【図 8 C】 オンチップセンサを露出させるためのアパーチャを有する、例示のデバイスのアセンブリ及び封止を図示する。

【図 8 D】 オンチップセンサを露出させるためのアパーチャを有する、例示のデバイスのアセンブリ及び封止を図示する。

【図 8 E】 オンチップセンサを露出させるためのアパーチャを有する、例示のデバイスのアセンブリ及び封止を図示する。

【図 8 F】 オンチップセンサを露出させるためのアパーチャを有する、例示のデバイスのアセンブリ及び封止を図示する。

【図 8 G】 オンチップセンサを露出させるためのアパーチャを有する、例示のデバイスのアセンブリ及び封止を図示する。

【 0 0 1 3 】

【図 9】 個片化前のいくつかの封止されたデバイスを図示する、例示の相互接続基板のストリップの断面図である。

【 0 0 1 4 】

【図 1 0】 オンチップセンサを含む例示のデバイスの概略図である。

【発明を実施するための形態】

【 0 0 1 5 】

図面において、一貫性のため同様の要素は同様の参照符号によって示されている。

【 0 0 1 6 】

「モールド相互接続基板」としても知られる多層配路可能リードフレーム（R L F）相互接続基板は、低コストのパッケージを可能にするパッケージング技術である。R L F 相互接続基板を製作するために困難な又は高価な細工は必要とされず、これにより、迅速なプロトタイピング及びパッケージ変形の容易な作成が可能になる。多層の能力は、封止されたパッケージのピンアウトに柔軟性を提供する。

【 0 0 1 7 】

R L F は配路されたリードにパターン化され、絶縁材料で覆われた、1つ又はそれ以上の導電層を有する相互接続基板を形成するために、一連の付加的な処理工程を用いて製造される相互接続基板である。集積回路（I C）ダイを相互接続基板上に搭載することができ、次いで R L F 及び I C ダイを封止して I C デバイスを形成する。

【 0 0 1 8 】

例示の R L F 相互接続基板は、1つの表面から反対の表面まで相互接続基板を貫通するアパーチャをつくるように構成される。アパーチャは、センサ要素を含む I C ダイが相互接続基板に取り付けられる前に形成される。アパーチャ内で露出したセンサ要素を備える I C ダイを取り付けた後、チップの裏側のみがオーバーモールドされる。このようにして、センサ要素は周囲環境に露出され、一方、センサ要素表面上の直接エッチングなどの処理工程は回避される。

【 0 0 1 9 】

図 1 は、オンチップセンサ 1 2 2 を露出させるためのアパーチャ 1 1 0 を有する、例示のセンサデバイス 1 0 0 の等角図である。アパーチャ 1 1 0 は、I C ダイ 1 2 0 を相互接続基板 1 0 8 に取り付ける前に、相互接続基板 1 0 8 を介して形成される。アパーチャ 1 1 0 は、表面 1 0 9 から、I C ダイ 1 2 0 が搭載される反対の表面（この図では見えない）まで、相互接続基板 1 0 8 を貫通する。この例では、リードフレームが相互接続基板 1 0 8 に結合されて、1 0 4 で示されるような、パッケージコンタクトのセットを提供する。I C 1 2 0 及び相互接続基板 1 0 8 の裏側のみが、モールド化合物 1 0 6 でオーバーモールドされて、センサデバイス 1 0 0 を形成する。相互接続基板 1 0 8 の表面 1 0 9 には、モールド化合物がないままである。

【 0 0 2 0 】

この例では、センサデバイス 1 0 0 が、より大きなシステムの一部として印刷回路基板（P C B）1 0 2 上に搭載される。P C B 1 0 2 は、既知の又は後に開発される P C B 技術を用いて製造される。センサデバイス 1 0 0 は、はんだリフローなどの既知の又は後の

10

20

30

40

50

技術を用いて、ボンドパッドに結合され、それによってPCB102内の回路トレースに結合される。別の例において、セラミック基板、可撓性フィルム基板など、別のタイプのシステム基板をPCB102の代わりに用いることができる。

【0021】

この例では、アパーチャ110がデバイス100の頂部側に配置されて、デバイス100がPCB又は他のタイプのシステム基板上に搭載された後にセンサ要素122が周囲環境に露出されることを可能にする。

【0022】

図2は、例示のフィルムアシストモルディング手法の断面図である。この例では、オンチップセンサ要素204を有するICダイ202が、リードフレームダイ取り付けパッド(DAP)206上に搭載され、ボンドワイヤ208によってリード207に結合される。次いで、ICダイ202及びDAP206は下側モールド210及び上側モールド212を用いてオーバーモールドされ、その中にモールド化合物がポート216を介して射出されて、ICダイ202及びDAP206を囲む空間200を充填し、パッケージ化されたセンサデバイスを形成する。この例では、非粘着性エチレンテトラフルオロエチレン(ETFE)の薄膜214が離型剤として用いられる。

【0023】

上側モールド212の一部218が、センサ要素204にほぼ接するように構成される。ETFE薄膜214は、上側モールド218とオンチップセンサ204との間の残りの空間をシーリングする。このようにして、オンチップセンサ204が周囲環境に露出されることを可能にするアパーチャが形成される。

【0024】

しかしながら、FAMプロセスを用いてセンサデバイスを製造することは、必要とされる上側モールド及び下側モールドをつくるために、困難かつ高価な設定を必要とする。

【0025】

図3は例示のデバイス300の断面図であり、相互接続基板308は、ICダイ320上に位置するオンチップセンサ322を周囲環境に露出させるためのアパーチャ310を含む。例示のデバイス300は、例示のデバイス100(図1)と同様である。

【0026】

相互接続基板308は、導電層がパターン化されて相互接続リード線を形成する、導電材料及び絶縁材料のいくつかの層を含む。この例では、層311及び層313は、リード線及びコンタクトパッドにパターン化される導電層である。例えば、リード線315は、リード層311内の様々なリード線を表す。コンタクトパッド316は、リード層311内の様々なコンタクトパッドを表す。ビア層312内には、層311内のリード線と層313内のリード線との間を接続するためのビアが形成される。絶縁材料314が、リード線間に配置されて、それらを互いに絶縁する。この例では、断熱材料は「Ajinomoto(商標)Build-up Film(ABF)」である。相互接続基板308を製造するためのプロセスは、以下でより詳細に説明する。

【0027】

相互接続基板308の頂部表面から相互接続基板308の反対の底部表面まで延在するアパーチャ310が、相互接続基板308内に製造される。アパーチャ310の位置はICダイ320が相互接続基板308に結合されるとき、センサ要素322の場所と整合するように選択される。

【0028】

この例では、ICダイ320は、ICダイ320の各ボンドパッド上に形成された銅ポストを有する。ポスト324は、これらの銅ポストを表す。銅ポストは、シリコンダイ上にポストを形成するための既知の又は後に開発される手法を用いて製造される。ICダイ320は、銅ポストをそれぞれのリード線にはんだ付けすることによって相互接続基板に結合される。例えば、銅ポスト324は、既知の又は後に開発されるダイ取り付け手法を用いて相互接続リード線315にはんだ付けされる。

10

20

30

40

50

【0029】

この例では、センサ322を囲む連続銅リング325が、銅ポスト324などの銅ポストと共にIC320上に製造される。銅リング325は、相互接続基板308の層311内に製造される銅リング316と整合するように位置決めされる。銅リング325は、銅ポストが、既知の又は後に開発されるダイ取り付け手法を用いてリード線にはんだ付けされるのと同時に、銅リング316にはんだ付けされる。このようにして、センサ要素322の周りの周辺領域のICダイと相互接続基板308の底部表面との間にシールが形成される。このシールはICダイ320がモールド化合物306でオーバーモールドされるときに、モールド化合物がアパーチャ310に入ることを防止する。

【0030】

この例では、リードフレームが、リードフレームコンタクト304、305によって表されるリードフレームコンタクトのセットを有する。リードフレームコンタクトは、銅ポスト324と同様に、はんだを用いて相互接続基板308に結合される。デバイス300がモールド化合物306でオーバーモールドされた後、リードフレームの支持部材がトリミングされて、リードフレームコンタクト304、305が残される。これらのリードフレームコンタクトにより、PCB102（図1）などのPCB上に、PCBから離れる方向を向いたアパーチャ310を備えて、デバイス300を取り付けることができる。

【0031】

ICダイ320は、デバイス300の底部外側表面307を形成するために、一方の側のみにオーバーモールドされる。相互接続基板308の頂部表面309にはモールド化合物がないままであり、頂部表面309は、デバイス300の反対の頂部表面外側表面となる。このようにして、アパーチャ310には、モールド化合物がないままである。

【0032】

図4は別の例示のデバイス400の断面図であり、相互接続基板408は、ICダイ420内に位置するオンチップセンサ422を周囲環境に露出させるためのアパーチャ410を含む。この例では、ICダイ420はフリップチップ構成で搭載される。相互接続基板408は、相互接続リード線415などの相互接続リード線を形成するために導電層がパターン化される導電材料及び絶縁材料の層411～414を有する相互接続基板308（図3）と同様である。

【0033】

相互接続基板408の頂部表面から相互接続基板408の反対の底部表面まで延在するアパーチャ410が、相互接続基板408内に製造される。アパーチャ410の位置はICダイ420が相互接続基板408に結合されるとき、センサ要素422の場所と整合するように選択される。

【0034】

この例では、ICダイ420は、ICダイ420の各ボンダッド上に形成された銅ポストを有する。ポスト424は、これらの銅ポストを表す。銅ポストは、シリコンダイ上にポストを形成するための既知の又は後に開発される手法を用いて製造される。ICダイ420は、銅ポストをそれぞれのリード線にはんだ付けすることによって相互接続基板に結合される。例えば、銅ポスト424は相互接続リード線415にはんだ付けされる。

【0035】

この例では、連続シール430が、センサ要素422の周りの周辺領域のICダイ420と相互接続基板408の頂部表面との間に形成される。この例では、シール430が、ICダイ420と相互接続基板408との間の間隙を充填するために設置される低粘度エポキシアンダーフィルである。低粘度エポキシは、例えば、シリンジを用いて設置することができる。低粘度エポキシは、毛細管現象によってICダイ420と相互接続基板408との間の間隙に吸引される。硬化後、このシールは、ICダイ420がモールド化合物406でオーバーモールドされるときに、モールド化合物がアパーチャ410に入ることを防止する。

【0036】

10

20

30

40

50

ＩＣダイ４２０は、デバイス４００の頂部外側表面４０７を形成するために、一方の側のみにオーバーモールドされる。相互接続基板４０８の底部表面４０９にはモールド化合物がないままであり、底部表面４０９は、デバイス４００の反対の底部表面外側表面となる。このようにして、アパーチャ４１０にはモールド化合物がないままである。

【００３７】

この例では、コンタクト４０４、４０５などのコンタクトのセットが層４１４内に形成される。リード層４１３及びビア層４１２内のビアは、コンタクト４０４、４０５をリード層４１１内のそれぞれのリード線に結合する。コンタクト４０４、４０５は、ＰＣＢに面するアパーチャ４１０を有するＰＣＢ１０２（図１）などのＰＣＢ上にデバイス４００が取り付けられることを可能にする。この場合、センサ要素４２２が周囲環境に露出されることを可能にするために、アパーチャ４１０と整合された穴がＰＣＢ内に必要とされる。

10

【００３８】

図５Ａ～図５Ｃは、例示の相互接続基板５００におけるアパーチャ５１０の製造を図示する底面図である。例示の相互接続基板５００は、相互接続基板１０８（図１）、相互接続基板３０８（図３）、及び相互接続基板４０８（図４）と同様である。

【００３９】

図５Ａは、図１に示されるようなＰＣＢ１０２などの、別の基板に相互接続基板を結合するために用いられ得る相互接続基板５００の底部表面上に露出され、概して５０４、５０５で示される銅コンタクトパッドのセットを図示する。この例では、相互接続基板の絶縁層が、ＡＢＦを用いて製造される。

20

【００４０】

図６Ａ～図６Ｋを参照してより詳細に説明するように、相互接続基板５００の各層上に、銅シリンダ５２４が銅リングのスタックとして製造される。この例では円形リングとして示されているが、他の例において閉鎖構造５２４が楕円形、正方形、矩形などの他の形状を有する可能性がある。残留要素５２６は、銅円筒５２４によって囲まれている。

【００４１】

図５Ｂは、残留要素５２６を囲む空の円筒形空間５２５を形成するためにエッチングプロセスを用いて銅シリンダ５２４を除去した後の相互接続基板５００を図示する。

【００４２】

図５Ｃは、アパーチャ５１０を形成するために残留要素５２６を除去した後の相互接続基板５００を図示する。

【００４３】

図６Ａ～図６Ｋは、相互接続基板１０８（図１）、相互接続基板３０８（図３）、及び相互接続基板４０８（図４）に類似する、例示の相互接続基板５００（図５Ｃ）の製造を図示する。配路可能なリード相互接続基板を製造するための既知の又は後に開発される手法を用いて、相互接続基板を製造することができる。例えば、２００２年のMichael M. Liuの「半導体パッケージのためのモールドされた相互接続基板（MIS）技術」を参照されたい。以下に、相互接続基板を製造するための手法について簡単に説明する。

40

【非特許文献１】“Molded Interconnect Substrate (MIS) Technology for Semiconductor Packages,” Michael M. Liu, 2020.

【００４４】

図６Ａは、相互接続基板が上に製造される、金属キャリア６０２の断面図を示す。この例では、単一のデバイスのための相互接続基板が示されている。相互接続基板のセットが、基板のストリップ又は基板のシートとして同時に配置されて製造されてもよい。次いで、基板は、完全なデバイスの製造後に分離される。

【００４５】

図６Ｂは、金属キャリア６０２上にめっきされ、次いでリソグラフィプロセスを用いて

50

パターン化され、エッチングされて、例えば、IC上のボンダパッドに結合するための相互接続及びボンダパッドを提供するために、様々な構成の水平相互接続リード線のセットを形成する、銅などの金属層604を図示する。この例では、閉鎖リング524-1がアパーチャの輪郭を開始するために設けられている。

【0046】

図6Cは、銅などの第2の金属層606を図示し、これは、垂直相互接続を形成するための垂直ビアのセットを形成するために、めっきされ、パターン化され、エッチングされる。単一層の相互接続の場合、ビアは、外部接触に用いられてもよい。複数層の相互接続の場合、ビアは、第1の相互接続層上の相互接続リードを第2の相互接続層上のそれぞれの相互接続リードに接続し得る。この例では、第2の閉鎖リング524-2が第1のリング524-1の頂部上に製造される。

10

【0047】

図6Dは、第1の相互接続層604及びビア層606の上に形成される絶縁層608を図示する。この例では、絶縁層608はABFである。別の例において、絶縁層608が、例えば、エポキシモールド化合物であってもよい。

【0048】

図6Eは、絶縁層608を研削することによって生成される平坦化された頂部表面610を図示する。このようにして、ビアの頂部及びリング524-2の頂部が露出される。

【0049】

図6Fは、銅などの第2の相互接続層614を示し、これは、平坦化された表面610上にめっきされ、次いで、リソグラフィプロセスを用いてパターン化され、エッチングされて、様々な構成の水平相互接続リード線の第2のセットを形成する。相互接続層614内の相互接続リードが、ビア層606内のビアの頂部に接続することができる。この例では、第3の閉鎖リング524-3が第2のリング524-2の上に製造される。

20

【0050】

図6Gは、銅などの第2の金属層606を図示し、これは、めっきされ、パターン化され、エッチングされて、垂直相互接続を形成するための垂直ビアのセットを形成する。これらのビアは、外部接触に用いることができる。この例では、第4の閉鎖リング524-4が第3のリング524-3の頂部上に製造される。

【0051】

図6Hは、第2の相互接続層614及びビア層616の上に形成される第2の絶縁層618を図示する。この例では、絶縁層618はABFである。別の例において、絶縁層が、例えば、エポキシモールド化合物であってもよい。

30

【0052】

図6Iは、絶縁層618を研削することによって生成される平坦化された頂部表面620を図示する。このようにして、ビアの頂部が露出される。同様に、シリンダ524の頂部が露出される。シリンダ524は、リング524-1、524-2、524-3、524-4を含み、残留要素526を囲む。

【0053】

図6Jは、エッチングプロセスを用いて銅シリンダ524を除去した後の残留要素526を囲む空の円筒形空間525を図示する。エッチングマスクが、表面620上につくられ、次いで、金属シリンダ524の頂部のみを露出させるようにパターン化される。次いで、金属シリンダ524は、完全な金属エッチングプロセスによって除去される。

40

【0054】

図6Kは、平坦化された頂部表面620の反対側にある平坦化された底部表面622を図示する。底部表面622は、水平相互接続及びダイ取り付けパッドを露出させるために、このときにはモールド／ビルドアップされている相互接続基板の下キャリア602のバルクをエッチング又は研削することによって形成される。露出したダイ取り付けパッドには、NiPdAu、Cu+OSP、及び／又は事前めっきリードフレーム(PPF)構成などの表面仕上げが施されてもよい。キャリア602が除去されると、残留要素526

50

は自由になり、除去されて、上側表面 6 2 0 及び底部表面 6 2 2 を介して延在するアパーチャ 5 1 0 を曝露させる。

【0055】

このようにして、対向する平坦表面を有する 2 層相互接続基板が製造される。同じプロセス工程を用いて、アパーチャ 5 1 0 が相互接続基板内に製造される。他の例において、付加的な相互接続層が同様の方式で製造され得る。別の例において、単一層の相互接続基板が同様の方式で製造されてもよい。

【0056】

図 7 は、例示の相互接続基板 3 0 8 (図 3) の底面図であり、継続的なシーリングリング 3 1 6 (図 3 参照) をより詳しく示す。シーリングリング 3 1 6 は、相互接続基板 3 0 8 の第 1 の相互接続層 3 1 1 においてパターン化され、エッチングされる。図 3 について説明したように、シーリングリング 3 1 6 は、IC 3 2 0 (図 3) 上の銅リング 3 2 5 (図 3) などの IC 上に製造された整合銅リングと整合するように構成される。この例では、銅リング 3 1 6 及び銅リング 3 2 5 (図 3) は円形である。別の例において、長円形、正方形、矩形などの異なる形状を製造することもできる。

10

【0057】

図 8 A ~ 図 8 G は、オンチップセンサ 8 2 2 を露出させるためのアパーチャ 8 1 0 を有する、例示のデバイス 8 0 0 のアセンブリ及び封止を図示する。この例では、相互接続基板 8 0 8 が相互接続基板 4 0 8 (図 4) に類似する。相互接続基板は、エッチングされて凹部をつくる各外周側の領域 8 4 0 を含み、凹部は、その後、金などの導電性材料でめっきされて、各コンタクトパッドのためのはんだ湿潤性側面領域を形成する。

20

【0058】

図 8 A は、図 6 A ~ 図 6 K に図示するように製造されたアパーチャ 8 1 0 を含む、例示の相互接続基板 8 0 8 の断面図であり、図 8 B は等角図である。

【0059】

図 8 C は、オンチップセンサ 8 2 2 を有する、例示の IC ダイ 8 2 0 の断面図である。IC ダイ 8 2 0 は IC 8 2 0 を相互接続基板 8 0 8 にはんだ付けすることを容易にするために、はんだペーストで頂部が覆われた隆起銅ポスト 8 2 4 を含む。

【0060】

図 8 D は、既知の又は後に開発される手法を用いて例示の相互接続基板 8 0 8 にはんだ付けされた後の例示の IC 8 2 0 の断面図であり、図 8 E は等角図である。

30

【0061】

この例では、シーリング化合物の連続シール 8 3 0 が、IC 8 2 0 の底部表面と相互接続 8 0 8 の頂部表面との間のセンサ要素 8 2 2 の周りの IC 8 2 0 の周りの周辺領域に設置される。この例では、シール 8 3 0 は、IC ダイ 8 2 0 と相互接続基板 8 0 8 との間隙を充填するために設置された低粘度エポキシアンダーフィルである。このシールは、IC ダイ 8 2 0 がモールド化合物 8 0 6 でオーバーモールドされるときに、モールド化合物がアパーチャ 8 1 0 に入ることを防止する。

【0062】

図 8 F は、完成した例示のセンサデバイス 8 0 0 の断面図であり、図 8 G は等角図である。モールド化合物 8 0 6 は、IC ダイ 8 2 0 の頂部表面及び相互接続基板 8 0 8 の頂部表面の一部のみにオーバーモールドされる。モールド化合物 8 0 6 はセンサデバイス 8 0 0 の頂部表面を形成し、相互接続基板 8 0 8 の底部表面は、センサデバイス 8 0 0 の反対の底部表面を形成する。センサ要素 8 2 2 の周りの IC ダイ 8 2 0 の周辺領域の周りの連続シール 8 3 0 は、オーバーモールドプロセス中にモールド化合物 8 0 6 がアパーチャ 8 1 0 に入ることを防止する。このようにして、アパーチャ 8 1 0 は、オーバーモールドが実施された後、デバイス 8 0 0 の外側表面を貫通する。

40

【0063】

このようにして、センサ要素のための下向きのアパーチャを有するフリップチップ構成で IC ダイが搭載された QFN (quad flat no-lead) パッケージとして

50

センサ要素が製造される。この例では、センサデバイスがPCB上に搭載される場合、センサデバイスの周りの環境へのオンチップセンサのアクセスを提供するために、PCB内に穴が設けられる。

【0064】

別の実施例において、コンタクト304、305（図3）を有するリードフレームなどの補助リードフレームを用いて、上向き構成のオンチップセンサ要素を有するICダイをパッケージ化するために、同様の処理を用いることができる。

【0065】

図9は、例示の相互接続基板のストリップ908の断面図であり、個片化前のいくつかの封止されたデバイス9001、9002、9003を図示する。この例では、個々のICダイ820が、既知の又は後に開発されるダイ取り付け手法を用いて相互接続基板ストリップ908に取り付けられる。

10

【0066】

この例では、シーリング化合物830の連続シールが、IC820の底部表面と相互接続ストリップ908の頂部表面との間のセンサ要素822の周りの各IC820の周りの周辺領域に設置される。この例では、シールは、各ICダイ820と相互接続基板908との間の間隙を充填するように設置された低粘度エポキシアンダーフィルである。このシールは、ICダイ820がモールド化合物806でオーバーモールドされるときに、モールド化合物がアパーチャ810に入ることを防止する。

【0067】

20

次いで、ストリップ全体が、モールド化合物906でオーバーモールドされる。各ICダイ820の周りの周辺領域におけるシールに起因して、アパーチャ領域810にはモールド化合物がないままである。

【0068】

次いで、オーバーモールドされた後、ストリップは、ソーイングによって又は他の既知のもしくは後に開発される個片化技術によって個片化される。

【0069】

図10は、オンチップセンサを含む、例示のセンサデバイス1000の概略図である。この例では、センサデバイス1000が、オンチップ相対湿度（RH）センサ1022とオンチップ温度センサとを含む。相対湿度センサ1022は、センサデバイスのパッケージ内のアパーチャを介して周囲環境に露出される必要がある。例示の相互接続基板308（図3）又は相互接続基板408（図4）などの相互接続基板を介して、アパーチャが設けられる。この例では、アナログ／デジタル変換器（ADC）1051が、RHセンサ1022及び温度センサ1023からのアナログ信号サンプルをデジタルデータサンプルに変換し、次いで、デジタルデータサンプルは、論理1052によってローカルレジスタに格納される。この例では、集積回路間（IC）インターフェースが、デバイス1000のコンタクトパッドに結合された外部デバイスがセンサデータサンプルにアクセスすることを可能にするように構成される。

30

他の実施例

【0070】

40

説明される例において、センサデバイスが、ICダイと相互接続基板との間の間隙を充填するためにエポキシアンダーフィルを用いて相互接続基板にシーリングされるICダイを有する。別の説明される例において、ICダイ上に形成されるリングが、ICダイと相互接続基板との間の間隙をシーリングするために用いられる。いずれの場合も、ICダイは、センサ要素を下に向けたフリップチップ構成で搭載される。いずれかのシーリング構成も、封止されたパッケージ内でセンサ要素が上向きとされ得るように、補助リードフレームと共に用いられてもよい。

【0071】

説明される例において、オンチップセンサが周囲環境へアクセスし得るように、センサデバイスが丸いアパーチャ備えて提供される。他の例において、アパーチャは、長円形、

50

正方形、矩形などの異なる形状であってもよい。

【0072】

説明される例において、アパーチャが、誘電体で充填される中心コアを有する閉鎖金属形状によって画定される。閉鎖金属形状をエッチング除去した後、誘電体コアは除去される。別の例において、閉鎖金属形状は中実の金属であってもよく、その結果、金属形状がエッチング除去された後、アパーチャが曝露される。

【0073】

説明される例において、オンチップセンサ要素を備えるICダイが説明される。他の例において、ICダイは、チップパッケージの外部の環境と相互作用しなければならない、オンチップアクチュエータ要素又は他のタイプのオンチップ要素を有する。例えば、そのようなオンチップ要素は、超音波トランスデューサ、レーザエミッタ、微小電気機械(MEMS)アクチュエータ、変形可能ミラーなどとし得る。

10

【0074】

説明された例において、相互接続基板は、モールド相互接続基板としても知られるRLFであり、これは一連の付加的な処理工程を用いて製造され、配路されたリードにパターン化され、絶縁材料で覆われた、1つ又は複数の導電層を有する相互接続基板を形成する。別の例において、相互接続基板が、多層セラミック相互接続基板、シリコンベースの相互接続基板など、他の既知の又は後に開発される技法を用いて製造され得る。

【0075】

説明される実施例において、相互接続基板が、銅めっき及びABF絶縁材料を用いて製造される。他の例において、導電材料と絶縁材料との異なる組み合わせが用いられてもよい。例えば、エポキシ絶縁材料を用いることができる。

20

【0076】

説明される例において、アパーチャが、相互接続リードを形成するために用いられるのと同じプロセス工程を用いて、例示の相互接続基板内に形成される。別の例において、穿孔、レーザー切断、スタンピングなどによって穴を機械加工することによって基板が完成した後に、例示の基板にアパーチャを形成してもよい。

【0077】

説明される例において、相互接続基板の表面は、平坦な表面を形成するために平坦に研削される。別の例において、オーバーモールドプロセス中にモールド化合物がアパーチャに入るのを防ぐために、アパーチャの外周の周りに連続シールを形成することができるように表面が十分に平坦である限り、研削は必要ない場合がある。

30

【0078】

記載された例において、クワッドフラットノーリードパッケージが形成される。他の例において、オンチップセンサ要素のためのアパーチャが、クワッドフラットパック、デュアルフラットパック、デュアルフラットノーリード、デュアルインラインなど、パッケージの外側表面を形成する相互接続基板内に貫通する、様々なタイプのパッケージが形成され得る。

【0079】

本記載において、「結合する」という用語及びその派生語は、間接的、直接的、光学的、及び／又はワイヤレスの電氣的接続を意味する。したがって、第1のデバイスが第2のデバイスに結合する場合、その接続は、直接的な電氣的接続を介するもの、他のデバイス及び接続を介する間接電氣接続を介するもの、光学信号接続を介するものなどであり得る。

40

【0080】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例が可能である。

【図面】
【図 1】

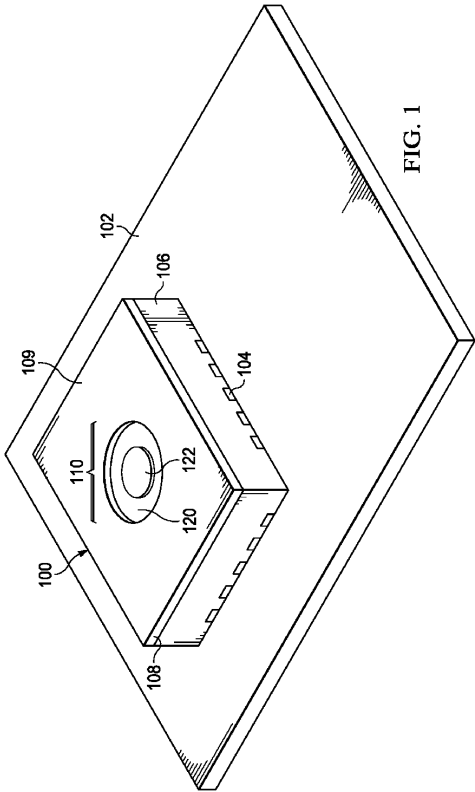


FIG. 1

【図 2】

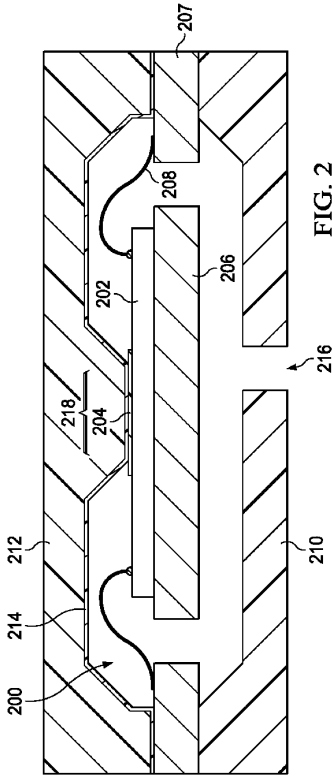


FIG. 2

【図 3】

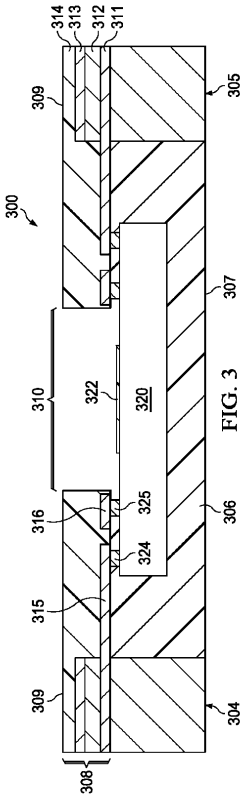


FIG. 3

【図 4】

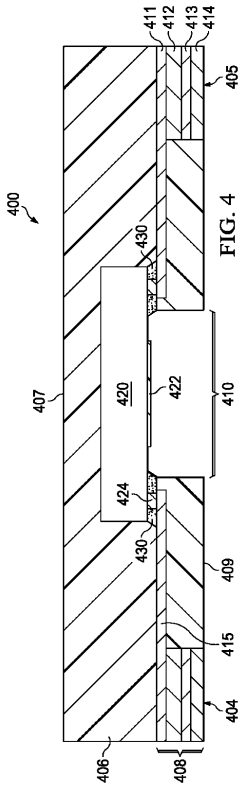


FIG. 4

10

20

30

40

50

【図 5 A】

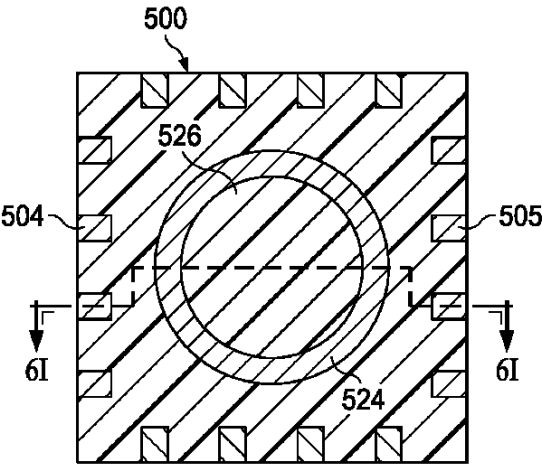


FIG. 5A

【図 5 B】

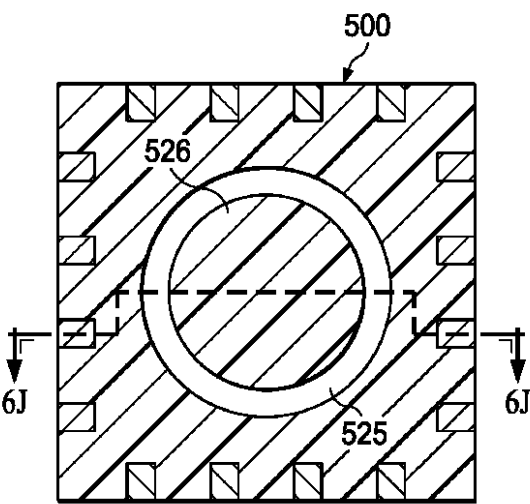


FIG. 5B

【図 5 C】

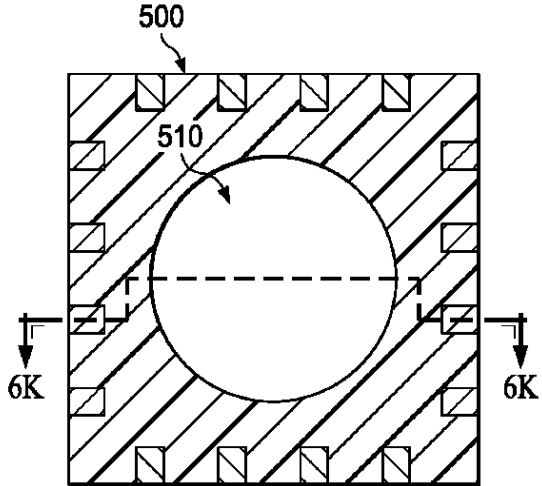


FIG. 5C

【図 6 A】

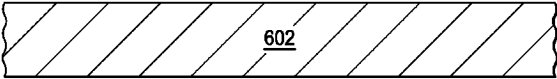


FIG. 6A

10

20

30

40

50

【図 6 B】

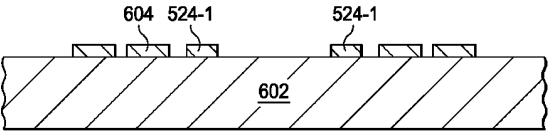


FIG. 6B

【図 6 C】

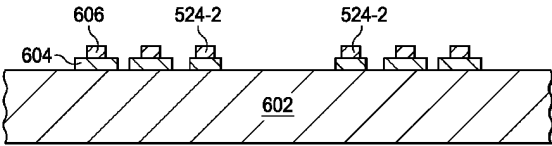


FIG. 6C

【図 6 D】

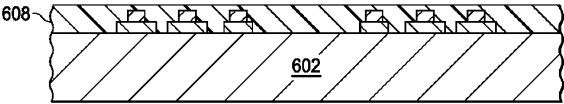


FIG. 6D

【図 6 E】

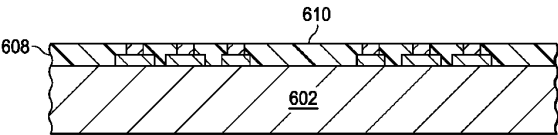


FIG. 6E

【図 6 F】

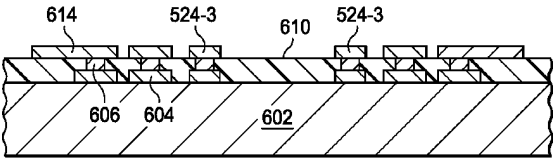


FIG. 6F

【図 6 G】

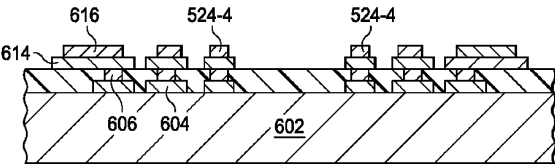


FIG. 6G

【図 6 H】

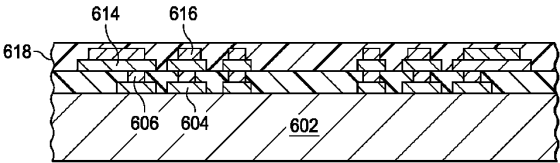


FIG. 6H

【図 6 I】

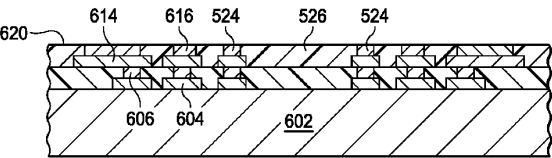


FIG. 6I

10

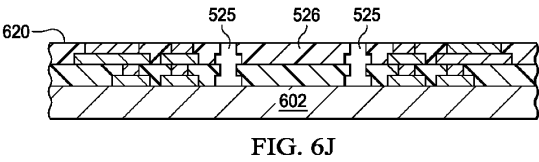
20

30

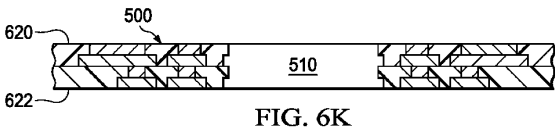
40

50

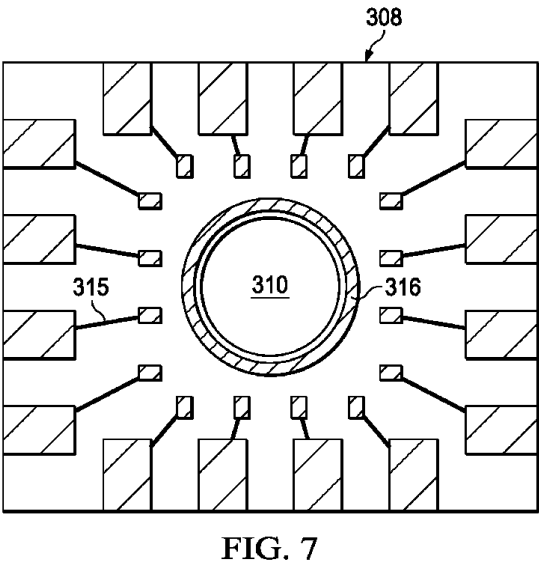
【図 6 J】



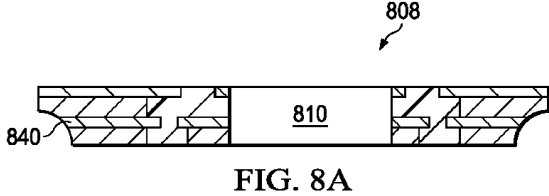
【図 6 K】



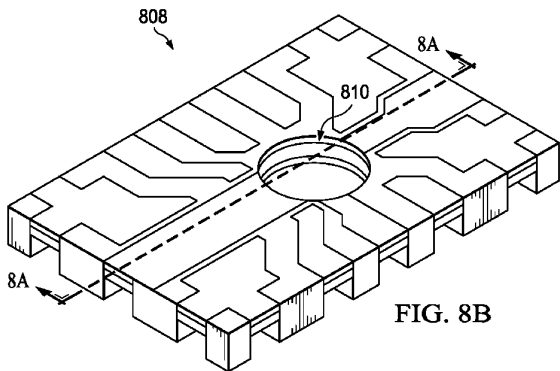
【図 7】



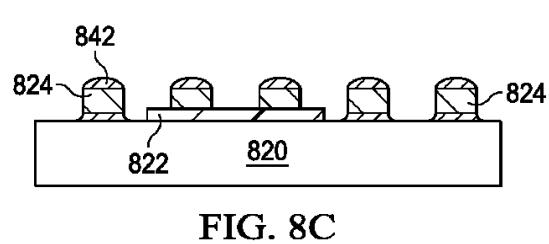
【図 8 A】



【図 8 B】



【図 8 C】



10

20

30

40

50

【図 8 D】

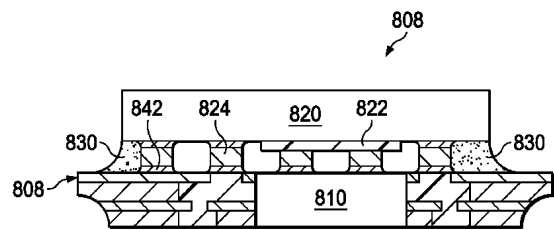


FIG. 8D

【図 8 E】

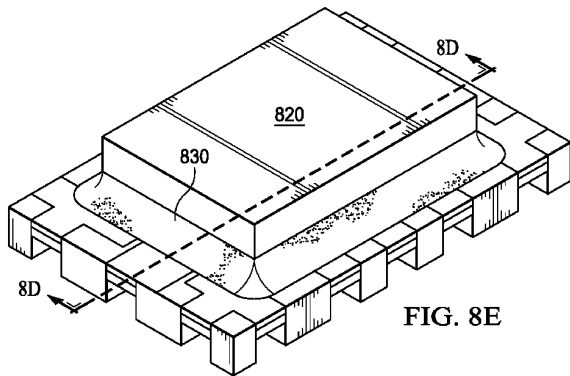


FIG. 8E

【図 8 F】

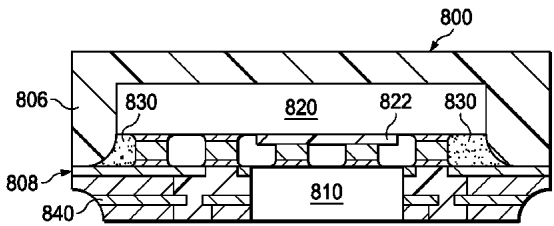


FIG. 8F

【図 8 G】

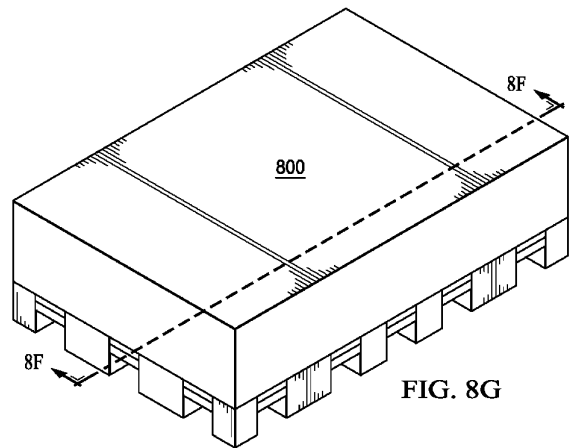


FIG. 8G

10

20

30

40

50

【図 9】

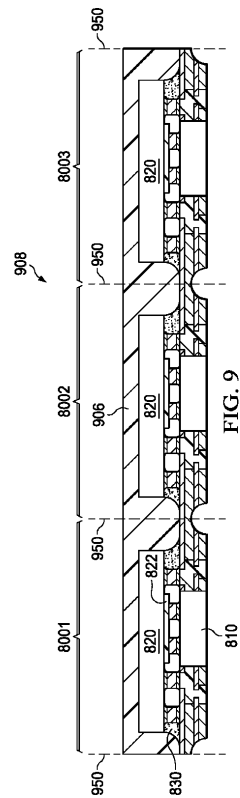


FIG. 9

【図 10】

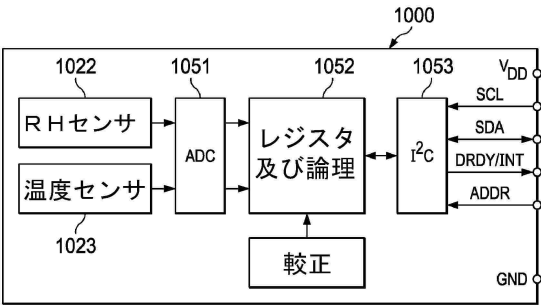


FIG. 10

10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2022/016891												
A. CLASSIFICATION OF SUBJECT MATTER G01D 11/24 (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G01D 11/24, H01L 21/306, 21/56, 23/492, 23/522 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PatSearch (RUPTO Internal), USPTO, PAJ, Espacenet, Information Retrieval System of FIPS														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 60%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 30%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">A</td> <td>US 2020/0182661 A1 (SENSIRION AG) 11.06.2020, [0038]-[0041], [0070]-[0073], пар.1a-1d, 7</td> <td style="text-align: center;">1-20</td> </tr> <tr> <td style="text-align: center;">A</td> <td>US 2019/0259634 A1 (CHINA WAFER LEVEL CSP CO, LTD) 22.08.2019</td> <td style="text-align: center;">1-20</td> </tr> <tr> <td style="text-align: center;">A</td> <td>US 2008/0191333 A1 (ADVANCED CHIP ENGINEERING TECHNOLOGY INC) 14.08.2008</td> <td style="text-align: center;">1-20</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	US 2020/0182661 A1 (SENSIRION AG) 11.06.2020, [0038]-[0041], [0070]-[0073], пар.1a-1d, 7	1-20	A	US 2019/0259634 A1 (CHINA WAFER LEVEL CSP CO, LTD) 22.08.2019	1-20	A	US 2008/0191333 A1 (ADVANCED CHIP ENGINEERING TECHNOLOGY INC) 14.08.2008	1-20
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
A	US 2020/0182661 A1 (SENSIRION AG) 11.06.2020, [0038]-[0041], [0070]-[0073], пар.1a-1d, 7	1-20												
A	US 2019/0259634 A1 (CHINA WAFER LEVEL CSP CO, LTD) 22.08.2019	1-20												
A	US 2008/0191333 A1 (ADVANCED CHIP ENGINEERING TECHNOLOGY INC) 14.08.2008	1-20												
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.														
* Special categories of cited documents: <table style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier document but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed </td> <td style="width: 50%; vertical-align: top;"> “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family </td> </tr> </table>			“A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier document but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family										
“A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier document but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family													
Date of the actual completion of the international search 04 May 2022 (04.05.2022)		Date of mailing of the international search report 02 June 2022 (02.06.2022)												
Name and mailing address of the ISA/RU: Federal Institute of Industrial Property, Berezhevskaya nab., 30-1, Moscow, G-59, GSP-3, Russia, 125993 Facsimile No: (8-495) 531-63-18, (8-499) 243-33-37		Authorized officer N. Listvina Telephone No. 8(495)531-64-81												

フロントページの続き

,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,D
K,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),O
A(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,B
B,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD
,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,
LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO
,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,Z
M,ZW