



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I594408 B

(45)公告日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：105115170

(22)申請日：中華民國 99 (2010) 年 10 月 27 日

(51)Int. Cl. : H01L27/146 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2009/11/06 日本

2009-255271

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：小山潤 KOYAMA, JUN (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2007181421A1

US 2008054319A1

US 2009065771A1

審查人員：吳松屏

申請專利範圍項數：14 項 圖式數：28 共 104 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

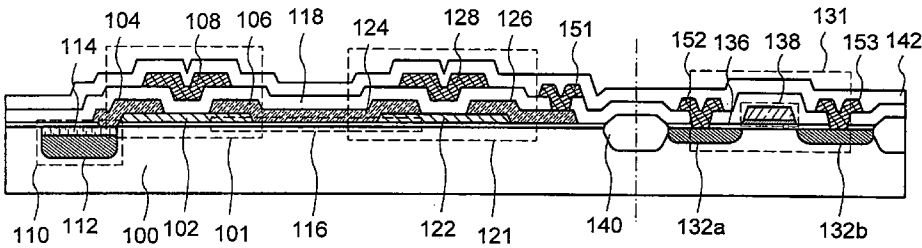
(57)摘要

提供固態影像感測器，其長時間保持一電位且包含具有穩定的電特徵之薄膜電晶體。當包括氧化物半導體層之薄膜電晶體的關閉狀態電流被設定為 1×10^{-13} 安培或更少，且該薄膜電晶體被使用作為該固態影像感測器之重置電晶體及傳送電晶體時，該信號電荷儲存部之電位被保持為恆定的，以便能夠改善動態範圍。當能夠被使用於互補金屬氧化物半導體之矽半導體被使用於周邊電路時，能夠製造具有低電力消耗之高速半導體裝置。

A solid-state image sensor which holds a potential for a long time and includes a thin film transistor with stable electrical characteristics is provided. When the off-state current of a thin film transistor including an oxide semiconductor layer is set to 1×10^{-13} A or less and the thin film transistor is used as a reset transistor and a transfer transistor of the solid-state image sensor, the potential of the signal charge storage portion is kept constant, so that a dynamic range can be improved. When a silicon semiconductor which can be used for a complementary metal oxide semiconductor is used for a peripheral circuit, a high-speed semiconductor device with low power consumption can be manufactured.

指定代表圖：

圖 1



- 符號簡單說明：
- 100 . . . 單晶矽基板
 - 101 . . . 傳送電晶體
 - 102 . . . 氧化物半導體層
 - 104 . . . 源極電極
 - 106 . . . 汲極電極
 - 108 . . . 閘極電極
 - 110 . . . 光電轉換元件
 - 112 . . . n 型區域
 - 114 . . . p 型區域
 - 116 . . . 信號電荷儲存部
 - 118 . . . 閘極絕緣層
 - 121 . . . 重置電晶體
 - 122 . . . 氧化物半導體層
 - 124 . . . 源極電極
 - 126 . . . 汲極電極
 - 128 . . . 閘極電極
 - 131 . . . 放大器電晶體
 - 136 . . . 閘極絕緣層
 - 138 . . . 閘極電極
 - 151 . . . 佈線層
 - 152 . . . 佈線層
 - 153 . . . 佈線層
 - 132a . . . n 型區域
 - 132b . . . n 型區域

發明摘要

※申請案號：105115170 (由103134877分拆)

※申請日：099年10月27日

※IPC分類：H01L 27/146 (2006.01)

【發明名稱】(中文/英文)

H01L 29/128 (2006.01)

半導體裝置

Semiconductor device

【中文】

提供固態影像感測器，其長時間保持一電位且包含具有穩定的電特徵之薄膜電晶體。當包括氧化物半導體層之薄膜電晶體的關閉狀態電流被設定為 1×10^{-13} 安培或更少，且該薄膜電晶體被使用作為該固態影像感測器之重置電晶體及傳送電晶體時，該信號電荷儲存部之電位被保持為恆定的，以便能夠改善動態範圍。當能夠被使用於互補金屬氧化物半導體之矽半導體被使用於周邊電路時，能夠製造具有低電力消耗之高速半導體裝置。

【 英文 】

A solid-state image sensor which holds a potential for a long time and includes a thin film transistor with stable electrical characteristics is provided. When the off-state current of a thin film transistor including an oxide semiconductor layer is set to 1×10^{-13} A or less and the thin film transistor is used as a reset transistor and a transfer transistor of the solid-state image sensor, the potential of the signal charge storage portion is kept constant, so that a dynamic range can be improved. When a silicon semiconductor which can be used for a complementary metal oxide semiconductor is used for a peripheral circuit, a high-speed semiconductor device with low power consumption can be manufactured.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：單晶矽基板	101：傳送電晶體
102：氧化物半導體層	104：源極電極
106：汲極電極	108：閘極電極
110：光電轉換元件	112：n型區域
114：p型區域	116：信號電荷儲存部
118：閘極絕緣層	121：重置電晶體
122：氧化物半導體層	124：源極電極
126：汲極電極	128：閘極電極
131：放大器電晶體	136：閘極絕緣層
138：閘極電極	151：佈線層
152：佈線層	153：佈線層
132a：n型區域	132b：n型區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】（中文/英文）

半導體裝置

Semiconductor device

【技術領域】

本發明的一個具體實施例有關包含使用氧化物半導體所形成之場效電晶體的半導體裝置。

注意，於此說明書中，半導體裝置意指所有可藉由利用半導體性質而起作用之裝置，且電光裝置、半導體電路、與電子裝置皆為半導體裝置。

【先前技術】

用以使用在具有絕緣表面的基板之上所形成的半導體薄膜來形成薄膜電晶體的技術已吸引注意。矽基半導體材料已被得知為適用於薄膜電晶體之半導體薄膜。當作另一材料，氧化物半導體已經吸引注意。

當作氧化物半導體材料，氧化鋅及包含氧化鋅之物質已被得知。此外，使用非晶形氧化物（氧化物半導體）所形成之薄膜電晶體已被揭示，該氧化物之載子（電子）濃度為低於 1×10^{18} /立方公分（參考案 1 至 3）。

[參考案]

[參考案 1]日本公告專利申請案第 2006-165527 號

[參考案 2]日本公告專利申請案第 2006-165528 號

[參考案 3]日本公告專利申請案第 2006-165529 號

【發明內容】

於需要優異之電特徵的固態影像感測器中，雖然它們具有類似於顯示裝置的那些結構之結構，使用 SOI（絕緣層上覆矽）基板或塊狀單晶矽基板所形成之場效電晶體通常被使用。

然而，其不能說使用單晶矽所形成之場效電晶體具有理想之電特徵。譬如，關閉狀態電流（亦稱為漏洩電流等）係不夠低而被視為實質上是零。再者，矽之溫度特徵係相當大幅地改變。特別是，矽之關閉狀態電流係極可能改變。因此，於形成諸如固態影像感測器的充電保持半導體裝置之情況中，其被希望能夠不管周遭環境而長時間保持一電位及具有較低的關閉狀態電流之裝置將被開發。

由於該等前面之問題，所揭示之本發明的一個具體實施例之目的在於提供包括具有穩定電特徵（例如，顯著地低之關閉狀態電流）之薄膜電晶體的固態影像感測器。

本發明的一個具體實施例為固態影像感測器，其包括至少一光電轉換元件及使用矽半導體所形成之放大器電晶體，且包括像素，其中，重置電晶體及傳送電晶體係使用氧化物半導體所形成。

於本發明的一個具體實施例中，氧化物半導體係為藉由去除可能為電子施體之雜質的本質或實質為本質半導

體，且比矽半導體具有更大能隙之半導體。

換句話說，於本發明的一個具體實施例中，包括其通道形成區域係使用氧化物半導體膜所形成之薄膜電晶體的固態影像感測器被形成。於該氧化物半導體膜中，包含在氧化物半導體中之氫或 O-H 基被去除，以致該氧化物半導體中之氫濃度為 5×10^{19} /立方公分或更低，較佳為 5×10^{18} /立方公分或更低，更佳為 5×10^{17} /立方公分或更低、或低於藉由二次離子質譜分析法（SIMS）所測量之作為該最低值的 1×10^{16} /立方公分，且該載子濃度係低於 1×10^{14} /立方公分，較佳為 1×10^{12} /立方公分或更低。

該氧化物半導體之能隙為 2 eV（電子伏特）或更高，較佳為 2.5 eV 或更高，更佳為 3 eV 或更高。形成施體之諸如氫的雜質係儘可能多地減少。該載子濃度被設定為 1×10^{14} /立方公分或更低，較佳為 1×10^{12} /立方公分或更低。

當此種高度純化之氧化物半導體被使用於薄膜電晶體之通道形成區域時，該薄膜電晶體具有通常關閉之電特徵。在 1 至 10 V（伏特）之汲極電壓，該薄膜電晶體之關閉狀態電流為 1×10^{-13} 安培或更少、或 100 aA/微米或更少（微米指示該薄膜電晶體之通道寬度），較佳為 10 aA/微米或更少，更佳為 1 aA/微米或更少。

被揭示在此說明書中之本發明的一個具體實施例包括埋入矽半導體基板之光電轉換元件部、經過傳送電晶體電連接至該光電轉換元件部之信號電荷儲存部、電連接至該信號電荷儲存部之重置電晶體、及其閘極電極係電連接至

該信號電荷儲存部之放大器電晶體的半導體裝置。該半導體裝置另包括像素部，其中，傳送電晶體之通道形成區域及該重置電晶體的通道形成區域係使用氧化物半導體所形成，且該放大器電晶體的通道形成區域係使用矽半導體所形成。

此外，該放大器電晶體可為包括氧化物半導體之薄膜電晶體。再者，選擇電晶體可被提供於該像素部中。再者，於連接至該像素部之周邊電路部中，互補電晶體較佳係使用包括矽半導體之塊狀電晶體所形成。

於此說明書等等中，諸如“電極”及“線路”等詞不限制零組件之功能。譬如，“電極”能被使用作為“佈線”的一部份，且該“佈線”能被使用作為“電極”的一部份。此外，諸如“電極”及“佈線”等詞譬如亦可意指複數個“電極”及“佈線”之組合。

此外，“SOI 基板”不被限制於諸如矽晶圓之半導體基板，並可為非半導體基板，諸如玻璃基板、石英基板、藍寶石基板、或金屬基板。換句話說，該“SOI 基板”於其範疇中亦包括絕緣基板，使用半導體材料所形成之一層被提供在該絕緣基板之上。再者，於此說明書等等中，“半導體基板”不只意指僅只使用半導體材料所形成之基板，同時也意指所有包括半導體材料之基板。亦即於此說明書等等中，該“SOI 基板”亦被包括在該“半導體基板”之範疇中。

根據本發明的一個具體實施例，當包括氧化物半導體

及具有顯著地低的關閉狀態電流之薄膜電晶體被使用作為重置電晶體及傳送電晶體時，信號電荷儲存部之電位可被保持為恆定的，以便能夠改善動態範圍。再者，當能被使用於互補電晶體之矽半導體係使用於周邊電路時，具有低電力消耗之高速半導體裝置能被製成。

【圖式簡單說明】

於所附圖面中：

圖 1 係剖面視圖，說明固態影像感測器之像素的結構；

圖 2A 及 2B 係剖面視圖，說明固態影像感測器之像素的結構；

圖 3A 及 3B 係剖面視圖，說明固態影像感測器之像素的結構；

圖 4A 至 4C 係剖面視圖，說明用以製造固態影像感測器之方法；

圖 5A 至 5C 係剖面視圖，說明用以製造固態影像感測器之方法；

圖 6 係曲線圖，說明包含氧化物半導體的薄膜電晶體之 V_g-I_d 特徵；

圖 7A 及 7B 係包含氧化物半導體的薄膜電晶體之照片；

圖 8A 及 8B 係曲線圖，說明包含氧化物半導體的薄膜電晶體之 V_g-I_d 特徵（溫度特徵）；

圖 9 係包含氧化物半導體的反向錯置薄膜電晶體之縱向剖面視圖；

圖 10A 及 10B 係圖 9 中之 A-A'剖面中的能帶圖（概要視圖）；

圖 11A 係圖 9 中之 B-B'剖面中的能帶圖（概要視圖），其說明正電位（+VG）被施加至閘極（G1）之狀態，且圖 11B 係圖 9 中之 B-B'剖面中的能帶圖（概要視圖），其說明負電位（-VG）被施加至閘極（G1）之狀態；

圖 12 說明真空位準、金屬之工作函數（ ϕ_M ）、及氧化物半導體的電子親和力之中的關係；

圖 13 說明固態影像感測器之像素的結構；

圖 14 說明該固態影像感測器之像素的操作；

圖 15 說明光電二極體之操作；

圖 16 說明固態影像感測器之像素的結構；

圖 17 說明該等固態影像感測器之像素的操作；

圖 18 說明固態影像感測器之像素的結構；

圖 19 說明該等固態影像感測器之像素的操作；

圖 20 說明固態影像感測器之像素的結構；

圖 21 說明該等固態影像感測器之像素的操作；

圖 22 說明固態影像感測器之像素的結構；

圖 23 說明該等固態影像感測器之像素的操作；

圖 24 說明固態影像感測器之像素的結構；

圖 25 說明重置端子驅動電路及傳送端子驅動電路之

結構；

圖 26 說明垂直輸出線驅動電路之結構；

圖 27 說明移位暫存器及緩衝電路之範例；及

圖 28A 及 28B 係剖面視圖，說明固態影像感測器之像素的結構。

【實施方式】

本發明之具體實施例將參考該等圖面而被詳細地敘述。注意，本發明不被限制於以下之敘述，且藉由那些熟諳此技藝者將輕易地了解本發明之模式及細節能以各種方式被改變，而不會違離本發明之精神及範圍。因此，本發明不應被解釋為受限於該等具體實施例之以下敘述。注意，於本發明在下面所敘述之結構中，於不同圖面中，相同部份或具有類似功能的部份係標以相同之參考數字，且其敘述不被重複。

注意，於此說明書中所敘述之每一個圖示中，為了清楚故，於一些情況中，每一個零組件或每一個區域之尺寸、層厚度、等等被誇大。因此，本發明之具體實施例不被限制於此尺寸。

注意，於此說明書中，諸如“第一”、“第二”、及“第三”等詞被使用，以便避免零組件之中的混淆，且不限制該順序等。因此，譬如，如適當的話，該“第一”一詞能以該“第二”、“第三”等詞替換。

（具體實施例 1）

本發明的一個具體實施例為包含被稱為 MIS（金屬絕緣體半導體）電晶體的金屬絕緣體半導體元素之半導體裝置。於此說明書中，其通道形成區域係使用薄膜半導體所形成之元件被稱為薄膜電晶體，且其通道形成區域係使用塊狀半導體所形成之元件被稱為塊狀電晶體。注意，使用 SOI（絕緣層上覆矽）基板所形成之半導體層能被稱為膜，且於此說明書中包含該半導體層之電晶體為一種塊狀電晶體。

在下面敘述一範例，其中，提供包括本發明的一個具體實施例之薄膜電晶體的固態影像感測器之像素。於此具體實施例中，當作範例，包括於該固態影像感測器的像素中之薄膜電晶體、連接至該薄膜電晶體之光電轉換元件、及使用矽半導體所形成之塊狀電晶體被敘述。注意，像素意指包括被提供於該固態影像感測器中之元件（例如，光電轉換元件、電晶體、及佈線）、及用以藉由電信號之輸入及輸出來輸出影像的元件之元件群。

注意，該像素能具有一結構，其中，入射光經過被形成在該基板表面側上之透鏡 600、濾色片 602、層間絕緣膜 606 等等進入光電轉換元件 608，如圖 28A 中之剖面視圖所說明。注意，如於一些情況中藉由以虛線框所包圍之區域所指示，藉由箭頭所指示之一些光徑被一些佈線層 604 所阻斷。因此，該像素可具有一結構，其中，藉由透鏡 610 及濾色片 612 之形成在該基板後表面側上，如圖

28B 所示，入射光有效率地進入光電轉換元件 618。

再者，當其被敘述“A 及 B 為彼此連接”時，包括 A 及 B 被電連接至彼此的情況、及 A 及 B 直接地彼此連接之情況。在此，A 及 B 之各者為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、或層）。

圖 1 為剖面視圖，說明作為本發明的一個具體實施例之固態影像感測器的像素部之範例。圖 1 說明一範例，其中，包含氧化物半導體的薄膜電晶體被使用作為傳送電晶體 101 及重置電晶體 121。放大器電晶體 131 係使用 n 通道塊狀電晶體所形成，該 n 通道塊狀電晶體使用單晶矽基板 100 所形成。光電轉換元件 110 係包含 n 型區域 112 與薄的 p 型區域 114 之光電二極體，且被連接至該傳送電晶體 101 之源極電極 104。信號電荷儲存部 116（亦被稱為浮動傳播）係形成在該傳送電晶體 101 之汲極電極及該重置電晶體的源極電極之下。該傳送電晶體 101 及該重置電晶體 121 之各者具有頂部閘極結構，其中，氧化物半導體層具有通道區域之作用。該傳送電晶體 101 之汲極電極 106 係電連接至該重置電晶體之源極電極 124。該放大器電晶體 131 為包括 n 型區域 132a 及 132b 與閘極電極 138 之 n 通道塊狀電晶體。雖然未說明，該放大器電晶體之閘極電極 138 係電連接至該信號電荷儲存部 116。

注意，於圖 1 中所說明之結構中，該塊狀電晶體之閘極絕緣層 136 具有該傳送電晶體 101 及該重置電晶體 121 之基底絕緣層的作用，該等傳送電晶體 101 及重置電晶體

121 為薄膜電晶體，且該信號電荷儲存部 116 以用作為電介質之閘極絕緣層 136 形成電容器。此外，該薄膜電晶體之閘極絕緣層 118 用作為該塊狀電晶體之層間絕緣層的一部份。

當作範例，於通道形成區域中包含氧化物半導體的薄膜電晶體被敘述為該頂部閘極薄膜電晶體；然而，該薄膜電晶體可為底部閘極薄膜電晶體，諸如顛倒錯置薄膜電晶體。此外，其係需要以光照射該光電轉換元件 110，以致一範例被敘述，其中，該傳送電晶體 101 之源極電極的一部份係連接至該光電轉換元件 110 之光接收部；然而，該源極電極可為使用透光導電材料所形成，以便用不同方式而被連接至該光電轉換元件 110。譬如，如圖 2A 所說明，當包括使用透光導電材料所形成之源極電極 204 的電晶體 201 被使用作為該傳送電晶體時，該源極電極能被連接至該光電轉換元件 210 之光接收部的一部份或全部。或者，如圖 2B 所說明，為了確保用於光電轉換元件 310 之光徑，電晶體 301 可被使用作為該傳送電晶體，其中，使用低電阻金屬層所形成之源極電極 304 與汲極電極 306、與使用透光導電材料層所形成之緩衝層 305 及 307 被堆疊。

當作該光電轉換元件，形成所謂埋入式光電二極體，其中，n 型區域係使用 p 型單晶矽基板（於 SOI 之情況中，p 型單晶矽層）所形成，且薄 p 型區域係形成在該 n 型區域之上。藉由該 p 型區域之形成在該光電二極體的表

面上，在該表面上所產生之暗電流（亦即，雜訊）可被減少。

雖然在上面敘述使用單晶半導體基板之範例，SOI 基板可被使用。此外，該塊狀電晶體之結構不被限制於上面之結構。側壁被設在閘極電極之端部的 LDD（輕摻雜汲極）結構、或低電阻矽化物等被形成於部份源極區域或汲極區域中之結構可被採用。

電連接至該放大器電晶體 131 之選擇電晶體可被提供於該像素部中。該放大器電晶體及該選擇電晶體能使用矽半導體或氧化物半導體的其中之一被形成。注意，該放大器電晶體較佳係使用包含具有更高放大因數之矽半導體層的塊狀電晶體所形成。

或者，絕緣層能被形成在該塊狀電晶體之上，且薄膜電晶體能被形成在該絕緣層之上。譬如，當使用薄膜電晶體或該重置電晶體所形成之傳送電晶體係設在使用塊狀電晶體所形成的放大器電晶體之上時，每一個像素所需要之電晶體的面積為大約三分之二，以致該整合位準能被改善，光接收面積能被增加，且雜訊能被減少。圖 3A 說明此一結構之範例。使用薄膜電晶體所形成之傳送電晶體 401 及使用塊狀電晶體所形成的放大器電晶體 431 被提供，且使用薄膜電晶體所形成之重置電晶體 421 係形成在傳送電晶體 401 與放大器電晶體 431 之上，而使絕緣層 441 設在其間。再者，於圖 3B 中，使用塊狀電晶體所形成之光電轉換元件 510 及放大器電晶體 531 被形成為下

層，且使用薄膜電晶體及重置電晶體 521 所形成之傳送電晶體 501 被形成爲上層，而在其間具有絕緣膜 541。形成該光電轉換元件及該塊狀電晶體之步驟、與形成該薄膜電晶體之步驟能爲彼此分開；因此，該等步驟可被輕易地控制。注意，使用以形成信號電荷儲存部 516 之電容器電極 540 較佳被提供。

以具有該等上面結構的薄膜電晶體及塊狀電晶體之組合，該信號電荷儲存部能較長時間保持一電位，且具有寬動態範圍之固態影像感測器的像素部可被形成。注意，爲了實現本發明之此具體實施例，其關閉狀態電流係顯著地低的薄膜電晶體較佳被使用。用以製造此薄膜電晶體之方法被敘述在下面。

於本發明的一個具體實施例中，固態影像感測器的像素部係以包括單晶矽半導體的塊狀電晶體及包含氧化物半導體的薄膜電晶體之組合所形成，而具有顯著有利之電特徵。因此，主要詳細地敘述用以形成包含氧化物半導體的薄膜電晶體之方法。

當作範例，用以形成圖 1 所說明之結構的方法係參考圖 4A 至 4C 及圖 5A 至 5C 中之剖面視圖敘述。首先，與絕緣膜 140（亦被稱爲場氧化物膜）隔離的元件形成區域係形成在 p 型單晶矽基板 100 之上。該元件隔離區域能藉由矽之局部氧化（LOCOS）、淺溝渠隔離（STI）等所形成。

在此，該基板不被限制於該單晶矽基板。SOI（絕緣

層上覆矽) 基板等能被使用。

注意，於此具體實施例中，p 型單晶矽基板被使用，因為埋入式光電二極體及 n 通道塊狀電晶體被使用；然而，當 p 阱被形成時，n 型單晶矽基板能被使用。

其次，該閘極絕緣層 136 被形成，以便覆蓋該元件形成區域。譬如，氧化矽膜能藉由以熱處理來氧化該單晶矽基板 100 中所提供之元件形成區域的表面所形成。或者，藉由用熱氧化來形成的氧化矽膜與用氮化處理來氮化該氧化矽膜之表面，該閘極絕緣層 136 可具有氧化矽膜及氮氧化矽膜之分層結構。

譬如，當作另一方法，藉由在該單晶矽基板 100 中所提供之元件形成區域的表面上所施行之具有高密度電漿處理的氧化處理或氮化處理，氧化矽膜或氮化矽膜可被形成當作該閘極絕緣層 136。再者，於氧化處理係藉由高密度電漿處理在該元件形成區域的表面上施行之後，氮化處理可藉由高密度電漿處理所施行。於此情況中，氧化矽膜被形成在該元件形成區域的表面上，並與該元件形成區域的表面上接觸，且氮氧化矽膜係形成在該氧化矽膜之上，以致該閘極絕緣層 136 具有該氧化矽膜及該氮氧化矽膜之分層結構。

其次，導電層被形成，以便覆蓋該閘極絕緣層 136。在此，導電層 138a 及導電層 138b 被連續地堆疊。不用說，該導電層可具有單層結構或包括二或更多層的分層結構。

該等導電層 138a 及 138b 能使用選自鉭 (Ta)、鎢 (W)、鈦 (Ti)、鉬 (Mo)、鋁 (Al)、銅 (Cu)、鉻 (Cr)、鈮 (Nb) 之元素、或包含該元素當作其主要成份的合金材料或複合材料所形成。或者，藉由該上面元素的氮化所獲得之金屬氮化物膜能被使用。或者，藉由摻雜有諸如磷之雜質元素的多晶矽所代表之半導體材料能被使用。

在此，分層結構被採用，其中，該導電層 138a 係使用氮化鉭所形成，且該導電層 138b 係使用鎢形成在該導電層 138a 之上。或者，氮化鎢、氮化鉬、或氮化鈦之單層或其堆疊膜能被使用作為該導電層 138a，且鉭、鉬、或鈦之單層、或其堆疊膜可被使用作為該導電層 138b。

其次，藉由選擇性地蝕刻及去除該等被堆疊之導電層 138a 及 138b，該等導電層 138a 及 138b 被局部地留在該閘極絕緣層 136 之上，以致該閘極電極 138 被形成。

其次，抗蝕劑遮罩被選擇性地形成，以便覆蓋除了該元件形成區域以外之區域，且該等 n 型區域 132a 及 132b 之雜質區域係藉由導入雜質元素所形成，並使用該抗蝕劑遮罩及該閘極電極 138 當作遮罩。在此，因為因為該 n 通道塊狀電晶體被形成，賦予 n 型導電性之雜質元素（例如，磷(P)或砷(As)）可被使用作為該雜質元素。

然後，為了形成作為光電轉換元件之光電二極體，抗蝕劑遮罩被選擇性地形成。首先，在 pn 接面係藉由將賦予 n 型導電性之雜質元素（例如，磷(P)或砷(As)）導入該

p 型單晶矽基板所形成之後，賦予 p 型導電性之雜質元素（例如，硼(B)）被導入該 n 型區域中之表面層；因此，該埋入式光電二極體能被形成。

在此階段，圖 4A 的右側上所說明之塊狀電晶體的結構與圖 4A 的左側上所說明之光電二極體被完成。

其次，用以形成薄膜電晶體之方法被敘述，其中，氧化物半導體層被使用作為通道區域。

於此具體實施例中，薄膜電晶體係形成在該塊狀電晶體的閘極絕緣層 136 之上，該塊狀電晶體已被提供在該單晶矽基板 100 上。亦即，該閘極絕緣層 136 能具有該薄膜電晶體之基底膜及塊狀電晶體的閘極絕緣層之作用。注意，絕緣層可藉由以下之方法所形成，且堆疊層可被使用作為基底膜。

當作與該氧化物半導體層接觸之絕緣層，諸如氧化矽層、氮氧化矽層、氧化鋁層、或氮氧化鋁層之氧化物絕緣層較佳被使用。當作用以形成該絕緣層之方法，電漿增強式 CVD、濺鍍等可被使用。為了使大量氫不被包含在該絕緣層中，該絕緣層較佳係藉由濺鍍所形成。

一範例被敘述，其中，氧化矽層藉由濺鍍被形成為該絕緣層。該氧化矽層係以此一使得該單晶矽基板 100 被傳送至處理室之方式沈積在該單晶矽基板 100 之上當作該絕緣層，包含已自其去除氫及濕氣之高純度氧的濺鍍氣體被導入，且矽標靶被使用。此外，該單晶矽基板 100 可為在室溫或可被加熱。

譬如，該氧化矽層係藉由 RF 濺鍍在以下的條件之下沈積：石英（較佳為人工石英）被使用作為標靶；該基板之溫度為攝氏 108 度；該基板及標靶間之距離（T-S 距離）為 60 毫米；該壓力為 0.4 巴；該高頻功率為 1.5 千瓦；該氛圍包含氧及氬（25 sccm 之氧流速比率：25 sccm 之氬流速比率=1:1）；且該厚度為 100 奈米。矽可代替該石英而被使用作為用以沈積該氧化矽層之標靶。於此情況中，氧或氧及氬之混合氣體被使用作為濺鍍氣體。

於此情況中，較佳的是當留在該處理室中之濕氣被去除，以便氫、氫氧基、或濕氣不被包含在該絕緣層中時，形成該絕緣層。

為了去除留在該處理室中之濕氣，吸附真空泵較佳被使用。譬如，低溫泵、離子泵、或鈦昇華泵較佳被使用。當作排出單元，加入冷阱之渦輪增壓分子泵可被使用。譬如，氫原子、包含氫原子之諸如水（ H_2O ）等等化合物被以低溫泵之使用自該處理室排出。因此，包含於該處理室中所沈積的絕緣層中之雜質的濃度能被降低。

當作用於該絕緣層之沈積的濺鍍氣體，自其去除諸如氫、水、氫氧基、或氫化物之雜質至大約 ppm 或 ppb 的濃度之高純度氣體較佳被使用。

濺鍍之範例包括 RF 濺鍍，其中，高頻電源被使用於濺鍍電源、DC 濺鍍、及脈衝式 DC 濺鍍，其中，以脈衝方式施加偏壓。RF 濺鍍主要被使用於沈積絕緣膜之情況中，且 DC 濺鍍主要被使用於金屬膜被沈積之情況中。

此外，亦有多來源濺鍍設備，其中，不同材料之複數個標靶能被設定。以該多來源濺鍍設備，不同材料之膜能被沈積至堆疊在該同一室中，或複數種材料之膜能藉由在該同一室中同時放電所沈積。

此外，有一種在該室內側設有磁鐵系統之濺鍍設備，且被使用於磁控管濺鍍，及一種使用於 ECR 濺鍍之濺鍍設備，其中，使用微波所產生之電漿被使用，而不會使用輝光放電。

再者，當作使用濺鍍之沈積方法，可使用反應性濺鍍，其中，標靶物質及濺鍍氣體成份係於沈積期間互相起化學反應，以形成其薄的化合物膜；或偏壓濺鍍，其中，電壓係亦於沈積期間被施加至基板。

再者，該絕緣層可具有分層結構。譬如，該絕緣層可具有分層結構，其中，諸如氮化矽層、氮化矽氧化物層、氮化鋁層、或氮化鋁氧化物層、及該上面氧化物絕緣層之氮化物絕緣層被依此順序而自該基板側堆疊。

譬如，氮化矽層係以此一導入包含高純度氮的濺鍍氣體於該氧化矽層及該基板之間的方式而沈積，且矽標靶被使用，並已自該高純度氮去除氫及濕氣。亦於此情況中，如同該氧化矽層之情況，較佳的是沈積一層氮化矽層，且同時去除該處理室中之殘餘濕氣。

亦於沈積氮化矽層之情況中，該基板可在沈積中被加熱。

於氮化矽層及氧化矽層被堆疊當作該絕緣層之情況

中，該氮化矽層及該氧化矽層可為使用共用之矽標靶在相同之處理室中沈積。首先，該氮化矽層係以此一使得包含氮之濺鍍氣體被導入及使用被安裝在該處理室上之矽標靶的方式而沈積。然後，該氧化矽層係以此一使得該氣體被改變至包含氧之濺鍍氣體及使用該相同之矽標靶的方式而沈積。該氮化矽層及該氧化矽層可被連續地沈積，而不會暴露於空氣；因此，諸如氫或濕氣的雜質之吸附在該氮化矽層的表面上能被防止。

然後，具有 2 至 200 奈米厚度之氧化物半導體膜係藉由濺鍍而被形成在該絕緣層（在此具體實施例中為該閘極絕緣層 136）之上。

為了該氧化物半導體膜中包含儘可能少之氫、氫氧基、及濕氣，較佳的是諸如被吸附在該單晶矽基板 100 上之氫或濕氣的雜質係藉由在該濺鍍設備之預先加熱室中預先加熱該單晶矽基板 100 而被消除及排出，該預先加熱當作用於沈積之預處理。當作被提供於該預先加熱室中之排出單元，低溫泵係較佳的。注意，該預先加熱處理能被省略。此外，該預先加熱可在稍後即將被形成的薄膜電晶體之閘極絕緣層 118 的沈積之前被施行、或可在稍後即將被形成的用作為源極電極與汲極電極之導電層的沈積之前被施行。

注意，在該氧化物半導體層係藉由濺鍍所沈積之前，該絕緣層的表面上之灰塵較佳係藉由反向濺鍍所去除，其中，氫氣被導入及電漿被產生。該反向濺鍍意指一方法，

其中，使用氬氛圍中之 RF 電源將電壓施加至基板側，且離子化氬與該基板衝撞，以致基板表面被修改。注意，氮、氬、氧等可被使用來代替氬。

該氧化物半導體膜係藉由濺鍍所沈積。當作該氧化物半導體膜，譬如，一氧化物半導體膜，諸如 In-Sn-Ga-Zn-O 膜之四成份金屬氧化物；諸如 In-Ga-Zn-O 膜、In-Sn-Zn-O 膜、In-Al-Zn-O 膜、Sn-Ga-Zn-O 膜、Al-Ga-Zn-O 膜、或 Sn-Al-Zn-O 膜之三成份金屬氧化物；或諸如 In-Zn-O 膜、Sn-Zn-O 膜、Al-Zn-O 膜、Zn-Mg-O 膜、Sn-Mg-O 膜、In-Mg-O 膜、In-O 膜、Sn-O 膜、或 Zn-O 膜之二成份金屬氧化物能被使用。再者， SiO_2 可被包含在該上面之氧化物半導體膜中。

當作該氧化物半導體膜，藉由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表達之膜能被使用。在此，M 標示選自 Ga、Al、Mn、或 Co 的一或多個金屬元素。譬如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。在其成份化學式係藉由 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 所表達的氧化物半導體膜之中，包括 Ga 當作 M 之氧化物半導體被稱為 In-Ga-Zn-O-基氧化物半導體，且該 In-Ga-Zn-O-基氧化物半導體之膜亦被稱為 In-Ga-Zn-O 基膜。

於此具體實施例中，該氧化物半導體膜係使用 In-Ga-Zn-O-基金屬氧化物標靶藉由濺鍍來沈積。或者，該氧化物半導體膜可於稀有氣體（典型上為氬）氛圍、氧氛圍、或包含稀有氣體（典型上為氬）及氧之氛圍中藉由濺鍍而

被沈積。

作為用於該氧化物半導體膜之沈積的濺鍍氣體，自其去除諸如氫、水、氫氧基、或氫化物之雜質至大約 ppm 或 ppb 的濃度之高純度氣體較佳被使用。

當作用於藉由濺鍍形成該氧化物半導體膜之標靶，包含氧化鋅當作主要成份之金屬氧化物標靶能被使用。譬如，具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳比率] 之成份比率的金屬氧化物標靶能被使用。或者，具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳比率] 之成份比率的金屬氧化物標靶能被使用。該金屬氧化物標靶之充填比率為 90% 至 100%，較佳為 95% 至 99.9%。使用具有高充填比率的金屬氧化物標靶，所沈積之氧化物半導體膜具有高密度。

該氧化物半導體膜係以此一使得該基板被固持在保持於減壓狀態中的處理室中之方式而被沈積在該絕緣層之上，留在該處理室中之濕氣被去除，已自其去除氫及濕氣之濺鍍氣體被導入，且金屬氧化物被使用作為標靶。為了去除留在該處理室中之濕氣，吸附真空泵較佳被使用。譬如，低溫泵、離子泵、或鈦昇華泵較佳被使用。當作排出單元，加入冷阱之渦輪增壓分子泵可被使用。譬如，氫原子、包含氫原子之諸如水 (H_2O) 等等化合物被以低溫泵之使用自該處理室排出。因此，包含於該處理室中所沈積的氧化物半導體膜中之雜質的濃度能被降低。再者，當該氧化物半導體膜被沈積時，該基板可被加熱。

當作該沈積條件的一範例，以下條件被採用：該基板

溫度為室溫，該基板及該標靶間之距離為 100 毫米、該壓力為 0.4 Pa、該直流（DC）電源為 0.5 千瓦、且包含氧及氫之氛圍（氧之流速為 15 sccm，且氫之流速為 30 sccm）被使用。注意，較佳的是脈衝式直流（DC）電源被使用，因為沈積中所產生之粉末物質（亦被稱為微粒或灰塵）能被減少，且該膜厚度可為均勻的。該氧化物半導體膜之厚度較佳為 5 奈米至 30 奈米。注意，該氧化物半導體膜之適當厚度視氧化物半導體材料而不同，且該厚度可視材料而被設定為適當的。

然後，該氧化物半導體膜藉由第一微影製程及蝕刻製程（見圖 4B）被處理成島形氧化物半導體層 102 及 122。在此，該氧化物半導體層 102 係被使用於第一薄膜電晶體之通道區域的形成之半導體層，且該氧化物半導體層 122 係被使用於第二薄膜電晶體之通道區域的形成之半導體層。

注意，被使用於該島形氧化物半導體層之形成的抗蝕劑遮罩可為藉由噴墨方法所形成。光罩不被使用於噴墨方法中；因此，製造成本能被減少。再者，當作該氧化物半導體膜之蝕刻法，乾式蝕刻法、濕式蝕刻法、或兩者都可被採用。

當作用於乾式蝕刻法之蝕刻氣體，包含氯（氯基氣體，諸如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ））之氣體較佳被使用。

或者，包含氟（氟基氣體，諸如或四氟化碳（ CF_4 ）、

氟化硫(SF_6)、氟化氮(NF_3)、或三氟甲烷(CF_4)之氣體；
溴化氫(HBr)；氧(O_2)；這些加入諸如氦(He)或氬(Ar)之稀有
氣體的氣體之任一者；等能被使用。

當作該乾式蝕刻法，平行板 RIE（反應離子蝕刻）方法或 ICP（感應耦合電漿）蝕刻法能被使用。爲了將該膜蝕刻至具有想要之形狀，如適當的話，調整該蝕刻條件（施加至線圈形電極的電力之數量、施加至基板側上之電極的電力之數量、該基板側上之電極的溫度等）。

當作用於濕式蝕刻之蝕刻劑，磷酸、醋酸、及硝酸的混合物、與氫氧化銨/過氧化氫混合物（在 31 重量百分比之過氧化氫溶液：在 28 重量百分比的氨水：水=5:2:2）等能被使用。或者，ITO-07N（由 KANTO 化學股份有限公司所生產）可被使用。

該濕式蝕刻中所使用之蝕刻劑係藉由清洗隨同該蝕刻掉之材料而被去除。包含該被去除的材料之蝕刻劑的不想要液體可被淨化，且被包含於該不想要液體中之材料可被再使用。當被包含在該氧化物半導體層中之諸如銦的材料係在該蝕刻之後由該不想要的液體及再使用時，該等資源可被有效率地使用，且成本能被減少。

爲了蝕刻該氧化物半導體膜至具有想要之形狀，如適當的話，視該材料而定，該等蝕刻條件（蝕刻劑、蝕刻時間、溫度等等）被調整。

於此具體實施例中，該氧化物半導體膜係藉由濕式蝕刻法使用混合磷酸、醋酸、及硝酸當作蝕刻劑之溶液而被

處理成該等島形氧化物半導體層 102 及 122。

於此具體實施例中，該等氧化物半導體層 102 及 122 係於稀有氣體（例如，氮、氦、氖、或氬）氛圍中遭受第一熱處理。該第一熱處理之溫度為攝氏 400 至 750 度，較佳為高於或等於攝氏 400 度及低於該基板之應變點。在此，於該基板被放置於作為一種熱處理設備之電爐中之後，該氧化物半導體層係在攝氏 450 度於氮氛圍中遭受熱處理達一小時。當溫度係由該熱處理溫度降低時，該氛圍可被改變成氧氛圍。經過該第一熱處理，該等氧化物半導體層 102 及 122 可為脫水或脫氫的。

該熱處理設備不被限制於電爐，並可設有藉由來自諸如電阻加熱器之加熱器的熱傳導或熱輻射加熱待處理之物體的裝置。譬如，RTA（快速熱退火）設備、諸如 GRTA（氣體快速熱退火）設備、或 LRTA（燈泡快速熱退火）設備能被使用。LRTA 設備係藉由光（電磁波）之輻射用於加熱待處理物體之設備，該光自諸如鹵素燈、金屬鹵化物燈、氙電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈之燈泡所放射出。GRTA 設備係使用高溫氣體之熱處理用設備。當作該氣體，不會與即將藉由熱處理所處理之物體反應的惰性氣體，諸如氮或諸如氬之稀有氣體被使用。

譬如，當作該第一熱處理，GRTA 可被施行如下。該基板被放入已在攝氏 650 度至攝氏 700 度之高溫加熱的惰性氣體中，被加熱達數分鐘，及係自在該高溫加熱的惰性氣體被取出。GRTA 能夠在短時間中高溫熱處理。

注意，於該第一熱處理中，較佳的是該水、氫等等不被包含在諸如氮、氦、氖、或氬的氛圍氣體中。再者，該氛圍氣體之純度較佳為 6N (99.9999%) 或更高，更佳為 7N (99.99999%) 或更高（亦即，該雜質濃度為 1 ppm 或更低，較佳為 0.1 ppm 或更低）。於氧被使用作為該氛圍氣體之情況中，該氛圍氣體較佳具有類似純度。

再者，於一些情況中，該氧化物半導體層被結晶化，且該氧化物半導體層之結晶結構被改變成微晶質膜或多晶膜，視該第一熱處理之條件或該氧化物半導體層之材料而定。譬如，該氧化物半導體層可被結晶成微晶質氧化物半導體層，其具有 90% 或更多、或 80% 或更多的結晶性程度。再者，視該第一熱處理之條件或該氧化物半導體層之材料而定，該氧化物半導體層可變成未包含晶體成份之非結晶氧化物半導體層。該氧化物半導體層可變成氧化物半導體層，其中，微晶質部份（具有 1 至 20 奈米，典型為 2 至 4 奈米之粒徑）被混合進入非結晶氧化物半導體層。

此外，於被處理成該島形氧化物半導體層之前，用於該氧化物半導體層之第一熱處理能在該氧化物半導體膜上被施行。

用於該氧化物半導體層的脫水或脫氫作用之熱處理可在以下時序之任一者施行：在該氧化物半導體層被形成之後；在源極電極與汲極電極被形成在該氧化物半導體層之上之後；與在閘極絕緣層係形成在該源極電極與該汲極電極之上之後。

其次，抵達該光電二極體的上層中之 p^+ 層的開口係藉由第二微影製程及蝕刻製程而被形成在該絕緣層中，且導電層係形成在該絕緣層及該等氧化物半導體層 102 與 122 之上。該導電層可藉由濺鍍或真空蒸鍍所形成。當作該導電層之材料，以下材料之任一者能被使用：選自鋁、鉻、銅、鉬、鈦、鉬、或鎢之元素；包括這些元素之任一者的合金；包含該等上面元素的組合之合金膜；等。再者，選自錳、鎂、鋅、銻、及釷的一或多個材料可被使用。再者，該金屬導電層可具有單層結構或二或更多層之分層結構。譬如，包含矽的鋁膜之單層結構、鈦膜被堆疊在鋁膜之上的二層結構、鈦膜、鋁膜、及鈦膜被依此順序堆疊之三層結構、等等能被使用。或者，包含鋁及選自鈦、鉬、鎢、鉬、鉻、釷、與釷的一或多個元素之膜、合金薄膜、或氮化物膜可被使用。

其次，抗蝕劑遮罩係於第三微影製程中被形成在該導電層之上；該第一薄膜電晶體之源極電極 104 與汲極電極 106 與該第二薄膜電晶體的源極電極 124 與汲極電極 126 係藉由選擇性蝕刻所形成；然後，該抗蝕劑遮罩被去除（見圖 4C）。在此，該第一薄膜電晶體之汲極電極 106 與該第二薄膜電晶體之源極電極 124 係彼此電連接；然而，它們可為彼此絕緣或可稍後使用佈線而被電連接至彼此。注意，當所形成之源極電極與所形成之汲極電極的端部為錐形時，在其之上堆疊有閘極絕緣層的涵蓋範圍（coverage）被改善，其係較佳的。

在此具體實施例中，150 奈米厚鈦膜藉由濺鍍被形成為該等源極電極 104 及 124 與該等汲極電極 106 及 126。

注意，如適當的話，每一種材料及蝕刻條件被調整，以致該等氧化物半導體層 102 及 122 之各部份於該導電層之蝕刻中不被去除，且形成在該氧化物半導體層下方之絕緣層未被暴露出。

於此具體實施例中，鈦膜被使用作為該導電層，In-Ga-Zn-O 基氧化物半導體被使用於該等氧化物半導體層 102 及 122，且氨過氧化氫混合物（氨、水、及過氧化氫溶液之混合物）被使用作為蝕刻劑。

注意，於該第三微影製程及蝕刻製程中，僅只部份之該等氧化物半導體層 102 及 122 被蝕刻，以致在一些情況中具有溝槽（凹陷部）之氧化物半導體層被形成。被使用以形成該等源極電極 104 及 124 與該等汲極電極 106 及 126 的抗蝕劑遮罩可藉由噴墨方法所形成。光罩不被使用於噴墨方法中；因此，製造成本能被減少。

當該抗蝕劑遮罩係在該第三微影步驟中形成時，紫外光、KrF 雷射光束、或 ArF 雷射光束被使用於曝光。稍後即將被形成的薄膜電晶體之通道長度 L 係藉由該源極電極之下端及該汲極電極的下端間之間距所決定，該等電極層係在該等氧化物半導體層 102 及 122 之上彼此毗連。注意，當曝光係在該通道長度 L 為少於 25 奈米的條件之下被施行時，當該抗蝕劑遮罩係在該第二微影製程中被形成時的曝光係使用極短波長（數奈米至數十奈米）的極紫外

線來予以施行。在以極紫外線的曝光中，該解析度係高的，且該焦點深度係大的。因此，稍後即將被形成的薄膜電晶體之通道長度 L 可為 10 奈米至 1000 奈米，且電路可在更高速率操作。再者，因為因為關閉狀態電流之數量係非常小，電力消耗能被減少。

其次，該閘極絕緣層 118 係形成在該絕緣層、該等氧化物半導體層 102 及 122、該等源極電極 104 及 124、與該等汲極電極 106 及 126 之上（見圖 5A）。於此情況中，該閘極絕緣層 118 係亦被沈積在該塊狀電晶體之上，且具有該層間絕緣膜的一部份之作用。

在此，藉由去除雜質所製成之本質（i 型）或實質為本質的氧化物半導體（高度純化之氧化物半導體）對於介面狀態與介面電荷係非常地敏感的；因此，該氧化物半導體及該閘極絕緣層間之介面係重要的。因此，與該高度純化之氧化物半導體接觸的閘極絕緣層（GI）需要高品質。

譬如，使用微波（2.45 GHz）之高密度電漿增強式 CVD 係較佳的，因為具有高耐受電壓的密集之高品質絕緣層能被形成。這是因為當該高度純化氧化物半導體係與該高品質閘極絕緣層緊密接觸時，可減少該介面狀態及介面性質可為有利的。不用說，只要高品質絕緣層能被形成為閘極絕緣層，諸如，濺鍍或電漿增強式 CVD 之不同沈積方法能被使用。此外，任何閘極絕緣層能被使用，只要膜品質及具有該閘極絕緣層之氧化物半導體的介面之性質係藉由在沈積之後施行的熱處理所修改。於任一情況中，

任何閘極絕緣層能被使用，只要當作閘極絕緣層之膜品質為高的，具有氧化物半導體之介面狀態密度減少，且有利之介面可被形成。

在攝氏 85 度與 2×10^6 伏特/公分施行達 12 小時之偏壓溫度測試（BT 測試）中，如果雜質已被加至氧化物半導體，該氧化物半導體的雜質及主要成份間之鍵係藉由高電場（B：偏壓）及高溫（T：溫度）所切斷，以致所產生之懸空鍵造成該閾電壓（ V_{th} ）中之移位。當作對此的對策，於本發明的一個具體實施例中，該氧化物半導體中之雜質，特別是氫、水、等儘可能多地被去除，以致具有該閘極絕緣層的介面之性質係有利的，如上所述。據此，有可能獲得穩定之薄膜電晶體，甚至當該 BT 測試被施行時。

於此具體實施例中，該閘極絕緣層 118 係使用高密度電漿增強式 CVD 設備所形成，該 CVD 設備使用微波（2.45 GHz）。在此，高密度電漿增強式 CVD 設備意指能實現 1×10^{11} /立方公分或更高之電漿密度的設備。譬如，電漿係藉由施加 3 至 6kW 之微波功率所產生，以致絕緣層被形成。

甲矽烷氣體（ SiH_4 ）、氧化亞氮（ N_2O ）、及稀有氣體被導入一室當作源極氣體，且高密度電漿係在 10 至 30 Pa 之壓力產生，以致絕緣層係形成在該基板之上。在此之後，甲矽烷氣體之供給被停止，且氧化亞氮（ N_2O ）及稀有氣體被導入，而不會暴露於空氣，以致電漿處理可在

該絕緣層之表面上被施行。藉由至少氧化亞氮（ N_2O ）及稀有氣體之導入在該絕緣層之表面上所施行的電漿處理係在形成該絕緣層之後施行。經過該上面製程所形成之絕緣層係其可靠性能被確保之絕緣層，縱使其具有小厚度，譬如，少於 100 奈米之厚度。

當該閘極絕緣層 118 被形成時，被導入該室的甲矽烷氣體（ SiH_4 ）對氧化亞氮（ N_2O ）之流動比率係在 1:10 至 1:200 之範圍中。此外，當作被導入該室之稀有氣體，氦、氬、氖、氙等能被使用。特別是，不貴之氬較佳被使用。

此外，使用該高密度電漿增強式 CVD 設備所形成之絕緣層具有優異之步驟涵蓋範圍，且該絕緣層之厚度可被精確地控制。

經過該上面製程所形成之絕緣層的膜品質係與使用習知平行板 PECVD 設備所形成之絕緣層大幅地不同。當具有相同蝕刻劑之蝕刻速率係彼此做比較時，經過該上面製程所形成之絕緣層的蝕刻速率係低於使用習知平行板 PECVD 設備所形成之絕緣層達 10%或更多、或 20%或更多。因此，其可說使用該高密度電漿增強式 CVD 設備所形成之絕緣層為密集層。

於此具體實施例中，當作該閘極絕緣層 118，使用該高密度電漿增強式 CVD 設備所形成之 100 奈米厚氮氧化矽層（ SiO_xN_y ，其中， $x>y>0$ ）被使用。

該閘極絕緣層 118 能藉由當作不同方法的電漿增強式

CVD、濺鍍等被形成具有單層結構或包括氧化矽層、氮化矽層、氮氧化矽層、氮化矽氧化物層、及氧化鋁層的一或多個之分層結構。注意，該閘極絕緣層 118 較佳係藉由濺鍍所形成，以便不包含大量之氫。於氧化矽層係藉由濺鍍所形成之情況中，矽或石英被使用作為標靶，且氧或氧及氫之混合氣體被使用作為濺鍍氣體。

該閘極絕緣層 118 能具有一結構，其中，氧化矽層及氮化矽層被自該等源極電極 104 及 124 與該等汲極電極 106 及 126 而被堆疊。譬如，100 奈米厚閘極絕緣層可被以此一使得具有 5 至 300 奈米之厚度的氧化矽層 ($\text{SiO}_x(x>0)$) 係藉由濺鍍而被形成為第一閘極絕緣層、且具有 50 至 200 奈米之厚度的氮化矽層 ($\text{SiN}_y(y>0)$) 被堆疊在該第一閘極絕緣層之上當作第二閘極絕緣膜的方式來予以形成。

其次，抗蝕劑遮罩係在第四微影製程中被形成，且該閘極絕緣層 118 的一部份係藉由選擇性蝕刻所去除，以致形成諸開口，其到達該薄膜電晶體之汲極電極 126 與用作為該塊狀電晶體之源極電極及汲極電極的 n 型區域 132a 及 132b (見圖 5B)。

然後，導電層係形成在該閘極絕緣層 118 之上，其中，該等開口被形成，而後閘極電極 108、閘極電極 128、及佈線層 151、152 及 153 被第五微影製程及蝕刻製程所形成。注意，抗蝕劑遮罩可被噴墨方法所形成。光罩不被使用於噴墨方法中；因此，製造成本能被減少。

該等閘極電極 108 及 128 與該等佈線層 151、152 及 153 能被形成，以具有諸如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦之金屬材料、或包含這些材料之任一者當作主要成份之合金材料的單層或堆疊層。

譬如，當作該等閘極電極 108 及 128 與該等佈線層 151、152 及 153 之二層式結構，以下之結構係較佳的：鉬層被堆疊在鋁層之上的二層式結構、鉬層被堆疊在銅層之上的二層式結構、氮化鈦層或氮化鉭層被堆疊在銅層之上的二層式結構、與氮化鈦層及鉬層被堆疊之二層式結構。當作三層式結構，鎢層或氮化鎢層、鋁與矽之合金或鋁與鈦之合金、及氮化鈦層或鈦層被堆疊之三層式結構係較佳的。注意，該閘極電極可使用透光導電層所形成。當作該透光導電層之材料的範例，透光導電氧化物等能被給與。

於此具體實施例中，當作該等閘極電極 108 及 128 與該等佈線層 151、152 及 153，150 奈米厚鈦膜係藉由濺鍍所形成。

其次，第二熱處理（較佳係在攝氏 200 度至攝氏 400 度，譬如，在攝氏 250 度至攝氏 350 度）係在惰性氣體氛圍或氧氣體氛圍中施行。於此具體實施例中，該第二熱處理係在攝氏 250 度的氮氛圍中施行達 1 小時之久。或者，該第二熱處理可在保護絕緣層或平坦化絕緣層被形成在該第一薄膜電晶體、該第二薄膜電晶體、及該塊狀電晶體之上之後被施行。

再者，熱處理可在攝氏 100 度至攝氏 200 度於空氣氛圍中被施行達 1 至 30 小時。此熱處理可在固定的加熱溫度被施行。或者，該加熱溫度中之以下變化可被重複地進行複數次：該加熱溫度係自室溫增加至攝氏 100 度至攝氏 200 度的溫度，而後被減少至室溫。再者，此熱處理可在形成該氧化物絕緣層之前於減壓之下被施行。當該熱處理係在減壓之下被施行時，該熱處理時間可被縮短。

經過該等上面步驟，包括該氧化物半導體層的第一薄膜電晶體及第二薄膜電晶體之各者可被形成（見圖 5C）。在此，該第一薄膜電晶體可被使用作為該傳送電晶體 101；該第二薄膜電晶體可被使用作為該重置電晶體 121；及該塊狀電晶體可被使用作為該放大器電晶體 131。

保護絕緣層或用於平坦化之平坦化絕緣層可被設在該薄膜電晶體 410 之上。譬如，該保護絕緣層可使用氧化矽層、氮化矽層、氮氧化矽層、氮化矽氧化物層、及氧化鋁層的一或多個被形成具有單層結構或堆疊層結構。

保護絕緣層 142 或用於平坦化之平坦化絕緣層可被設在該薄膜電晶體及該塊狀電晶體之上。譬如，該保護絕緣層 142 能被形成為具有單層結構或包含氧化矽層、氮化矽層、氮氧化矽層、氮化矽氧化物層、或氧化鋁層之分層結構。

該平坦化絕緣層能使用諸如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺、或環氧基樹脂之耐熱有機材料所形成。

異於此等有機材料，其係可能使用低介電常數材料（低-k 材料）、矽氧烷基樹脂、PSG（磷化矽玻璃）、BPSG（硼磷矽玻璃）等。注意，該平坦化絕緣層可藉由堆疊複數層絕緣膜所形成，該等絕緣膜使用這些材料所形成。

注意，矽氧烷基樹脂對應於包含使用矽氧烷基材料當作開始材料所形成之 Si-O-Si 鍵的樹脂。該矽氧烷基樹脂可包括有機基（例如，烷基或芳香基）當作取代基。再者，該有機基可包含氟代基。

在此未特別限制在用於形成該平坦化絕緣層之方法上。該平坦化絕緣層能視該材料而藉由諸如濺鍍、SOG 方法、旋轉塗佈方法、浸漬方法、噴塗方法、液滴排出方法（諸如，噴墨方法、網印、或平板印刷）的方法、或以諸如刮刀、輥式塗佈機、簾幕式塗佈機、或刀式塗佈機之工具而被形成。

當該氛圍中之殘留濕氣係在該氧化物半導體膜的沈積之時被去除時，該氧化物半導體膜中之氫及氫化物的濃度可被降低。因此，該氧化物半導體膜能被穩定。

以該上面之方式，能提供具有穩定電特徵之高度可靠的半導體裝置，其包括具有氧化物半導體層之薄膜電晶體。

如適當的話，此具體實施例模式能與其它具體實施例之任一者組合。

（具體實施例 2）

於本發明的一個具體實施例中，為藉由去除雜質的本質或實質為本質半導體之氧化物半導體被使用薄膜電晶體，於該氧化物半導體中可為載子施體（或受體）之雜質被減少至很低的位準。於此具體實施例中，測試元件群組（亦被稱為 TEG）中之關閉電流的測量值被敘述在下面。

圖 6 說明具有 $L/W=3$ 微米/10000 微米的薄膜電晶體之初始特徵，其中，具有 $L/W=3$ 微米/50 微米的 200 個薄膜電晶體之每一個被平行地連接。此外，該薄膜電晶體之俯視圖被說明在圖 7A 中，且其局部放大俯視圖係在圖 7B 中說明。藉由圖 7B 中之虛線所包圍的區域係具有 $L/W=3$ 微米/50 微米及 $L_{ov}=1.5$ 微米的一個級之薄膜電晶體。為了測量該薄膜電晶體之初始特徵，在該基板溫度被設定至室溫、源極-汲極電壓（在下文中，被稱為汲極電壓或 V_d ）被設定至 10 V、及源極-閘極電壓（在下文中，被稱為閘極電壓或 V_g ）係自 -20 V 改變至 +20 V 的條件之下，該源極-汲極電流（在下文中被稱為汲極電流或 I_d ）之改變特徵被測量。亦即 V_g - I_d 特徵被測量。注意，圖 7A 及 7B 說明 V_g 在自 -20 至 +5 V 之範圍中。

如圖 6 所說明，具有 10000 微米之通道寬度 W 的薄膜電晶體在 1V 或 10V 之 V_d 具有 1×10^{-13} [A] 或更低之關閉電流，其係少於或等於測量裝置（半導體參數分析器，由 Agilent 技術公司所製成之 Agilent 4156C）之解析度（100fA）。

換句話說，該薄膜電晶體具有通常關閉之電特徵。在

1 至 10 V 的汲極電壓，該薄膜電晶體能操作，以致每一微米通道寬度之關閉狀態電流為 100 aA/微米或更少，較佳為 10 aA/微米或更少，又更佳為 1 aA/微米或更少。

用以製造供該測量用之薄膜電晶體的方法被敘述。

首先，氮化矽層藉由 CVD 方法而被形成作為玻璃基板之上的基底層，且氮氧化矽層被形成在該氮化矽層之上。鎢層藉由濺鍍而被形成為該氮氧化矽層之上的閘極電極。在於，該鎢層被選擇性地蝕刻，以致該閘極電極被形成。

其次，100 奈米厚的氮氧化矽層係藉由 CVD 而被形成為閘極絕緣層。

然後，50 奈米厚的氧化物半導體層係藉由濺鍍而被形成在該閘極絕緣層之上，並使用 In-Ga-Zn-O-基氧化物半導體標靶（在 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ 之莫耳比率中）。在此，島形氧化物半導體層被該氧化物半導體層之選擇性蝕刻所形成。

然後，第一熱處理係在攝氏 450 度於清潔爐中之氮氛圍中在該氧化物半導體層上施行有 1 小時之久。

然後，150 奈米厚之鈦層係藉由濺鍍而被形成在該氧化物半導體層之上當作源極電極與汲極電極。在此，該源極電極與該汲極電極係藉由該鈦層之選擇性蝕刻所形成，且每一個具有 3 微米之通道長度 L 及 50 微米的通道寬度 W 之 200 個薄膜電晶體被平行地連接，以獲得具有 $L/W=3$ 微米/10000 微米之薄膜電晶體。

然後，300 奈米厚的氧化矽層係藉由反應性濺鍍而被形成爲保護絕緣層，以便與該氧化物半導體層相接觸。在此，作爲該保護層之氧化矽層被選擇性地蝕刻，以致開口被形成於該閘極電極層、該源極電極層、與該汲極電極層之上。在此之後，第二熱處理係在氮氛圍中於攝氏 250 度施行有 1 小時之久。

然後，熱處理係在測量 V_g - I_d 特徵之前於攝氏 150 度被施行有 10 小時之久。

透過該等上面步驟，底部閘極薄膜電晶體被製成。

如圖 6 所示，爲何該薄膜電晶體之斷開狀態電流爲大約 1×10^{-13} A 係因爲該氧化物半導體層中之氫的濃度可在該等上面步驟中被充分地減少。該氧化物半導體層中之氫的濃度爲 5×10^{19} 原子/立方公分或更低，較佳爲 5×10^{18} 原子/立方公分或更低，更佳爲 5×10^{17} 原子/立方公分或更低、或低於 1×10^{16} /立方公分。注意，該氧化物半導體層中之氫濃度係藉由二次離子質譜儀（SIMS）所測量。

雖然使用 In-Ga-Zn-O-基氧化物半導體之範例被敘述，此具體實施例不被特別地受限於此。另一氧化物半導體材料、例如 In-Sn-Zn-O-基氧化物半導體、Sn-Ga-Zn-O-基氧化物半導體、Al-Ga-Zn-O-基氧化物半導體、Sn-Al-Zn-O-基氧化物半導體、In-Zn-O-基氧化物半導體、In-Sn-O-基氧化物半導體、Sn-Zn-O-基氧化物半導體、Al-Zn-O-基氧化物半導體、In-O-基氧化物半導體、Sn-O-基氧化物半導體、Zn-O-基氧化物半導體等可被使用。再者，當作

氧化物半導體材料，以 2.5 重量百分比至 10 重量百分比之 Al 混合的 In-Al-Zn-O-基氧化物半導體、或以 2.5 重量百分比至 10 重量百分比之 Si 混合的 In-Zn-O-基氧化物半導體能被使用。

藉由載子測量裝置所測量的氧化物半導體層中之載子密度為低於 5×10^{14} /立方公分較佳為 5×10^{12} /立方公分或更低，更佳為低於或等於 1.45×10^{10} /立方公分的矽之載子濃度。亦即，該氧化物半導體層中之載子濃度可為盡可能接近零。

再者，該薄膜電晶體之通道長度 L 可為 10 至 1000 奈米，且電路能在更高速率操作。再者，因為因為關閉狀態電流之數量係非常地小，電力消耗可被進一步減少。

於電路設計中，當該薄膜電晶體被關閉時，該氧化物半導體層能被當作絕緣體。

在此之後，在此範例中所製成之薄膜電晶體的關閉電流之溫度特徵被評估。該等溫度特徵於考慮最終產品之環境電阻、性能之維持等時為重要的，而在該最終產品中使用該薄膜電晶體。應了解較小數量之變化係較佳的，其增加產品設計用之自由度。

用於該等溫度特徵，該 V_g-I_d 特徵係使用恆溫室在該等條件之下獲得，其中，設有薄膜電晶體之基板被保持在攝氏 -30 度、攝氏 0 度、攝氏 25 度、攝氏 40 度、攝氏 60 度、攝氏 80 度、攝氏 100 度、及攝氏 120 度之個別的恆溫，且汲極電壓被設定至 6 V、與閘極電壓係自 -20 改變

至 +20 V。

圖 8A 說明在該等上面溫度所測量及彼此相重疊的 V_g - I_d 特徵，且圖 8B 說明藉由圖 8A 中之虛線所包圍的斷開狀態電流之範圍的放大視圖。藉由該圖解中之箭頭所指示的最右邊曲線係在攝氏 -30 度所獲得之曲線；該最左邊曲線係在攝氏 120 度所獲得之曲線；且在其他溫度所獲得之曲線係位在其間。開啓狀態電流之溫度相依性幾乎不能被觀察到。在另一方面，如在圖 8B 之放大視圖中亦清楚地說明，該斷開狀態電流為 1×10^{-12} A 或更少，其係接近該測量裝置之解析度，在除了該閘極電壓為約 -20 V 的情況以外之所有溫度，且其溫度相依性未被觀察到。換句話說，甚至在攝氏 120 度之高溫，該斷開狀態電流被保持在 1×10^{-12} A 或更少，且給與之通道寬度 W 為 10000 微米，其能被看到該斷開狀態電流係顯著地小的。

包括被高度純化之氧化物半導體的薄膜電晶體顯示在溫度上幾乎沒有斷開狀態電流之相依性。其可被說為氧化物半導體當被高度純化時不會顯示溫度相依性，因為該導電型式變得非常接近本質型，且該費米能階係位在該嚴禁能帶之中間，如圖 10A 之能帶圖所說明。這亦源自該事實，即該氧化物半導體具有 3 eV 或更多之能隙，且包括極少之熱激發載子。此外，該源極區域與該汲極區域係在退化狀態中，其亦為用以顯示沒有溫度相依性之因素。該薄膜電晶體主要地係以自該退化的源極區域被注射至該氧化物半導體之載子來操作，且該等上面之特徵（斷開狀態

電流在溫度上之獨立性) 能藉由載子密度在溫度上之獨立性所解釋。再者，此非常低之斷開狀態電流係在下面參考能帶圖來做敘述。

圖 9 為包括氧化物半導體之反向錯置薄膜電晶體的縱向剖面視圖。氧化物半導體層 (OS) 係設在閘極電極 (GE1) 之上，而使閘極絕緣膜 (GI) 設在其間。源極電極 (S) 與汲極電極 (D) 被提供在該閘極絕緣膜之上。

圖 10A 及 10B 為圖 9 中之 A-A'剖面中的能帶圖 (概要圖)。圖 10A 說明源極的電壓與汲極的電壓為相等 ($V_D=0$ V) 之情況，且圖 10B 說明正電位 ($V_D>0$) 被施加至該汲極的情況。

圖 11A 及 11B 為圖 19 中之 B-B'剖面中的能帶圖 (概要圖)。圖 11A 說明正電位 ($+V_G$) 被施加至該閘極 (G1) 及源極與汲極間之載子 (電子) 流動的狀態。再者，圖 11B 說明負電位 ($-V_G$) 被施加至該閘極 (G1) 且該薄膜電晶體被關閉 (少數載子不流動) 之狀態。

圖 12 說明真空能階、金屬的功函數 (ϕ_M)、與氧化物半導體的電子親和力 (χ) 間之關係。

習知之氧化物半導體典型上具有 n 型導電性，且在該情況中，該費米能階 (E_F) 係遠離位於能帶隙之中間的本質費米能階 (E_i)，且被定位接近該傳導能帶。注意，已知氧化物半導體中之氫的一部份具有施體之作用，且為造成該氧化物半導體具有 n 型導電性的一個因素。

於對比中，本發明的一個具體實施例中之氧化物半導

體為本質（i 型）或實質為本質氧化物半導體，其係藉由自氧化物半導體去除 n 型雜質之氫及純度中之增加所獲得，以致異於該氧化物半導體之主要成份的雜質儘可能多地不被包含。換句話說，該氧化物半導體為高度純化之本質（i 型）半導體或接近高度純化之 i 型半導體的半導體，而未加入雜質，但儘可能多地去除諸如氫或水之雜質。以此方式，該費米能階（ E_F ）可為與該本質費米能階（ E_i ）相同的能階。

據說於該氧化物半導體之能帶隙（ E_g ）為 3.15 eV 的情況中，電子親和力（ χ ）為 4.3 eV。被使用於該源極電極與該汲極電極之鈦（Ti）的功函數係實質上與該氧化物半導體之電子親和力（ χ ）相同。在此情況下，該肖特基電子能障並未形成在該金屬及該氧化物半導體間之介面處。

換句話說，於該金屬的功函數（ ϕ_M ）係與該氧化物半導體的電子親和力（ χ ）相同之情況中，該金屬及該氧化物半導體係彼此接觸之狀態被顯示為圖 10A 所說明之能帶圖（概要圖）。

於圖 10B 中，黑色圓圈（●）代表電子。當正電位被施加至該汲極時，該電子係超過該能障（ h ）被注射進入該氧化物半導體及流向該汲極。在該情況下，該能障（ h ）之高度視該閘極電壓與該汲極電壓而變化；於正汲極電壓被施加之情況中，該能障（ h ）之高度係比圖 10A 中之能障的高度較小，其中，沒有電壓被施加，亦即，該

能帶隙 (E_g) 的一半。

在此時注射進入該氧化物半導體之電子流經該氧化物半導體，如圖 11A 所說明。再者，於圖 11B 中，當負電位被施加至該閘極 ($G1$) 時，作為少數載子之電洞實質為零；因此，幾乎沒有電流流動。

譬如，甚至在其通道寬度 W 為 1×10^4 微米及其通道長度為 3 微米的薄膜電晶體中， $10^{-13} A$ 或更少的斷開狀態電流之電特徵與 $0.1 V/dec$ (該閘極絕緣膜之厚度為 100 奈米) 的次臨界擺幅 (S 值) 可被獲得。

矽半導體之本質載子濃度為 $1.45 \times 10^{10}/\text{立方公分}$ ($300K$)，且載子甚至於室溫存在。這意指熱激發載子甚至於室溫存在。再者，該矽半導體的能帶隙為 $1.12 eV$ ；因此，包括矽半導體之電晶體的斷開狀態電流視溫度而大幅地改變。

因此，不只藉由簡單地使用具有用於電晶體的寬能帶隙之氧化物半導體，同時藉由高度純化該氧化物半導體，使得異於該氧化物半導體的主要成份之雜質儘可能多地不被包含。因此，於此種氧化物半導體中，該載子濃度變成 $1 \times 10^{14}/\text{立方公分}$ 或更低，較佳為 $1 \times 10^{12}/\text{立方公分}$ 或更低，以致將在實用之操作溫度被熱激發之載子幾乎不被包括，且該電晶體可僅只以自該源極側所注射之電子操作。這使得其可能將該斷開狀態電流減少至 $1 \times 10^{-13} A$ 或更少，及獲得非常穩定之電晶體，其斷開狀態電流幾乎不會隨著溫度中之變化而改變。

本發明的一個具體實施例之技術概念為雜質不被加至氧化物半導體，且該氧化物半導體本身係藉由去除諸如不想要地存在其中之水或氫的雜質而被高度純化。換句話說，本發明的一個具體實施例之特色在於氧化物半導體本身藉由去除形成施體能階之水或氫及藉由供應氧至該氧化物半導體而被高度純化，該氧化物半導體在去除之時被製成為在缺氧狀態中。

於氧化物半導體中，甚至剛好在該沈積之後，氫係藉由二次離子質譜儀（SIMS）而被觀察到大約 10^{20} /立方公分。本發明的技術概念為藉由故意地去除諸如形成施體能階的水或氫之雜質及藉由補償在去除之時所產生的氧之缺乏，以高度純化氧化物半導體及獲得電 i 型（本質）半導體。

結果，較佳的是該氫之數量為盡可能小的，且其亦較佳的是該氧化物半導體中之載子的數目係盡可能小的。該氧化物半導體為所謂高度純化之 i 型（本質）半導體，而載子係已自該半導體消除，且當用於薄膜電晶體時，用作為由源極所供給之載子（電子）的路徑，而非故意地包括用以流動電流之載子。

結果，藉由自氧化物半導體完全地消除載子或顯著地減少在其中的載子，電晶體之斷開狀態電流能被減少，其為本發明的具體實施例之技術概念。換句話說，當作一標準，該氫濃度為 5×10^{19} /立方公分或更低，較佳為 5×10^{18} /立方公分或更低，更佳為 5×10^{17} /立方公分或更低、或低

於 1×10^{16} /立方公分。該載子濃度應為低於 1×10^{14} /立方公分，較佳為 1×10^{12} /立方公分或更低。

此外，結果，該氧化物半導體用作為一路徑，且該氧化物半導體本身為被高度純化之 i 型（本質）半導體，以便不會供給載子或幾乎沒有供給載子，且載子係由源極與汲極所供應。供應之程度係藉由該能障高度所決定，而非藉由該氧化物半導體之電子親和力 χ 、其理想地對應於該本質費米能階之費米能階、及該源極或汲極的功函數所決定。

因此，較佳的是該斷開狀態電流為盡可能低的，且當作施加在 1 至 10 V 的範圍中之汲極電壓的電晶體之特徵，該斷開狀態電流為 100 aA/微米或更少（該通道寬度 W =每一微米之電流）較佳為 10 aA/微米或更少，更佳為 1 aA/微米或更少。

於記憶體電路（記憶體元件）等係使用此具有非常低之關閉狀態電流的薄膜電晶體所形成之情況中，其中，有很少之洩漏。因此，電位可被保持一段很長之時間，且所儲存之資料可被保持一段很長之時間。

如適當的話，此具體實施例可與其他具體實施例中所敘述之結構的各者組合。

（具體實施例 3）

包括本發明的一個具體實施例中之薄膜電晶體的固態影像感測器之操作被敘述。

CMOS（互補式金氧半導體）影像感測器為固態影像感測器，其在信號電荷儲存部中保持一電位，並經過放大器電晶體將該電位輸出至直立輸出線。當在被包括於 CMOS 影像感測器中之重置電晶體及／或傳送電晶體中發生漏洩電流時，充電或放電係由於該漏洩電流而產生，以致該信號電荷儲存部之電位被改變。當該信號電荷儲存部的電位被改變時，該放大器電晶體之電位亦被改變；因此，該等電位之位準係自該原來之電位而偏離，且所拍攝到之影像劣化。

於此具體實施例中，具體實施例 1 及 2 中所敘述之薄膜電晶體被使用作為 CMOS 影像感測器中之重置電晶體及傳送電晶體的情況之效果被敘述。注意，薄膜電晶體或塊狀電晶體的其中之一可被使用作為放大器電晶體。

圖 13 說明 CMOS 影像感測器之像素結構的範例。像素包括作為光電轉換元件之光電二極體 1002、傳送電晶體 1004、重置電晶體 1006、放大器電晶體 1008、及各種佈線。複數個像素被配置在矩陣中，以形成感測器。再者，電連接至該放大器電晶體 1008 之選擇自電晶體可被提供。注意，於該等電晶體之符號中，符號“OS”指示氧化物半導體，且符號“Si”指示矽。這些符號指示用於這些電晶體之合適的材料。以下之圖解可被說為具有相同之指示。

在此，該光電二極體 1002 係連接至該傳送電晶體 1004 之源極側。信號電荷儲存部 1010（亦被稱為浮動傳

播 (FD)) 係形成在該傳送電晶體 1004 之汲極側上。該重置電晶體 1006 之源極及該放大器電晶體 1008 之閘極被連接至該信號電荷儲存部 1010 當作另一結構，重置電源線 1110 能被消除。譬如，該重置電晶體 1006 之汲極係不連接至該重置電源線 1110，但連接至於電源線 1100 或直立輸出線 1120。

其次，該操作係參考圖 14 中之時序圖來做敘述。首先，電源電壓被供應至電源端子。然後，重置脈衝係輸入至該重置電晶體 1006 之閘極，以致該重置電晶體 1006 被開啓。重置電源電位被儲存於該信號電荷儲存部 1010 中。然後，該重置電晶體 1006 被關閉，且該信號電荷儲存部 1010 被保持在該重置電源電位（時期 T1）。在此，當幾乎沒有漏洩電流流動至該重置電晶體 1006 及該傳送電晶體 1004 時，該電位被保持直至該電晶體開始該下一個操作。其次，當該傳送電晶體 1004 被開啓時，電流由該信號電荷儲存部 1010 流動至該光電二極體，以致該信號電荷儲存部 1010 之電位降低（時期 T2）。當該傳送電晶體 1004 被關閉時，在該信號電荷儲存部 1010 中保持當該傳送電晶體 1004 被關閉時的電位（時期 T3）。當幾乎沒有漏電流流動至該重置電晶體 1006 及該傳送電晶體 1004 時，保持該電位直至該電晶體開始該下一個操作。然後，該電位係經過該放大器電晶體 1008 輸出至一直立輸出線 1120。在其之後，電源電壓之供應至該電源端子被中斷。以此方式，信號被輸出。

換句話說，當包括在具體實施例中所敘述的其關閉狀態電流為顯著地低之氧化物半導體的薄膜電晶體被使用作為該重置電晶體 1006 及該傳送電晶體 1004 時，幾乎沒有漏洩電流自該信號電荷儲存部 1010 流動經過該薄膜電晶體，且在該等時期 T1 與 T3 中，該電位可在保持時期中被保持達一段很長的時間。

其次，該光電二極體 1002 之操作係參考圖 15 來做敘述。當光未進入該光電二極體時，該光電二極體具有與普通二極體相同之電壓-電流特徵（圖 15 中之曲線 A）。如與光不會進入該光電二極體之情況作比較（圖 15 中之曲線 B），當光進入該光電二極體時，尤其當反向偏壓被施加時，較大數量之電流流動。該光電二極體之操作點係敘述參考圖 13 中所說明之像素中的操作。當該傳送電晶體 1004 被關閉時，用於流動電流之路徑不會存在於該光電二極體 1002 中；因此，當光進入該光電二極體時，該光電二極體之陰極被定位在圖 15 中之點 c。當該傳送電晶體 1004 在該重置電晶體 1006 被開啓及該信號電荷儲存部 1010 被保持在該重置電源電位之後被開啓時，該光電二極體 1002 之陰極的電位係與該重置電源電位相同，且該光電二極體 1002 之陰極被定位在圖 15 中之點 d。然後，放電電流自該信號電荷儲存部 1010 流動經過該傳送電晶體 1004，以致該信號電荷儲存部 1010 之電位被降低。當該傳送電晶體 1004 被關閉時，放電停止。當假設在此時於圖 15 中之操作點係藉由 e 所標示時，該操作點 d 及該

操作點 e 間之電位差對應於藉由該光電二極體 1002 的放電所獲得之信號的電位差。

其次，敘述當重置電晶體、放大器電晶體、及信號線被共同使用於複數個像素之中時的動作。圖 16 為基本結構，其中，重置電晶體、傳送電晶體、放大器電晶體、光電二極體被提供於每一個像素中，且重置線、傳送開關線、及直立輸出線被連接至該像素。

該基本結構中之動作係參考圖 17 中之時序圖來做敘述。於第一線之驅動中，首先，當該第一重置線 1240 之電位（RST1）變成高位準時，第一重置電晶體 1216 被開啓。因此，第一信號電荷儲存部 1210 之電位（FD1）係升高至電源電位（下文被稱為 VDD ）。甚至當該第一重置線 1240 之電位變成低位準及該第一重置電晶體 1216 被關閉時，當電流路徑不存在時，該第一信號電荷儲存部 1210 的電位被保持在 VDD 。其次，當第一傳送開關線 1250 之電位（TRF1）變成高位準時，第一傳送電晶體 1214 被開啓，且對應於光而進入第一光電二極體 1212 之電流流動至該第一光電二極體 1212 及該第一傳送電晶體 1214，以致該第一信號電荷儲存部 1210 的電位（FD1）係藉由放電所降低。當該第一傳送開關線 1250 之電位變成低位準時，該第一傳送電晶體 1214 被關閉，以致該第一信號電荷儲存部 1210 之電位被保持，因為該電流路徑再次不存在。此電位係經過第一放大器電晶體 1218 而被輸出至直立輸出線 1220。然後，包括第二重置線 1340 及

第二傳送開關線 1350 的第二線之驅動被施行。以此方式，連續之驅動被施行。注意，圖 17 中之 RST2、TRF2、及 FD2 對應於該第二線的驅動中之時序圖。

不像該上面之基本結構，圖 18 說明縱向地配置的四個像素之結構，其中，重置電晶體、放大器電晶體、及重置線被共同地使用。當電晶體之數目及佈線之數目被減少時，由於該像素面積中之減少的微型化及雜訊由於光電二極體的光接收面積中之增加而減少能被實現。縱向地配置的四個像素中之傳送電晶體的汲極係彼此電連接，以致信號電荷儲存部 1410 被形成。重置電晶體 1406 的源極及放大器電晶體 1408 之閘極被連接至該信號電荷儲存部 1410。

縱向地配置之四個像素的結構中之操作係參考圖 19 中之時序圖來做敘述。於第一線之驅動中，首先，該第一重置線 1461 之電位（RST1）變成高位準，以致第一重置電晶體 1406 被開啓。因此，該信號電荷儲存部 1410 之電位（FD）被升高至 VDD 。甚至當該第一重置線 1461 之電位（RST1）變成低位準及該第一重置電晶體 1406 被關閉時，當電流路徑不存在時，該信號電荷儲存部 1410 之電位（FD）被保持在 VDD 。其次，當第一傳送開關線 1451 之電位（TRF1）變成高位準時，第一傳送電晶體 1414 被開啓，且對應於光而進入第一光電二極體 1412 之電流流動至該第一光電二極體 1412 及該第一傳送電晶體 1414，以致該信號電荷儲存部 1410 之電位（FD）係藉由放電所

降低。當該第一傳送開關線 1451 之電位 (TRF1) 變成低位準時，該第一傳送電晶體 1414 被關閉，以致該信號電荷儲存部 1410 之電位 (FD) 被保持，因為該電流路徑再次不存在。此電位係經過第一放大器電晶體 1408 而被輸出至直立輸出線 1470。

於第二線之驅動中，該第一重置線 1461 之電位 (RST1) 再次變成高位準，以致該第一重置電晶體 1406 被開啓。因此，該信號電荷儲存部 1410 之電位 (FD) 被升高至 VDD 。甚至當該第一重置線 1461 之電位 (RST1) 變成低位準及該第一重置電晶體 1406 被關閉時，當電流路徑不存在時，該信號電荷儲存部 1410 之電位 (FD) 被保持在 VDD 。其次，當第二傳送開關線 1452 之電位 (TRF2) 變成高位準時，第二傳導電晶體 1424 被開啓，且對應於光而進入第二光電二極體 1422 之電流流動至該第二光電二極體 1422 及該第二傳送電晶體 1424，以致該信號電荷儲存部 1410 之電位 (FD) 係藉由放電所降低。當該第二傳送開關線 1452 之電位 (TRF2) 變成低位準時，該第二傳送電晶體 1424 被關閉，以致該信號電荷儲存部 1410 之電位被保持，因為該電流路徑再次不存在。此電位係經過該第一放大器電晶體 1408 而被輸出至該直立輸出線 1470。

於第三線之驅動中，該第一重置線 1461 之電位 (RST1) 再次變成高位準，以致該第一重置電晶體 1406 被開啓。因此，該信號電荷儲存部 1410 之電位 (FD) 被

升高至 VDD 。甚至當該第一重置線 1461 之電位 ($RST1$) 變成低位準及該第一重置電晶體 1406 被關閉時，當電流路徑不存在時，該信號電荷儲存部 1410 之電位 (FD) 被保持在 VDD 。其次，當第三傳送開關線 1453 之電位變成高位準時，第三傳送電晶體 1434 被開啓，且對應於光而進入第三光電二極體 1432 之電流流動至該第三光電二極體 1432 及該第三傳送電晶體 1434，以致該信號電荷儲存部 1410 之電位 (FD) 係藉由放電所降低。當該第三傳送開關線 1453 之電位 (TRF) 變成低位準時，該第三傳送電晶體 1434 被關閉，以致該信號電荷儲存部 1410 之電位 (FD) 被保持，因為該電流路徑再次不存在。此電位係經過該第一放大器電晶體 1408 而被輸出至該直立輸出線 1470。

於第四線之驅動中，該第一重置線 1461 之電位 ($RST1$) 再次變成高位準，以致該第一重置電晶體 1406 被開啓。因此，該信號電荷儲存部 1410 之電位 (FD) 被升高至 VDD 。甚至當該第一重置線 1461 之電位 ($RST1$) 變成低位準及該第一重置電晶體 1406 被關閉時，當電流路徑不存在時，該信號電荷儲存部 1410 之電位 (FD) 被保持在 VDD 。其次，當第四傳送開關線 1454 之電位 ($TRF4$) 變成高位準時，第四傳導電晶體 1444 被開啓，且對應於光而進入第四光電二極體 1442 之電流流動至該第四光電二極體 1442 及該第四傳送電晶體 1444，以致該信號電荷儲存部 1410 之電位 (FD) 係藉由放電所降低。

當該第四傳送開關線 1454 之電位變成低位準時，該第四傳送電晶體 1444 被關閉，以致該信號電荷儲存部 1410 之電位（FD）被保持，因為該電流路徑再次不存在。此電位係經過該第一放大器電晶體 1408 而被輸出至該直立輸出線 1470。於第五至第八線之驅動中，連續之驅動係如於該第一至第四線中藉由第二重置線的電位（RST2）之控制所施行。

圖 20 說明縱向及橫向地配置的四個像素之結構，其係與圖 18 中之結構不同。於圖 20 中所說明之結構中，重置線、重置電晶體、及放大器電晶體被共同地使用於二縱向地配置的像素及二橫向地配置的像素之中。如於縱向地配置的四個像素之結構中，當電晶體之數目及佈線之數目被減少時，由於該像素面積中之減少的微型化及雜訊由於光電二極體的光接收面積中之增加而減少能被實現。縱向及橫向地配置的四個像素中之傳送電晶體的汲極係彼此電連接，以致信號電荷儲存部 1510 被形成。重置電晶體 1506 的源極及放大器電晶體 1508 之閘極被連接至該信號電荷儲存部 1510。

縱向及橫向地配置之四個像素的結構中之操作係參考圖 21 中之時序圖來做敘述。於第一線之驅動中，首先，第一重置線 1561 之電位（RST1）變成高位準，以致第一重置電晶體 1506 被開啓。因此，該信號電荷儲存部 1510 之電位（FD）被升高至 VDD 。該第一重置線 1561 之電位（RST1）變成低位準，以致該第一重置電晶體 1506 被關

閉。甚至當該第一重置電晶體 1506 被關閉時，當電流路徑不存在時，該信號電荷儲存部 1510 之電位 (FD) 被保持在 VDD 。其次，當第一傳送開關線 1551 之電位 (TRF1) 變成高位準時，第一傳送電晶體 1514 被開啓，且對應於光而進入第一光電二極體 1512 之電流流動至該第一光電二極體 1512 及該第一傳送電晶體 1514，以致該信號電荷儲存部 1510 之電位 (FD) 係藉由放電所降低。當該第一傳送開關線 1551 之電位 (TRF1) 變成低位準時，該第一傳送電晶體 1514 被關閉，以致該信號電荷儲存部 1510 之電位 (FD) 被保持，因為該電流路徑再次不存在。此電位係經過第一放大器電晶體 1508 而被輸出至直立輸出線 1570。

其次，該第一重置線 1561 之電位 (RST1) 再次變成高位準，以致該第一重置電晶體 1506 被開啓。因此，該信號電荷儲存部 1510 之電位 (FD) 被升高至 VDD 。該第一重置線 1561 之電位 (RST1) 變成低位準，以致該第一重置電晶體 1506 被關閉。甚至當該第一重置電晶體 1506 被關閉時，當電流路徑不存在時，該信號電荷儲存部 1510 之電位 (FD) 被保持在 VDD 。然後，當第二傳送開關線 1552 之電位 (TRF2) 變成高位準時，第二傳導電晶體 1524 被開啓，且對應於光而進入第二光電二極體 1522 之電流流動至該第二光電二極體 1522 及該第二傳送電晶體 1524，以致該信號電荷儲存部 1510 之電位 (FD) 係藉由放電所降低。當該第二傳送開關線 1552 之電位

信號電荷儲存部 1510 之電位 (FD) 被升高至 VDD 。該第一重置線 1561 之電位 (RST1) 變成低位準，以致該第一重置電晶體 1506 被關閉。甚至當該第一重置電晶體 1506 被關閉時，當電流路徑不存在時，該信號電荷儲存部 1510 之電位 (FD) 被保持在 VDD 。其次，當第四傳送開關線 1554 之電位 (TRF4) 變成高位準時，第四傳導電晶體 1544 被開啓，且對應於光而進入第四光電二極體 1542 之電流流動至該第四光電二極體 1542 及該第四傳送電晶體 1544，以致該信號電荷儲存部 1510 之電位 (FD) 係藉由放電所降低。當該第四傳送開關線 1554 之電位 (TRF4) 變成低位準時，該第四傳送電晶體 1544 被關閉，以致該信號電荷儲存部 1510 之電位 (FD) 被保持，因為該電流路徑再次不存在。此電位係經過該第一放大器電晶體 1508 而被輸出至該直立輸出線 1570。其次，第三線之驅動及第四線之驅動係如於該第一及第二線中藉由第二重置線 1562 的電位 (RST2) 之控制而被連續地施行。

圖 22 說明傳送開關線被共同地使用之結構。於圖 22 所說明之結構中，重置線、傳送開關線、重置電晶體、及放大器電晶體被共同地使用於二縱向地配置的像素及二橫向地配置的像素之中。被共同地使用之傳送開關被加至該等上面結構，其中，該重置線、該重置電晶體、及該放大器電晶體被共同地使用。當電晶體之數目及佈線之數目被減少時，由於該像素面積中之減少的微型化及雜訊由於光電二極體的光接收面積中之增加而減少能被實現。縱向及

橫向地配置的四個像素中之傳送電晶體的汲極係彼此電連接，以致信號電荷儲存部被形成。該重置電晶體的源極及放大器電晶體之閘極被連接至該信號電荷儲存部。於該等結構中，該傳送開關線被共同地使用於縱向地定位的二個傳送電晶體之間，以致在橫向方向中及縱向方向中同時操作之電晶體被提供。

共同地使用該傳送開關線之結構的操作係參考圖 23 中之時序圖敘述。於第一線及第二線之驅動中，首先，第一重置線 1665 之電位 (RST1) 及第二重置線 1666 之電位 (RST2) 變成高位準，以致第一重置電晶體 1616 及第二重置電晶體 1626 被開啓。因此，第一信號電荷儲存部 1610 之電位 (FD1) 及第二信號電荷儲存部 1620 之電位 (FD2) 被升高至 VDD 。該第一重置線 1665 之電位 (RST1) 及該第二重置線 1666 之電位 (RST2) 變成低位準，以致該第一重置電晶體 1616 及該第二重置電晶體 1626 被關閉。甚至當該第一重置電晶體 1616 及第二重置電晶體 1626 被關閉時，當電流路徑不存在時，該第一信號電荷儲存部 1610 之電位 (FD1) 及該第二信號電荷儲存部 1620 之電位 (FD2) 被保持在 VDD 。

其次，當第一傳送開關線 1751 之電位變成高位準時，第一傳送電晶體 1614 及第三傳送電晶體 1634 被開啓，以致對應於光而進入第一光電二極體 1612 之電流流動至該第一光電二極體 1612 及該第一傳送電晶體 1614，且對應於光而進入第三光電二極體 1632 之電流流動至該

第三光電二極體 1632 與該第三傳送電晶體 1634。因此，該第一信號電荷儲存部 1610 之電位 (FD1) 及該第二信號電荷儲存部 1620 之電位 (FD2) 係藉由放電所降低。當該第一傳送開關線 1751 之電位 (TRF1) 變成低位準時，該第一傳送電晶體 1614 及該第三傳送電晶體 1634 被關閉，以致該第一信號電荷儲存部 1610 之電位 (FD1) 及該第二信號電荷儲存部 1620 之電位 (FD2) 被保持，因為電流路徑再次不存在。這些電位係經過第一放大器電晶體 1618 而被輸出至第一直立輸出線 1675 及經過第二放大器電晶體 1628 而被輸出至第二直立輸出線 1676。

其次，該第一重置線 1665 之電位 (RST1) 及該第二重置線 1666 之電位 (RST2) 再次變成高位準，以致該第一重置電晶體 1616 及該第二重置電晶體 1626 被開啓。因此，該第一信號電荷儲存部 1610 之電位 (FD1) 及該第二信號電荷儲存部 1620 之電位 (FD2) 被升高至 VDD 。該第一重置線 1665 之電位 (RST1) 及該第二重置線 1666 之電位 (RST2) 變成低位準，以致該第一重置電晶體 1616 及該第二重置電晶體 1626 被關閉。甚至當該第一重置電晶體 1616 及該第二重置電晶體 1626 被關閉時，當電流路徑不存在時，該第一信號電荷儲存部 1610 之電位 (FD1) 及該第二信號電荷儲存部 1620 之電位 (FD2) 被保持在 VDD 。

其次，當第二傳送開關線 1752 之電位變成高位準時，第二傳送電晶體 1624 及第四傳送電晶體 1644 被開

啓，以致對應於光而進入第二光電二極體 1622 之電流流動至該第二光電二極體 1622 及該第二傳送電晶體 1624，且對應於光而進入第四光電二極體 1642 之電流流動至該第四光電二極體 1642 與該第四傳送電晶體 1644。因此，該第一信號電荷儲存部 1610 之電位（FD1）及該第二信號電荷儲存部 1620 之電位（FD2）係藉由放電所降低。當該第二傳送開關線 1752 之電位（TRF2）變成低位準時，該第二傳送電晶體 1624 及該第四傳送電晶體 1644 被關閉，以致該第一信號電荷儲存部 1610 之電位（FD1）及該第二信號電荷儲存部 1620 之電位（FD2）被保持，因為電流路徑再次不存在。這些電位係經過該第一放大器電晶體 1618 而被輸出至該第一直立輸出線 1675 及經過該第二放大器電晶體 1628 而被輸出至該第二直立輸出線 1676。該第一線及該第二線中之像素的輸出係經過該操作而被連續輸出至該第一直立輸出線 1675 及該第二直立輸出線 1676。

第三線及第四線之驅動被敘述。首先，該第二重置線 1666 之電位（RST2）及該第三重置線 1667 之電位（RST3）變成高位準，以致該第二重置電晶體 1626 及第三重置電晶體 1636 被開啓。因此，該第二信號電荷儲存部 1620 之電位（FD2）及第三信號電荷儲存部 1630 之電位（FD3）被升高至 VDD 。該第二重置線 1666 之電位（RST2）及該第三重置線 1667 的電位（RST3）變成低位準，以致該第二重置電晶體 1626 及該第三重置電晶體

1636 被關閉。甚至當該第二重置電晶體 1626 及該第三重置電晶體 1636 被關閉時，當同時電流路徑不存在時，該第二信號電荷儲存部 1620 之電位 (FD2) 及該第三信號電荷儲存部 1630 之電位 (FD3) 被保持在 VDD 。

其次，當第三傳送開關線 1753 之電位 (TRF3) 變成高位準時，第五傳送電晶體 1654 及第七傳送電晶體 1674 被開啓，以致對應於光而進入第五光電二極體 1652 之電流流動至該第五光電二極體 1652 及該第五傳送電晶體 1654，且對應於光而進入第七光電二極體 1672 之電流流動至該第七光電二極體 1672 與該第七傳送電晶體 1674。因此，該第二信號電荷儲存部 1620 之電位 (FD2) 及該第三信號電荷儲存部 1630 之電位 (FD3) 係藉由放電所降低。當該第三傳送開關線 1753 之電位 (TRF3) 變成低位準時，該第五傳送電晶體 1654 及該第七傳送電晶體 1674 被關閉，以致該第二信號電荷儲存部 1620 之電位 (FD2) 及該第三信號電荷儲存部 1630 之電位 (FD3) 被保持，因為電流路徑再次不存在。這些電位係經過該第二放大器電晶體 1628 而被輸出至該第二直立輸出線 1676、且經過該第一放大器電晶體 1618 而被輸出至該第一直立輸出線 1675。

其次，當該第二重置線 1666 之電位 (RST2) 及該第三重置線 1667 的電位 (RST3) 變成高位準時，以致該第二重置電晶體 1626 及該第三重置電晶體 1636 被開啓。因此，該第二信號電荷儲存部 1620 之電位 (FD2) 及該第

三信號電荷儲存部 1630 之電位 (FD3) 被升高至 VDD 。該第二重置線 1666 之電位 (RST2) 及該第三重置線 1667 之電位 (RST3) 變成低位準，以致該第二重置電晶體 1626 及該第三重置電晶體 1636 被關閉。甚至當該第二重置電晶體 1626 及該第三重置電晶體 1636 被關閉時，當電流路徑不存在時，該第二信號電荷儲存部 1620 之電位 (FD2) 及該第三信號電荷儲存部 1630 之電位 (FD3) 被保持在 VDD 。

其次，當第四傳送開關線 1754 之電位 (TRF4) 變成高位準時，第六傳送電晶體 1664 及第八傳送電晶體 1684 被開啓，以致對應於光而進入第六光電二極體 1662 之電流流動至該第六光電二極體 1662 及該第六傳送電晶體 1664，且對應於光而進入第八光電二極體 1682 之電流流動至該第八光電二極體 1682 與該第八傳送電晶體 1684。因此，該第二信號電荷儲存部 1620 之電位 (FD2) 及該第三信號電荷儲存部 1630 之電位 (FD3) 係藉由放電所降低。當該第四傳送開關線 1754 之電位 (TRF4) 變成低位準時，該第六傳送電晶體 1664 及該第八傳送電晶體 1684 被關閉，以致該第二信號電荷儲存部 1620 之電位 (FD2) 及該第三信號電荷儲存部 1630 之電位 (FD3) 被保持，因為電流路徑再次不存在。這些電位係經過該第二放大器電晶體 1628 而被輸出至該第二直立輸出線 1676，且經過該第一放大器電晶體 1618 而被輸出至該第一直立輸出線 1675。該第三線及該第四線中之像素的輸出係經

過該操作而被連續地輸出至該第二直立輸出線 1676 及該第一直立輸出線 1675。其次，第五線之驅動及第六線之驅動係如於該第三及第四線中藉由第三重置線 1667 的電位（RST3）及第四重置線之電位（RST4）的控制而被連續地施行。

圖 24 說明該整個 CMOS 影像感測器。重置端子驅動電路 2020 及傳送端子驅動電路 2040 被設在包括像素部 2000 的像素矩陣 2100 之相向兩側上。該等驅動電路被設在圖 24 中之像素矩陣 2100 的相向兩側上；然而，該等驅動電路可僅只被提供在一側上。此外，直立輸出線驅動電路 2060 被提供於一垂直於用以輸出來自該驅動電路之信號的佈線之方向上。該重置端子驅動電路 2020 及該傳送端子驅動電路 2040 係用以輸出具有二進值（低電位與高電位）之信號的驅動電路；因此，驅動能被以移位暫存器 2200 及緩衝電路 2300 之組合施行，如圖 25 所說明。這些驅動電路能使用塊狀電晶體或薄膜電晶體所形成。特別是，這些驅動電路較佳係使用包括矽半導體之塊狀電晶體來予以形成，該等矽半導體能被使用於形成互補（CMOS）電晶體。

該直立輸出線驅動電路 2060 能包括移位暫存器 2210、緩衝電路 2310、及類比開關 2400，如圖 26 所說明。直立輸出線 2120 被以該類比開關 2400 作選擇，且影像信號被輸出至影像輸出線 2500。該等類比開關 2400 係藉由該移位暫存器 2210 及該緩衝電路 2310 所連續地選

擇。該直立輸出線驅動電路 2060 能使用塊狀電晶體或薄膜電晶體所形成。特別是，該直立輸出線驅動電路 2060 較佳係使用包括矽半導體之塊狀電晶體來予以形成，該等矽半導體能被使用於形成互補電晶體。

圖 27 說明該移位暫存器及該緩衝電路之範例。特別是，圖 27 說明包括時脈控制反相器的移位暫存器 2220 及包括反相器的緩衝電路 2320 之範例。該移位暫存器及該緩衝電路不被限制於這些電路。再者，該重置端子驅動電路 2020、該傳送端子驅動電路 2040、及該直立輸出線驅動電路 2060 之結構不被限制於該等上面之結構。

在該等上面具體實施例的任一者中之固態影像感測器可被使用在各種電子裝置（包括娛樂機）中。譬如，該固態影像感測器可被使用在具有用以取得影像資料之單元的電子裝置中，該單元諸如數位相機、數位攝影機、行動電話、手提式遊戲機、或手提式資訊終端機。

如適當的話，本具體實施例模式能與其它具體實施例之任一者組合。

此申請案係基於 2009 年 11 月 6 日在日本專利局提出之日本專利申請案序號第 2009-255271 號，其整個內容係以引用的方式併入本文中。

【符號說明】

100：單晶矽基板

101：傳送電晶體

- 102：氧化物半導體層
- 104：源極電極
- 106：汲極電極
- 108：閘極電極
- 110：光電轉換元件
- 114：p 型區域
- 116：信號電荷儲存部
- 118：閘極絕緣層
- 121：重置電晶體
- 122：氧化物半導體層
- 124：源極電極
- 126：汲極電極
- 128：閘極電極
- 131：放大器電晶體
- 136：閘極絕緣層
- 138：閘極電極
- 140：絕緣膜
- 142：保護絕緣膜
- 151：佈線層
- 132a：n 型區域
- 132b：n 型區域
- 138a：導電層
- 138b：導電層
- 201：電晶體

204：源極電極
 210：光電轉換元件
 301：電晶體
 304：源極電極
 305：緩衝層
 306：汲極電極
 310：光電轉換元件
 112：n 型區域
 401：傳送電晶體
 421：重置電晶體
 431：放大器電晶體
 441：絕緣層
 450：氮氛圍
 501：傳送電晶體
 510：光電轉換元件
 516：信號電荷儲存部
 521：重置電晶體
 531：放大器電晶體
 540：電容器電極
 541：絕緣膜
 600：透鏡
 602：濾色片
 604：佈線層
 606：層間絕緣膜

608：光電轉換元件
610：透鏡
612：濾色片
618：光電轉換元件
1002：光電二極體
1004：傳送電晶體
1006：重置電晶體
1008：放大器電晶體
1010：信號電荷儲存部
1100：電源線
1110：重置電源線
1120：直立輸出線
1210：信號電荷儲存部
1212：光電二極體
1214：傳送電晶體
1216：重置電晶體
1218：放大器電晶體
1220：直立輸出線
1240：重置線
1250：傳送開關線
1340：重置線
1350：傳送開關線
1406：重置電晶體
1408：放大器電晶體

1410：信號電荷儲存部

1412：光電二極體

1414：傳送電晶體

1422：光電二極體

1424：傳送電晶體

1432：光電二極體

1434：傳送電晶體

1442：光電二極體

1444：傳送電晶體

1451：傳送開關線

1452：傳送開關線

1453：傳送開關線

1454：傳送開關線

1461：重置線

1470：直立輸出線

1506：重置電晶體

1508：放大器電晶體

1510：信號電荷儲存部

1512：光電二極體

1514：傳送電晶體

1522：光電二極體

1524：傳送電晶體

1532：光電二極體

1534：傳送電晶體

1542：光電二極體
 1544：傳送電晶體
 1551：傳送開關線
 1552：傳送開關線
 1553：傳送開關線
 1554：傳送開關線
 1561：重置線
 1562：重置線
 1570：直立輸出線
 1610：信號電荷儲存部
 1612：光電二極體
 1614：傳送電晶體
 1616：重置電晶體
 1618：放大器電晶體
 1620：信號電荷儲存部
 1622：光電二極體
 1624：傳送電晶體
 1626：重置電晶體
 1628：放大器電晶體
 1630：信號電荷儲存部
 1632：光電二極體
 1634：傳送電晶體
 1636：重置電晶體
 1638：放大器電晶體

- 1642：光電二極體
- 1644：傳送電晶體
- 1652：光電二極體
- 1654：傳送電晶體
- 1662：光電二極體
- 1664：傳送電晶體
- 1665：重置線
- 1666：重置線
- 1667：重置線
- 1672：光電二極體
- 1675：直立輸出線
- 1674：傳送電晶體
- 1676：直立輸出線
- 1682：光電二極體
- 1684：傳送電晶體
- 1751：傳送開關線
- 1752：傳送開關線
- 1753：傳送開關線
- 1754：傳送開關線
- 2000：像素部
- 2020：重置端子驅動電路
- 2040：傳送端子驅動電路
- 2060：直立輸出線驅動電路
- 2100：像素矩陣

2120：直立輸出線

2200：移位暫存器

2210：移位暫存器

2220：移位暫存器

2300：緩衝電路

2310：緩衝電路

2320：緩衝電路

2400：類比開關

2500：影像輸出線

申請專利範圍

1. 一種半導體裝置，包含：

光電轉換元件；

第一電晶體；

第二電晶體；以及

第三電晶體，

其中，該第一電晶體的閘極電極電連接至該第二電晶體的源極電極及汲極電極的其中之一，

其中，該第一電晶體的該閘極電極電連接至該第三電晶體的源極電極及汲極電極的其中之一，

其中，該第一電晶體的源極電極及汲極電極的其中之一電連接至第一線，

其中，該第二電晶體的閘極電極電連接至第二線，

其中，該第二電晶體的該源極電極及該汲極電極的其中之一電連接至該光電轉換元件，

其中，該第三電晶體的閘極電極電連接至第三線，

其中，該光電轉換元件經由該第二電晶體電連接至該第一電晶體的該閘極電極，以使該第一電晶體的該閘極電極有儲存電荷的能力，並且

其中，該第一電晶體的通道包含氧化物半導體層。

2. 一種半導體裝置，包含：

光電轉換元件；

第一電晶體；

第二電晶體；以及

第三電晶體，

其中，該第一電晶體的閘極電極電連接至該第二電晶體的源極電極及汲極電極的其中之一，

其中，該第一電晶體的該閘極電極電連接至該第三電晶體的源極電極及汲極電極的其中之一，

其中，該第一電晶體的源極電極及汲極電極的其中之一電連接至第一線，

其中，該第二電晶體的閘極電極電連接至第二線，

其中，該第二電晶體的該源極電極及該汲極電極的其中之一電連接至該光電轉換元件，

其中，該第三電晶體的閘極電極電連接至第三線，

其中，該光電轉換元件經由該第二電晶體電連接至該第一電晶體的該閘極電極，以使該第一電晶體的該閘極電極有儲存電荷的能力，

其中，該第一電晶體的通道包含第一氧化物半導體層，並且

其中，該第三電晶體的通道包含第二氧化物半導體層。

3. 如申請專利範圍第 2 項的半導體裝置，其中，各該第一氧化物半導體層及該第二氧化物半導體層包含 In、Ga 及 Zn。

4. 如申請專利範圍第 2 項的半導體裝置，其中，該第一氧化物半導體層中的載子濃度係低於 $1 \times 10^{14}/\text{cm}^3$ 。

5. 一種半導體裝置，包含：

光電轉換元件；

第一電晶體；

第二電晶體；以及

第三電晶體，

其中，該第一電晶體的閘極電極電連接至該第二電晶體的源極電極及汲極電極的其中之一，

其中，該第一電晶體的該閘極電極電連接至該第三電晶體的源極電極及汲極電極的其中之一，

其中，該第一電晶體的源極電極及汲極電極的其中之一電連接至第一線，

其中，該第二電晶體的閘極電極電連接至第二線，

其中，該第二電晶體的該源極電極及該汲極電極的其中之一電連接至該光電轉換元件，

其中，該第三電晶體的閘極電極電連接至第三線，

其中，該光電轉換元件經由該第二電晶體電連接至該第一電晶體的該閘極電極，以使該第一電晶體的該閘極電極有儲存電荷的能力，並且

其中，該第三電晶體的通道包含氧化物半導體層。

6. 如申請專利範圍第 5 項的半導體裝置，其中，當處於源極汲極間電壓為 6V 且溫度為 120℃ 的條件之下，該第三電晶體的通道寬度的每微米的關態電流係 100aA/ μm 或更少。

7. 如申請專利範圍第 5 項的半導體裝置，其中，當汲極電壓為 1V 至 10V，該第三電晶體的關態電流係 $1 \times 10^{-}$

¹³A 或更少。

8. 如申請專利範圍第 1、2 及 5 項中之任一項的半導體裝置，更包含，層間絕緣膜，

其中，該層間絕緣膜在該光電轉換元件上，並且

其中，該第三電晶體在該層間絕緣膜上。

9. 一種半導體裝置，包含：

光電轉換元件；

第一電晶體；以及

第二電晶體；

其中，該第一電晶體的閘極電極電連接至該第二電晶體的源極電極及汲極電極的其中之一，

其中，該第二電晶體的該源極電極及該汲極電極的其中之一電連接至該光電轉換元件，

其中，該光電轉換元件經由該第二電晶體電連接至該第一電晶體的該閘極電極，以使該第一電晶體的該閘極電極有儲存電荷的能力，並且

其中，該第一電晶體的通道包含氧化物半導體層。

10. 如申請專利範圍第 1、2 及 9 項中之任一項的半導體裝置，其中，當處於源極汲極間電壓為 6V 且溫度為 120°C 的條件之下，該第一電晶體的通道寬度的每微米的關態電流係 100aA/μm 或更少。

11. 如申請專利範圍第 1、2 及 9 項中之任一項的半導體裝置，其中，當汲極電壓為 1V 至 10V，該第一電晶體的關態電流係 1×10^{-13} A 或更少。

12. 如申請專利範圍第 1、5 及 9 項中之任一項的半導體裝置，其中，該氧化物半導體層包含 In、Ga 及 Zn。

13. 如申請專利範圍第 1、5 及 9 項中之任一項的半導體裝置，其中，該氧化物半導體層中的載子濃度係低於 $1 \times 10^{14} / \text{cm}^3$ 。

14. 如申請專利範圍第 1、2、5 及 9 項中之任一項的半導體裝置，其中，該光電轉換元件包含結晶矽。

圖式

圖 1

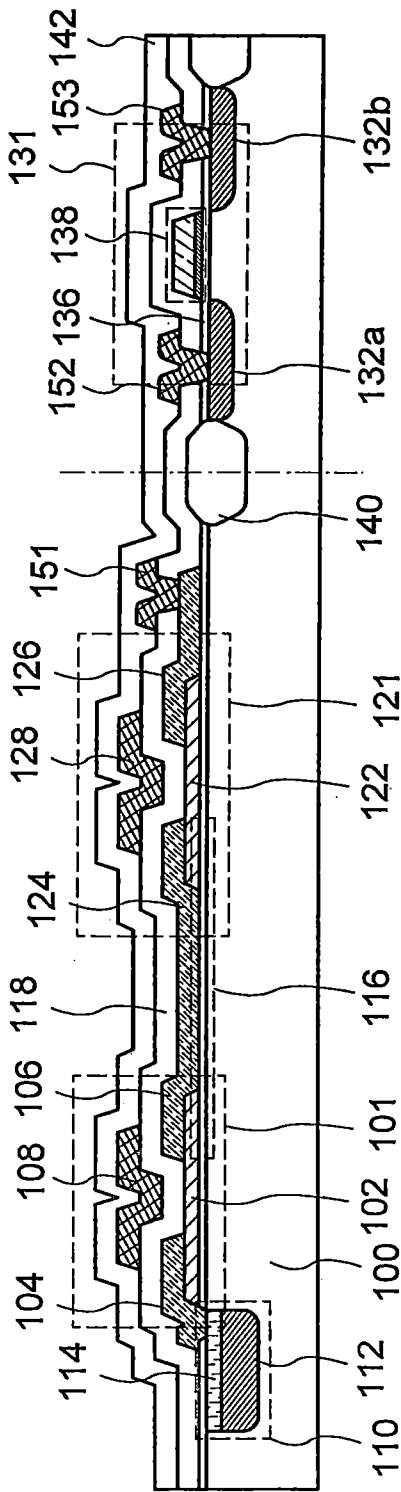


圖 2A

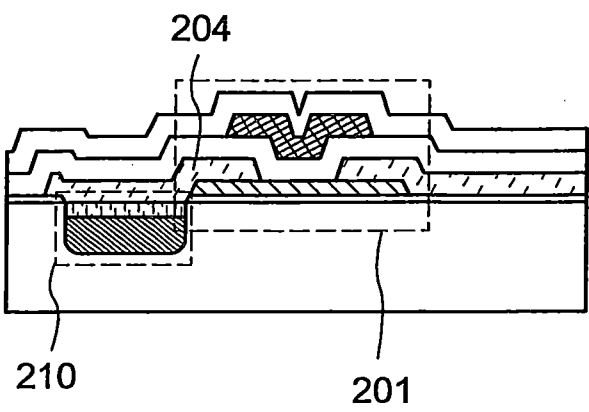


圖 2B

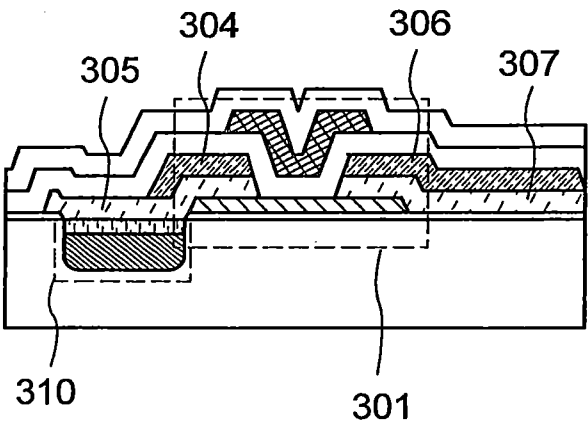


圖 3A

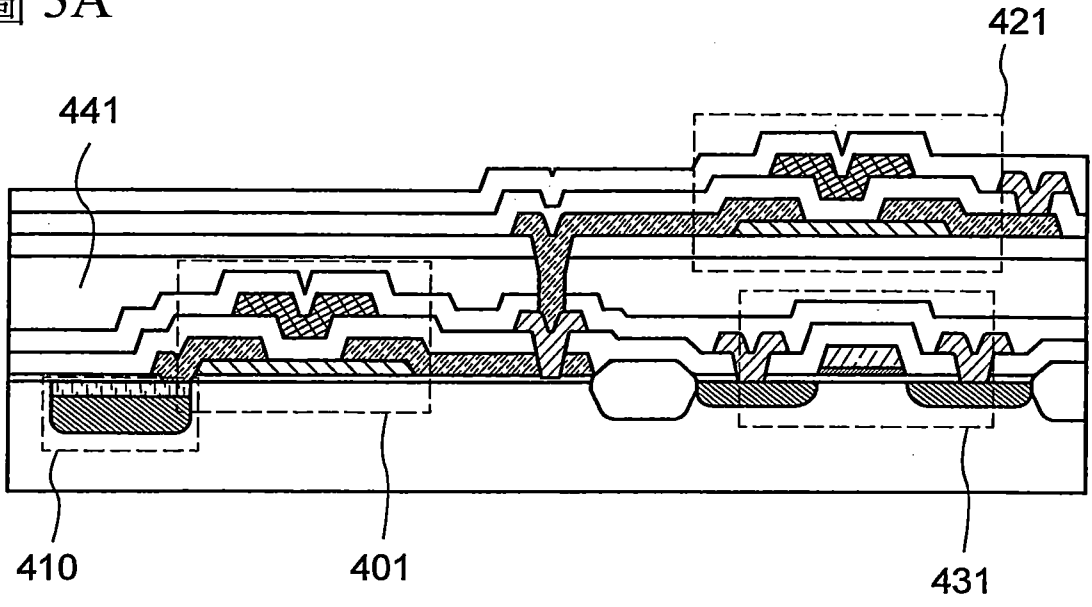


圖 3B

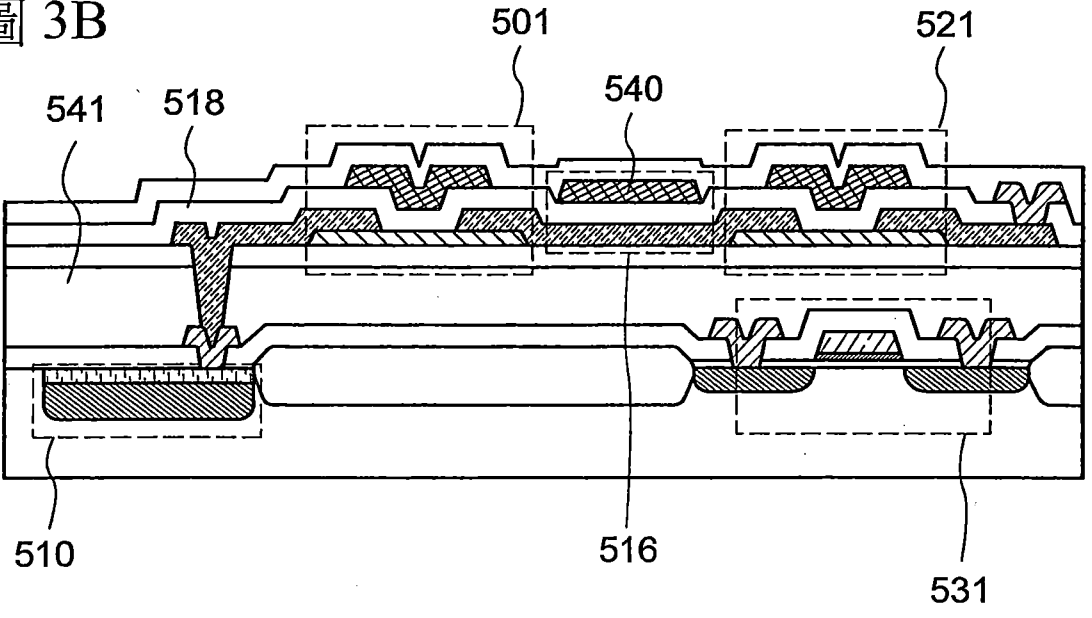


圖 4A

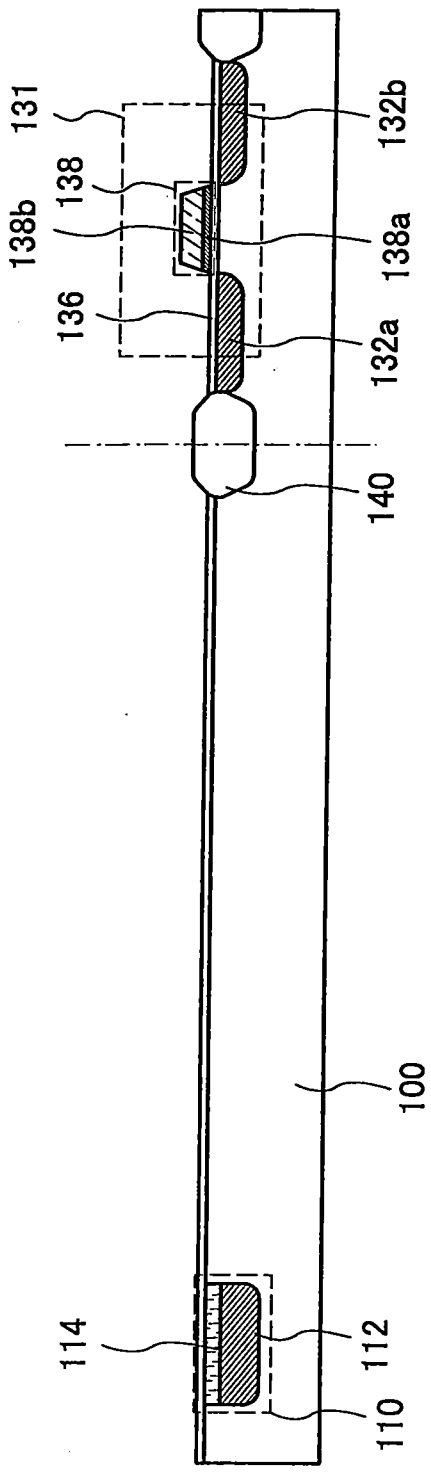


圖 4B

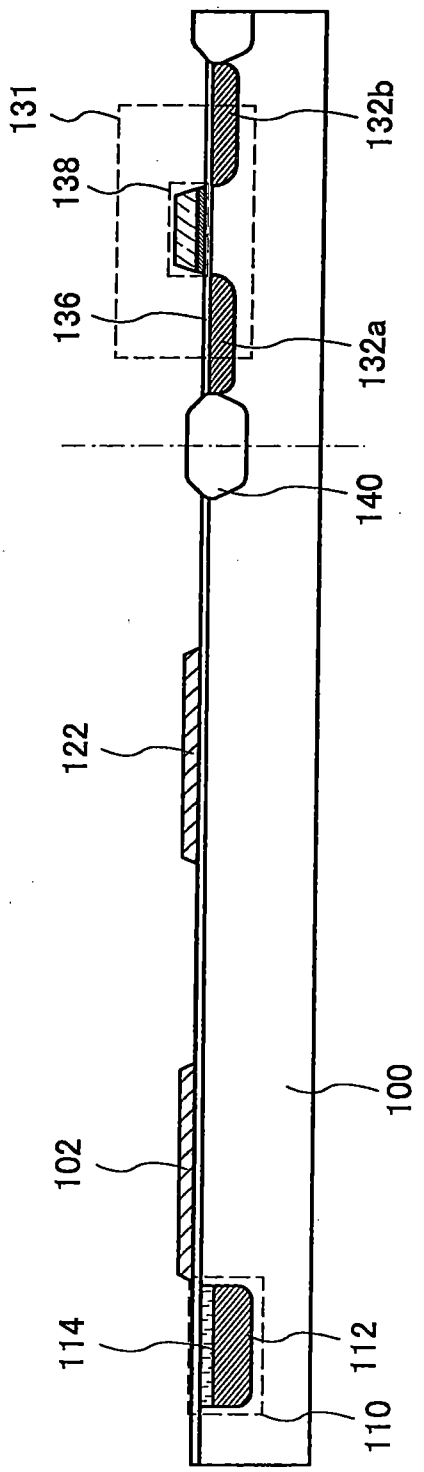


圖 4C

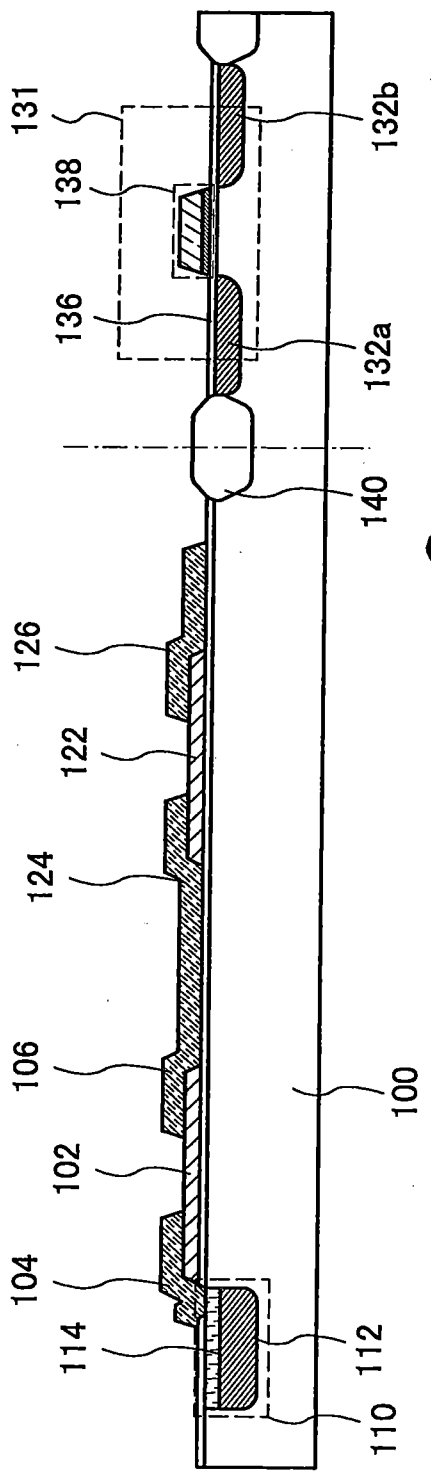


圖 5A

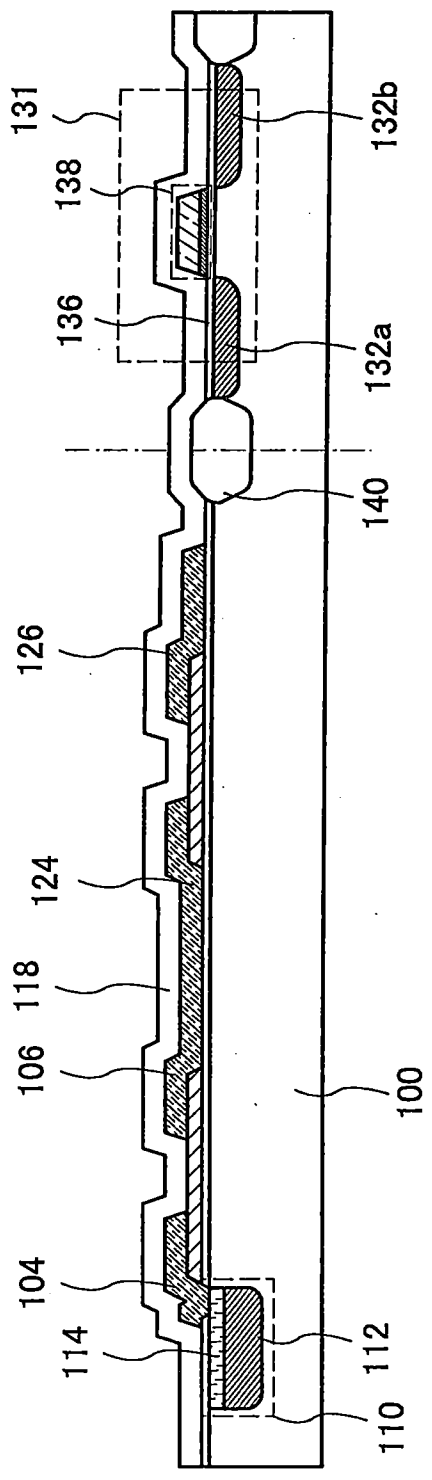


圖 5B

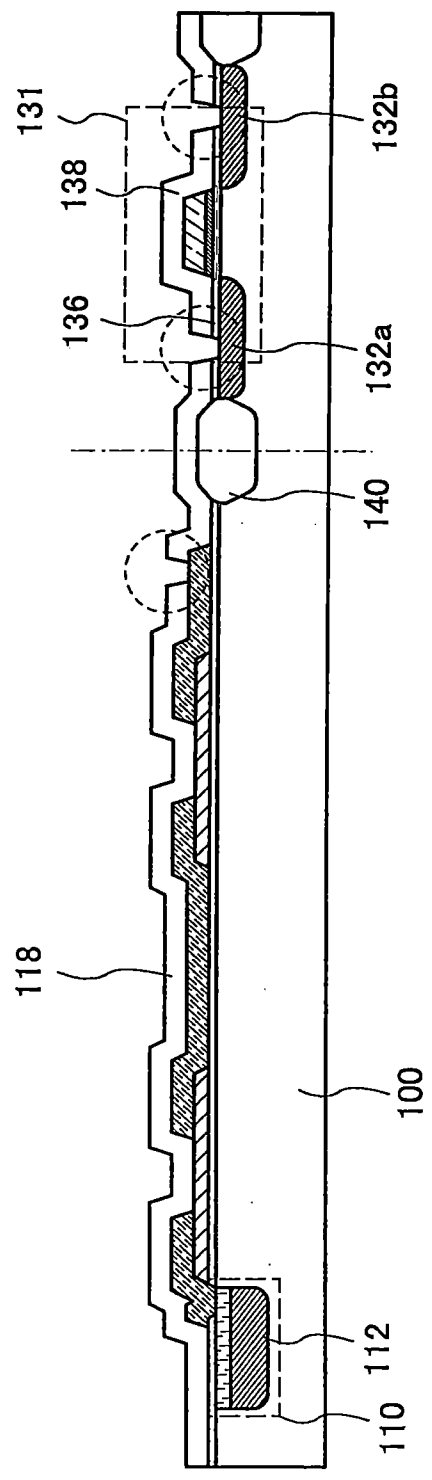


圖 5C

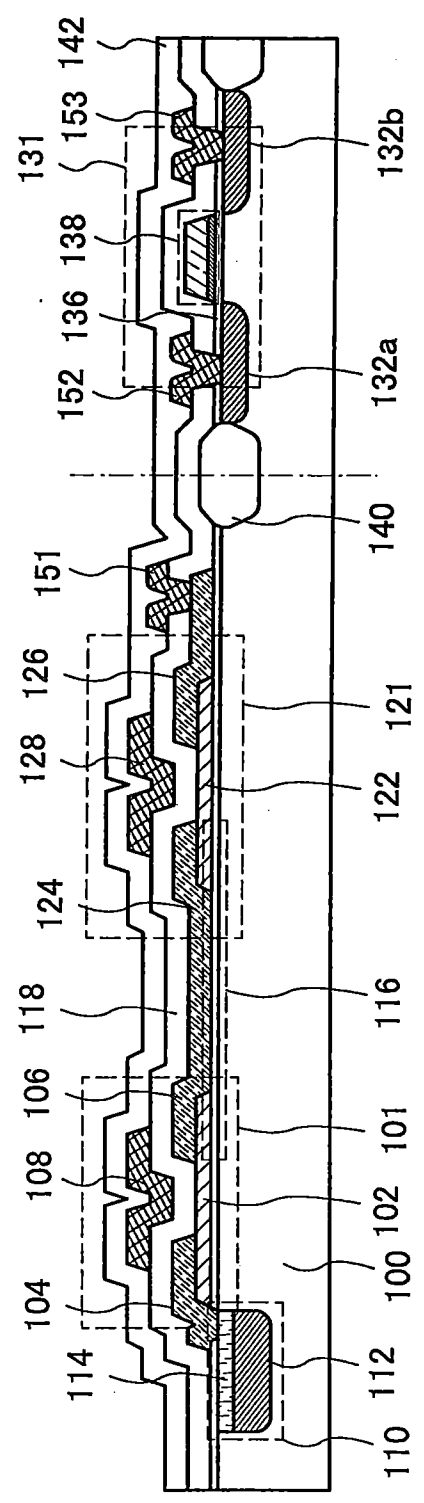


圖 6

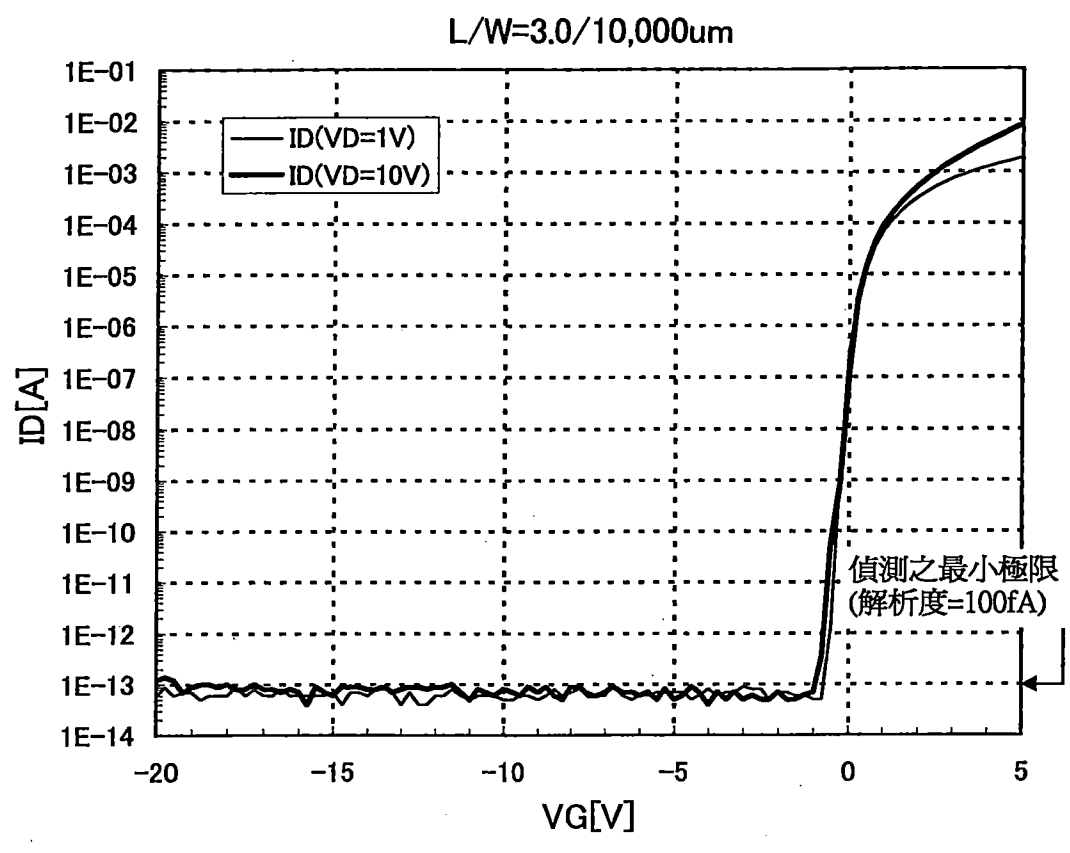


圖 8A

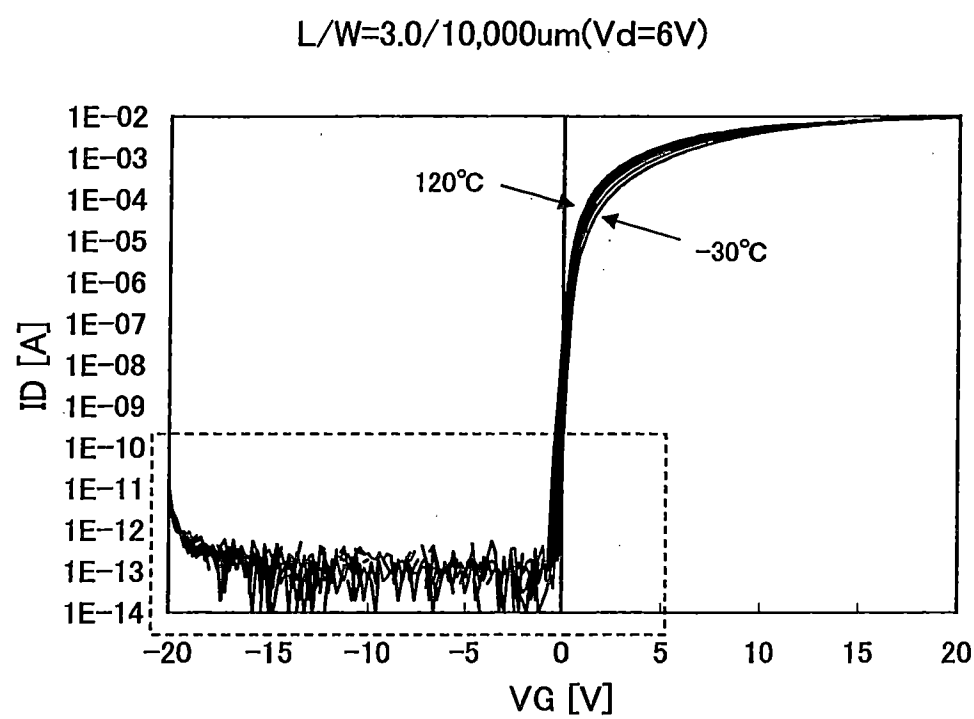


圖 8B

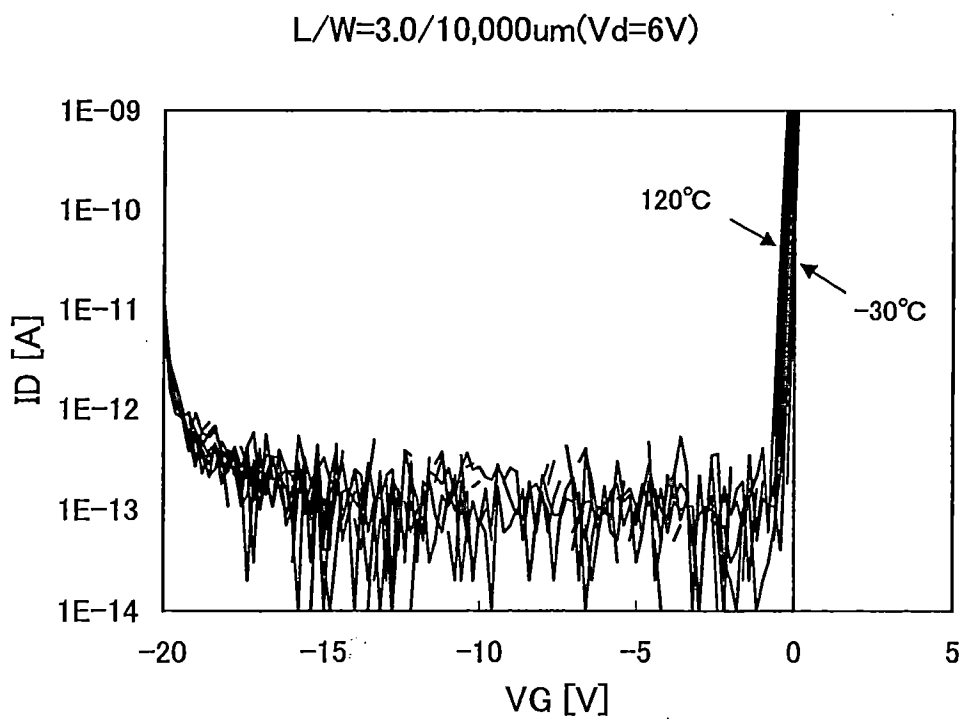


圖 9

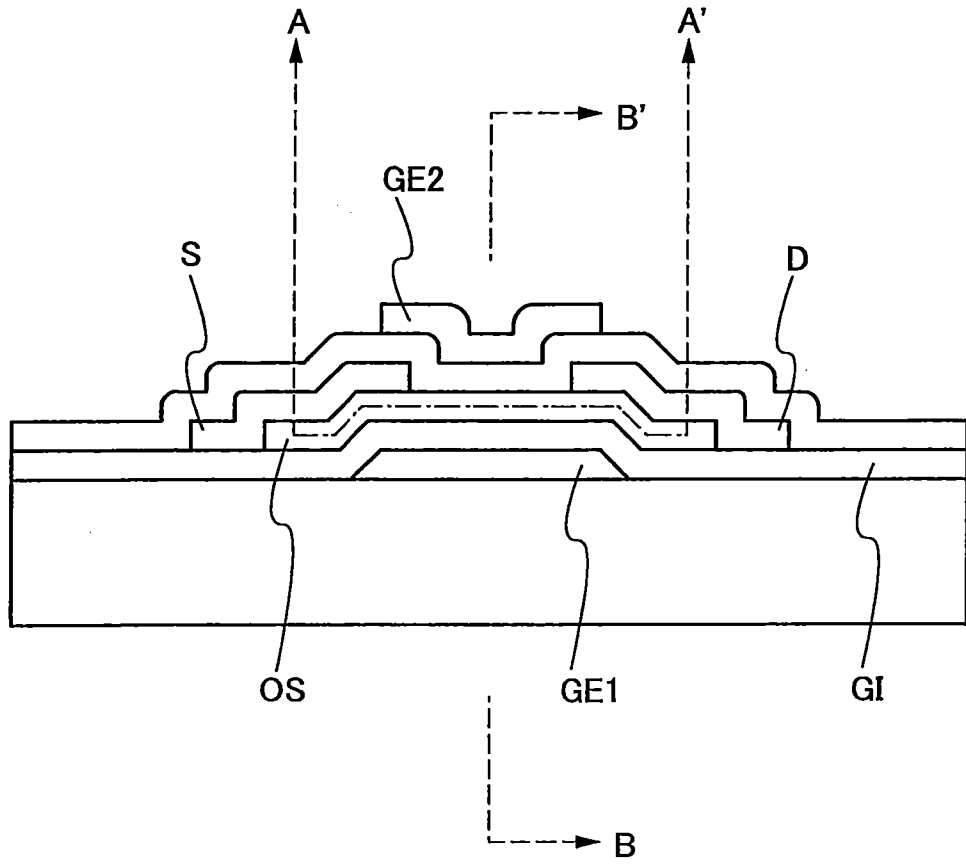


圖 10A

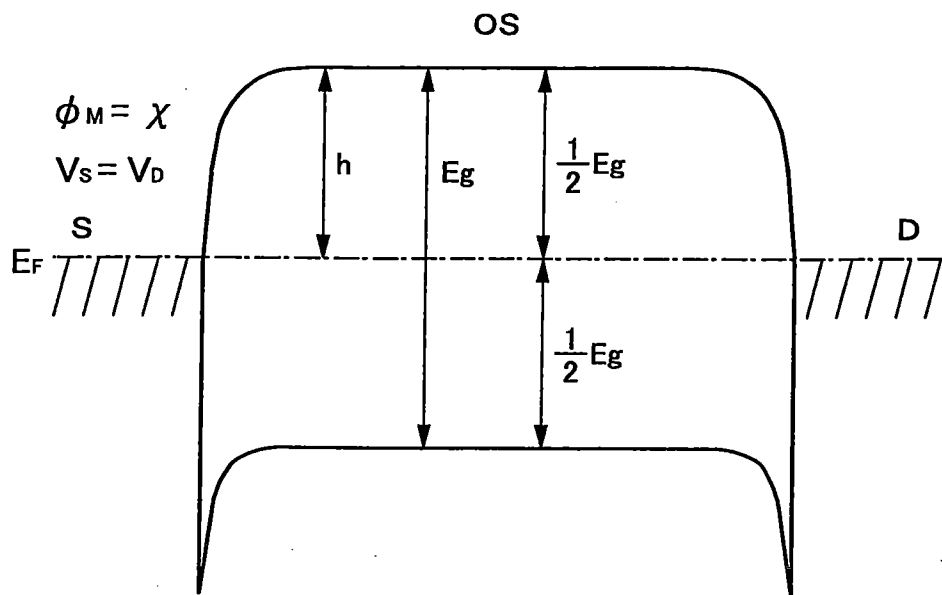


圖 10B

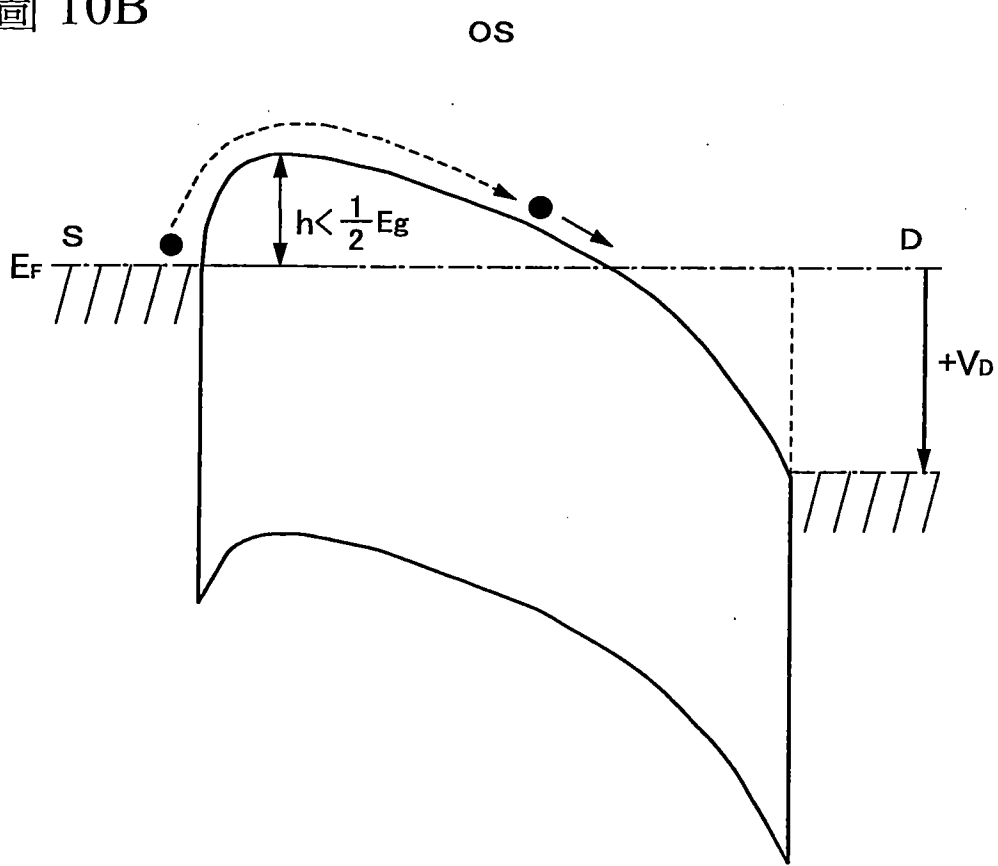


圖 11A

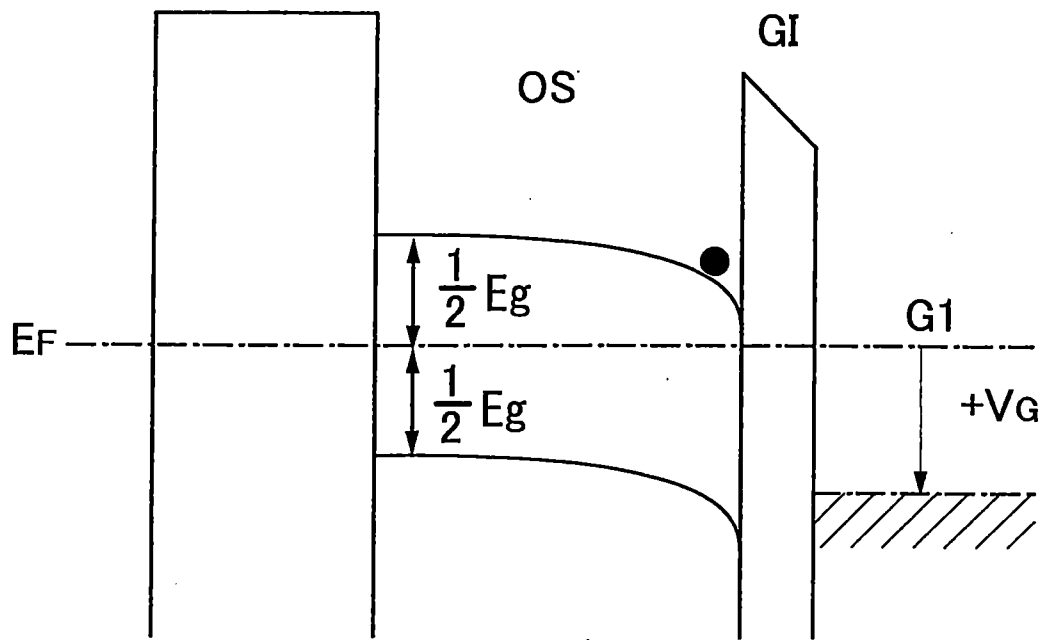


圖 11B

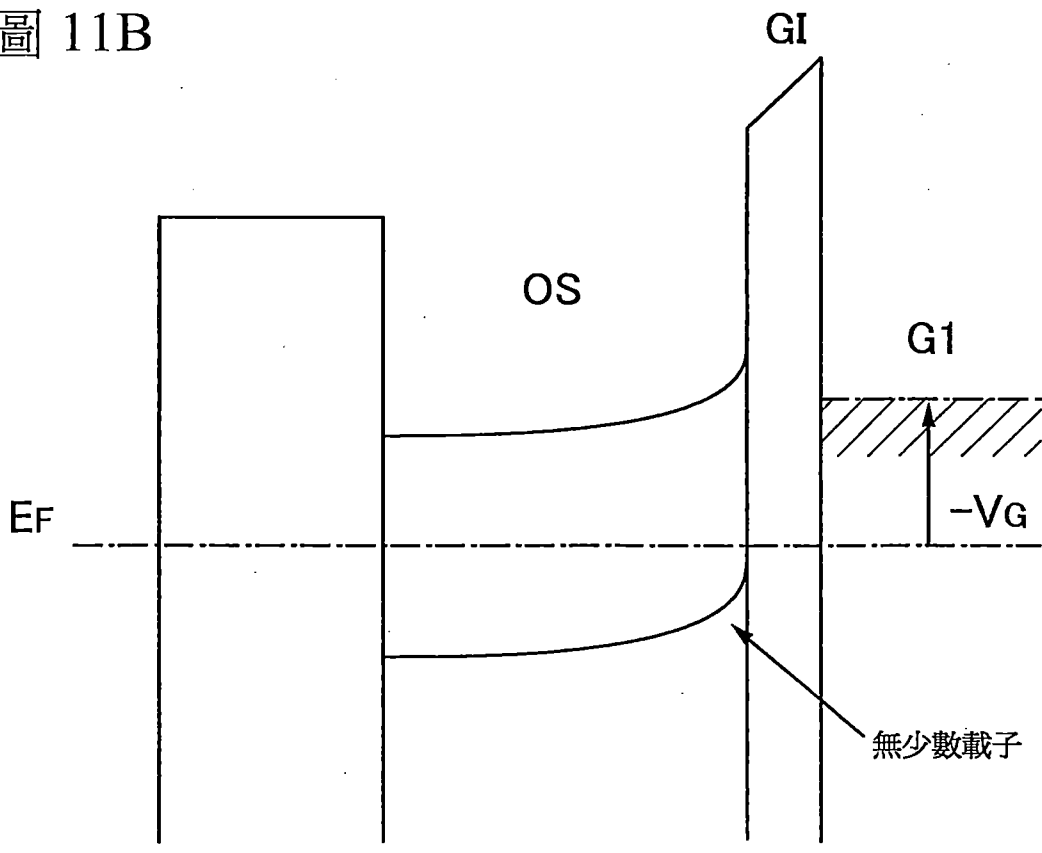


圖 12

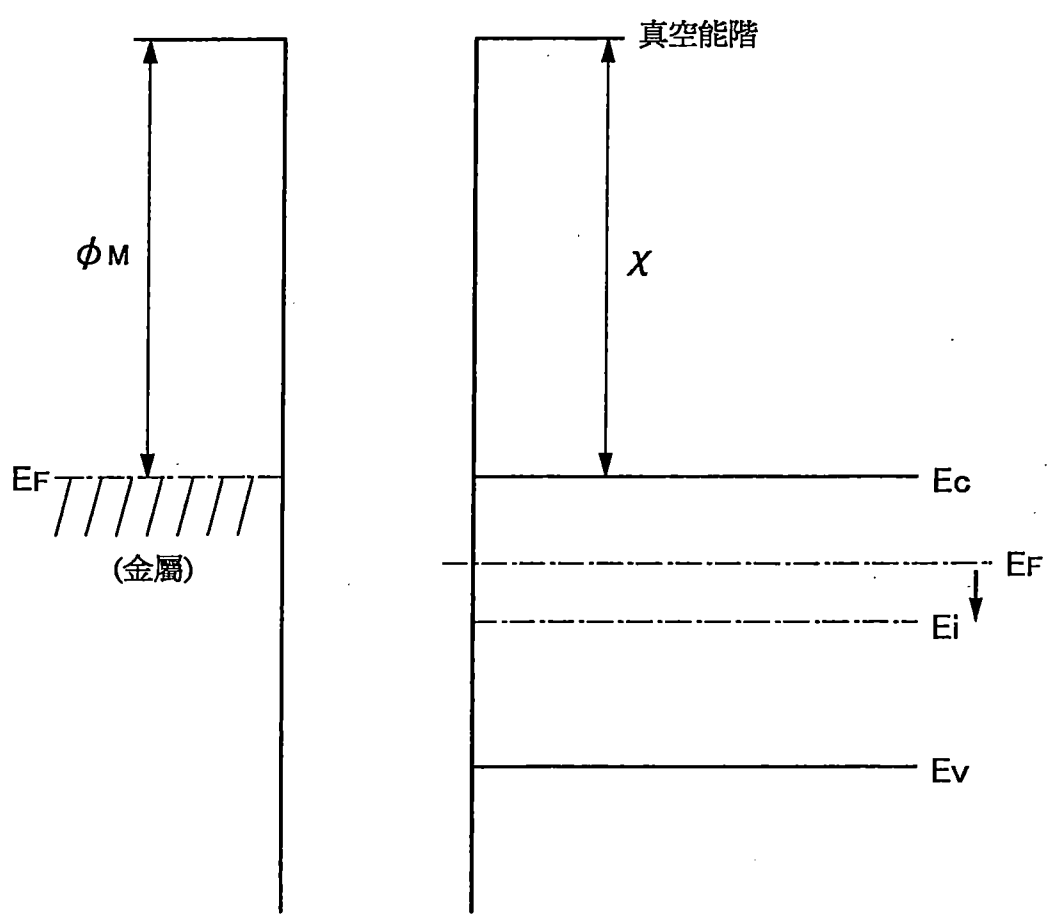


圖 13

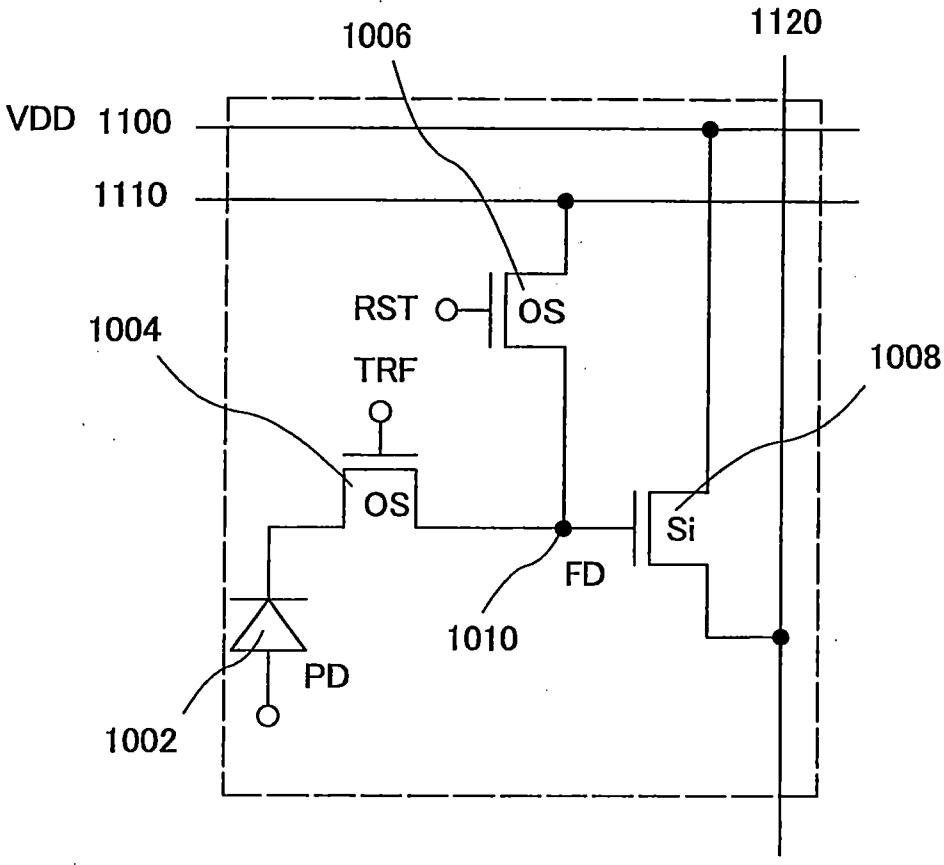


圖 14

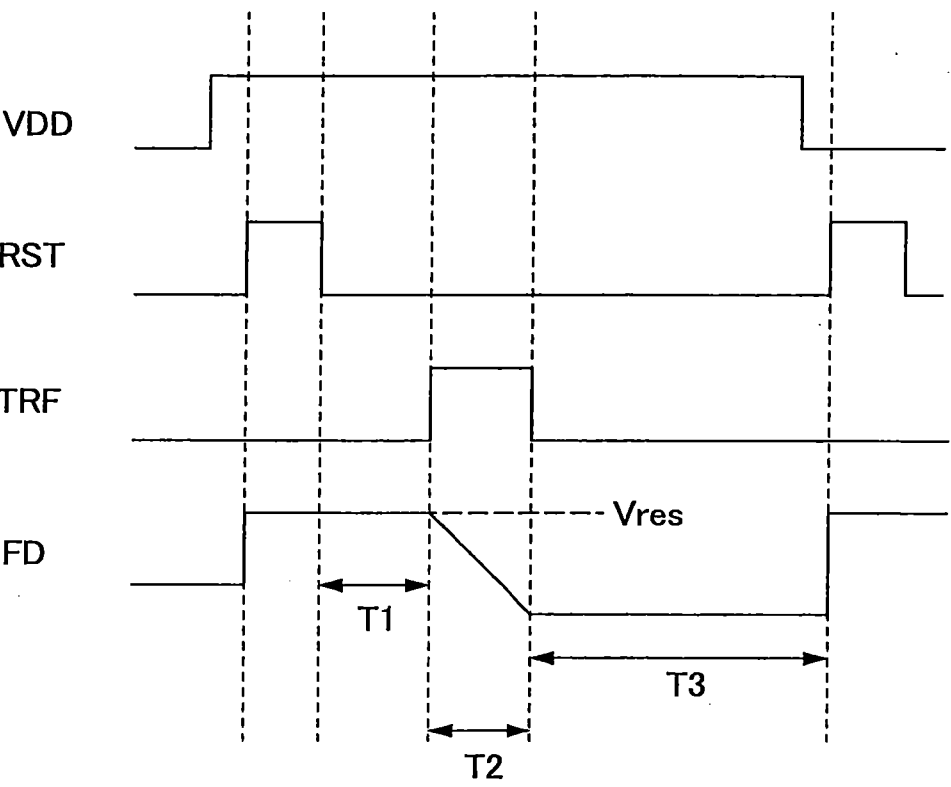


圖 15

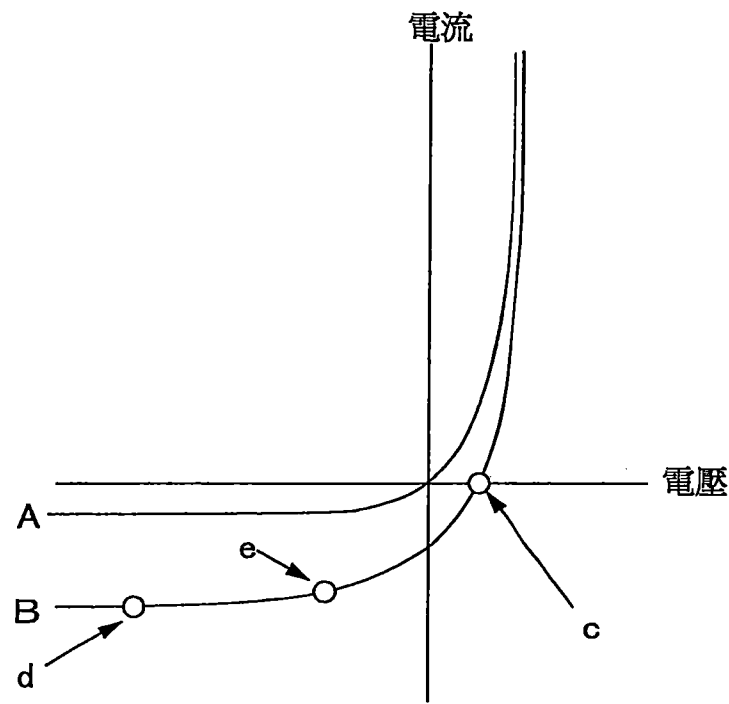


圖 16

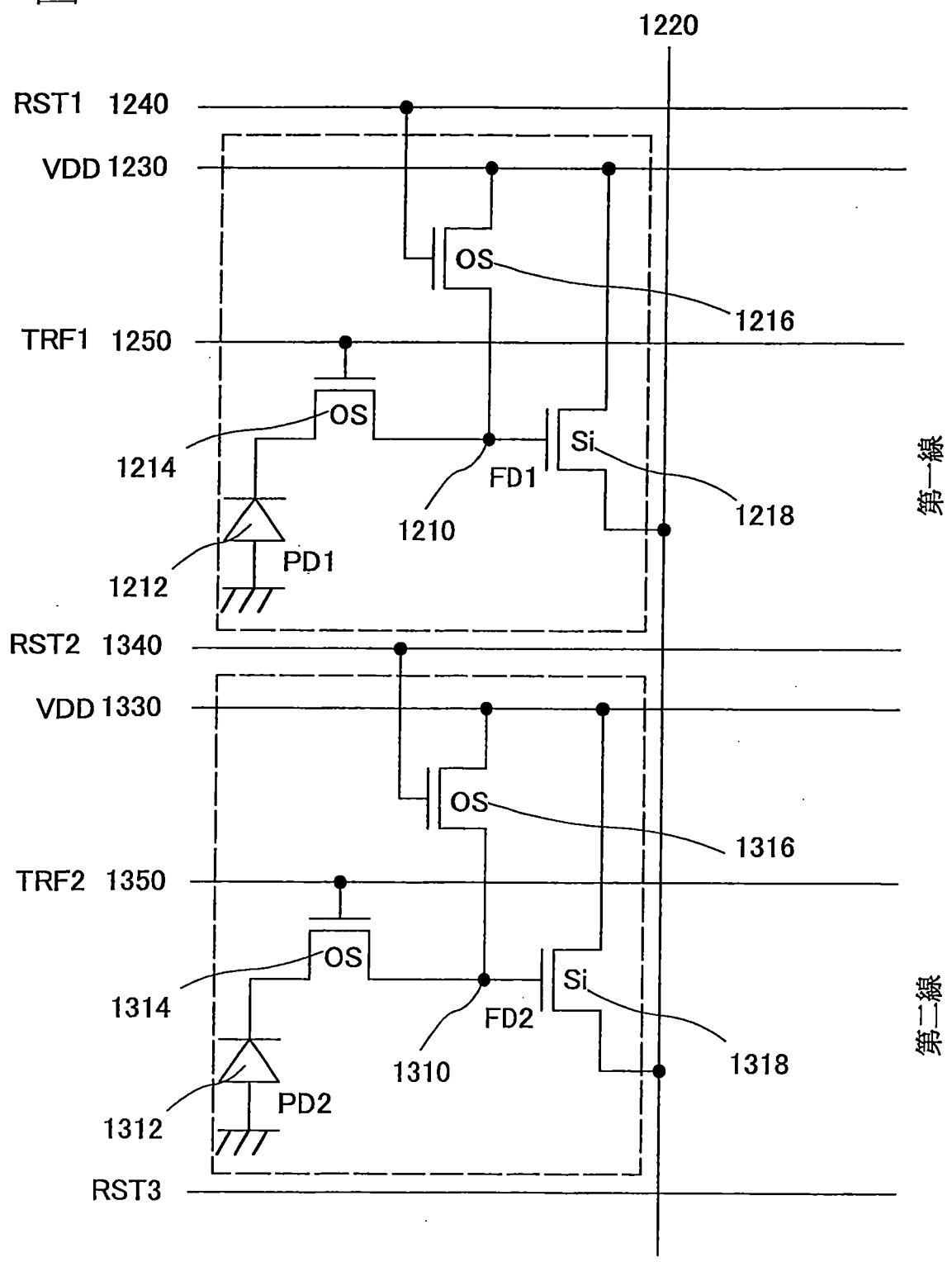
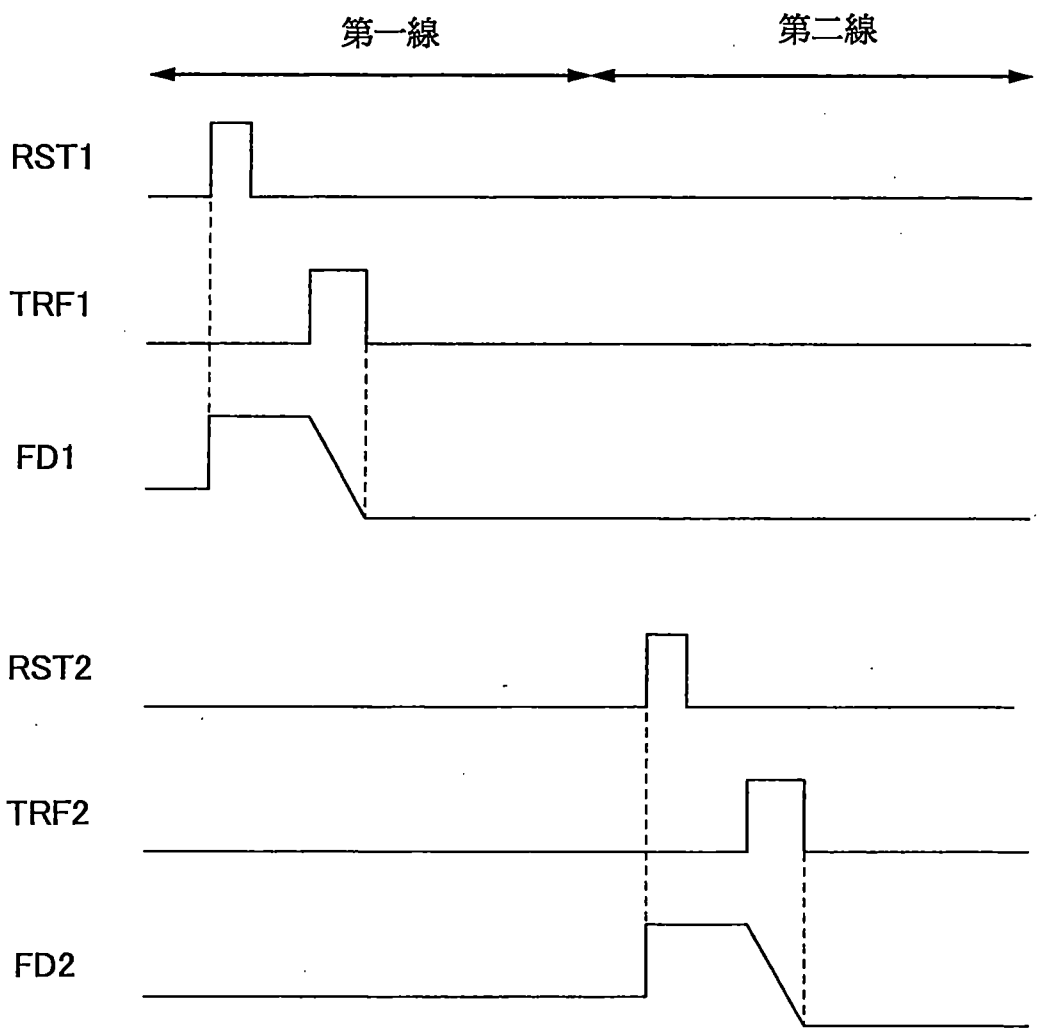


圖 17



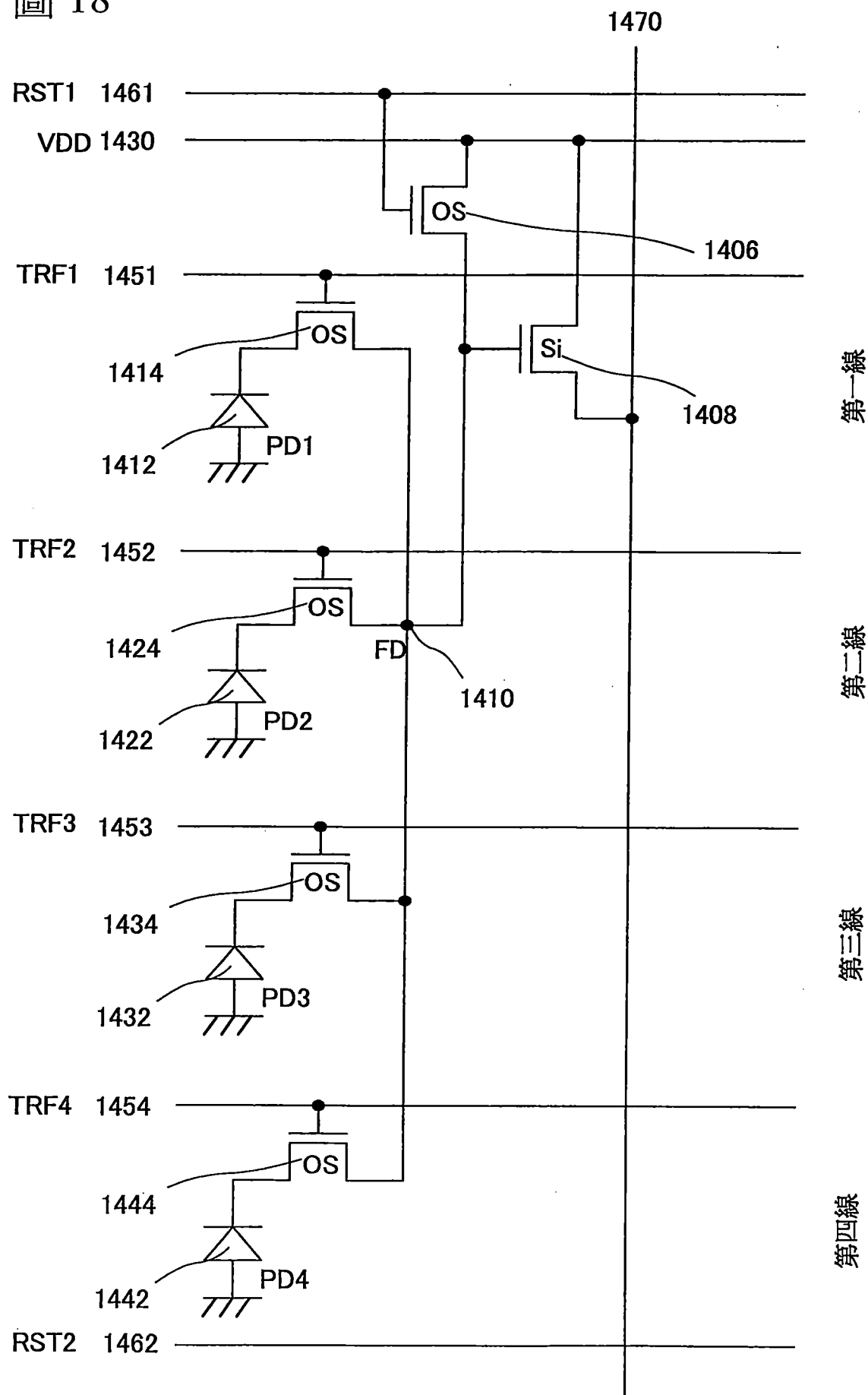


圖 19

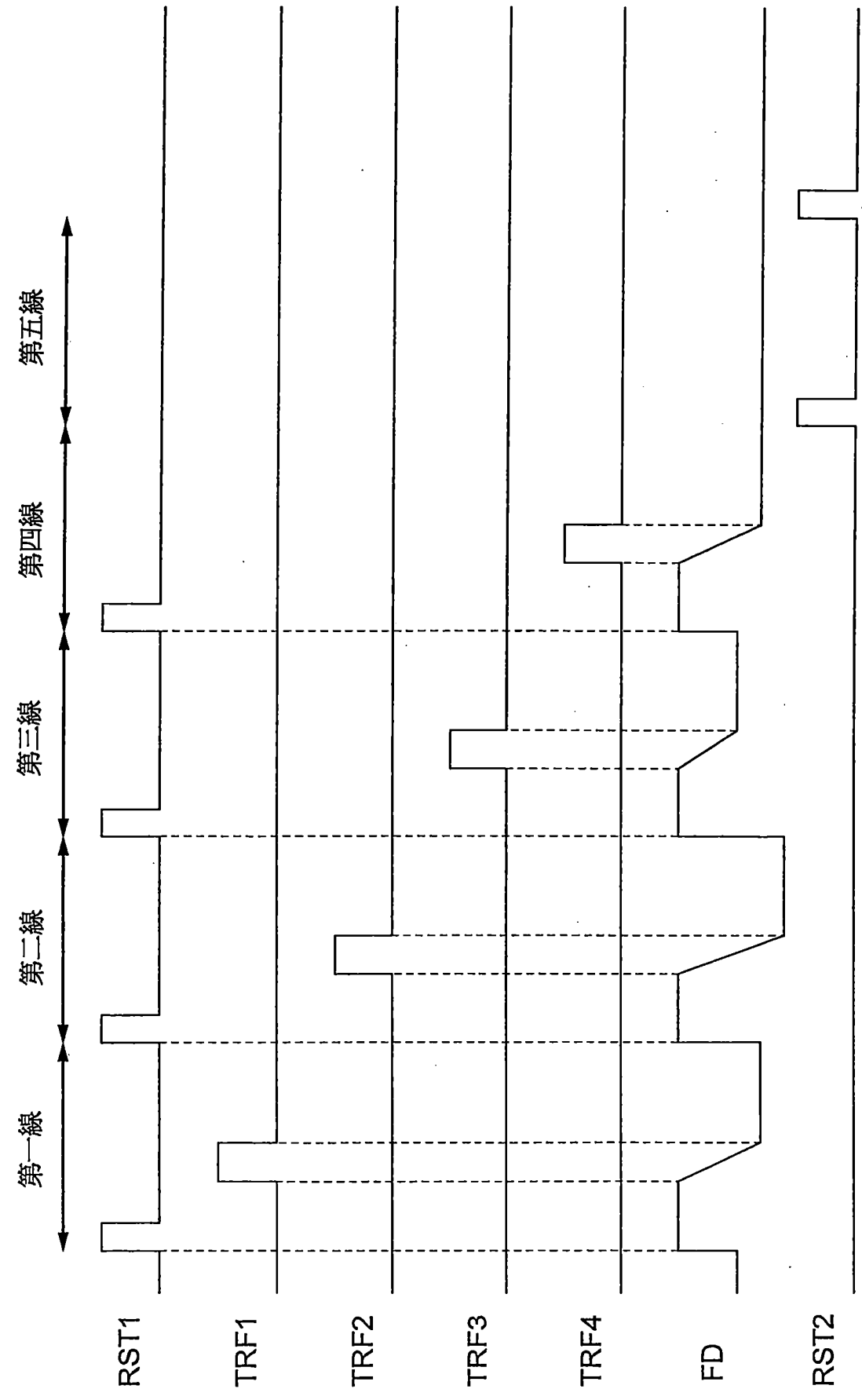
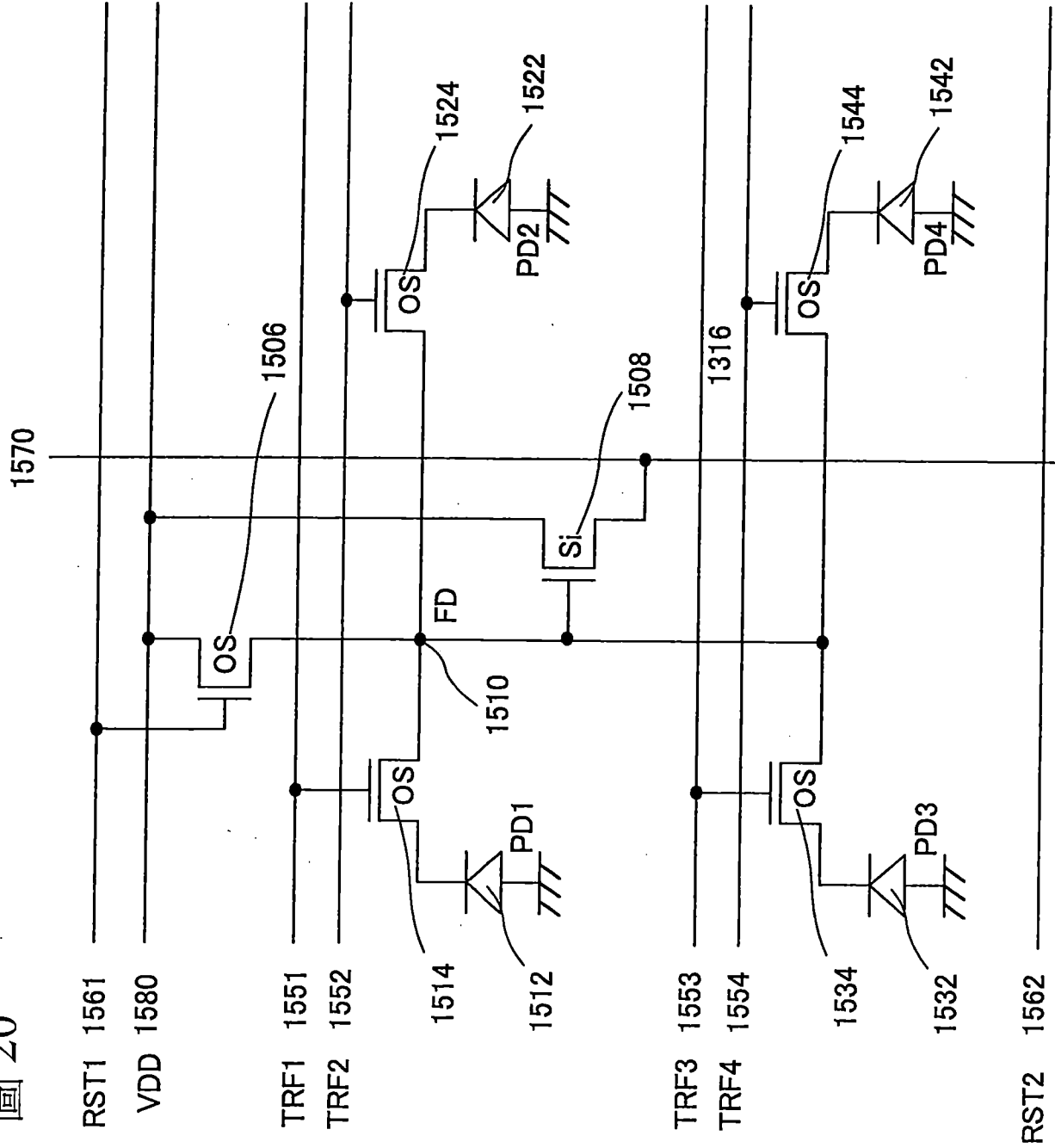


圖 20



第一欄

第二欄

圖 21

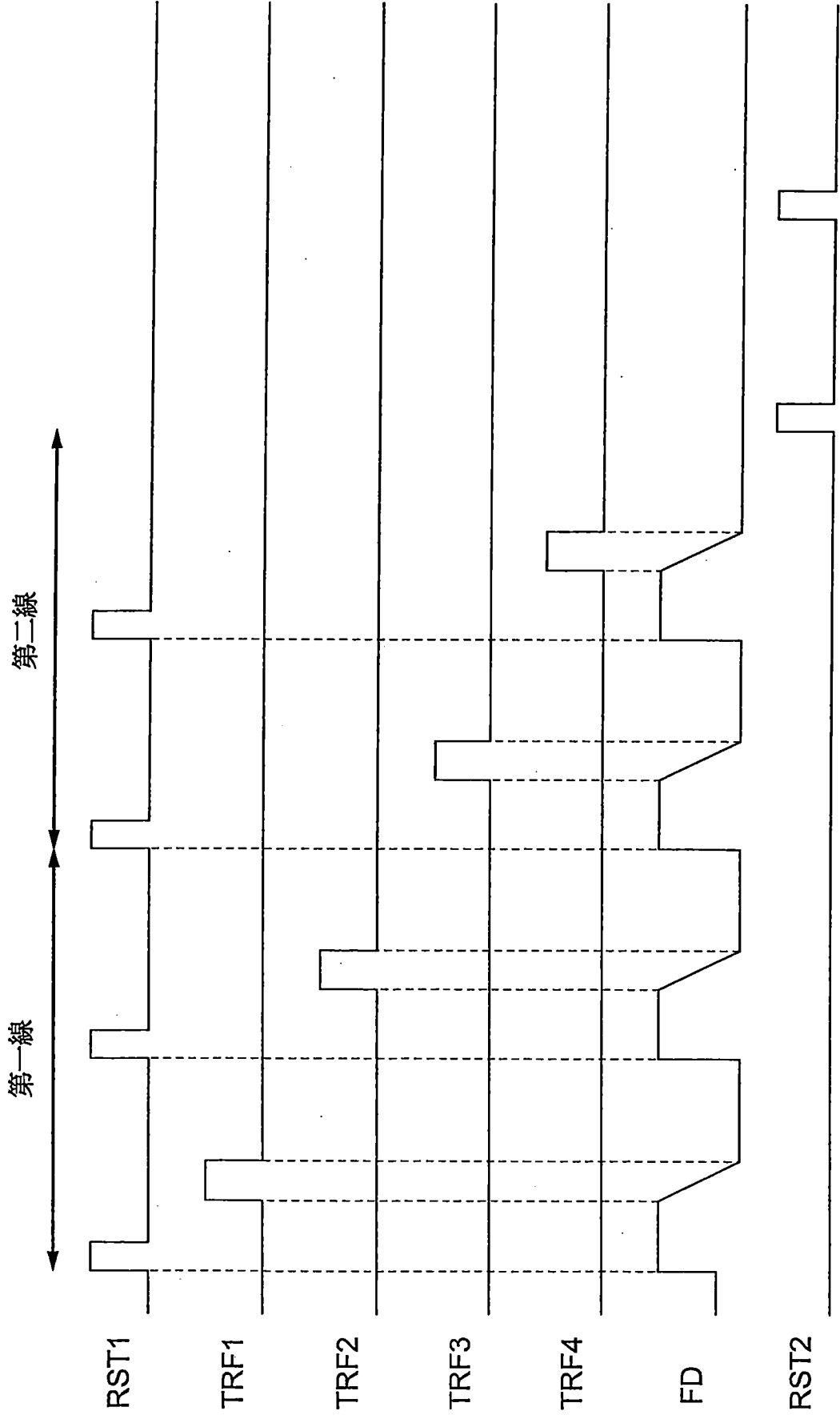


圖 22

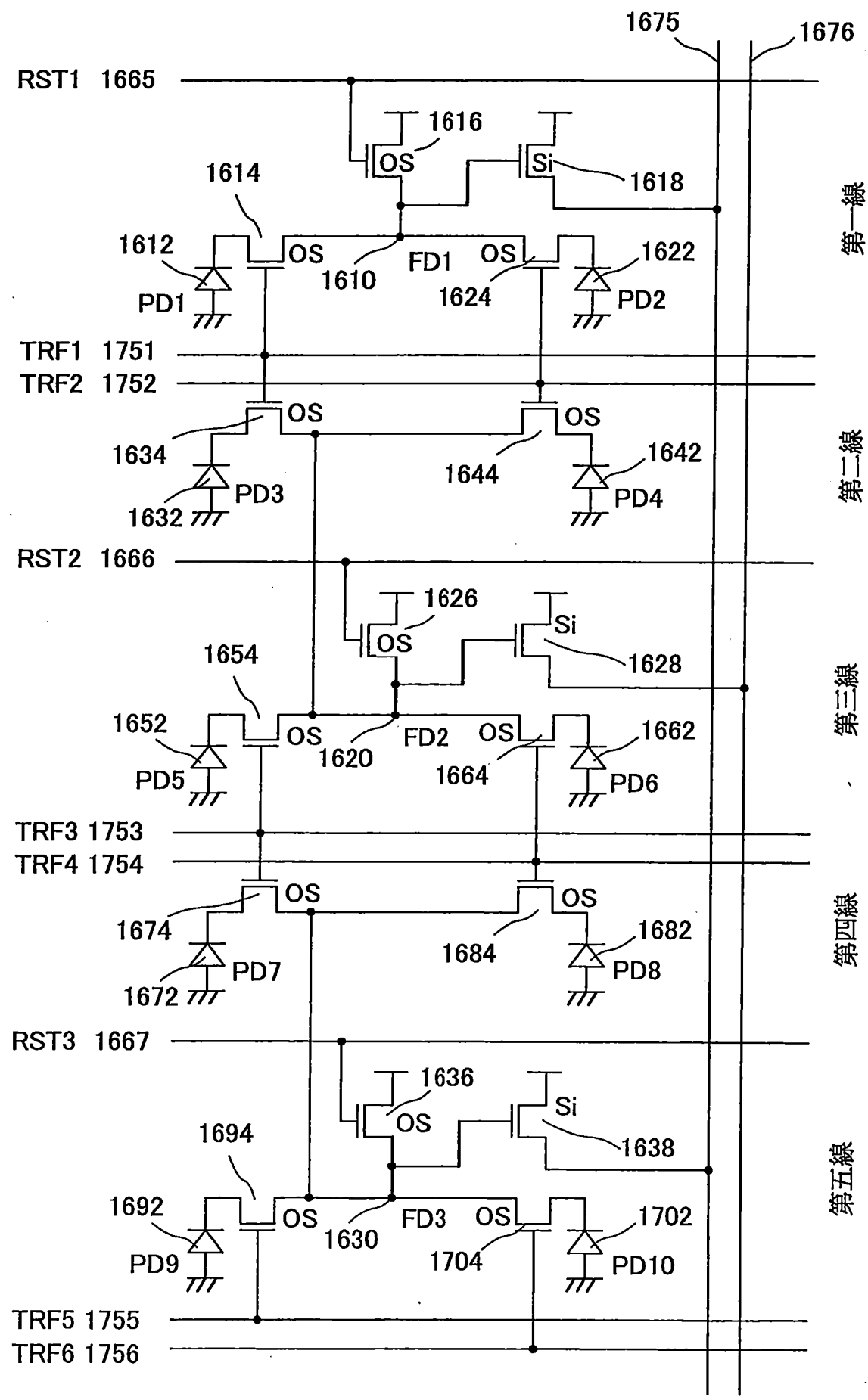


圖 23

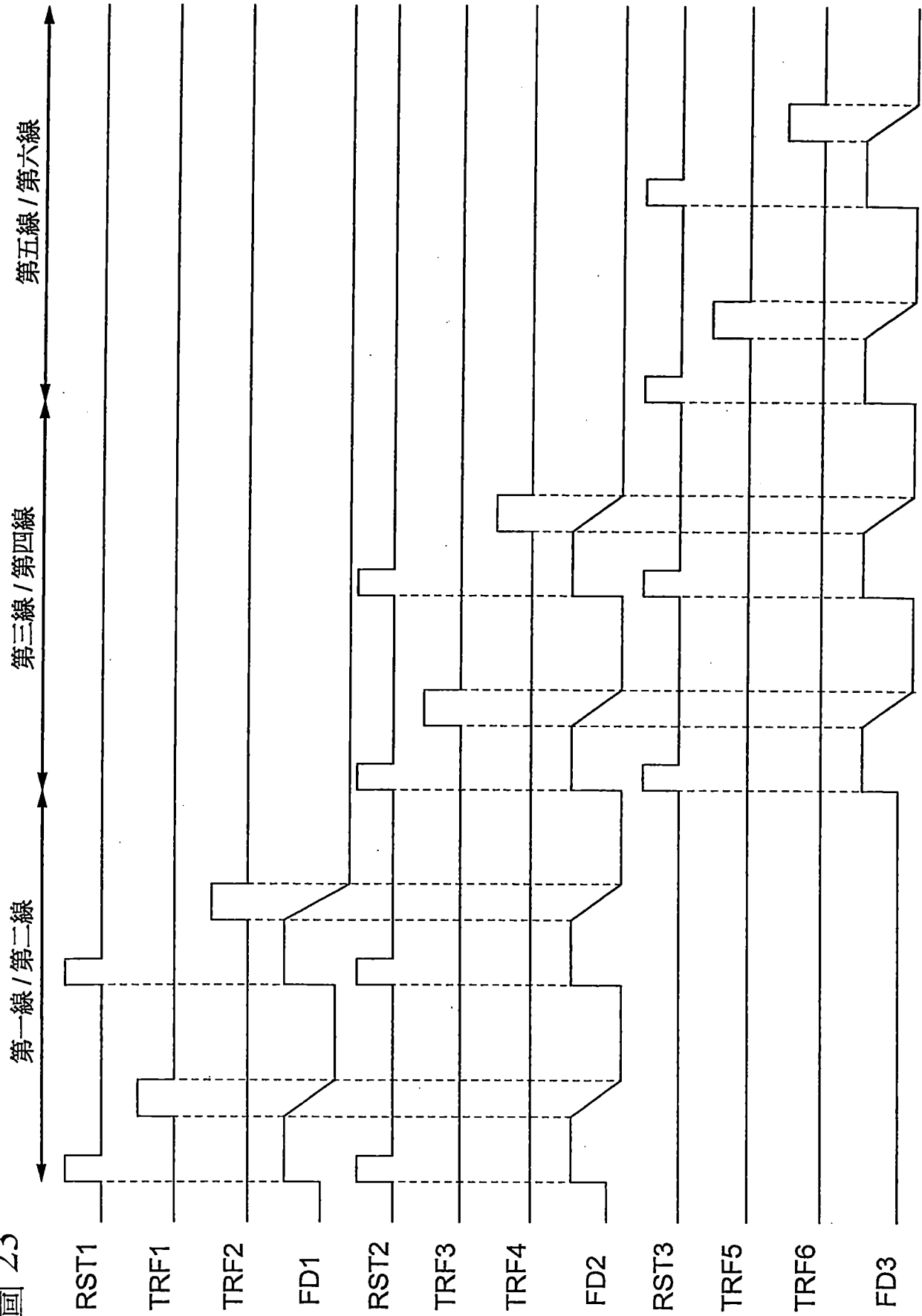


圖 24

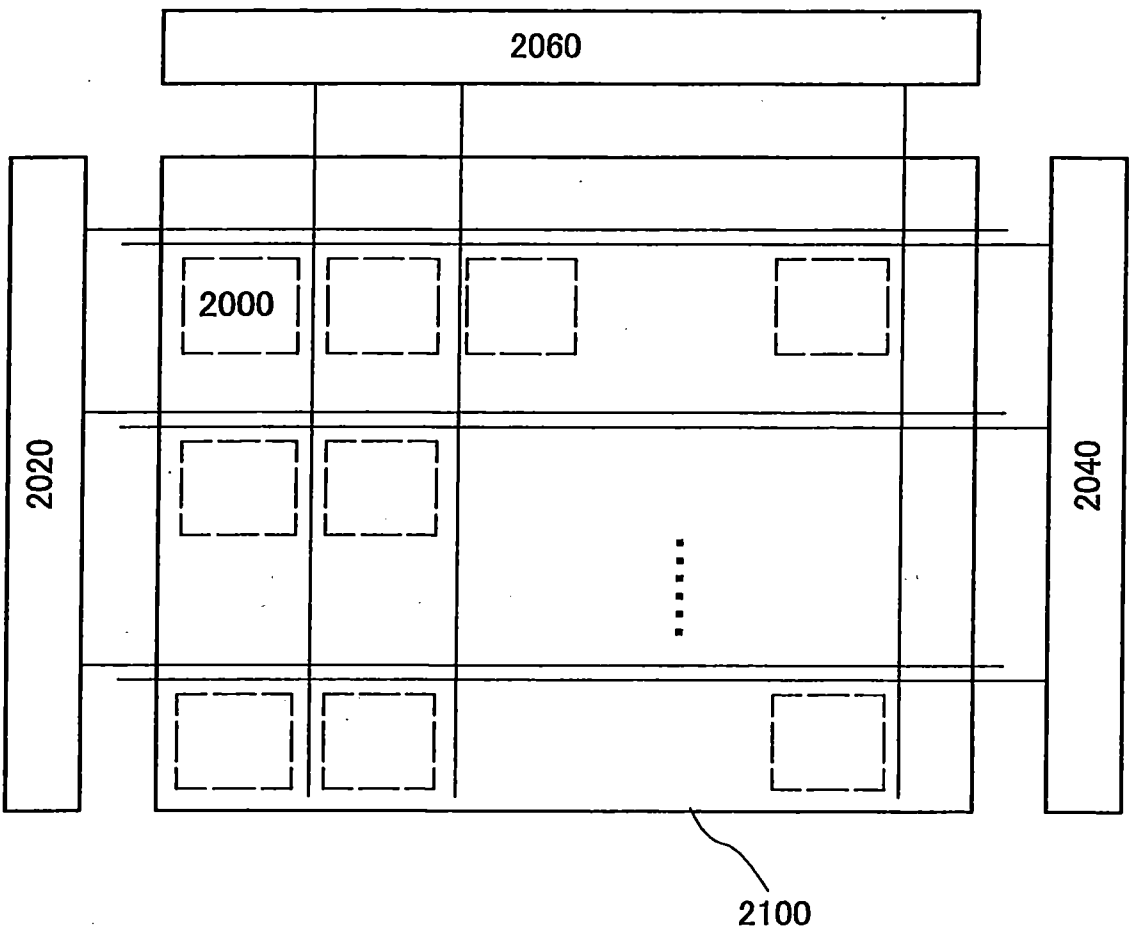


圖 25

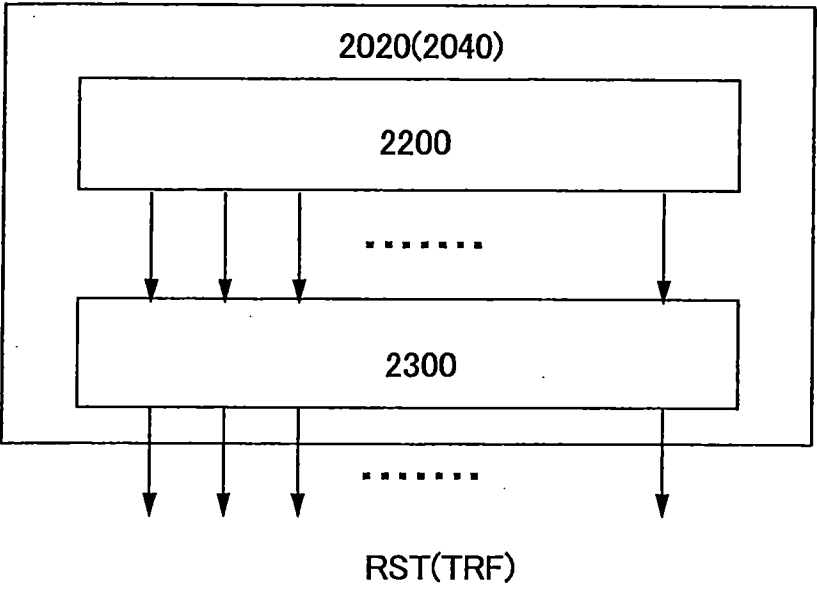


圖 26

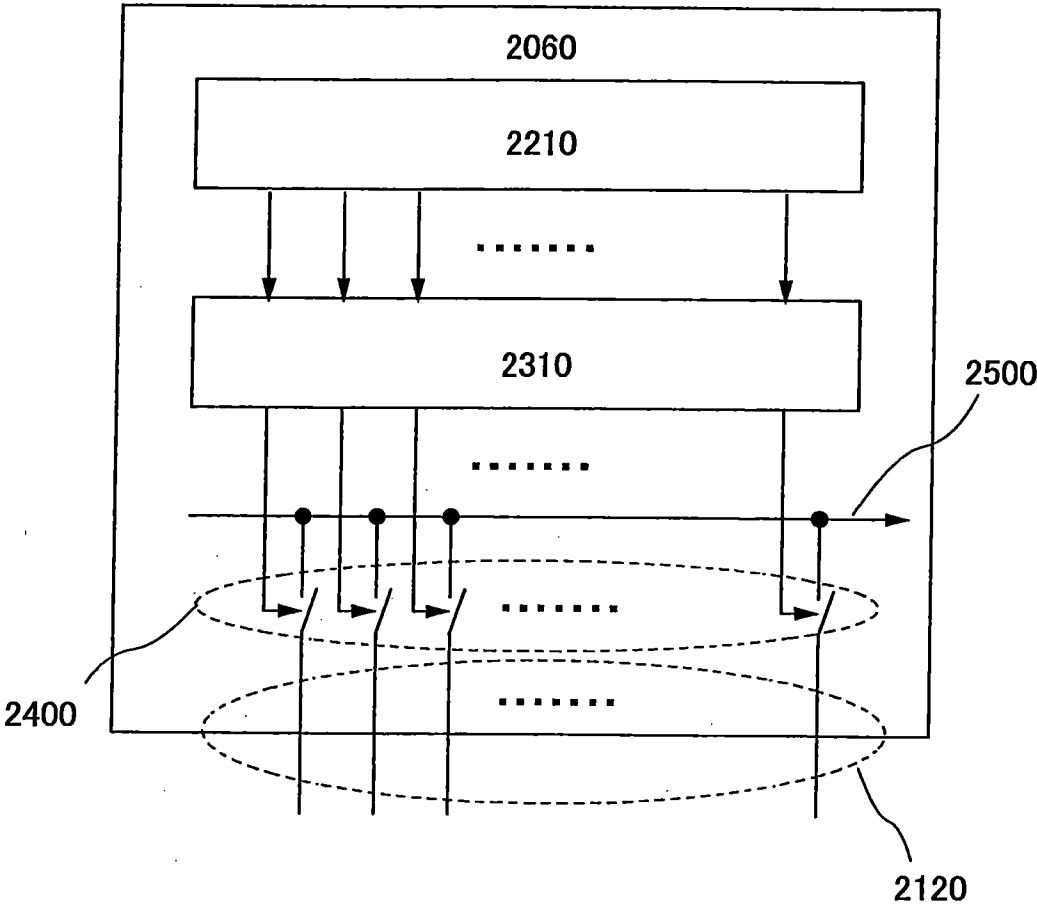


圖 27

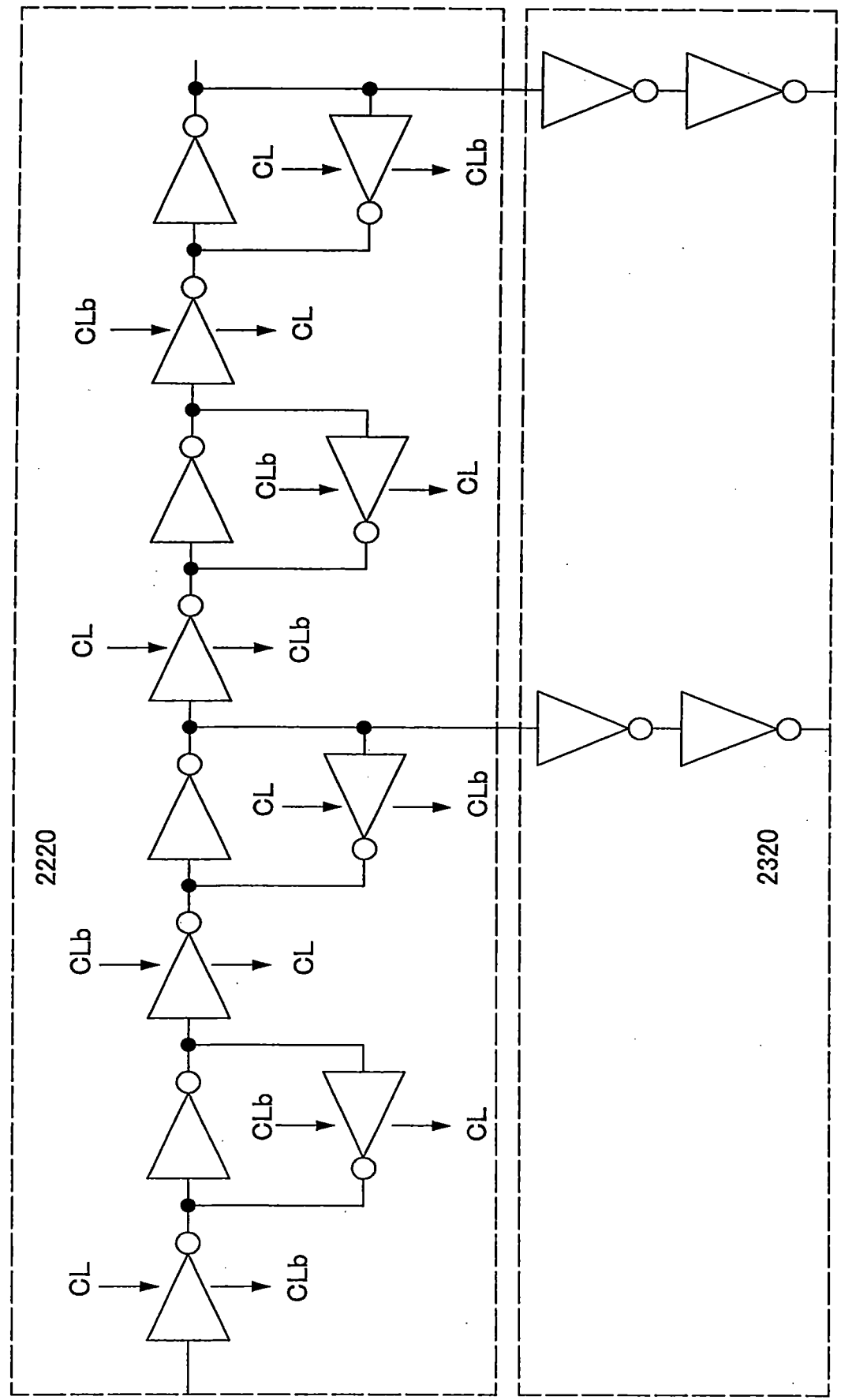


圖 28A

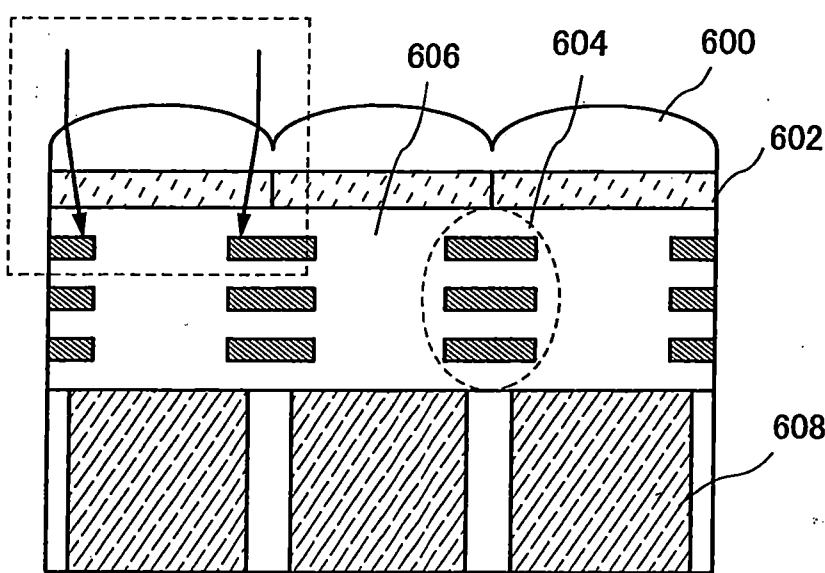


圖 28B

