

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5465897号
(P5465897)

(45) 発行日 平成26年4月9日(2014.4.9)

(24) 登録日 平成26年1月31日(2014.1.31)

(51) Int.Cl.

F 1

H01L 21/768 (2006.01)

H01L 21/90 A

H01L 21/305 (2006.01)

H01L 21/302 106

H01L 21/304 (2006.01)

H01L 21/304 647A

H01L 21/304 645C

請求項の数 1 (全 22 頁)

(21) 出願番号

特願2009-51668 (P2009-51668)

(22) 出願日

平成21年3月5日(2009.3.5)

(65) 公開番号

特開2010-206058 (P2010-206058A)

(43) 公開日

平成22年9月16日(2010.9.16)

審査請求日

平成24年2月9日(2012.2.9)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100089071

弁理士 玉村 静世

(72) 発明者 永野 誠

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 長谷川 直也

最終頁に続く

(54) 【発明の名称】半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

以下の工程を含む半導体集積回路装置の製造方法：

(a) 第1のドライ・エッティングにより、ウエハのデバイス面上の絶縁膜中に設けられた下層銅系埋め込み配線に向かって、前記絶縁膜の上面から前記下層銅系埋め込み配線上のエッチ・ストップ膜の上面に至り、上層銅系埋め込み配線と接続するためのビア・ホールを形成する工程；

(b) 前記工程(a)の後、エッティング処理室内において、前記ウエハの裏面をウエハ・ステージ上に静電チャックにより吸着した状態で、第2のドライ・エッティングにより、前記ビア・ホールを前記下層銅系埋め込み配線の上面まで延長する工程；

(c) 前記工程(b)の後、前記エッティング処理室内において、前記ウエハの前記裏面を前記ウエハ・ステージ上に静電チャックにより吸着した状態で、窒素を主要な成分とする雰囲気下で、前記ウエハの前記デバイス面側に対して、気相プラズマ処理を実施する工程；

(d) 前記工程(c)の後、前記エッティング処理室内において、前記ウエハの前記裏面を前記ウエハ・ステージ上に静電チャックに前記工程(c)とは正負が異なる電圧を印加した状態で設置し、アルゴンを主要な成分とする雰囲気下で、前記ウエハに対して、気相プラズマによる除電処理を実施する工程；

(e) 前記工程(d)の後、前記エッティング処理室内において、前記ウエハの前記裏面と前記ウエハ・ステージの間に冷却ヘリウムガスを供給することによって、前記ウエハの前

10

20

記裏面と前記ウエハ・ステージの間に間隙を生じさせ、これによる前記冷却ヘリウムガスの流量の増加に基づいて、除電の完了を判定する工程；

(f) 前記工程(e)の後、前記ウエハ・ステージからウエハ・リフト・ピンを上昇させて、前記ウエハを持ち上げる工程。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置（または半導体装置）の製造方法におけるダマシン配線技術に適用して有効な技術に関する。

【背景技術】

10

【0002】

日本特開2004-14868号公報（特許文献1）には、プラズマ処理装置の同一チャンバ内で行われるプラズマ・エッチング処理後のウエハの除電において、静電チャックを構成するウエハ・ステージを高抵抗導電体とし、その外延部を介してアルゴン・プラズマにより除電を行う技術が開示されている。

【0003】

日本特開2007-258636号公報（特許文献2）には、プラズマ処理装置の同一チャンバ内で行われるプラズマ・エッチング処理後のウエハの除電において、静電チャックを構成するウエハ・ステージ上でウエハの一端を浮かせた状態でアルゴン・プラズマにより除電を行う技術が開示されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2004-14868号公報

【特許文献2】特開2007-258636号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

Cuダマシン多層配線構造における最上層セミ・グローバル配線等の形成方法において、ビア・ファースト方式によるダマシン配線構造を形成する際、ドライ・エッチングによりビア底のエッチ・トップ絶縁膜(SiCN)を除去した後、ビア底の横方向ボイド対策及びビア底表面上のカーボン系堆積物を抑制する為に、窒素プラズマ処理を行うことが一般的である。その後、連続放電によって窒素プラズマ除電を行ってウエハ搬送するシーケンスを実行すると、ビア・チーン終端部にて、ある閾値以上の長さを有するパッド引き出し配線に接続された終端部のビア底で、その後のウエット処理においてCuえぐれが発生し、導通不良（「ビア底導通不良」と呼ぶ）による欠陥率増加の問題を生じることが、本願発明者らの検討によって明らかとなった。

30

【0006】

本願発明は、これらの課題を解決するためになされたものである。

【0007】

40

本発明の目的は、信頼性の高い半導体集積回路装置の製造プロセスを提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

50

すなわち、本願の一つの発明は、主にダマシン・セミ・グローバル配線等のビア・ホール形成工程において、ビア底エッチ・ストップ膜に対するドライ・エッティング処理後、同処理室内で行われる窒素プラズマ処理に引き続いて、アルゴン・プラズマによる除電処理を実行するものである。

【発明の効果】

【0011】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0012】

すなわち、ダマシン・セミ・グローバル配線等のビア・ホール形成工程において、ビア底エッチ・ストップ膜に対するドライ・エッティング処理後、同処理室内で行われる窒素プラズマ処理に引き続いて、アルゴン・プラズマによる除電処理を実行することによって、埋め込み配線系に分布する電荷分布を平準化できるので、その後のウェット処理における電気分解反応に起因する配線の損傷を防止することができる。 10

【図面の簡単な説明】

【0013】

【図1】本願の一実施の形態の半導体集積回路装置の製造方法の対象デバイスの一例であるCMOS型集積回路装置の第3層埋め込み配線形成時点におけるデバイス断面図である。

【図2】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層のエッチ・ストップ膜成膜工程）である。 20

【図3】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層の層間絶縁膜成膜工程）である。

【図4】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層におけるビア・エッチ工程）である。

【図5】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層におけるトレンチ・エッチのためのレジスト・パターニング工程）である。

【図6】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層におけるトレンチ・エッチ工程）である。 30

【図7】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層におけるトレンチ・エッチ後のレジスト除去工程）である。

【図8】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層におけるエッチ・ストップ膜のドライ・エッティング工程）である。

【図9】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層におけるバリア・メタル膜および銅膜の形成工程）である。

【図10】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（最上層埋め込み配線層におけるメタルCMP工程）である。 40

【図11】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（アルミニウム系パッド下層絶縁膜およびタンゲステン・プラグ形成工程）である。

【図12】本願の一実施の形態の半導体集積回路装置の製造方法における配線プロセスのデバイス断面フロー図（アルミニウム系パッド、ファイナル・パッシベーション膜およびパッド開口形成工程）である。

【図13】図8のエッチ・ストップ膜のドライ・エッティング処理等の工程に対応する詳細プロセス・ブロック・フロー図である。

【図14】図13のエッチ・ストップ膜のドライ・エッティング・ステップおよび、その後

50

の窒素プラズマ処理ステップに対応するドライ・エッティング装置の模式断面図である。

【図15】図13の窒素プラズマ処理ステップ後のアルゴン・プラズマ除電ステップに対応するドライ・エッティング装置の模式断面図である。

【図16】図13のアルゴン・プラズマ除電ステップ後のウエハ・リリース・ステップに対応するドライ・エッティング装置の模式断面図である。

【図17】図13のウエハ・リリース・ステップ後のウエハ搬出ステップに対応するドライ・エッティング装置の模式断面図である。

【図18】比較例として、窒素雰囲気でプラズマ除電を実行したときの2層および4層銅埋め込み配線構造の最上層銅配線層のビア底導通不良と引き出し配線長さ（最上層銅配線のビア位置からパッド下までの配線に沿った最短経路長さ）との関係を示すデータ・プロット図である。10

【図19】4層銅埋め込み配線構造の最上層銅配線層のビア底導通不良の対策として、窒素雰囲気でのプラズマ除電およびアルゴン雰囲気でのプラズマ除電を実施したときのビア底導通不良の関係を示す比較データ・プロット図である。

【図20】4層銅埋め込み配線構造の最上層銅配線層のビア底導通不良の対策として、アルゴン雰囲気でのプラズマ除電を実施したときのウエハのデバイス面上の電位分布の関係を示すデータ・プロット図である。

【発明を実施するための形態】

【0014】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。20

【0015】

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 第1のドライ・エッティングにより、ウエハのデバイス面上の絶縁膜中に設けられた下層埋め込み配線に向かって、前記絶縁膜の上面から前記下層埋め込み配線上のエッチ・ストップ膜の上面に至り、上層埋め込み配線と接続するためのビア・ホールを形成する工程；

(b) 前記工程(a)の後、エッティング処理室内において、前記ウエハの裏面をウエハ・ステージ上に静電チャックにより吸着した状態で、第2のドライ・エッティングにより、前記ビア・ホールを前記下層埋め込み配線の上面まで延長する工程；30

(c) 前記工程(b)の後、前記エッティング処理室内において、前記ウエハの前記裏面を前記ウエハ・ステージ上に設置した状態で、窒素を主要な成分とする雰囲気下で、前記ウエハの前記デバイス面側に対して、気相プラズマ処理を実施する工程；

(d) 前記工程(c)の後、前記エッティング処理室内において、前記ウエハの前記裏面を前記ウエハ・ステージ上に設置した状態で、アルゴンを主要な成分とする雰囲気下で、前記ウエハに対して、気相プラズマによる除電処理を実施する工程。

【0016】

2. 前記1項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(e) 前記工程(d)の後、前記エッティング処理室外において、少なくとも、前記ウエハの前記デバイス面側に対して、薬液を使用してウェット洗浄処理を実施する工程。40

【0017】

3. 前記1または2項の半導体集積回路装置の製造方法において、前記下層埋め込み配線は、第3層埋め込み配線又は、それよりも上層の埋め込み配線である。

【0018】

4. 前記1から3項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線は、最上層埋め込み配線である。

【0019】

5. 前記1から4項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線は、それよりも上層のパッド電極に電気的に接続されている。

【0020】

10

20

30

40

50

6 . 前記 5 項の半導体集積回路装置の製造方法において、前記上層埋め込み配線は、前記パッド電極に、その直下のプラグを介して直接接続されている。

【 0 0 2 1 】

7 . 前記 1 から 6 項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線および前記下層埋め込み配線は、銅系埋め込み配線である。

【 0 0 2 2 】

8 . 前記 2 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(f) 前記工程 (d) の後であって前記工程 (e) の前に、前記エッチング処理室内において、前記ウエハを前記ウエハ・ステージから離脱させる工程。

【 0 0 2 3 】

9 . 前記 1 から 8 項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチ・トップ膜は、窒化シリコン系絶縁膜である。

【 0 0 2 4 】

10 . 前記 1 から 8 項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチ・トップ膜は、SiCN 膜である。

【 0 0 2 5 】

11 . 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハのデバイス面上の下層絶縁膜の上面内に下層埋め込み配線を埋め込む工程；
(b) 前記工程 (a) の後、前記下層絶縁膜の前記上面に、エッチ・トップ膜を成膜する工程；

(c) 前記工程 (b) の後、前記エッチ・トップ膜上に上層絶縁膜を成膜する工程；
(d) 前記工程 (c) の後、第1のドライ・エッチングにより、前記上層絶縁膜の上面から前記下層埋め込み配線上の前記エッチ・トップ膜の上面に至り、上層埋め込み配線と接続するためのビア・ホールを形成する工程；

(e) 前記工程 (d) の後、エッチング処理室内において、前記ウエハの裏面をウエハ・ステージ上に静電チャックにより吸着した状態で、第2のドライ・エッチングにより、前記ビア・ホールを前記下層埋め込み配線の上面まで延長する工程；

(f) 前記工程 (e) の後、前記エッチング処理室内において、前記ウエハの前記裏面を前記ウエハ・ステージ上に設置した状態で、窒素を主要な成分とする雰囲気下で、前記ウエハの前記デバイス面側に対して、気相プラズマ処理を実施する工程；

(g) 前記工程 (f) の後、前記エッチング処理室内において、前記ウエハの前記裏面を前記ウエハ・ステージ上に設置した状態で、アルゴンを主要な成分とする雰囲気下で、前記ウエハに対して、気相プラズマによる除電処理を実施する工程。

【 0 0 2 6 】

12 . 前記 11 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(e) 前記工程 (d) の後、前記エッチング処理室外において、少なくとも、前記ウエハの前記デバイス面側に対して、薬液を使用してウェット洗浄処理を実施する工程。

【 0 0 2 7 】

13 . 前記 11 または 12 項の半導体集積回路装置の製造方法において、前記下層埋め込み配線は、第3層埋め込み配線又は、それよりも上層の埋め込み配線である。

【 0 0 2 8 】

14 . 前記 11 から 13 項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線は、最上層埋め込み配線である。

【 0 0 2 9 】

15 . 前記 11 から 14 項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線は、それよりも上層のパッド電極に電気的に接続されている。

【 0 0 3 0 】

16 . 前記 15 項の半導体集積回路装置の製造方法において、前記上層埋め込み配線は、前記パッド電極に、その直下のプラグを介して直接接続されている。

10

20

30

40

50

【0031】

17. 前記11から16項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線および前記下層埋め込み配線は、銅系埋め込み配線である。

【0032】

18. 前記12項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(f) 前記工程(d)の後であって前記工程(e)の前に、前記エッティング処理室内において、前記ウエハを前記ウエハ・ステージから離脱させる工程。

【0033】

19. 前記11から18項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチ・ストップ膜は、窒化シリコン系絶縁膜である。 10

【0034】

20. 前記11から18項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチ・ストップ膜は、SiCN膜である。

【0035】

21. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハのデバイス面上の下層絶縁膜の上面内に下層埋め込み配線を埋め込む工程；
(b) 前記工程(a)の後、前記下層絶縁膜の前記上面に、エッチ・ストップ膜を成膜する工程；

(c) 前記工程(b)の後、前記エッチ・ストップ膜上に上層絶縁膜を成膜する工程；
(d) 前記工程(c)の後、第1のドライ・エッティングにより、前記上層絶縁膜の上面から前記下層埋め込み配線上の前記エッチ・ストップ膜の上面に至り、上層埋め込み配線と接続するためのビア・ホールを形成する工程；

(e) 前記工程(d)の後、エッティング処理室内において、前記ウエハの裏面をウエハ・ステージ上に静電チャックにより吸着した状態で、第2のドライ・エッティングにより、前記ビア・ホールを前記下層埋め込み配線の上面まで延長する工程；

(f) 前記工程(e)の後、窒素を主要な成分とする雰囲気下で、前記ウエハの前記デバイス面側に対して、気相プラズマ処理を実施する工程；

(g) 前記工程(f)の後、アルゴンを主要な成分とする雰囲気下で、前記ウエハに対して、気相プラズマによる除電処理を実施する工程。 30

【0036】

22. 前記21項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(e) 前記工程(d)の後、前記エッティング処理室外において、少なくとも、前記ウエハの前記デバイス面側に対して、薬液を使用してウェット洗浄処理を実施する工程。

【0037】

23. 前記21または22項の半導体集積回路装置の製造方法において、前記下層埋め込み配線は、第3層埋め込み配線又は、それよりも上層の埋め込み配線である。

【0038】

24. 前記21から23項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線は、最上層埋め込み配線である。 40

【0039】

25. 前記21から24項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線は、それよりも上層のパッド電極に電気的に接続されている。

【0040】

26. 前記25項の半導体集積回路装置の製造方法において、前記上層埋め込み配線は、前記パッド電極に、その直下のプラグを介して直接接続されている。

【0041】

27. 前記21から26項のいずれか一つの半導体集積回路装置の製造方法において、前記上層埋め込み配線および前記下層埋め込み配線は、銅系埋め込み配線である。 50

【0042】

28. 前記21から27項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチ・ストップ膜は、窒化シリコン系絶縁膜である。

【0043】

29. 前記21から28項のいずれか一つの半導体集積回路装置の製造方法において、前記エッチ・ストップ膜は、SiCN膜である。

【0044】

[本願における記載形式・基本的用語・用法の説明]

1. 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。10

【0045】

更に、本願において、「半導体集積回路装置」というときは、主に、各種トランジスタ(能動素子)を中心に、抵抗、コンデンサ等を半導体チップ等(たとえば単結晶シリコン基板)上に集積したものという。ここで、各種トランジスタの代表的なものとしては、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)に代表されるMISFET(Metal Insulator Semiconductor Field Effect Transistor)を例示することができる。このとき、集積回路構成の代表的なものとしては、Nチャネル型MISFETとPチャネル型MISFETを組み合わせたCMOS(Complementary Metal Oxide Semiconductor)型集積回路に代表されるCMIS(Complementary Metal Insulator Semiconductor)型集積回路を例示することができる。20

【0046】

2. 同様に実施の態様等の記載において、材料、組成等について、「AからなるX」等といつても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「Aを主要な成分として含むX」等の意味である。たとえば、「シリコン部材」等といつても、純粋なシリコンに限定されるものではなく、SiGe合金やその他シリコンを主要な成分とする多元合金、他の添加物等を含む部材も含むものではあることはいうまでもない。同様に、「酸化シリコン膜」、「酸化シリコン系絶縁膜」等と言っても、比較的純粋な非ドープ酸化シリコン(Undoped Silicon Dioxide)だけでなく、FSG(Fluorosilicate Glass)、TEOSベース酸化シリコン(TEOS-based silicon oxide)、SiOC(Silicon Oxide)またはカーボンドープ酸化シリコン(Carbon-doped Silicon oxide)またはOSG(Organosilicate glass)、PSG(Phosphorus Silicate Glass)、BPSG(Boron phosphosilicate Glass)等の熱酸化膜、CVD酸化膜、SOG(Spin ON Glass)、ナノ・クラスターリング・シリカ(Nano-Clustering Silica: NSC)等の塗布系酸化シリコン、これらと同様な部材に空孔を導入したシリカ系Low-k絶縁膜(ポーラス系絶縁膜)、およびこれらを主要な構成要素とする他のシリコン系絶縁膜との複合膜等を含むことは言うまでもない。3040

【0047】

また、酸化シリコン系絶縁膜と並んで、半導体分野で常用されているシリコン系絶縁膜としては、窒化シリコン系絶縁膜がある。この系統の属する材料としては、SiN, SiCN, SiNH, SiCNH等がある。ここで、「窒化シリコン」というときは、特にそうでない旨明示したときを除き、SiNおよびSiNHの両方を含む。同様に、「SiCN」というときは、特にそうでない旨明示したときを除き、SiCNおよびSiCNHの両方を含む。

【0048】

なお、SiCは、SiNと類似の性質を有するが、SiONは、むしろ、酸化シリコン系絶縁膜に分類すべき場合が多い。

【0049】

3. 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるものではないことは言うまでもない。

【0050】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

10

【0051】

5. 「ウエハ」というときは、通常は半導体集積回路装置（半導体装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハを指すが、エピタキシャルウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

【0052】

6. 多層配線層（ここでは4層から12層程度の埋め込み配線構造を想定している）の各層の呼称については、下層から上層へ、ローカル（Local）配線、セミ・グローバル（Semi-Globa1）配線、グローバル（Global）配線等のカテゴリに分けられているが、その定義は使用者によって区別である。しかし、最上層配線は通常、セミ・グローバル配線またはグローバル配線に分類される。また、第1層配線層から第3層配線層は、多くの場合、ローカル配線に分類される。多層配線構造が、たとえば、4層から10層程度の場合は、グローバル配線がない場合もある。従って、以下で説明する4層の多層配線構造の最上層配線層は、一般に、セミ・グローバル配線に分類される。

20

【0053】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0054】

1. 本願の一実施の形態の半導体集積回路装置の製造方法の対象デバイスの一例であるCMIS型集積回路装置のデバイス構造および製造プロセスの概要説明（主に図1から図12）

30

図1に第3層埋め込み配線32（下層埋め込み配線または銅系M3ダマシン配線）形成が完了した時点の代表的なデバイス断面構造の一例を示す。これに基づいて、本願の一実施の形態の半導体集積回路装置の製造方法の対象デバイスの一例であるCMIS型集積回路装置のデバイス構造（第3層埋め込み配線形成時点）の概要を説明する。以下では、一例として、65nmテクノロジ・ノードのSOC（System on Chip）製品を例にとり説明する。

【0055】

図1に示すように、CMIS型集積回路装置は、通常、比較的不純物濃度の低い単結晶P型シリコン系ウエハ1（たとえば300ウエハ、200でも450その他のサイズのウエハでもよい）のデバイス面1a側（第1の正面または裏面1bの反対の面）に形成される（必要に応じて、N型半導体基板でもよいし、各種のエピタキシャル基板、SOI基板等を使用してもよい。）。すなわち、ウエハ1のデバイス面1a側にP型ウエル領域2およびN型ウエル領域3が形成されており、シリコン基板1の表面には、P型ウエル領域2およびN型ウエル領域3の分離のためのSTI絶縁膜4が配置されている。P型ウエル領域2の表面近傍にはNチャネルMISFET5が、N型ウエル領域3の表面近傍にはPチャネルMISFET6が、それぞれ設けられている。また、P型ウエル領域2の表面には、NチャネルMISFET5のN型ソース又はドレイン領域7が、N型ウエル領域3の表面には、PチャネルMISFET6のP型ソース又はドレイン領域8が、それぞれ

40

50

設けられている。これらのNチャネルMISFET5およびPチャネルMISFET6は、それぞれゲート絶縁膜9、ゲート電極11、サイド・ウォール・スペーサ絶縁膜21等を有している。

【0056】

ウエハ1の基板部分の上面には、プリ・メタル絶縁膜14（通常、下層の窒化シリコン膜と上層の厚いシリコン酸化膜等からなる）が形成されており、その中にはタングステン・プラグ12（通常、下層及び周辺の薄い窒化チタン膜等および主要部のタングステン系のプラグ本体からなる。以下、タングステン・プラグ等について同じ）が埋め込まれている。

【0057】

このプリ・メタル絶縁膜14上には、第1層埋め込み配線層のエッチ・トップ膜15（たとえば、窒化炭化珪素膜すなわちSiCN膜を例示することができるが、窒化シリコン膜系のものであればよい。以下、エッチ・トップ膜について同じ）および第1層埋め込み配線層の層間絶縁膜16（プラズマTEOS膜等の酸化シリコン系の膜を例示することができるが、FSG膜、SiOC膜、その他のLow-k酸化シリコン系絶縁膜であってもよい。また、Low-k酸化シリコン系絶縁膜の上部に、プラズマTEOS膜等の通常のシリコン酸化膜をキャップ膜として重ねてもよい。以下、層間絶縁膜について同じ）が形成されており、それらの中には、第1層埋め込み配線層のバリア・メタル膜17（通常、窒化タンタルおよびタンタルの重ね膜等が使用されるが、ルテニウムその他の高融点金属単体または、それと、その窒化物膜との重ね膜でもよい。以下、バリア・メタル膜について同じ）を介して、第1層埋め込み配線18（銅系M1ダマシン配線）が埋め込まれている（銅の埋め込みは、通常、シード銅層を形成した後、電解銅メッキ等により実行される。以下、銅の埋め込みについて同じ）。第1層埋め込み配線層は、いわゆるシングル・ダマシン構造である。

【0058】

更に、この第1層埋め込み配線層の層間絶縁膜16上には、第2層埋め込み配線層のエッチ・トップ膜19および第2層埋め込み配線層の層間絶縁膜22が形成されており、それらの中には、第2層埋め込み配線層のバリア・メタル膜25を介して、第2層埋め込み配線26（銅系M2ダマシン配線）が埋め込まれている。第2層埋め込み配線層（第3層埋め込み配線層および第4層埋め込み配線層と同じ）は、いわゆるデュアル・ダマシン構造である。

【0059】

同様に、この第2層埋め込み配線層の層間絶縁膜22上には、第3層埋め込み配線層のエッチ・トップ膜27および第3層埋め込み配線層の層間絶縁膜28が形成されており、それらの中には、第3層埋め込み配線層のバリア・メタル膜31を介して、第3層埋め込み配線32（銅系M3ダマシン配線）が埋め込まれている。

【0060】

なお、第1層から第3層埋め込み配線層の層間絶縁膜の厚さは、たとえば、100から200nm程度である。一方、第1層から第3層埋め込み配線の配線ピッチは、たとえば、300nm程度である。

【0061】

次に、図1に続く製造プロセスを説明する。以下の配線形成プロセスは、以下の最上層（第4層）埋め込み配線層のみでなく、第2層埋め込み配線層および第3層埋め込み配線層にも、ほぼ同様に適用できるものであるが、繰り返しになるので、ここでは最上層埋め込み配線層について具体的に説明する。

【0062】

まず、図2に示すように、第3層埋め込み配線層の層間絶縁膜28上に、最上層（第4層）埋め込み配線層のエッチ・トップ膜33を、たとえば、プラズマCVD法により成膜する。

【0063】

10

20

30

40

50

続いて、図3に示すように、最上層(第4層)埋め込み配線層の層間絶縁膜34を、たとえば、プラズマCVD法により成膜する。層間絶縁膜34の厚さは、たとえば、300から400nm程度である。

【0064】

更に、図4に示すように、この層間絶縁膜34の上面にピア・エッチ用レジスト膜35を塗布する(たとえば下層に反射防止膜を適用してもよい)。このレジスト膜35を通常のリソグラフィにより、パターニングする。続いて、このパターニングされたピア・エッチ用レジスト膜35が存在する状態で、ウエハ1のデバイス面1a側に対して、ドライ・エッチング処理(第1のドライ・エッチング)を実施することにより、ピア・ホール36を形成する。これにより、ウエハ1のデバイス面1a上の絶縁膜10中に設けられた下層埋め込み配線32に向かって、絶縁膜10の上面から下層埋め込み配線32上のエッチ・ストップ膜33の上面に至り、上層埋め込み配線42(図10)と接続するためのピア・ホール36が一応形成されることになる。この後、不要になったピア・エッチ用レジスト膜35を除去する。10

【0065】

次に、図5に示すように、ピア充填用塗布レジスト材38によりピア・ホール36を充填するとともに(レジスト・プラグの形成)、トレンチ・エッチ用レジスト膜37を塗布し(たとえば下層、すなわちレジスト膜37とレジスト材38との間等に反射防止膜を適用してもよい)、先と同様に、このレジスト膜38を通常のリソグラフィにより、パターニングする。ピア充填用塗布レジスト材38によるピア・ホール36の充填は、たとえば、全面に充填材38を塗布した後、酸素プラズマ等で、ピア・ホール36外の充填材38を除去することにより実行する。20

【0066】

更に、図6に示すように、このパターニングされたトレンチ・エッチ用レジスト膜37が存在する状態で、ウエハ1のデバイス面1a側に対して、ドライ・エッチング処理を実施することにより、トレンチ(配線溝)39を形成する。

【0067】

続いて、図7に示すように、不要になったトレンチ・エッチ用レジスト膜37およびピア充填用塗布レジスト材38を除去する。

【0068】

次に、図8に示すように、ウエハ1のデバイス面1a側に対して、ドライ・エッチング処理(第2のドライ・エッチング)を実施することにより、ピア・ホール36を下層埋め込み配線32(第3層埋め込み配線)の上面まで延長する。すなわち、最上層(第4層)埋め込み配線層のエッチ・ストップ膜33に貫通孔を形成する。なお、このプロセスの詳細は、次セクションで詳述する。

【0069】

次に、図9に示すように、たとえば、ウエハ1のデバイス面1a側上面、トレンチ39およびピア・ホール36の内面等に、窒化タンタル等の最上層(第4層)埋め込み配線層のバリア・メタル膜41を成膜する。更に、銅シード膜の成膜に引き続き、電解メッキ法等により、ウエハ1のデバイス面1a側上面、トレンチ39およびピア・ホール36の内部等に銅を主要な成分とする配線材料42を充填・形成する。40

【0070】

次に、図10に示すように、メタルCMP法等によって、トレンチ39およびピア・ホール36外の配線材料42およびバリア・メタル膜41を除去する。これによって、最上層(第4層)埋め込み配線42が形成されることになる。最上層(第4層)埋め込み配線42の配線ピッチは、たとえば、400nm程度である。

【0071】

次に、図11に示すように、最上層(第4層)埋め込み配線層の層間絶縁膜34上に、アルミニウム系パッド下層絶縁膜43を形成し、それを貫通するアルミニウム系パッド下タンクステン・プラグ44を埋め込む。

10

20

30

40

50

【0072】

次に、図12に示すように、アルミニウム系パッド下層絶縁膜43上に、たとえばスパッタリング法とうにより、アルミニウム系金属膜45（通常は、メタル多層膜構造）を成膜する。このアルミニウム系金属膜45を通常のリソグラフィにより、パターニングし、アルミニウム系パッド電極45を形成する。続いて、これらのアルミニウム系パッド下層絶縁膜43およびアルミニウム系パッド電極45上に、たとえばプラズマCVD法等によって、ファイナル・パッシベーション膜46を成膜する。続いて、通常のリソグラフィにより、パターニングすることによって、アルミニウム系パッド電極45上に、パッド開口47を形成する。

【0073】

10

2. 本願の一実施の形態の半導体集積回路装置（銅系埋め込み配線構造）の製造方法における最上層埋め込み配線層等のエッチ・ストップ膜に対するドライ・エッチング工程の詳細プロセスならびに、それに使用する装置の一例等の説明（主に図13から図17）

このセクションでは、図13から図17に基づいて、前セクションの図8で説明した最上層（第4層）埋め込み配線層のエッチ・ストップ膜33の除去工程の詳細（図7のレジスト除去の次から図9のバリア・メタル成膜の前まで）並びにそのドライ・エッチング等に使用するドライ・エッチング処理室52を有する気相処理装置51の構造の概要を説明する。

【0074】

20

まず、図14に示すように、通常、300ウエハであれば、フープ（Foop）と呼ばれるウエハ搬送容器に収容されて、気相処理装置51（マルチチャンバ装置等を含む）のロード・ポートに連結される。被処理ウエハ1は、通常、大気圧中搬送口ボット等により、装置51の大気圧清浄室およびロードロック室を経由して、真空搬送室53内の真空搬送口ボット55に受け渡される。ここで、ウエハ搬入・搬出ゲート54が開くと、ウエハ1は、真空搬送口ボット55によって、ドライ・エッチング処理室52内に導入され、ウエハ・ステージ57から突出したウエハ・リフト・ピン71上に置かれる。真空搬送口ボット55が後退して、ウエハ搬入・搬出ゲート54が閉じると、ウエハ1は、ウエハ・リフト・ピン71が降下して、ウエハ・ステージ57上に置かれる。

【0075】

30

ここで、ウエハ・ステージ57は静電チャックとして機能するように、セラミック製の本体57の内部に静電チャック電極58が内蔵されている。静電チャック電極58には、静電チャック制御系62と連結されており、この静電チャック制御系62内には、静電吸着用直流電源64（たとえば+1050ボルト）、除電用直流電源65（たとえばマイナス50から100ボルト）、静電チャック制御スイッチ63等が内蔵されている。また、この静電チャック57は、下部電極56の上面に固定されており、下部電極56には、プラズマ74を励起等するためのRF電源（2MHz）59およびRF電源（27MHz）61が接続可能（一方又は両方接続切り替え可能）とされている。更に、ウエハ1の裏面には、ウエハ・ステージ57を貫通する冷却ガス供給管68を通して、冷却用のヘリウム・ガス（冷却ガス69）が供給可能となっている。尚、この冷却用のヘリウム・ガス（冷却ガス69）は、静電チャック57表面に形成されている溝（たとえば、幅1mm程度）に供給されて、その溝部分とウエハ1の裏面1bで閉じられた領域に冷却用のヘリウム・ガス（冷却ガス69）が充填されることにより、ウエハ1の裏面1bの裏面冷却効果を高めることを目的とする。また、ドライ・エッチング処理室52の下部には、処理室排気管67が設けられている。この処理室排気管67を介してのドライ・エッチング処理室52の排気と、冷却ガス供給管68を通しての冷却ガス69の供給及び排気は、処理室排気＆冷却ガス供給系66によって制御されている。

【0076】

40

置かれたウエハ1のデバイス面1aに対向して、上部電極72が設けられており、この上部電極72は接地されている。上部電極72の下部はシャワー・ヘッド73となっており、そこへ雰囲気ガス供給管75を介して、雰囲気ガス76が供給されるようになってい

50

る。

【0077】

次に、図13に示されたステップに従って、エッチ・ストップ絶縁膜除去工程等の詳細を説明する。図14に示すように、静電吸着用直流電源64がオン状態になり、ウエハ1の裏面1bがウエハ・ステージ57に静電吸着された状態となる。この状態でプラズマ74が生成（プラズマ点灯）されると、エッチ・ストップ絶縁膜ドライ・エッチング・ステップ101（図13）が開始する（処理時間は、たとえば、1分程度である）。シャワー・ヘッド73から、たとえば、このエッチング・ステップ101の間、 CF_4 , CHF_3 , N_2 等を主要な成分とする混合エッチング・ガス76が供給される（流量は、たとえば、 CF_4 : 100 sccm, CHF_3 : 25 sccm, N_2 : 250 sccm）。また、ドライ・エッチング処理室52の圧力は、たとえば、20から30パスカル程度に維持される。このとき、冷却ガス供給管68を介して、冷却ガス69がウエハ1の裏面1bに供給され（供給圧力は、たとえば4 kPa程度）、下部電極56の温度は、図示しないが温度制御チラー（温度制御冷却器）にて制御されて、設定温度は、たとえば、摂氏40度程度である。ここで、高周波電源の出力は、RF電源（2 MHz）59およびRF電源（27 MHz）61のそれぞれが、たとえば、各100から300ワット程度である。エッチ・ストップ絶縁膜ドライ・エッチング・ステップ101（図13）が終了すると、そのままの状態で窒素プラズマ処理ステップ102（図13）に移行する。
10

【0078】

図14に示すように、まず、高周波電源がオフ状態（両高周波電源がオフ）となり、プラズマ74が消滅して（プラズマ消灯）ガス雰囲気が、窒素ガスを主要な成分とする雰囲気に置換される。この状態で、再びRF電源（27 MHz）61がオン状態となり、プラズマ74が生成（プラズマ点灯）されると、窒素プラズマ処理ステップ102（図13）が開始される（処理時間は、たとえば、20秒程度である）。このときのドライ・エッチング処理室52の圧力、冷却ガス69の供給圧力等は、先のステップと、ほぼ同一である。また、高周波電源の出力は、たとえば、400から600ワット程度（たとえば500ワット程度）である。また、窒素ガスの流量は、たとえば、400 sccm程度である。また、静電チャックはオンのままである。この窒素プラズマ処理ステップ102（図13）は、Cuダマシン多層配線構造におけるビア底形成工程にて有効であり、ビア底表面のカーボン系残渣の発生を抑制する等の効果がある。窒素プラズマ処理ステップ102（図13）が終了すると、そのままの状態（プラズマがオンした状態のまま）でアルゴン・プラズマ除電ステップ103（図13）に移行する。
20
30

【0079】

図15に示すように、雰囲気ガス76が窒素を主要な成分とするものから、アルゴンを主要な成分とするものに切り替えられる。プラズマ74がアルゴン・プラズマに変わると、アルゴン・プラズマ除電ステップ103（図13）が開始する。このとき、アルゴンを主要な成分とする雰囲気ガス76の流量は、たとえば、1000 sccm程度である。RF電源（27 MHz）61の出力は、たとえば、50から60ワット程度である。また、処理室52の圧力は、5から15パスカル程度（たとえば10パスカル）である。一方、図15に示すように、静電チャック制御スイッチ63が切り替わって、除電用直流電源65の方がオンになっているので、静電チャック57は、むしろ、ウエハ1をリリースさせるもの、または、除電するものとして作用する。このとき、冷却ガス供給管68を介して、冷却ガス69がウエハ1の裏面1bに供給される圧力は、たとえば4 kPaから1 kPa程度に減圧され、窒素プラズマ処理ステップ102のときと異なり、冷却ガス69の流れは逆となっている状態（負圧又は吸引状態）で、ウエハ1の裏面1bは、ウエハ・ステージ57の上面に密着している。アルゴン・プラズマ除電ステップ103（図13）の処理時間は、たとえば、10から20秒程度（たとえば、15秒程度）である。アルゴン・プラズマ除電ステップ103（図13）が終了すると、そのままの状態でウエハ・リリース・ステップ104（図13）に移行する。
40

【0080】

図16に示すように、RF電源(27MHz)61の出力もゼロとなり、プラズマ74が消滅し、冷却ガス供給管68から冷却ガス69が供給され(たとえばウエハ裏面加圧0.6から0.7キロ・パスカル程度)、その力でウエハ1の裏面1bとウエハ・ステージ57の上面との密着力が大幅に低下する。この密着力の低下に伴い、ウエハ1の裏面1bとウエハ・ステージ57の上面との密着が開放されて隙間が生じて、ウエハ裏面加圧0.6から0.7キロ・パスカル程度を維持するために、冷却ガス供給管68から冷却ガス69の供給量が急増加するので、そのある閾値以上に冷却ガス69の供給量が増加することにより、除電完了を判定している。このステップは、除電不足のままでウエハのリリース動作に移行して、ウエハ・リフト・ピン71が上昇してウエハ割れの問題を防ぐために必要となる。尚、除電判定基準となる、ある閾値以上の冷却ガス69の供給量は、ウエハ・ステージ57の上面にウエハ1がない状態にて、冷却ガス供給管68から冷却ガス69がウエハ裏面加圧0.6から0.7キロ・パスカル程度にて供給されたときの、冷却ガス69の供給量に相当する。ここで、実質的にウエハのリリース・ステップ104(図13)が完了する。続いて、図17に示すように、ウエハ・リフト・ピン71が上昇して、ウエハ1を持ち上げる。その状態で、ウエハ搬入・搬出ゲート54が開き、真空搬送ロボット55が侵入し、ウエハ1をウエハ・リフト・ピン71上から、真空搬送室53へ移動させる。これで、ウエハ搬出ステップ105の完了である。その後、ウエハ1は、フープ等に再び収容され、外部のウェット処理装置または装置内部のウェット処理室(「ウェット処理装置等」と言う)に送られる。

【0081】

10

次に、ウェット処理装置等内において、ウェット洗浄ステップ106(図13)が実行される。このウェット洗浄ステップ106(図13)は、必須ではないが、ビア底表面のカーボン系残渣を除去する等の効果がある。この洗浄液としては、たとえば、ガンマ・ブチロラクトン($C_4H_6O_2$)、 NH_4F 等を主要な成分とする水溶液等を例示することができる。この場合、液温は、たとえば、室温から摂氏40度程度、処理時間は、たとえば、3分から5分程度が好適である。

【0082】

20

3. 本願の一実施の形態の半導体集積回路装置(銅系埋め込み配線構造)の製造方法による除電方法と他の除電方法を比較等し、アルゴン除電の原理を説明するためのデータ・プロット図等の説明(主に図18から図20)

30

図18は、アルゴン・プラズマ除電処理103(図13)の代わりに、前記窒素プラズマ処理102(図13)に引き続き、窒素雰囲気でプラズマ除電を実行したときの2層および4層銅埋め込み配線構造の最上層銅配線層のビア底導通不良と引き出し配線長さ(最上層銅配線のビア位置からパッド下までの配線に沿った最短経路長さ)との関係を示すデータ・プロット図である。

【0083】

この結果から、このビア底導通不良は、下層埋め込み配線が3層まで増えると、急に増加することがわかる。すなわち、最上層埋め込み配線が第4層埋め込み配線又はそれよりも上層の埋め込み配線のビア底(ビア底に対応する第3層埋め込み配線の上面付近)で発生する頻度が高い。また、引き出し配線長さが、1000マイクロ・メートル以上で急速に増大していることがわかる。

40

【0084】

図19は、4層銅埋め込み配線構造の最上層銅配線層のビア底導通不良の対策として、窒素雰囲気でのプラズマ除電およびアルゴン雰囲気でのプラズマ除電を実施したときのビア底導通不良の関係を示す比較データ・プロット図である。これから、アルゴン雰囲気でのプラズマ除電の有効性が明確に確認できる。一方、窒素雰囲気でのプラズマ除電における不良率のビア寸法依存性から、このモードのビア底導通不良は、ビア寸法が1.8マイクロ・メートル程度以下で急速に増加することがわかる。

【0085】

図20は、4層銅埋め込み配線構造の最上層銅配線層のビア底導通不良の対策として、

50

アルゴン雰囲気でのプラズマ除電を実施したときのウエハのデバイス面上の電位分布の関係を示すデータ・プロット図である。この結果から、アルゴン雰囲気でのプラズマ除電では、ウエハの表面の電荷は、十分に除去されて、電位分布も平坦になっているが、窒素雰囲気でのプラズマ除電では、除電が十分でなく、電位分布の起伏も大きいことがわかる。これは、窒素プラズマには、シリコン酸化膜等の表面を安定化させる作用があるため、この作用によって、表面電荷の移動が困難となつたためと考えられる。

【0086】

また、本発明が成される前までは、エッチ・ストップ膜33の除去工程において前記窒素プラズマ処理102(図13)を含む場合は、前記窒素プラズマ処理を延長すれば十分な除電効果が得られるものと考えられていた。しかし、上記の結果から、微細化や多層配線構造化、等により、窒素プラズマ処理の延長のみでは、除電効果が不十分であることが明らかになった。10

【0087】

以上のことから、以下のが推測される。すなわち、
(1) このモードのビア底導通不良は、エッチ・ストップ膜のドライ・エッチング、その後のプラズマ処理等の間にウエハ1のデバイス面1a側表面近傍(上面、各配線層)に蓄積した静電荷に起因して、ウエット洗浄ステップ106(図13)中の電気分解反応により、ビア底近傍の下層埋め込み配線の上面が腐食することによって発生する。

(2) アルゴン雰囲気でのプラズマ除電処理によって、ほぼ抑制可能である。

(3) 引き出し配線長さを1000マイクロ・メートル未満、望ましくは、800マイクロ・メートル未満とすると、更に、不良の発生を低減できる。20

(4) ビア寸法の微細化により、不良発生率が急激に上昇する。

(5) 最上層埋め込み配線で特に顕著である。

(6) 下層の埋め込み配線が第3層埋め込み配線または、それよりも上層の埋め込み配線である場合に、特に顕著である。

【0088】

4. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。30

【0089】

例えば、前記実施の形態では、最上層埋め込み配線を例にとり具体的に説明したが、本発明はそれに限定されるものではなく、その他の層の埋め込み配線のエッチ・ストップ膜の除去工程等にも適用できることは言うまでもない。

【0090】

また、前記実施の形態では、銅系のダマシン配線を例にとり具体的に説明したが、本発明はそれに限定されるものではなく、銀系のダマシン配線やその他の埋め込み配線の同様の工程に適用できることは言うまでもない。

【0091】

更に、前記実施の形態では、エッチ・ストップ絶縁膜ドライ・エッチング・ステップ101(図13)、窒素プラズマ処理ステップ102、アルゴン・プラズマ除電ステップ103等を同一の気相処理室で実行する場合を例にとり具体的に説明したが、本発明はそれに限定されるものではなく、それぞれのステップを同一の又は別の装置の同一のまたは別の処理室で実行してもよい。ただし、前記実施の形態のように、一連のステップを同一の装置の同一の気相処理室の同一のウエハ・ステージ上で実行することにより、処理時間の短縮または設備の有効利用等のメリットがある。40

【0092】

また、前記実施の形態では、ドライ・エッチング装置については、平行平板型を中心にして説明したが、本発明はそれに限定されるものではなく、ICP(Inductively Coupled Plasma)型、電子サイクロトロン共鳴型、ヘリコン型等の装置50

を用いた場合にも適用できることは言うまでもない。

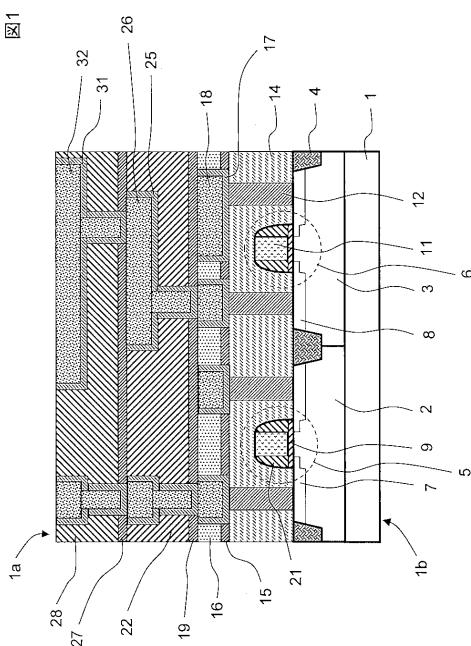
【符号の説明】

【0093】

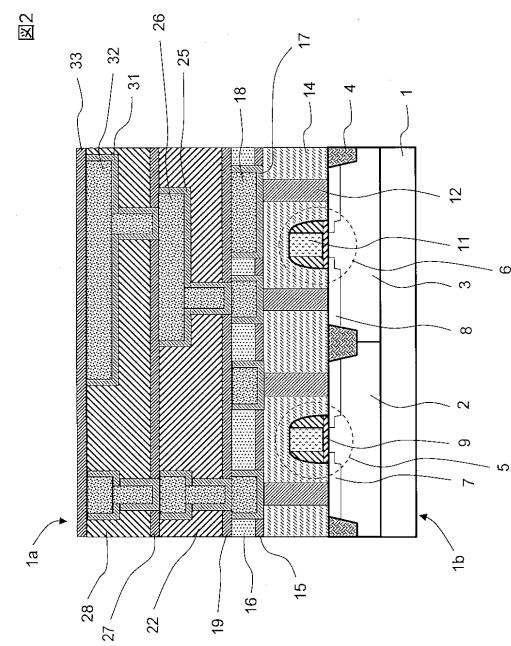
- | | | |
|-----|--|----|
| 1 | 半導体ウエハまたは半導体基板（単結晶P型シリコン系ウエハ） | |
| 1 a | 半導体ウエハのデバイス面（第1の正面） | |
| 1 b | 半導体ウエハの裏面（第2の正面） | |
| 2 | P型ウエル領域 | |
| 3 | N型ウエル領域 | |
| 4 | S T I 絶縁膜 | |
| 5 | NチャネルM I S F E T | 10 |
| 6 | PチャネルM I S F E T | |
| 7 | N型ソース又はドレイン領域 | |
| 8 | P型ソース又はドレイン領域 | |
| 9 | ゲート絶縁膜 | |
| 1 0 | デバイス面上の絶縁膜 | |
| 1 1 | ゲート電極 | |
| 1 2 | タンゲステン・プラグ | |
| 1 4 | ブリ・メタル絶縁膜 | |
| 1 5 | 第1層埋め込み配線層のエッチ・トップ膜 | |
| 1 6 | 第1層埋め込み配線層の層間絶縁膜 | 20 |
| 1 7 | 第1層埋め込み配線層のバリア・メタル膜 | |
| 1 8 | 第1層埋め込み配線（銅系M 1 ダマシン配線） | |
| 1 9 | 第2層埋め込み配線層のエッチ・トップ膜 | |
| 2 1 | サイド・ウォール・スペーサ絶縁膜 | |
| 2 2 | 第2層埋め込み配線層の層間絶縁膜 | |
| 2 5 | 第2層埋め込み配線層のバリア・メタル膜 | |
| 2 6 | 第2層埋め込み配線（銅系M 2 ダマシン配線） | |
| 2 7 | 第3層埋め込み配線層のエッチ・トップ膜 | |
| 2 8 | 第3層埋め込み配線層の層間絶縁膜 | |
| 3 1 | 第3層埋め込み配線層のバリア・メタル膜 | 30 |
| 3 2 | 第3層埋め込み配線（下層埋め込み配線または銅系M 3 ダマシン配線） | |
| 3 3 | 最上層（第4層）埋め込み配線層のエッチ・トップ膜 | |
| 3 4 | 最上層（第4層）埋め込み配線層の層間絶縁膜 | |
| 3 5 | ビア・エッチ用レジスト膜 | |
| 3 6 | ビア・ホール | |
| 3 7 | トレンチ・エッチ用レジスト膜 | |
| 3 8 | ビア充填用塗布レジスト材 | |
| 3 9 | トレンチ（配線溝） | |
| 4 1 | 最上層（第4層）埋め込み配線層のバリア・メタル膜 | |
| 4 2 | 最上層（第4層）埋め込み配線（上層埋め込み配線または銅系M 4 ダマシン配線 | 40 |
|) | | |
| 4 3 | アルミニウム系パッド下層絶縁膜 | |
| 4 4 | アルミニウム系パッド下タンゲステン・プラグ | |
| 4 5 | アルミニウム系パッド電極 | |
| 4 6 | ファイナル・パッショナーフィニッシュ膜 | |
| 4 7 | パッド開口 | |
| 5 1 | ドライ・エッティング等気相処理装置 | |
| 5 2 | ドライ・エッティング処理室 | |
| 5 3 | 前室（真空搬送室） | |
| 5 4 | ウエハ搬入・搬出ゲート | 50 |

5 5	ウエハ搬送口ボット(真空搬送口ボット)	
5 6	下部電極	
5 7	静電チャック(ウエハ・ステージ)	
5 8	静電チャック電極	
5 9	R F 電源(2MHz)	
6 1	R F 電源(27MHz)	
6 2	静電チャック制御系	
6 3	静電チャック制御スイッチ	
6 4	静電吸着用直流電源	
6 5	除電用直流電源	10
6 6	処理室排気&冷却ガス供給系	
6 7	処理室排気管	
6 8	冷却ガス供給管	
6 9	冷却ガス	
7 1	ウエハ・リフト・ピン	
7 2	上部電極	
7 3	シャワー・ヘッド	
7 4	プラズマ	
7 5	雰囲気ガス供給管	
7 6	雰囲気ガス	20
1 0 1	エッチ・ストップ絶縁膜ドライ・エッチング・ステップ(第2のエッチング処理)	
1 0 2	窒素プラズマ処理ステップ	
1 0 3	アルゴン・プラズマ除電ステップ	
1 0 4	ウエハ・リリース・ステップ	
1 0 5	ウエハ搬出ステップ	
1 0 6	ウエット洗浄ステップ	

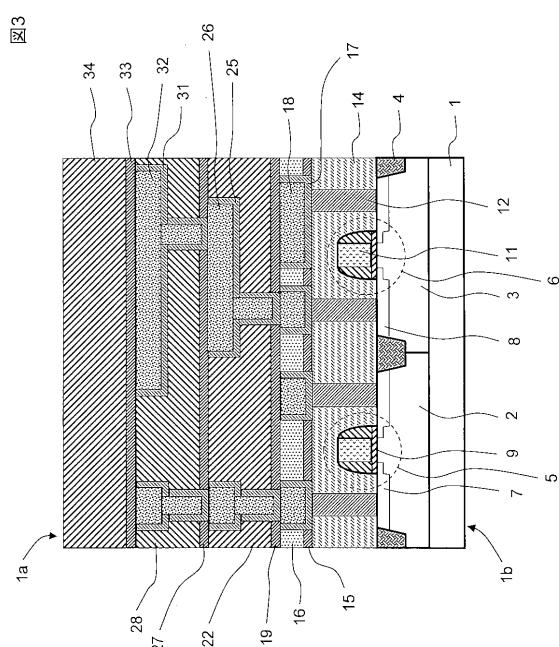
【図1】



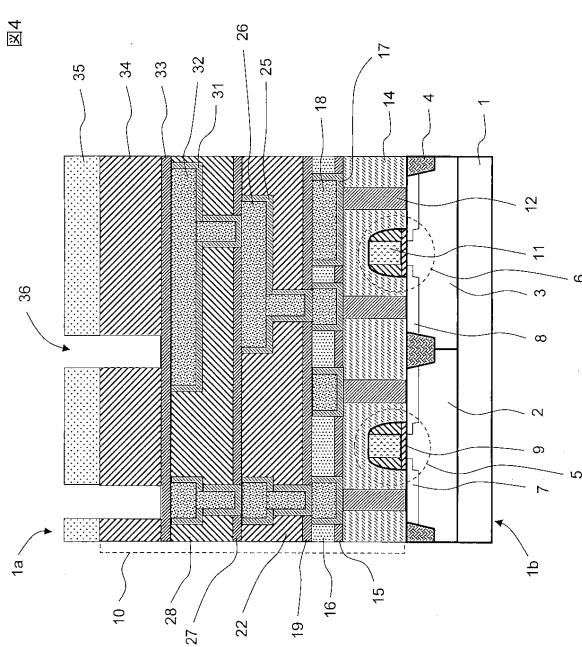
【図2】



【図3】

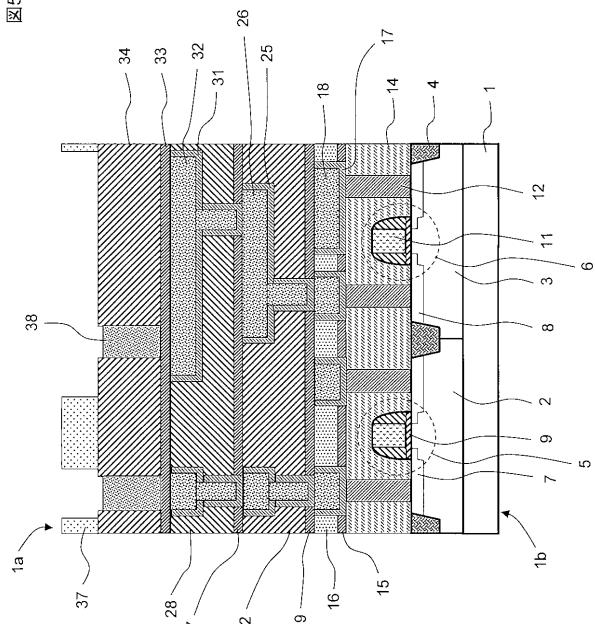


【図4】



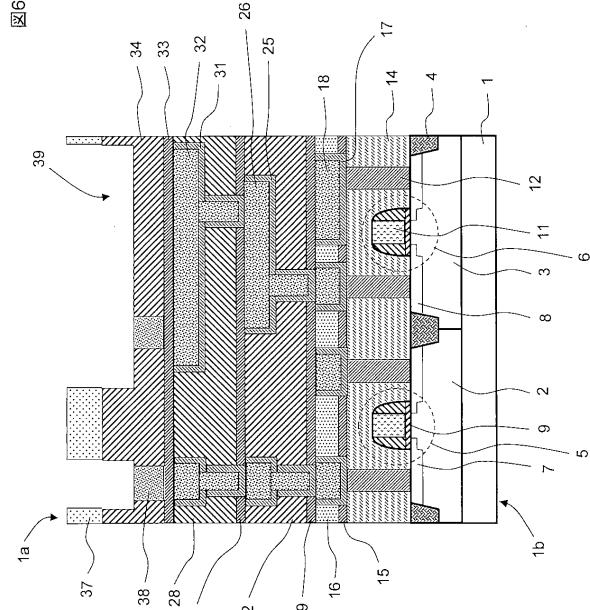
【図5】

図5



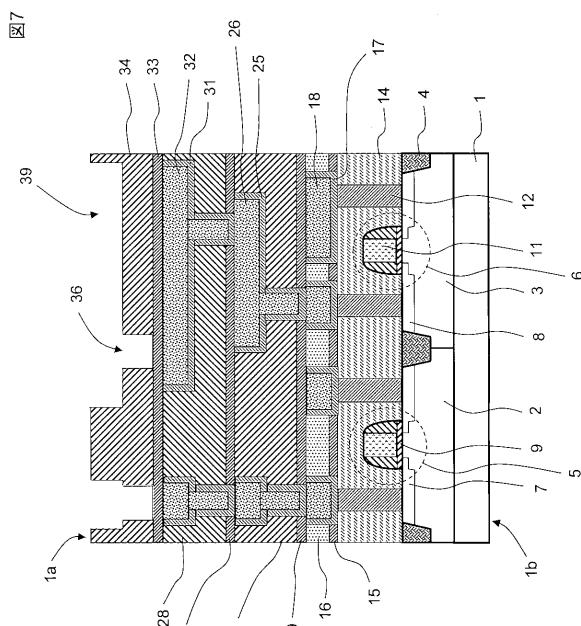
【図6】

図6



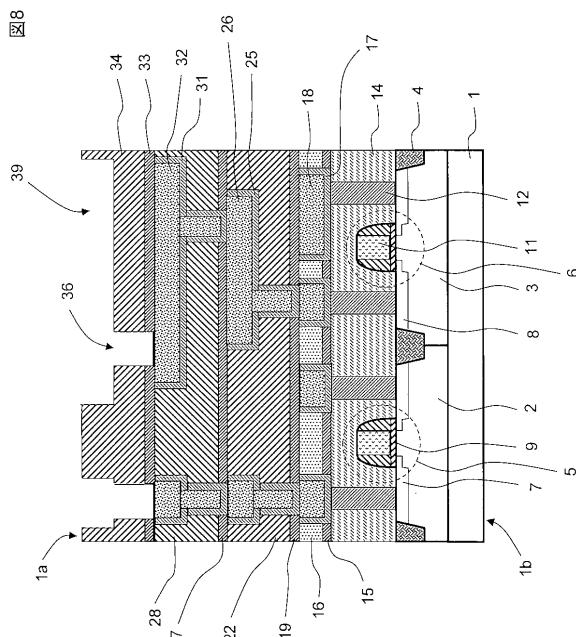
【図7】

図7

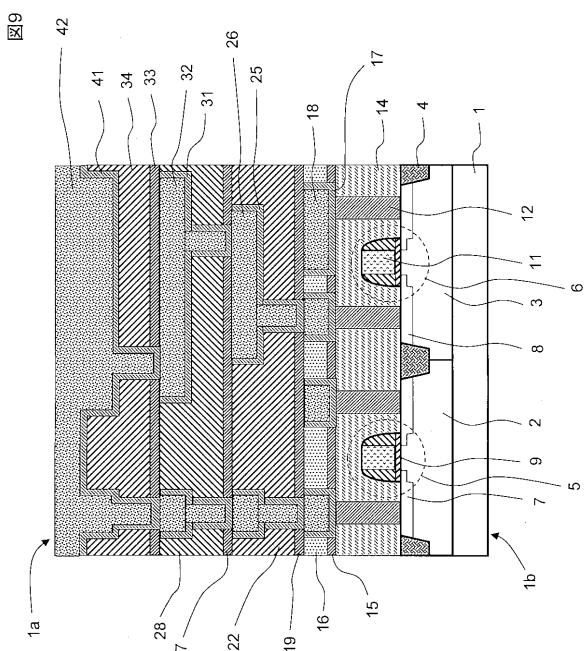


【図8】

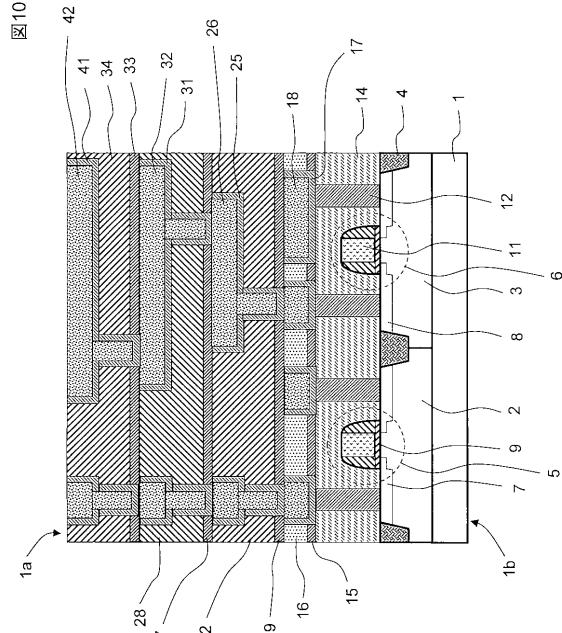
図8



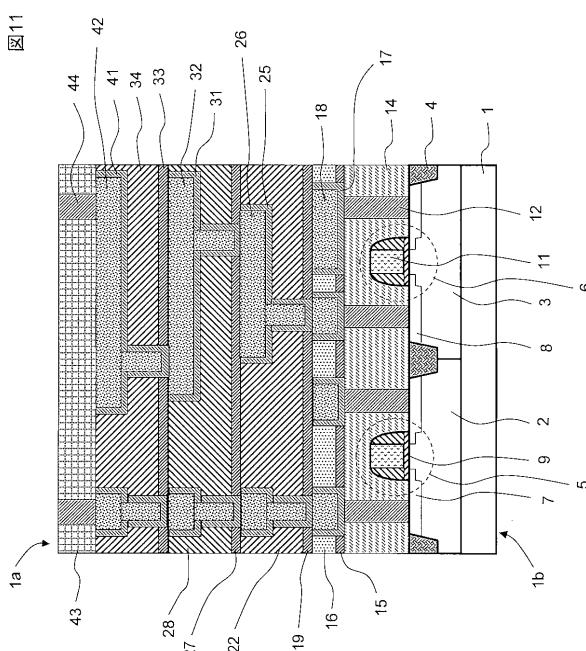
【図9】



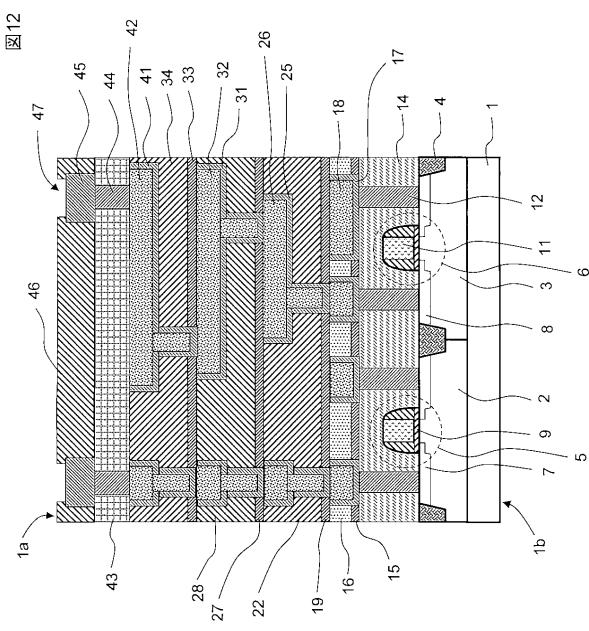
【図10】



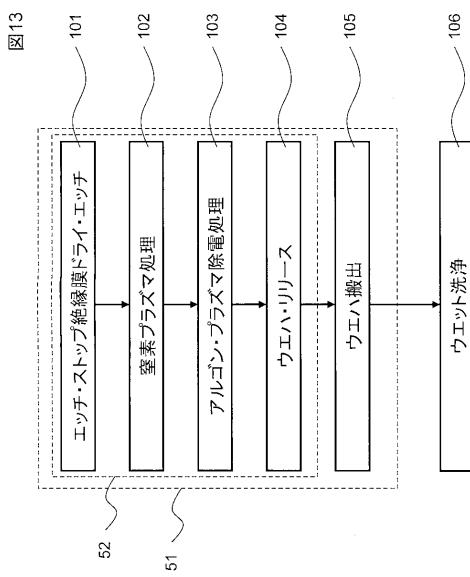
【図11】



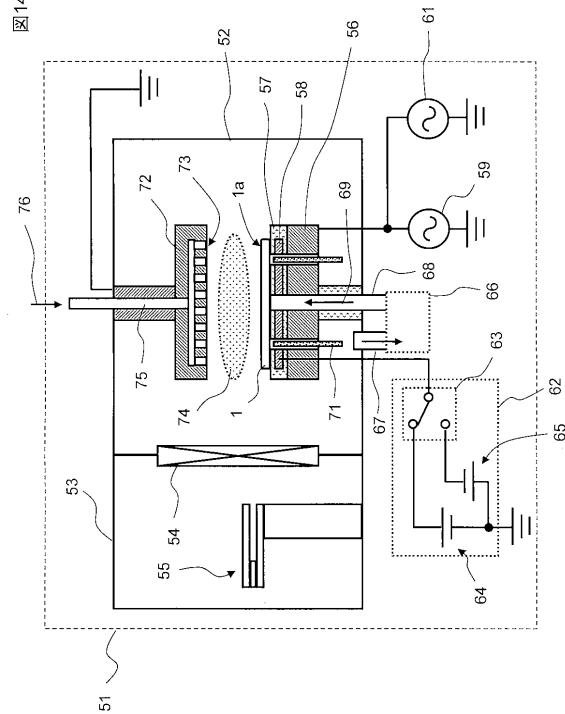
【図12】



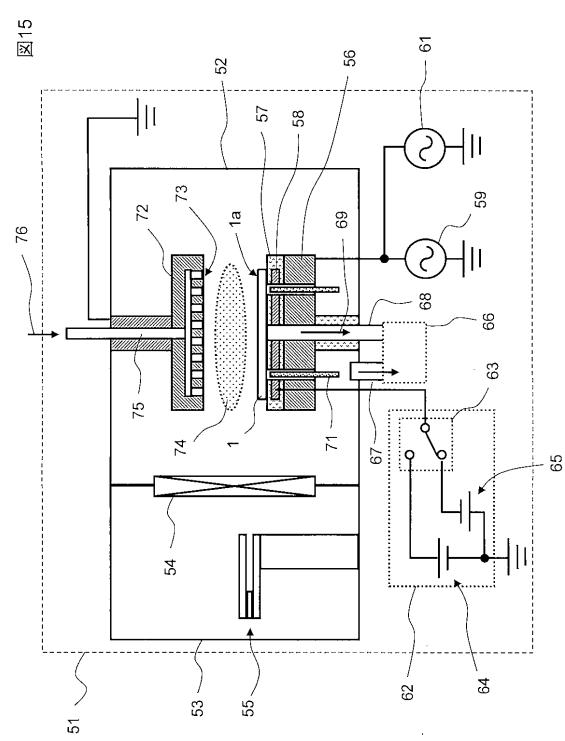
【図13】



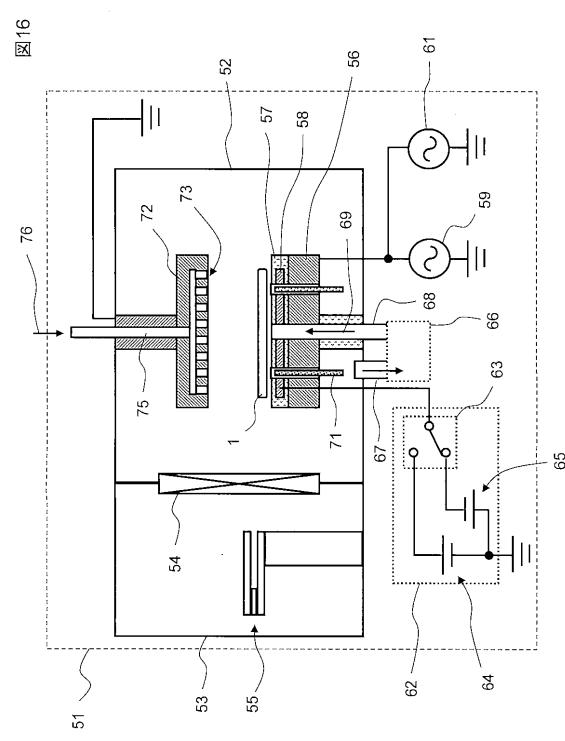
【図14】



【図15】

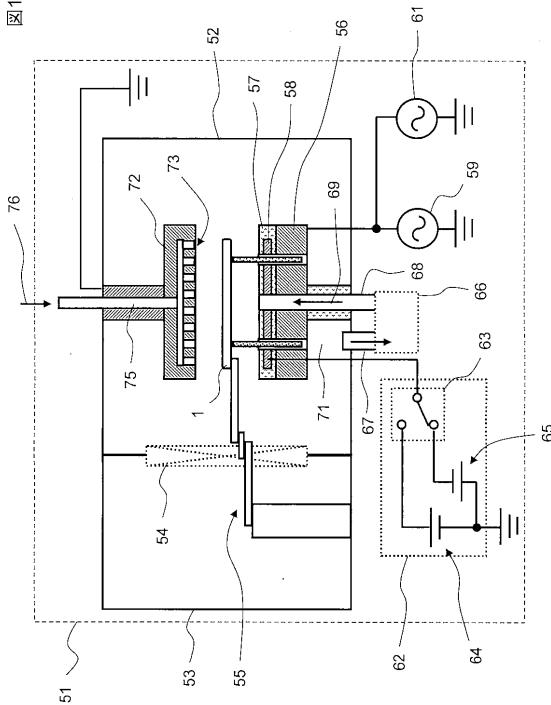


【図16】



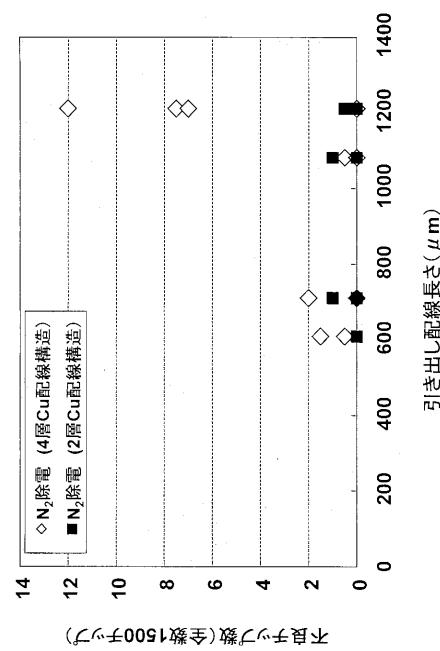
【図17】

図17



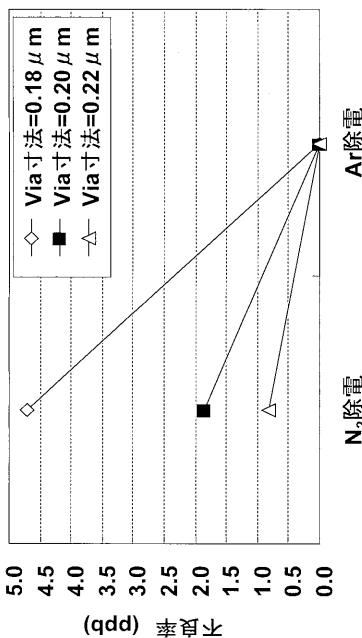
【図18】

図18



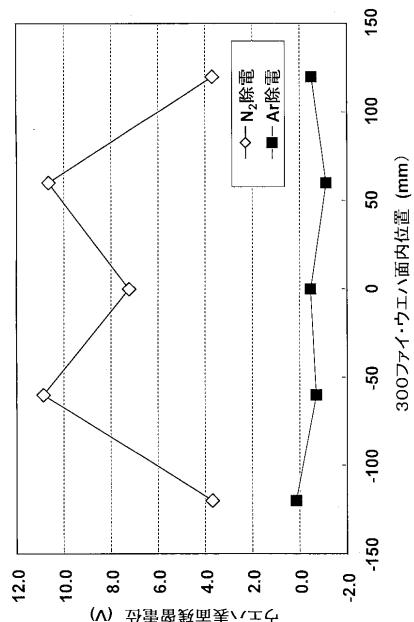
【図19】

図19



【図20】

図20



フロントページの続き

(56)参考文献 特開2008-047686(JP,A)
特開2007-115839(JP,A)
特開2004-014868(JP,A)
特開2000-232159(JP,A)
特開2001-284442(JP,A)
特開2005-116801(JP,A)
特開2006-165189(JP,A)
特開2004-247675(JP,A)
特開2007-258636(JP,A)
特開2002-222799(JP,A)
特開2002-134489(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/302-21/304、21/3065、
21/3205-21/3213、
21/461-21/463、21/67-21/683、
21/768、23/52-23/522