

Brevet N° **87475**
du 15 mars 1989
Titre délivré **3.0 AOÛT 1989**

GRAND-DUCHÉ DE LUXEMBOURG



Monsieur le Ministre
de l'Économie et des Classes Moyennes
Service de la Propriété Intellectuelle
LUXEMBOURG

Demande de Brevet d'Invention

I. Requête

La société dite: SIEMENS AKTIENGESELLSCHAFT Berlin
und München, Wittelsbacherplatz 2, D-8000 MÜNCHEN
(République Fédérale d'Allemagne) représentée par
Monsieur Jacques de Muyser agissant en qualité de
mandataire

dépose(nt) ce quinze mars 1989 quatre-vingt neuf
à 15 heures, au Ministère de l'Économie et des Classes Moyennes, à Luxembourg:

1. la présente requête pour l'obtention d'un brevet d'invention concernant:
"Breitbandsignal-Koppeleinrichtung"

2. la description en langue allemande de l'invention en trois exemplaires;
3. 3 planches de dessin, en trois exemplaires;
4. la quittance des taxes versées au Bureau de l'Enregistrement à Luxembourg, le 15 mars 1989 ;
5. la délégation de pouvoir, datée de München le 8 mars 1989 ;
6. le document d'ayant cause (autorisation);

déclare(nt) en assumant la responsabilité de cette déclaration, que l'(es) inventeur(s) est (sont):
- Gerhard TRUMPP, Mitterlaengstrasse 7, D-8039 PUCHHEIM
(République Fédérale d'Allemagne)
- Jan WOLKENHAUER, Kyreinstrasse 1, D-8000 MÜNCHEN 70
(République Fédérale d'Allemagne)

revendique(nt) pour la susdite demande de brevet la priorité d'une (des) demande(s) de
brevet européen déposée(s) en (8) *Paris (voir annexes)*
le (9) 8 août 1988
sous le N° (10) 88 112 907.6
au nom de (11) la déposante

élit(élisent) domicile pour lui (elle) et, si désigné, pour son mandataire, à Luxembourg
35, Boulevard Royal

solicite(nt) la délivrance d'un brevet d'invention pour l'objet décrit et représenté dans les annexes susmentionnées,
avec ajournement de cette délivrance à / mois.

Le déposant / mandataire:

II. Procès-verbal de Dépôt

La susdite demande de brevet d'invention a été déposée au Ministère de l'Économie et des Classes Moyennes,
Service de la Propriété Intellectuelle à Luxembourg, en date du: 15 mars 1989

à 15 heures

Pr. le Ministre de l'Économie et des Classes Moyennes,

Le chef du service de la propriété intellectuelle,

A 68007

EXPLICATIONS RELATIVES AU FORMULAIRE DE DÉPÔT.

(1) s'il y a lieu "Demande de certificat d'addition au brevet principal, à la demande de brevet principal No (2) inscrire les nom, prénom, profession, adresse du demandeur, lorsque celui-ci est un particulier ou les dénomination sociale, forme juridique, adresse du siège social, lorsque le demandeur est une personne morale - (3) inscrire les nom, prénom, adresse du mandataire agréé, conseil en propriété industrielle, muni d'un pouvoir spécial, s'il y a lieu: "représenté par agissant en qualité de mandataire" - (4) date de dépôt en toutes lettres - (5) titre de l'invention - (6) inscrire les noms, prénoms, adresses des inventeurs ou l'indication "(voir) désignation séparée (suivra)", lorsque la désignation se fait ou se fera dans un document séparé, ou encore l'indication "ne pas mentionner", lorsque l'inventeur signe ou signera un document de non-mention à joindre à une désignation séparée présente ou future - (7) brevet, certificat d'addition, modèle d'utilité, brevet européen (CBE), protection internationale (PCT) - (8) Etat dans lequel le premier dépôt a été effectué ou, le cas échéant, Etats désignés dans la demande européenne ou internationale prioritaire - (9) date du premier dépôt - (10) numéro du premier dépôt complet, le cas échéant, par l'indication de l'office récepteur CBE/PCT - (11) nom du titulaire du premier dépôt - (12) adresse du domicile effectif ou élu au Grand-Duché de Luxembourg - (13) 2, 6, 12 ou 18 mois - (14) signature du demandeur ou du mandataire agréé.

Brevet N° 87475
du 15 mars 1989
Titre délivré _____

GRAND-DUCHÉ DE LUXEMBOURG



Monsieur le Ministre
de l'Économie et des Classes Moyennes
Service de la Propriété Intellectuelle
LUXEMBOURG

Demande de Brevet d'Invention

I. Requête

La société dite: SIEMENS AKTIENGESELLSCHAFT Berlin
und München, Wittelsbacherplatz 2, D-8000 MÜNCHEN
(République Fédérale d'Allemagne) représentée par
Monsieur Jacques de Muysen agissant en qualité de
mandataire
dépose(nt) ce quinze mars 1989 quatre-vingt neuf
à 15 heures, au Ministère de l'Économie et des Classes Moyennes, à Luxembourg:
1. la présente requête pour l'obtention d'un brevet d'invention concernant:
"Breitbandsignal-Koppeleinrichtung"

2. la description en langue allemande de l'invention en trois exemplaires;
3. 3 planches de dessin, en trois exemplaires;
4. la quittance des taxes versées au Bureau de l'Enregistrement à Luxembourg, le 15 mars 1989 ;
5. la délégation de pouvoir, datée de München le 8 mars 1989 ;
6. le document d'ayant cause (autorisation);

déclare(nt) en assumant la responsabilité de cette déclaration, que l'(es) inventeur(s) est (sont):
- Gerhard TRUMPP, Mitterlaengstrasse 7, D-8039 PUCHHEIM
(République Fédérale d'Allemagne)
- Jan WOLKENHAUER, Kyreinstrasse 1, D-8000 MÜNCHEN 70
(République Fédérale d'Allemagne)

revendique(nt) pour la susdite demande de brevet la priorité d'une (des) demande(s) de
brevet européen déposée(s) en (8) pour (voir annexe)
le (9) 8 août 1988
sous le N° (10) 88 112 907.6
au nom de (11) la déposante

élit(é lisent) domicile pour lui (elle) et, si désigné, pour son mandataire, à Luxembourg
35, Boulevard Royal

solicite(nt) la délivrance d'un brevet d'invention pour l'objet décrit et représenté dans les annexes susmentionnées,
avec ajournement de cette délivrance à _____ mois.

Le déposant / mandataire: _____

II. Procès-verbal de Dépôt

La susdite demande de brevet d'invention a été déposée au Ministère de l'Économie et des Classes Moyennes,
Service de la Propriété Intellectuelle à Luxembourg, en date du: 15 mars 1989

à 15 heures

Pr. le Ministre de l'Économie et des Classes Moyennes,

Le chef du service de la propriété intellectuelle,



A 68007

EXPLICATIONS RELATIVES AU FORMULAIRE DE DÉPÔT.

(1) s'il y a lieu "Demande de certificat d'addition au brevet principal, à la demande de brevet principal No." - (2) inscrire les nom, prénom, profession, adresse du demandeur, lorsque celui-ci est un particulier ou les dénomination sociale, forme juridique, adresse du siège social, lorsque le demandeur est une personne morale - (3) inscrire les nom, prénom, adresse du mandataire agréé, conseil en propriété industrielle, muni d'un pouvoir spécial, s'il y a lieu: "représenté par agissant en qualité de mandataire" - (4) date de dépôt en toutes lettres - (5) titre de l'invention - (6) inscrire les noms, prénoms, adresses des inventeurs ou l'indication "(voir) désignation séparée (suivre)", lorsque la désignation se fait ou se fera dans un document séparé, ou encore l'indication "ne pas mentionner", lorsque l'inventeur signe ou signera un document de non-mention à joindre à une désignation séparée présente ou future - (7) brevet, certificat d'addition, modèle d'utilité, brevet européen (CBE), protection internationale (PCT) - (8) Etat dans lequel le premier dépôt a été effectué ou, le cas échéant, Etats désignés dans la demande européenne ou internationale prioritaire - (9) date du premier dépôt - (10) numéro du premier dépôt completé, le cas échéant, par l'indication de l'office receveur CBE/PCT - (11) nom du titulaire du premier dépôt - (12) adresse du domicile effectif ou élu au Grand-Duché de Luxembourg - (13) 2, 6, 12 ou 18 mois - (14) signature du demandeur ou du mandataire agréé

BEANSPRUCHUNG DER PRIORITÄT

der europäischen Patentanmeldung

In:

Vom: 08.08.1988 (nr. 88 112 907.6)

PATENTANMELDUNG

in

Luxemburg

Anmelder: SIEMENS AKTIENGESELLSCHAFT Berlin und München
8000 MÜNCHEN (Bundesrepublik Deutschland)

Betr.: "Breitbandsignal-Koppeleinrichtung"

1

Breitbandsignal-Koppeleinrichtung

5

10

15

Moderne Entwicklungen der Fernmeldetechnik führen zu dienstintegrierenden Nachrichtenübertragungs- u. -vermittlungssystemen für Schmalband- und Breitband-Kommunikationsdienste, die als Übertragungsmedium im Bereich der Teilnehmeranschlußleitungen Lichtwellenleiter vorsehen, über die sowohl die Schmalbandkommunikationsdienste, wie insbesondere 64-kbit/s-Digital-Telefonie, als auch Breitbandkommunikationsdienste, wie insbesondere 140-Mbit/s-Bildtelefonie, geführt werden, wobei in den Vermittlungsstellen auch (vorzugsweise gemeinsame Steuereinrichtungen aufweisende) Schmalbandsignal-Koppeleinrichtungen und Breitbandsignal-Koppeleinrichtungen nebeneinander vorgesehen sein können (DE-PS 24 21 002).

20

25

30

35

Eine (z.B. aus EP-A- 0 249 837) bekannte Breitbandsignal-Koppeleinrichtung weist eine Koppelpunktmatrix in FET-Technik auf, an deren Eingängen jeweils eine Eingangstreiberschaltung vorgesehen sein kann, deren Ausgänge jeweils mit einer Ausgangsverstärkerschaltung versehen sind, in der die Koppelpunkte mit im Durchschaltzustand jeweils einen gegenüber dem an einem Matrixeingang wirksamen Innenwiderstand großen Durchlass- bzw. Innenwiderstand aufweisenden Koppelementen gebildet sind und deren Ausgangsverstärkerschaltungen jeweils eine in die betreffende Ausgangsleitung eingefügte Kettenschaltung eines invertierenden C-MOS-Inverters und eines Haltespeichers, vorzugsweise eines D-Kippgliedes, und einen zwischen Inverterausgang und Invertereingang liegenden **Schalter** mit gegenüber dem Widerstand eines Koppelements kleinem Durchlaßwiderstand aufweisen, **dessen** Steuerelektrode - ggf. zusammen mit dem Takteingang des D-Kippgliedes - mit einem eine Bit-Durchschaltezeitspanne in eine Vorladephase und die eigentliche Durchschaltephase unterteilenden Vorladetakt beaufschlagt ist **und über den** in jeder Vorladephase die betreffende Matrixausgangs-

1 leitung zumindest angenähert auf ein der Schaltschwelle des CMOS-
Inverters entsprechendes Potential umgeladen wird, das etwa in
der Mitte zwischen den an den beiden Anschlüssen der Betriebs-
spannungsquelle herrschenden Potentialen liegt; hiervon ausgehend
5 wird in der nachfolgenden Durchschaltephase von der zugehörigen
Matrixeingangsleitung her über das jeweils durchgeschaltete Kop-
pelement die zum Eingang des Inverters führende Matrixausgangs-
leitung auf das dem damit durchgeschalteten Bit entsprechende
Potential in der einen oder in der anderen Richtung umgeladen.

10

Andere Breitbandsignal-Koppeleinrichtungen (s. z.B. EP-A-0262479)
weisen eine Koppelpunktmatrix in FET-Technik auf,
deren Eingänge jeweils mit einer Eingangstreiberschaltung ver-
sehen sein können,
15 deren Ausgänge jeweils mit einer Ausgangsverstärkerschaltung
versehen sein können und
deren jeweils von einer Halte-Speicherzelle gesteuerten Koppel-
elemente jeweils mit einer **Serienschaltung** eines an seiner
Steuerelektrode mit einem Durchschalte- bzw. Sperrsignal beauf-
schlagten Schalter-Transistors und eines mit seiner Steuer-
20 elektrode an die zugehörige Matrixeingangsleitung angeschlossenen
Eingangs-Transistors gebildet sind, die mit der der Serien-
schaltung abgewandten Hauptelektrode des einen Transistors an
die zugehörige Matrixausgangsleitung angeschlossen ist, wobei
25 die Matrixausgangsleitung mit dem einen Anschluß der Betriebs-
spannungsquelle über eine Vorladeschaltung verbunden ist, die
mit einem Entriegelungseingang an die Taktsignalleitung eines
die Vorladephase einer in eine solche Vorladephase und die übrige
Bit-Durchschaltezeitspanne unterteilten Bit-Durchschaltezeitspanne
30 definierenden Vorladetaktsignals angeschlossen ist, so daß die
Matrixausgangsleitung in jeder Vorladephase zumindest angenähert
auf das an dem einen Anschluss der Betriebsspannungsquelle herr-
schende Potential geladen wird; hiervon ausgehend wird in der
nachfolgenden Durchschaltephase je nach dem dem durchzuschaltenden
35 Bit entsprechenden, auf der betreffenden Matrixeingangsleitung
herrschenden Signalzustand die mit dieser Matrixeingangsleitung
über das betreffende Koppellement verbundene Matrixausgangs-

1 leitung entladen werden oder auf dem in der Vorladephase angenommenen Betriebspotential verbleiben.

5 Will man in einer Breitbandsignal-Koppeleinrichtung der zuletzt genannten Art eine Ausgangsverstärkerschaltung der zuvor genannten Art vorsehen, so bringt dies hinsichtlich der von deren Inverter zu treffenden Entscheidung, ob das durchgeschaltete Bit ein "0"-Bit oder ein "1"-Bit ist, eine Entscheidungsunsicherheit mit sich, die auf einer verbleibenden Differenz zwischen Vorladepotential
10 und Entscheidungsschwelle beruht.

Die Erfindung zeigt demgegenüber einen Weg zu einer erhöhten Entscheidungssicherheit.

Die Erfindung betrifft eine Breitbandsignal-Koppeleinrichtung
15 mit einer Koppelpunktmatrix in FET-Technik, an deren Eingängen jeweils eine Eingangstreiberschaltung vorgesehen sein kann und deren Ausgänge jeweils mit einer Ausgangsverstärkerschaltung versehen sind, die eine in die betreffende Ausgangsleitung eingefügte Kettenschaltung eines C-MOS-Inverters und eines Halte-
20 speichers (Latch) und einen den C-MOS-Inverter rückkoppelnden, vorladetaktgesteuerten **Schalter** aufweist, **dessen** Steuerelektrode mit einem eine Bit-Durchschaltezeitspanne in eine Vorladephase und die eigentliche Durchschaltephase unterteilenden Vorladetakt-signal beaufschlagt ist, **wobei** in jeder Vorladephase die betref-
25 fende Matrixausgangsleitung auf ein zwischen den beiden Betriebspotentialen liegendes Vorladepotential gelangt; diese Koppeleinrichtung ist erfindungsgemäß dadurch gekennzeichnet, daß dem den einen Inverterzweig bildenden Transistor die Serienschaltung eines mit seiner Steuerelektrode am Invertereingang liegenden
30 weiteren Transistors gleichen Kanaltyps und eines gegensinnig zum Schalter vorladetaktgesteuerten weiteren Schalters parallelgeschaltet ist.

Die Erfindung, derzufolge die nach der Vorladephase wirksame Ent-
35 scheidungsschwelle des Inverters im Vergleich zu der in der Vorladephase wirksamen Schaltschwelle nach Maßgabe der Bemessung der den einen Inverterzweig einschliessenden Parallelschaltung gegenläufig zum Vorladepotentialhub verlagert wird, bringt den Vorteil

1 mit sich, die durch die Inverter-Schaltswelle gegebene Entschei-
dungsschwelle derart bezüglich des Vorlade-
potential zu verlagern,
daß auch bei tendenzieller Übereinstimmung zwischen dem Vorlade-
potential und dem im Zuge der Signaldurchschaltung auf der Matrix-
5 ausgangsleitung gerade aufzubauenden Potential die Schaltswelle
des Inverters deutlich überschritten (bzw. unterschritten) wird.

Weitere Besonderheiten der Erfindung werden aus der nachfolgenden
näheren Erläuterung der Erfindung anhand der Zeichnung ersicht-
10 lich. Dabei zeigen

FIG 1 das Schema einer Breitband-Koppeleinrichtung und
FIG 2 bis FIG 6 Einzelheiten ihrer schaltungstechnischen Reali-
sierung gemäß der Erfindung;

FIG 7 verdeutlicht Signalzustände darin

15

In der Zeichnung FIG 1 ist schematisch in zum Verständnis der
Erfindung erforderlichem Umfang eine Breitbandsignal-Koppel-
einrichtung skizziert, an deren zu Spaltenleitungen $s_1 \dots s_j \dots s_n$
einer Koppelpunktmatrix führenden Eingängen $e_1 \dots e_j \dots e_n$ Eingangs-
20 treiberschaltungen $E_1 \dots E_j \dots E_n$ vorgesehen sind und deren von
Zeilenleitungen $z_1 \dots z_i \dots z_m$ der Koppelpunktmatrix erreichte Aus-
gänge $a_1 \dots a_i \dots a_m$ mit Ausgangsverstärkerschaltungen $A_1 \dots A_i \dots A_m$
versehen sind.

Die Koppelpunktmatrix weist Koppelpunkte $KP_{11} \dots KP_{ij} \dots KP_{mn}$ auf,
25 deren Koppелеlemente, wie dies beim Koppelpunkt KP_{ij} für dessen
Koppелеlement K_{ij} weiter ins Einzelne gehend angedeutet ist, je-
weils von einer koppelpunktindividuellen Halte-Speicherzelle H_{ij}
(beim Koppelpunkt KP_{ij}) gesteuert sein können, deren Ausgang s
zum Steuereingang des jeweiligen Koppелеlements (K_{ij} beim Koppel-
30 punkt KP_{ij}) führt.

Die Halte-Speicherzellen $\dots H_{ij} \dots$ werden gemäß FIG 1 durch zwei
Ansteuerdecoder, nämlich einen Zeilendecoder DX und einen Spalten-
decoder DY , über entsprechende Ansteuerleitungen $x_1 \dots x_i \dots x_m$;
35 $y_1 \dots y_j \dots y_n$ in zwei Koordinaten angesteuert.

1 Dazu mögen, wie dies aus FIG 1 ersichtlich ist, die beiden An-
steuerdecoder DX, DY von Eingangsregistern Reg X, Reg Y her
jeweils mit einer einer Matrixreihe (Zeile bzw. Spalte) von
Koppelpunkten gemeinsamen Koppelpunktzeilen- bzw. Koppelpunkt-
5 spalten-Adresse beaufschlagbar sein, auf die hin sie jeweils
an der der jeweiligen Koppelpunktzeilen-Adresse entsprechenden
Ansteuerleitung jeweils ein "1"-Ansteuersignal abgeben. Das
Zusammentreffen eines Zeilenansteuersignals "1" und eines Spalten-
ansteuersignals "1" am Kreuzungspunkt der betreffenden Matrix-
10 zeile mit der betreffenden Matrixspalte beim Aufbau einer ent-
sprechenden Verbindung bewirkt dann eine Aktivierung der dort
befindlichen Halte-Speicherzelle, beispielsweise der Speicher-
zelle Hij, mit der Folge, daß das von der betreffenden Halte-
Speicherzelle (Hij) gesteuerte Koppелеlement, im Beispiel das
15 Koppелеlement Kij, leitend wird.

Damit das im Beispiel betrachtete Koppелеlement Kij bei einem
Abbau der betreffenden Verbindung wieder gesperrt wird, wird
wiederum der Ansteuerdecoder DX vom Eingangsregister Reg X
20 mit der betreffenden Zeilenadresse beaufschlagt, so daß der
Zeilendecoder DX wiederum auf seiner Ausgangsleitung xi ein
Zeilenansteuersignal "1" abgibt, und zugleich wird der Spalten-
decoder DY von seinem Eingangsregister Reg Y her beispielsweise
mit einer Leeradresse oder mit der Adresse einer Spalte von
25 unbeschalteten Koppelpunkten beaufschlagt, so daß er auf seiner
Ausgangsleitung yj ein Spaltenansteuersignal "0" abgibt; das Zu-
sammentreffen von Zeilenansteuersignal "1" und Spaltenansteuersi-
gnal "0" bewirkt dann die Rücksetzung der Halte-Speicherzelle Hij
mit der Folge, daß das von ihr gesteuerte Koppелеlement Kij
30 gesperrt wird.

Die Halte-Speicherzellen ...Hij... können in an sich bekannter
Weise ausgebildet sein; so können die Halte-Speicherzellen bei-
spielsweise, wie dies z.B. aus EP-A-0 238 834 bekannt und auch in
35 FIG 5 und FIG 6 skizziert ist, mit einem n-Kanal-Transistor Tnh
und zwei kreuzgekoppelten Inverterschaltungen (C-MOS-Inverter-
schaltungen Tp', Tn'; Tp'', Tn'' in FIG 5, n-MOS-Inverterschaltungen

1 Tn1', Tn1"; Tn1", Tn1" in FIG 6) gebildet sein, wobei eine Inverter-
schaltung eingangsseitig mit dem zugehörigen Decoderausgang yj
des einen Ansteuerdecoders über den n-Kanal-Transistor Tnh ver-
bunden ist, der seinerseits an seiner Steuerelektrode mit dem
5 Ausgangssignal des zugehörigen Decoderausgangs xi des anderen
Ansteuerdecoders beaufschlagt ist, und wobei eine Inverterschalt-
ung ausgangsseitig zum Steuereingang s des zugehörigen Koppel-
elements führt.

10 Wie die Koppellemente ...Kij... schaltungstechnisch realisiert
sein können, wird in FIG 2, FIG 3 und FIG 4 verdeutlicht: Die
Koppellemente ...Kij... sind jeweils mit einer **Serienschaltung**
eines an seiner Steuerelektrode von der Halte-Speicherzelle her
mit einem Durchschalte- bzw. Sperrsignal beaufschlagten Schalter-
15 Transistors Tk und eines mit seiner Steuerelektrode an die zuge-
hörige Matrixeingangsleitung sj angeschlossenen Eingangs-Tran-
sistors Te gebildet, die mit der der Serienschaltung abgewandten
Hauptelektrode des einen Transistors Tk (in FIG 3 und FIG 4)
oder Te (in FIG 2) an die zugehörige Matrixausgangsleitung zi an-
20 geschlossen ist; die der Serienschaltung abgewandte Hauptelektrode
des anderen Transistors Te (in FIG 3 und FIG 4) bzw. Tk (in FIG
2) ist kontinuierlich mit einem Anschluß U_{SS}, Masse (in FIG 3
und FIG 4) bzw. U_{DD} (in FIG 2) der (z.B. 5-V-)Betriebsspannungs-
quelle verbunden, wozu bei unmittelbarer Verbindung gemäß FIG 2
25 und FIG 3 der entsprechende Betriebspotentialanschluß (U_{SS}, Masse
bzw. U_{DD} in FIG 5 und FIG 6) der koppelpunktindividuellen Halte-
Speicherzelle H_{ij} (in FIG 1, FIG 5 und FIG 6) genutzt werden kann,
so daß die ohnehin erforderliche Betriebsspannungsversorgung der
koppelpunktindividuellen Halte-Speicherzelle für die Speisung des
30 von dieser Halte-Speicherzelle gesteuerten Koppellements mit-
ausgenutzt wird. Im Ausführungsbeispiel gemäß FIG 4 ist die der
Serienschaltung abgewandte Hauptelektrode des anderen Transistors
(Te) über einen an seiner Steuerelektrode mit dem Ausgang ai einer
matrixausgangsleitungs-individuellen Ausgangsverstärkerschaltung
35 Ai verbundenen matrixausgangsleitungs-individuellen Transistor Tai
mit dem betreffenden Anschluß U_{SS} der Betriebsspannungsquelle ver-

1 bunden. Hierbei wird bei einer entsprechenden Signalzustands-
änderung am Ausgang a_i der Ausgangsverstärkerschaltung A_i der
matrixausgangsleitungs-individuelle Transistor T_{ai} gesperrt, so
daß eine weitere Umladung der Ausgangsleitung vermieden wird und
5 der Signalhub somit begrenzt wird.

Wie dies aus FIG 2 ersichtlich ist, kann die Transistor-Serien-
schaltung T_k - T_e jedes Koppellements K_{ij} mit ihrem Eingangs-
Transistor T_e an der Matrixausgangsleitung z_i liegen. Dabei ist
10 der Eingangs-Transistor T_e , von der Matrixausgangsleitung z_i her
gesehen, gewissermaßen transparent, so daß Signalzustandsände-
rungen auf der Matrixeingangsleitung s_j über die Kanalkapazität
des Eingangs-Transistors T_e auch bei gesperrtem Koppelpunkt K_{ij}
auf die Matrixausgangsleitung z_i durchgreifen. Dieser Durchgriff
15 kann vermieden werden, wenn in der Transistor-Serienschaltung
 T_k - T_e jedes Koppellements K_{ij} die Reihenfolge von Eingangs-
Transistor T_e und Schalter-Transistor T_k vertauscht ist: Wie
dies auch aus FIG 3 und FIG 4 ersichtlich ist, liegt dann die
Transistor-Serienschaltung T_k - T_e jedes Koppellements K_{ij} mit
20 ihrem Schalter-Transistor T_k an der Matrixausgangsleitung z_i .

Die zwischen einer Matrixausgangsleitung z_i (in FIG 1 bis FIG 4)
und dem nachfolgenden Ausgang a_i (in FIG 1 bis FIG 4) der Koppel-
einrichtung vorgesehene Ausgangsverstärkerschaltung A_i (in FIG 1
25 bis FIG 4) weist nun, wie dies auch FIG 2 bis FIG 4 verdeutlichen,
eine in die Ausgangsleitung z_i - a_i eingefügte Kettenschaltung eines
mit zwei MOS-Transistoren T_p , T_n gebildeten C-MOS-Inverters J
und eines Haltespeichers Latch sowie einen zwischen Inverter-
ausgang und Invertereingang liegenden und damit den C-MOS-Inver-
30 ter J rückkoppelnden, vorladetaktgesteuerten Schalter S auf. Der
Schalter S kann, wie dies auch zeichnerisch dargestellt ist, als
mit einem Feldeffekttransistor gebildetes Transfer-Gate ausge-
bildet sein; alternativ dazu ist es aber auch möglich, den
Schalter als Transmission-Gate auszuführen. Die Steuerelektrode
35 des Schalters S ist mit einem eine Bit-Durchschaltezeitspanne in

1 eine Vorladephase pv (in FIG 7 unten) und die eigentliche Durch-
schaltphase (ph in FIG 7 unten) unterteilenden Vorladetakt-
signal T_{PC} - ein geeignetes Vorladetakt-signal ist in FIG 7 in
Zeile T_{PC} dargestellt - beaufschlagt, so daß der C-MOS-Inverter J
5 jeweils während der Vorladephase pv in sich rückgekoppelt ist.
Dabei gelangt die zum Invertereingang führende Matrixausgangs-
leitung zi zumindest angenähert auf ein der Schaltschwelle des
Inverters J entsprechendes Potential von beispielsweise 2,5 V.

10 In der darauffolgenden Hauptphase ph (siehe FIG 7, unten), wird
im Beispiel durch ein "LOW"-Vorladetakt-signal T_{PC} (siehe FIG 7,
Zeile T_{PC}) der Rückkopplungsschalter S (in FIG 2 bis FIG 4)
gesperrt. Ist nun in einem Koppellement Kij dessen vorzugsweise
durch einen n-Kanal-Transistor gegebener Schalt-Transistor Tk
15 (in FIG 2 bis FIG 4) aufgrund eines am Steuereingang s anliegenden
(im Beispiel "HIGH"-)Durchschaltesignals (siehe FIG 7, Zeile s)
leitend und befindet sich damit der Koppelpunkt im Durchschalte-
zustand, so wird jetzt je nach dem dem durchzuschaltenden Bit
entsprechenden, auf der betreffenden Matrixeingangsleitung (Spal-
20 tenleitung) ...sj... herrschenden Signalzustand die mit dieser
Matrixeingangsleitung (Spaltenleitung) ... sj... Über das betref-
fende Koppellement Kij verbundene Matrixausgangsleitung (Zeilen-
leitung) zi entladen werden oder auf dem in der Vorladephase pv
angenommenen Vorladepotential verbleiben:

25

Herrscht auf der betreffenden Matrixeingangsleitung (Spalten-
leitung) sj der "HIGH"-Signalzustand, wie dies in FIG 7, Zeile
sj, mit einer durchgezogenen Linie angedeutet ist, und ist dem-
entsprechend der Eingangs-Transistor Te (in FIG 2 bis FIG 4)
30 des betrachteten Koppellements Kij ebenso wie der Schalter-
Transistor Tk leitend, so wird die Matrixausgangsleitung (Zeilen-
leitung) zi über dieses Koppellement Kij in Richtung auf das
entsprechende Betriebspotential (U_{DD} im Ausführungsbeispiel
gemäß FIG 2; U_{SS} in den Ausführungsbeispielen gemäß FIG 3 und
35 FIG 4) hin entladen werden, so daß sie auf ein Potential von
beispielsweise 2 V gelangt. Dies hat am Inverterausgang einen
eindeutigen Übergang in den HIGH-Signalzustand zur Folge, der

1 dann am Ende der Durchschaltephase vom nachfolgenden Haltespeicher (Latch) übernommen wird und damit am zugehörigen Ausgang ai der Koppereinrichtung gegeben ist.

5 Herrscht dagegen auf der gerade betrachteten Matrixeingangsleitung (Spaltenleitung) sj der "LOW"-Signalzustand, wie dies in FIG 7, Zeile sj, mit einer gestrichelten Linie angedeutet ist, und ist dementsprechend der (n-Kanal-)Eingangs-Transistor Te (in FIG 2 bis FIG 4) des betreffenden Koppелеlements Kij gesperrt, so wird die betreffende Matrixausgangsleitung (Zeilenleitung) zi über dieses Koppелеlement Kij nicht entladen, sondern behält unter der Voraussetzung, daß kein anderer zu dieser Matrixausgangsleitung (Zeilenleitung) zi führender Koppelpunkt sich im Durchschaltzustand befindet, den Vorlade-Potentialzustand im wesentlichen bei, wobei an sich der verbleibende Abstand von Vorladedepotential und Schaltschwelle den Inverter J an einer richtigen Entscheidung über den einzunehmenden Betriebszustand hindern würde. Um dem zu begegnen, ist dem den einen Inverterzweig bildenden Transistor Tn die Serienschaltung eines mit seiner Steuerelektrode am Invertereingang zi liegenden weiteren Transistors Tw gleichen Kanaltyps und eines gegensinnig zum Schalter S vorladetaktgesteuerten weiteren Schalters Sw parallelgeschaltet.

Der weitere Schalter kann, wie dies auch zeichnerisch dargestellt ist, als mit einem Feldeffekttransistor gebildetes Transfer-Gate ausgebildet sein; alternativ ist es aber auch möglich, den weiteren Schalter als Transmission-Glied auszubilden. Wie dies aus FIG 2 bis FIG 4 ersichtlich wird, kann der weitere Schalter Sw an seiner Steuerelektrode mit dem in einem NICHT-Glied invertierten Vorladetaktsignal beaufschlagt sein.

30 Nach der Vorladephase pv (in FIG 7 unten), d.h. in der Durchschaltephase (ph in FIG 7), wird dann der eine Inverterzweig durch die Parallelschaltung zweier Transistoren gebildet und weist damit einen niedrigeren Widerstand auf als der nach wie vor mit nur einem Transistor gebildete andere Inverterzweig mit der Folge, daß die Schaltschwelle des Inverters J in der Durchschaltephase (Entscheidungsphase) von ihrer in der Vorladephase (im Beispiel bei einem Potential von 2,5 V) gegebenen Position weg in Richtung

1 auf den komplementären Durchschaltesignalzustand hin verlagert
wird, beispielsweise auf ein Potential von 2,2 V. Dies hat auch
dann, wenn nach Maßgabe eines damit gerade durchgeschalteten Bits
keine (weitere) Aufladung der Matrixausgangsleitung z_i bewirkt
5 wird, mit entsprechender Sicherheit den zugehörigen LOW-Signal-
zustand am Inverterausgang zur Folge, der dann am Ende der Durch-
schaltephase vom nachfolgenden Haltespeicher (Latch) übernommen
wird und damit am zugehörigen Ausgang a_i der Koppeleinrichtung
gegeben ist.

10

Die Differenz zwischen der in der Vorladephase p_v wirksamen Schalt-
schwelle und der in der Entscheidungsphase wirksamen Schaltschwelle
und damit der für eine ausreichende Entscheidungssicherheit er-
forderliche Signalhub auf der Matrixausgangsleitung z_i können durch
15 entsprechende Dimensionierung der Inverter-Transistoren T_p , T_n und
des weiteren Transistors T_w einschließlich des weiteren Schalters
 S_w eingestellt werden.

20

25

30

35

1 Patentansprüche

1. Breitbandsignal-Koppeleinrichtung mit einer Koppelpunktmatrix
in FET-Technik, an deren Eingängen (e_j - s_j) jeweils eine Eingangs-
5 treiberschaltung (E_j) vorgesehen sein kann und deren Ausgänge
(z_i - a_i) jeweils mit einer Ausgangsverstärkerschaltung (A_i) ver-
sehen sind, die eine in die betreffende Ausgangsleitung (z_i - a_i)
eingefügte Kettenschaltung eines C-MOS-Inverters (J) und eines
Haltespeichers (Latch) und einen den C-MOS-Inverter (J) rückkop-
10 pelnden, vorladetaktgesteuerten **Schalter** (S) aufweist,
dessen Steuerelektrode mit einem eine Bit-Durchschaltezeitspanne
in eine Vorladephase (p_v) und die eigentliche Durchschaltephase
(p_h) unterteilenden Vorladetaktsignal (T_{PC}) beaufschlagt ist,
wobei in jeder Vorladephase (p_v) die betreffende Matrixausgangs-
15 leitung (z_i) auf ein zwischen den beiden Betriebspotentialen (U_{DD} ,
 U_{SS}) liegendes Vorladepotential gelangt,
d a d u r c h g e k e n n z e i c h n e t,
daß dem den einen Inverterzweig bildenden Transistor (T_n) die
Serienschaltung eines mit seiner Steuerelektrode am Inverter-
20 eingang liegenden weiteren Transistors (T_w) gleichen Kanaltyps
und eines gegensinnig zum Schalter (S) vorladetaktgesteuerten
weiteren Schalters (S_w) parallelgeschaltet ist.

2. Breitbandsignal-Koppeleinrichtung nach Anspruch 1,
25 d a d u r c h g e k e n n z e i c h n e t,
daß die Schalter (S , S_w) als Transfer-Gates ausgebildet sind.

3. Breitbandsignal-Koppeleinrichtung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t,
30 daß die Schalter als Transmission-Gates ausgebildet sind.

FIG 1

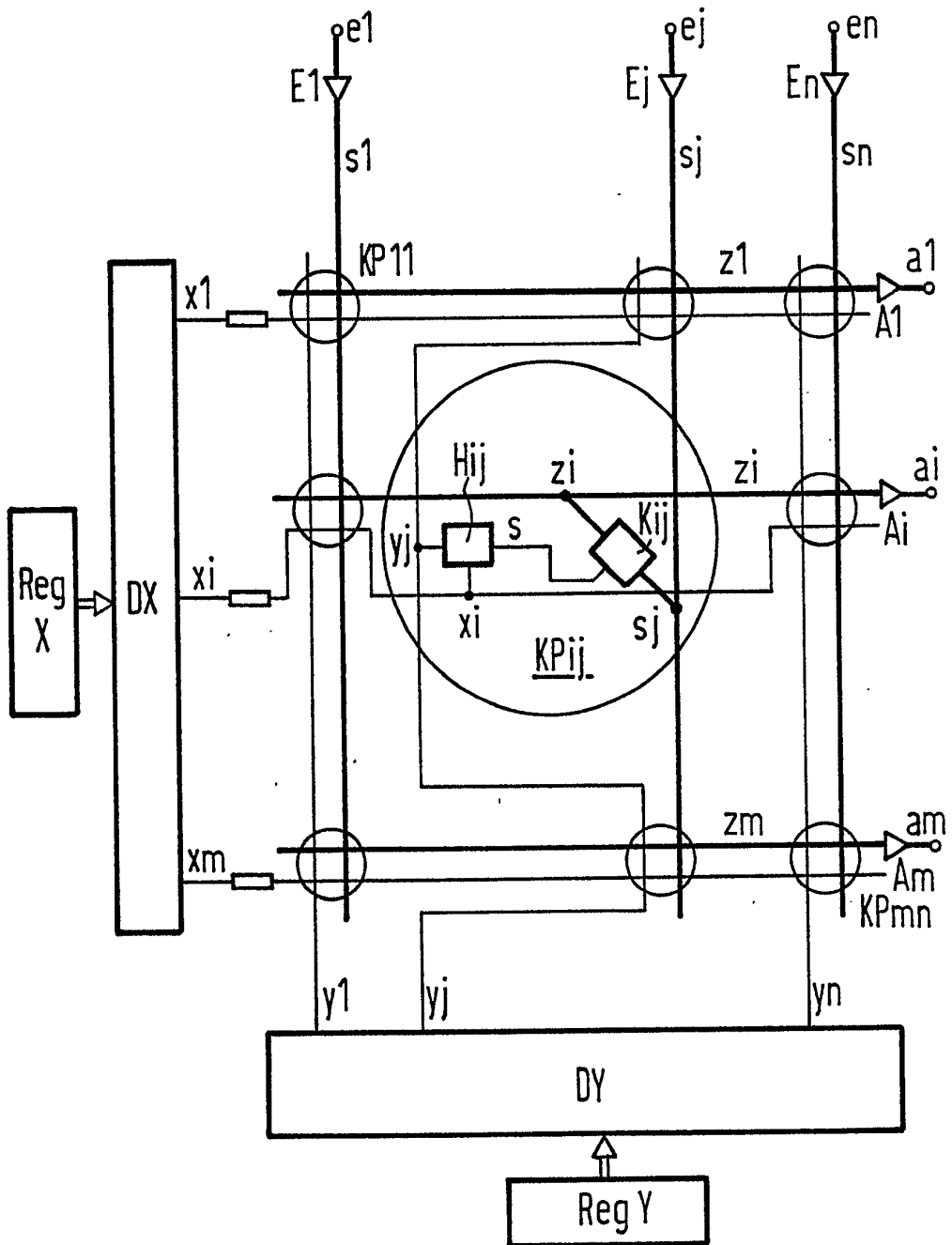


FIG 2

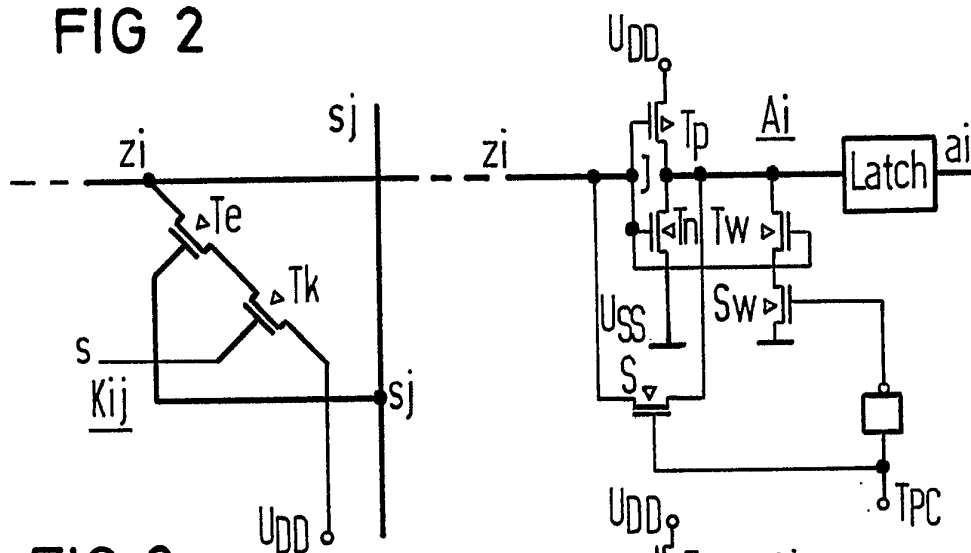


FIG 3

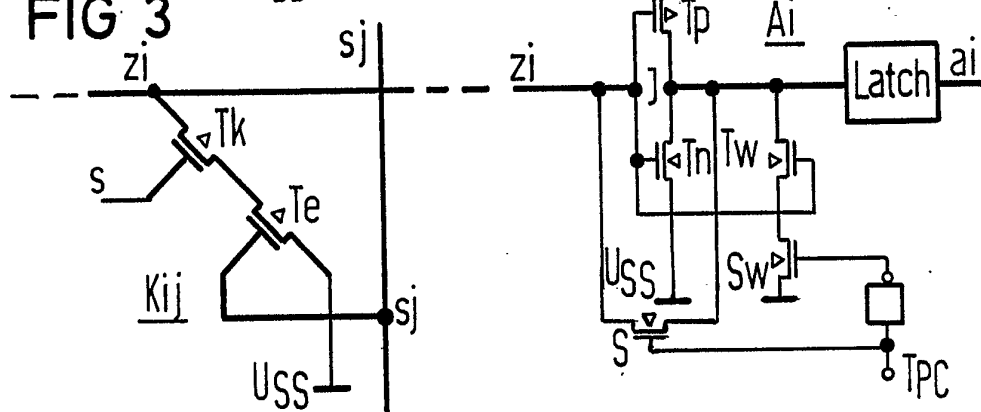


FIG 4

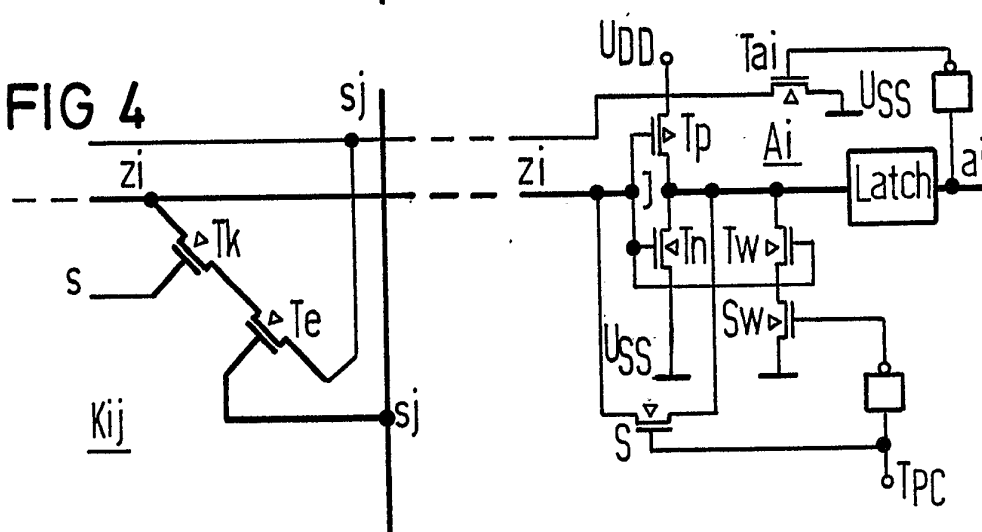


FIG 5

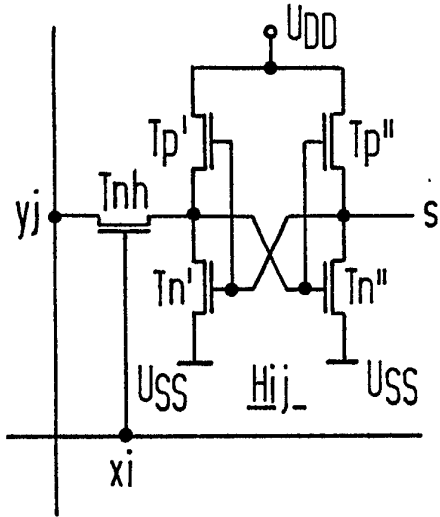


FIG 6

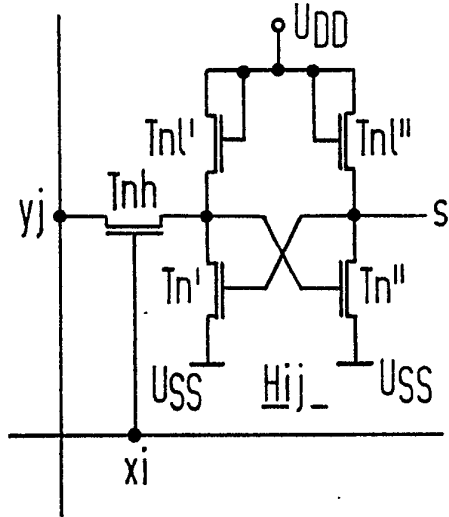


FIG 7

