

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5960362号
(P5960362)

(45) 発行日 平成28年8月2日(2016.8.2)

(24) 登録日 平成28年7月1日(2016.7.1)

| | |
|------------------------|--------------------|
| (51) Int.Cl. | F 1 |
| HO3K 3/017 (2006.01) | HO3K 3/017 |
| HO3K 5/04 (2006.01) | HO3K 5/04 |
| HO3K 19/0175 (2006.01) | HO3K 19/00 1 O 1 F |

請求項の数 25 (全 34 頁)

| | |
|---------------|-------------------------------|
| (21) 出願番号 | 特願2015-529866 (P2015-529866) |
| (86) (22) 出願日 | 平成25年8月21日 (2013.8.21) |
| (65) 公表番号 | 特表2015-530820 (P2015-530820A) |
| (43) 公表日 | 平成27年10月15日 (2015.10.15) |
| (86) 國際出願番号 | PCT/US2013/056050 |
| (87) 國際公開番号 | W02014/035771 |
| (87) 國際公開日 | 平成26年3月6日 (2014.3.6) |
| 審査請求日 | 平成27年10月16日 (2015.10.16) |
| (31) 優先権主張番号 | 13/598,513 |
| (32) 優先日 | 平成24年8月29日 (2012.8.29) |
| (33) 優先権主張国 | 米国(US) |

早期審査対象出願

| | |
|-----------|--|
| (73) 特許権者 | 595020643 クアアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775 |
| (74) 代理人 | 100108855 弁理士 蔵田 昌俊 |
| (74) 代理人 | 100109830 弁理士 福原 淑弘 |
| (74) 代理人 | 100158805 弁理士 井関 守三 |
| (74) 代理人 | 100194814 弁理士 奥村 元宏 |

最終頁に続く

(54) 【発明の名称】クロック信号を調整するシステムおよび方法

(57) 【特許請求の範囲】

【請求項1】

プログラマブルバッファにおいて入力クロック信号を受信することと、電圧レベルを有するフィルタされた信号を生成するために前記プログラマブルバッファからの出力信号をフィルタすることと、前記電圧レベルが前記出力信号のデューティサイクルを示す、

比較信号を生成するために前記フィルタされた信号の前記電圧レベルを基準電圧と比較することと、

較正有限状態機械におけるイネーブル信号の値に応答して、前記比較信号に基づいて、および前記プログラマブルバッファに提供された少なくとも1つの較正デジタルコードに基づいて、前記較正有限状態機械における第1のデジタルコードを生成することと、ここでにおいて、前記イネーブル信号は、前記入力クロック信号に同期して発生される、と、

ノードの充電速度を変えて前記プログラマブルバッファの前記出力信号の前記デューティサイクルを調整するために、前記入力クロック信号の論理レベルに基づいて、および前記較正有限状態機械からの前記第1のデジタルコードに基づいて、前記プログラマブルバッファのデジタル論理の第1のセットを選択的にアクティブにし、それにより前記出力信号の前記デューティサイクルを調整することと、

を備える、方法。

【請求項2】

前記イネーブル信号の前記値に応答して、前記比較信号に基づいて、および前記プログラマブルバッファに提供された前記少なくとも1つの較正デジタルコードに基づいて、前

記較正有限状態機械における第 2 のデジタルコードを生成することと、

前記ノードの放電速度を変えて前記プログラマブルバッファの前記出力信号の前記デューティサイクルを調整するために、前記入力クロック信号の前記論理レベルに基づいて、および前記較正有限状態機械からの前記第 2 のデジタルコードに基づいて、前記プログラマブルバッファのデジタル論理の第 2 のセットを選択的にアクティブにすることと、さらに備える、請求項 1 に記載の方法。

【請求項 3】

較正有限状態機械から 1 つまたは複数の追加のプログラマブルバッファに前記第 1 のデジタルコードと前記第 2 のデジタルコードを送ることをさらに備え、ここにおいて、前記 1 つまたは複数の追加のプログラマブルバッファの各々が出力クロック信号を生成する、請求項 2 に記載の方法。

10

【請求項 4】

デジタル論理の前記第 1 のセットを選択的にアクティブにすることが、前記ノードと電源との間に並列接続されている複数の p 形金属酸化物半導体 (PMOS) トランジスタのうちの少なくとも 1 つの PMOS トランジスタを選択的にアクティブにすることを含み、ここにおいて、前記出力信号の論理レベルが、前記ノードの充電に基づいて前記ノードにおいて生成され、ここにおいて、前記少なくとも 1 つの PMOS トランジスタを選択的にアクティブにすることが、前記第 1 のデジタルコードに基づく、請求項 1 に記載の方法。

【請求項 5】

デジタル論理の第 2 のセットを選択的にアクティブにすることが、前記ノードと接地ノードとの間に並列接続されている複数の n 形金属酸化物半導体 (NMOS) トランジスタのうちの少なくとも 1 つの NMOS トランジスタを選択的にアクティブにすることを含み、ここにおいて、前記少なくとも 1 つの NMOS トランジスタが、前記 NMOS トランジスタに接続されている否定 OR (NOR) デジタル論理ゲートによって選択的にアクティブにされる、請求項 1 に記載の方法。

20

【請求項 6】

前記出力信号が出力クロック信号である、請求項 1 に記載の方法。

【請求項 7】

前記出力信号が 50 パーセントのデューティサイクルを有する、請求項 1 に記載の方法。

30

【請求項 8】

前記入力クロック信号のデューティサイクルが 50 パーセントでない、請求項 7 に記載の方法。

【請求項 9】

前記基準電圧が、50 パーセントデューティサイクルを示す直流 (DC) 電圧レベルに対応する、請求項 1 に記載の方法。

【請求項 10】

前記フィルタされた信号の前記電圧レベルが前記出力信号の DC 電圧レベルに対応する、請求項 9 に記載の方法。

【請求項 11】

フィルタされた信号の電圧レベルと基準電圧とに基づいて比較信号を生成するように構成された比較器と、

40

較正有限状態機械であって、イネーブル信号の値に応答して、前記比較信号に基づいて、および前記較正有限状態機械の少なくとも 1 つの較正デジタルコードに基づいて、第 1 のデジタルコードを生成するように構成された較正有限状態機械と、

受信された入力クロック信号に基づいて出力信号を生成するように構成されたプログラマブルバッファと、ここにおいて、前記イネーブル信号は、前記入力クロック信号に同期して発生され、前記プログラマブルバッファが、ノードの充電速度を変えて前記プログラマブルバッファの前記出力信号のデューティサイクルを調整するために、前記入力クロック信号の論理レベルに基づいて、および前記較正有限状態機械からの前記第 1 のデジタル

50

コードに基づいて、前記プログラマブルバッファのデジタル論理の第1のセットを選択的にアクティブにし、それにより前記出力信号の前記デューティサイクルを調整するように構成されている、
を備える装置。

【請求項12】

前記較正有限状態機械が前記比較信号に基づいて、および前記少なくとも1つの較正デジタルコードに基づいて第2のデジタルコードを生成し、ここにおいて、前記プログラマブルバッファが、前記ノードの放電速度を変えて前記プログラマブルバッファの前記出力信号の前記デューティサイクルを調整するために、前記入力クロックの前記論理レベルに基づいて、および前記較正有限状態機械からの前記第2のデジタルコードに基づいて、前記プログラマブルバッファのデジタル論理の第2のセットを選択的にアクティブにするように構成されている、請求項11に記載の装置。 10

【請求項13】

前記プログラマブルバッファに前記第1のデジタルコードを提供するように構成された第1のマルチプレクサと、
前記プログラマブルバッファに前記第2のデジタルコードを提供するように構成された第2のマルチプレクサと、
をさらに備える、請求項12に記載の装置。

【請求項14】

前記出力信号をフィルタすることによって前記フィルタされた信号を生成するように構成されたローパスフィルタ回路をさらに備え、ここにおいて、前記フィルタされた信号が、前記出力信号の前記デューティサイクルを示す電圧レベルを有する、請求項11に記載の装置。 20

【請求項15】

少なくとも1つの半導体ダイ中に統合される、請求項11に記載の装置。

【請求項16】

前記プログラマブルバッファがその中に統合される、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末(PDA)、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、請求項11に記載の装置。 30

【請求項17】

電圧レベルを有するフィルタされた信号を生成するためにプログラマブルバッファの出力信号をフィルタするための手段と、前記電圧レベルが出力信号のデューティサイクルを示す、

比較信号を生成するために前記フィルタされた信号の前記電圧レベルを基準電圧と比較するための手段と、

イネーブル信号の値に応答して第1のデジタルコードを生成するための手段と、ここにおいて、前記第1のデジタルコードが前記比較信号と前記プログラマブルバッファに提供された少なくとも1つの較正デジタルコードとに基づいて生成される。 40

ノードの充電速度を変えるために、入力クロック信号の論理レベルに基づいて、および前記第1のデジタルコードに基づいて、前記プログラマブルバッファのデジタル論理の第1のセットを選択的にアクティブにし、それにより前記出力信号の前記デューティサイクルを調整するための手段と、ここにおいて、前記イネーブル信号は、前記入力クロック信号に同期して発生される、と、

を備える、装置。

【請求項18】

前記イネーブル信号の前記値に応答して第2のデジタルコードを生成するための手段と、ここにおいて、前記第2のデジタルコードが、前記比較信号と前記プログラマブルバッファに提供された前記少なくとも1つの較正デジタルコードとに基づいて生成される。 50

前記ノードの充電速度を変えるために、前記入力クロック信号の前記論理レベルと前記第2のデジタルコードとに基づいて前記プログラマブルバッファのデジタル論理の第2のセットを選択的にアクティブにするための手段と、
をさらに備える、請求項17に記載の装置。

【請求項19】

デジタル論理の前記第1のセットを選択的にアクティブにするための前記手段が、1つまたは複数のプログラマブルバッファに前記第1のデジタルコードを送るための手段を含み、ここにおいて、デジタル論理の前記第2のセットを選択的にアクティブにするための前記手段が、前記1つまたは複数のプログラマブルバッファに前記第2のデジタルコードを送るための手段を含み、ここにおいて、前記1つまたは複数のプログラマブルバッファの各々が、出力クロック信号を生成する、請求項18に記載の装置。 10

【請求項20】

デジタル論理の前記第1のセットを選択的にアクティブにするための前記手段が、前記第1のデジタルコードまたは前記第2のデジタルコードに基づいて、前記ノードと電源との間に並列接続されている複数のp形金属酸化物半導体(PMOS)トランジスタのうちの少なくとも1つのPMOSトランジスタを選択的にアクティブにするための、前記ノードと接地との間に並列接続されている複数のn形金属酸化物半導体(NMOS)トランジスタのうちの少なくとも1つのNMOSトランジスタを選択的にアクティブにするための手段、またはそれらの任意の組合せ、を備え、ここにおいて、前記ノードに結合されている前記複数のPMOSトランジスタの各々と、前記ノードに結合されている前記複数のNMOSトランジスタの各々が、前記第1のデジタルコードまたは前記第2のデジタルコードによって独立して制御される、請求項18に記載の装置。 20

【請求項21】

プロセッサによって実行されたとき、前記プロセッサに、
較正有限状態機械におけるイネーブル信号の値に応答して、比較信号に基づいて、およびプログラマブルバッファに提供された少なくとも1つの較正デジタルコードに基づいて、前記較正有限状態機械における第1のデジタルコードを生成することと、

プログラマブルバッファに前記第1のデジタルコードを出力することと、ここにおいて、前記イネーブル信号は、入力クロック信号に同期して発生され、前記プログラマブルバッファが、ノードの充電速度を変えて前記プログラマブルバッファの出力信号のデューティサイクルを調整するために、入力クロック信号の論理レベルと前記第1のデジタルコードとに基づいてデジタル論理の第1のセットを選択的にアクティブにし、それにより前記出力信号の前記デューティサイクルを調整するように構成されている、 30

を行わせる命令を備える、非一時的コンピュータ可読媒体。

【請求項22】

前記命令が、前記プロセッサによって実行されたとき、前記プロセッサに、前記イネーブル信号に応答して、前記比較信号と前記少なくとも1つの較正デジタルコードとに基づいて、前記較正有限状態機械における第2のデジタルコードを生成すること、ここにおいて、前記プログラマブルバッファが、前記ノードの放電速度を変えるために、前記入力クロックの前記論理レベルと前記較正有限状態機械からの前記第2のデジタルコードとに基づいて前記プログラマブルバッファのデジタル論理の第2のセットを選択的にアクティブにするように構成されている、をさらに行わせる、請求項21に記載の非一時的コンピュータ可読媒体。 40

【請求項23】

前記命令が、前記プロセッサによって実行されたとき、前記プロセッサに、1つまたは複数の追加のプログラマブルバッファに前記第1のデジタルコードと前記第2のデジタルコードを送ること、ここにおいて、前記1つまたは複数の追加のプログラマブルバッファの各々が出力クロック信号を生成する、をさらに行わせる、請求項22に記載の非一時的コンピュータ可読媒体。

【請求項24】

10

20

30

40

50

プログラマブルバッファにおいて入力クロック信号を受信するためのステップと、ここにおいて、前記プログラマブルバッファが、第1のデジタルコードに基づいて前記プログラマブルバッファのノードを選択的に充電し、第2のデジタルコードに基づいて前記ノードを選択的に放電するように構成されている、

電圧レベルを有するフィルタされた信号を生成するために前記プログラマブルバッファからの出力信号をフィルタするためのステップと、前記電圧レベルが前記出力信号のデューティサイクルを示す、

比較信号を生成するために前記フィルタされた信号の前記電圧レベルを基準電圧と比較するためのステップと、

イネーブル信号の値に応答して、前記比較信号と前記プログラマブルバッファに提供された少なくとも1つの較正デジタルコードとに基づいて、第1のデジタルコードを生成するためのステップと、ここにおいて、前記イネーブル信号は、前記入力クロック信号に同期して発生される、と、 10

前記イネーブル信号に応答して、前記比較信号と前記プログラマブルバッファに提供された前記少なくとも1つの較正デジタルコードとに基づいて、第1のデジタルコードおよび第2のデジタルコードを生成するためのステップと、

前記ノードの充電速度を変えるために、前記入力クロック信号の論理レベルと前記第1のデジタルコードとに基づいて前記プログラマブルバッファのデジタル論理の第1のセットを選択的にアクティブにすることによって、前記プログラマブルバッファの前記出力信号のデューティサイクルを調整するためのステップと、 20

前記ノードの放電速度を変えるために前記入力クロック信号の前記論理レベルと前記第2のデジタルコードとに基づいて前記プログラマブルバッファのデジタル論理の第2のセットを選択的にアクティブにすることによって、前記プログラマブルバッファの前記出力信号の前記デューティサイクルを調整するためのステップと、

を備える、方法。

【請求項25】

1つまたは複数の追加のプログラマブルバッファに前記第1のデジタルコードおよび前記第2のデジタルコードを送るためのステップをさらに備え、ここにおいて、前記1つまたは複数の追加のプログラマブルバッファの各々が出力クロック信号を生成する、請求項24に記載の方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

[0001] 本開示は、一般にクロック信号を調整することに関する。

【背景技術】

【0002】

[0002] 技術の進歩により、コンピューティングデバイスは、より小型でより強力になった。たとえば、現在、小型で軽量な、ユーザが容易に持ち運べるポータブルワイヤレス電話、携帯情報端末(PDA)、およびペーディングデバイスなどのワイヤレスコンピューティングデバイスを含む様々なポータブルパーソナルコンピューティングデバイスが存在する。より具体的には、セルラー電話およびインターネットプロトコル(IP)電話などのポータブルワイヤレス電話は、ワイヤレスネットワークを介して音声およびデータパケットを通信することができる。さらに、多くのそのようなワイヤレス電話は、その中に組み込まれた他のタイプのデバイスを含む。たとえば、ワイヤレス電話は、デジタルスチルカメラ、デジタルビデオカメラ、デジタルレコーダ、およびオーディオファイルプレーヤーをも含むことができる。また、そのようなワイヤレス電話は、インターネットにアクセスするために使用され得る、ウェブブラウザアプリケーションなど、ソフトウェアアプリケーションを含む、実行可能な命令を処理することができる。したがって、これらのワイヤレス電話はかなりの計算能力を含むことができる。 40

【0003】

50

[0003] ワイヤレス電話および他の電子デバイス内の回路は複数のデータレーン高速インターフェースを含み得る。複数のデータレーン高速インターフェースは、異なるクロック位相をもつクロック信号の生成および分配を必要とし得る。適用例は、複数の電圧制御発振器（VCO）と複数のクロック分配とを生じ得るクロック信号の多くの異なる位相変動を必要とし得る。さらに、複数のクロック分配の使用は、ひずませられ得る独立したデューティサイクルをもつクロック信号をもたらし得る。デューティサイクルひずみは、高速インターフェースにおいてクロックとデータレーンとの間に不要なスキューを引き起こし、その結果、高速インターフェースにおいて帯域幅が低減され、性能が低下することがある。

【発明の概要】

10

【0004】

[0004] クロック信号のデューティサイクルおよび／または位相を調整するためのシステムおよび方法が開示される。プログラマブル回路（たとえば、プログラマブルバッファまたはプログラマブル遅延要素）が、クロック信号の位相またはデューティサイクルを調整するように較正される。較正中に、非平衡デューティサイクルを有する入力クロック信号がプログラマブルバッファに与えられ得、プログラマブルバッファは出力信号を生成し得る。出力信号は、非平衡デューティサイクルに関する情報を直流（DC）レベルに変換するためにフィルタ（filter）され得る。DCレベルは、所望のデューティサイクルに対応するDCレベルを有する基準信号と比較され得る。プログラマブルバッファは、出力信号を所望のデューティサイクルに同調させるように比較の結果に基づいてプログラムされ得る。

20

【0005】

[0005] 入力クロック信号はデジタル論理ゲートとプログラマブル遅延要素とに与えられ得る。プログラマブル遅延要素は、入力クロック信号に基づいて遅延クロック信号を生成し得る。遅延クロック信号もデジタル論理ゲートに与えられ得る。デジタル論理ゲートは、入力クロック信号と遅延クロック信号の両方がデジタル高論理レベルを有するときに、インスタンスを表すパルス（たとえば、周期パルス）を作成し得る。周期パルスは、入力クロック信号と遅延クロック信号との間の位相遅延に関する情報をDCレベルに変換するためにフィルタされ得る。DCレベルは、所望の位相遅延に対応するDCレベルを有する基準信号と比較され得る。比較に応答して、プログラマブル遅延要素は、遅延クロック信号の位相遅延を所望の位相遅延に同調させるようにプログラムされ得る。

30

【0006】

[0006] 特定の実施形態では、方法は、プログラマブルバッファにおいて入力クロック信号を受信することを含む。本方法は、電圧レベルを有するフィルタされた信号を生成するためにプログラマブルバッファからの出力信号をフィルタすることをさらに含み、ここで、電圧レベルは出力信号のデューティサイクルを示す。本方法は、電圧レベルを基準電圧と比較することをさらに含む。本方法は、出力信号のデューティサイクルを調整するためにプログラマブルバッファの少なくとも1つの動作パラメータを修正（modify）することをさらに含む。

【0007】

40

[0007] 別の特定の実施形態では、装置は、受信された入力クロック信号に基づいて出力信号を生成するように構成されたプログラマブルバッファを含む。出力信号のデューティサイクルが、プログラマブルバッファの少なくとも1つの動作パラメータに基づいて調整される。

【0008】

[0008] 別の特定の実施形態では、方法は、入力クロック信号を受信することと、プログラマブル遅延要素において遅延クロック信号を生成することとを含む。本方法は、入力クロック信号と遅延クロック信号とにに基づいて重複信号を生成することを含む。本方法はまた、電圧レベルを有するフィルタされた信号を生成するために重複信号をフィルタすることと、電圧レベルを基準電圧と比較することによって制御信号を生成することとを含む

50

。本方法は、制御信号に応答してプログラマブル遅延要素の遅延を調整することをさらに含む。

【0009】

[0009] 別の特定の実施形態では、装置は、入力クロック信号を受信したことに応答して遅延クロック信号を生成するように構成されたプログラマブル遅延要素を含む。遅延クロック信号の遅延は、制御信号に基づいて調整可能である。

【0010】

[0010] 開示する実施形態のうちの少なくとも1つによって与えられる1つの具体的な利点は、クロックソースと複数のデータレーンとの間のスキューレを低減するようにクロック信号のデューティサイクルを調整する能力である。本開示の他の態様、利点、および特徴は、以下のセクション、すなわち、図面の簡単な説明、発明を実施するための形態、および特許請求の範囲を含む、本出願全体の検討の後に明らかになろう。

【図面の簡単な説明】

【0011】

【図1】[0011] クロック信号のデューティサイクルおよび/または位相を調整するように動作可能なシステムの特定の例示的な実施形態のブロック図。

【図2】[0012] クロック信号のデューティサイクルを調整するように動作可能な回路の特定の例示的な実施形態の図。

【図3】[0013] 送信機においてクロック信号のデューティサイクルを調整するように動作可能なシステムの特定の例示的な実施形態のブロック図。

【図4】[0014] クロック信号の位相を調整するように動作可能な回路の特定の例示的な実施形態の図。

【図5】[0015] クロック信号のデューティサイクルを調整する方法の特定の実施形態のフローチャート。

【図6】[0016] クロック信号の位相を調整する方法の特定の実施形態のフローチャート。

【図7】[0017] クロック信号のデューティサイクルおよび位相を調整するように動作可能な構成要素を含むワイヤレスデバイスのブロック図。

【図8】[0018] クロック信号のデューティサイクルと位相とを調整するように動作可能な構成要素を含む電子デバイスを製造するための製造プロセスの特定の例示的な実施形態のデータフロー図。

【発明を実施するための形態】

【0012】

[0019] 図1を参照すると、クロック信号のデューティサイクルおよび/または位相を調整するように動作可能なシステム100の特定の例示的な実施形態が示されている。システム100は、プログラマブル回路102と、ローパスフィルタ104と、比較器106と、較正有限状態機械(FSM:finite state machine)など、制御回路108とを含む。プログラマブル回路102の出力はローパスフィルタ104の入力に結合され、ローパスフィルタ104の出力は比較器106の第1の入力に結合される。比較器106の出力117は制御回路108の入力に結合され、制御回路108の出力122はプログラマブル回路102の入力に結合される。

【0013】

[0020] プログラマブル回路102は、入力クロック信号110を受信するように構成される。入力クロック信号110は、非平衡デューティサイクル(たとえば、50パーセントに等しくないデューティサイクル)を有し得る。特定の実施形態では、プログラマブル回路102は、図2および図3に関して説明するものなど、受信された入力クロック信号110に基づいて出力信号を生成するように構成されたプログラマブルバッファを含み得る。出力信号のデューティサイクルが、プログラマブルバッファの少なくとも1つの動作パラメータに基づいて調整され得る。出力信号は出力クロック信号であり得る。代替実施形態では、プログラマブル回路102は、図4に関して説明するものなど、入力クロック

10

20

30

40

50

ク信号 102 を受信したことに応答して遅延クロック信号を生成するように構成されたプログラマブル遅延要素を含み得る。遅延クロック信号の遅延（たとえば位相）は、制御回路 108 の出力 122 に基づいて調整可能であり得る。

【0014】

[0021] ローパスフィルタ 104 は、プログラマブル回路 102 の出力信号 112 を受信するように構成される。ローパスフィルタ 104 は、プログラマブル回路 102 の出力信号 112 をフィルタすることによって、フィルタされた信号 114 を生成するようにさらに構成される。フィルタされた信号 114 は比較器 106 の第 1 の入力に与えられる。

【0015】

[0022] 比較器 106 は、第 1 の入力においてフィルタされた信号 114 を受信し、第 2 の入力において基準信号 116 を受信するように構成される。比較器 106 は、フィルタされた信号 114 の電圧レベルを基準信号 116 の電圧レベルと比較し、比較に基づいて比較信号 117 を生成するように構成される。たとえば、基準信号 116 の電圧レベルは電源電圧の一部分に対応し得、ここで、電源電圧は 100 パーセントデューティサイクル（すなわち、完全デューティサイクル）を表し、基準信号 112 の電圧レベルは完全デューティサイクルの対応する部分を表す。フィルタされた信号 114 の電圧レベルは直流（DC）電圧レベルに対応し、基準信号 116 の電圧レベルは基準 DC 電圧レベルに対応し得る。比較信号 117 は、フィルタされた信号の電圧レベルと基準信号 116 の電圧レベルとの間の差分に関する情報に対応し得る。比較信号 117 は制御回路 108 の入力に与えられる。

【0016】

[0023] 制御回路 108 は、比較信号 117 を受信するように構成される。制御回路 108 は、比較信号 117 から受信した情報に基づいて制御信号 122 を生成するように構成される。制御信号 122 はプログラマブル回路 102 に与えられる。特定の実施形態では、制御回路 108 は、出力信号 112 のデューティサイクルを調整するためにプログラマブル回路 102 内のプログラマブルバッファの少なくとも 1 つの動作パラメータを修正し得る。たとえば、制御回路 108 は、図 2 に関してさらに詳細に説明するように、1 つまたは複数のプルアップトランジスタまたはプルダウントランジスタが出力信号 112 の充電速度または放電速度を調整することを選択的に可能にし得る。代替実施形態では、制御回路 108 はプログラマブル回路 102 内のプログラマブル遅延要素の遅延を調整し得る。いくつかの実施形態では、制御回路 108 は、図 2 ~ 図 4 に関して説明するものなど、直近に選択されたデジタルコードに基づいて、および比較信号 117 の値に基づいて、デジタルコードのセットを選択し、デジタルコードの選択されたセットをプログラマブルバッファまたはプログラマブル遅延要素に与えるように構成された、有限状態機械として実装され得る。デジタルコードの選択されたセットは、プログラマブルバッファおよびプログラマブル遅延要素の動作パラメータを修正し得る。他の実施形態では、制御回路 108 は、直近に選択されたデジタルコードに基づいて、および比較信号 117 の値に基づいて、デジタルコードのセットを選択するための命令を実行するプロセッサとして実装され得る。

【0017】

[0024] 第 1 の特定の実施形態の動作中、システム 100 は出力信号のデューティサイクルを調整する。プログラマブル回路 102 は、非平衡デューティサイクルを有する入力クロック信号 110 を受信する。プログラマブル回路 102 は、入力クロック信号 110 を受信したことに応答して出力信号 112 を生成し、出力信号 112 をローパスフィルタ 104 に与える。ローパスフィルタ 104 は、（たとえば、高周波成分を除去し、低周波成分の時間平均化された電圧を表す電圧までキャパシタを充電することによって）出力信号 112 をフィルタし、非平衡デューティサイクルに対応する電圧レベルを有するフィルタされた信号 114 を生成する。ローパスフィルタ 104 は、フィルタされた信号 114 を比較器 106 の第 1 の入力に与える。電圧レベルを有する基準信号 116 は、比較器 106 の第 2 の入力に与えられる。基準信号 116 の電圧レベルは所望のデューティサイクル 10

ルを示し得る。たとえば、基準信号 116 の電圧レベルは 50 パーセントデューティサイクル（すなわち、平衡デューティサイクル）を示し得る。基準信号 116 の電圧レベルは電源電圧の一部分に対応し得、ここで、電源電圧は 100 パーセントデューティサイクル（すなわち、完全デューティサイクル）を表し、基準信号 112 の電圧レベルは完全デューティサイクルの対応する部分を表す。

【0018】

[0025] 比較器 106 は、フィルタされた信号 114 の電圧レベルを基準信号 116 の電圧レベルと比較し、比較に基づいて比較信号 117 を生成する。制御回路 108 は、比較信号 117 を受信し、比較信号 117 に基づいてプログラマブル回路 102 内のプログラマブルバッファの少なくとも 1 つの動作パラメータを修正する。プログラマブルバッファの動作パラメータを修正することは、出力信号 112 の非平衡デューティサイクルを所望のデューティサイクルに近づくように調整し得る。たとえば、プログラマブルバッファの動作パラメータを修正することは、出力信号 112 の非平衡デューティサイクルを 50 パーセントデューティサイクルに近づくように調整し（すなわち、増加または減少させ）得る。たとえば、制御回路 122 は、1 つまたは複数のプルアップトランジスタまたはプルダウントランジスタを選択的に使用可能にするように構成されたデジタルコードを修正することによって、出力信号 112 の充電速度または放電速度を調整し得る。出力信号 112 のデューティサイクルを調整する例示的な方法について、図 5 を参照しながらさらに説明する。

【0019】

[0026] 第 2 の特定の実施形態の動作中に、システム 100 は入力クロック信号 110 の位相シフトバージョンを生成する。第 2 の特定の実施形態に関して、プログラマブル回路 102 の出力信号 112 は重複信号 112 に対応し得る。たとえば、プログラマブル回路 102 は、第 1 の位相を有する入力クロック信号 110 を受信する。プログラマブル回路 102 内のプログラマブル遅延要素（図示せず）が、入力クロック信号 110 を受信したことに対応して遅延クロック信号（図示せず）を生成する。重複信号 112 は、入力クロック信号 110 と遅延クロック信号とに基づいて生成され得る。たとえば、重複信号 112 は、入力クロック信号 110 と遅延クロック信号の両方が同じデジタル値（たとえば、高い値または低い値）を有するとき、インスタンスに対応する周期パルスを含み得る。重複信号 112 はローパスフィルタ 104 に与えられる。ローパスフィルタ 104 は、重複信号 112 の低周波成分の時間平均化された電圧を表す電圧を有するフィルタされた信号 114 を生成するために、重複信号 112 をフィルタする。重複信号 112 のパルス幅が入力クロック信号 110 と遅延データ信号との間の重複の量に対応するので、重複信号 112 のデューティサイクルは入力クロック信号 110 と遅延クロック信号との間の位相差に対応する。ローパスフィルタ 104 は、重複信号 112 のデューティサイクルに対応する（したがって入力クロック信号 110 と比較した遅延クロック信号の位相に対応する）電圧レベルを有するフィルタされた信号 114 を生成する。ローパスフィルタ 104 は、フィルタされた信号 114 を比較器 106 の第 1 の入力に与える。基準信号 116 は比較器 106 の第 2 の入力に与えられる。基準信号 116 の電圧レベルは、所望の位相シフト（たとえば、30° 位相シフト、60° 位相シフト、90° 位相シフトなど）を示し得る。

【0020】

[0027] 比較器 106 は、フィルタされた信号 114 の電圧レベルを基準信号 116 の電圧レベルと比較し、比較に基づいて比較信号 117 を生成する。制御回路 108 は、比較信号 117 を受信し、受信した比較信号 117 に基づいて制御信号 122 を生成する。制御信号 122 は、（たとえば、遅延クロック信号の位相を調整する）プログラマブル遅延要素の遅延を調整するためにプログラマブル回路 102 内のプログラマブル遅延要素に与えられるデジタルコードに対応し得る。たとえば、デジタルコードの各値は、プログラマブル遅延要素の異なる遅延時間に対応し得る。遅延クロック信号の位相を調整する例示的な方法について、図 6 を参照しながらさらに説明する。

10

20

30

40

50

【0021】

[0028] デジタルコードを調整した後、出力信号 112 の得られたデューティサイクルは、出力信号 112 のデューティサイクルが所望のデューティサイクルに実質的に等しくなるか近似するまで繰り返すプロセスにおいて、フィルタされ、基準信号 116 と比較され得る。フィルタされた信号 114 と基準信号 116 とを繰り返し比較し、比較に応答して出力信号のデューティサイクルを調整することによって、図 1 のシステム 100 は、したがって、デューティサイクルを調整するために差分クロックを使用することから生じ得る電力消費を低減しながら、高速インターフェースにおける帯域幅およびスループットを改善するために、所望のデューティサイクル（たとえば、50 パーセントデューティサイクル）に近づくように出力信号 112 のデューティサイクルを調整し得る。図 1 のシステム 100 は、デジタルコードによってプログラム可能である単一の遅延要素を使用して遅延クロック信号の位相を調整し得、これにより、固定数の非プログラマブル遅延要素を使用して位相を調整するシステムに比較してフレキシビリティが改善され得る。10

【0022】

[0029] 図 2 を参照すると、クロック信号のデューティサイクルを調整するように動作可能な回路 200 の特定の例示的な実施形態の図が示されている。回路は、プログラマブルバッファ 202 と、ローパスフィルタ 204 と、比較器 206 と、較正 FSM 208 とを含む。プログラマブルバッファ 202 は図 1 のプログラマブル回路 102 に対応し得る。ローパスフィルタ 204 は図 1 のローパスフィルタ 104 に対応し得、比較器 206 は図 1 の比較器 106 に対応し得、較正 FSM 208 は図 1 の制御回路 108 に対応し得る。20

【0023】

[0030] プログラマブルバッファ 202 は、出力信号 212 の論理レベル（すなわち、電圧）を生成するノード 225 を充電するようにプルアップ回路として構成されたデジタル論理の第 1 のセットを含み得る。デジタル論理の第 1 のセットは、第 1 の NAND デジタル論理ゲート 230 と、第 2 の NAND デジタル論理ゲート 232 と、第 N の NAND デジタル論理ゲート 234 とを含む。デジタル論理の第 1 のセットは、第 1 の p 形金属酸化物半導体（PMOS）トランジスタ 231 と、第 2 の PMOS トランジスタ 233 と、. . . 、第 N の PMOS トランジスタ 235 とをさらに含み、ここで、N は 2 よりも大きい任意の整数値であり得る。たとえば、N = 5 である実装形態では、デジタル論理の第 1 のセットは、5 つの PMOS トランジスタに結合された 5 つの NAND デジタル論理ゲートを含み得る。プログラマブルバッファ 202 は、出力信号 212 の論理レベルを生成するノード 225 を放電するようにプルダウン回路として構成されたデジタル論理の第 2 のセットをも含み得る。デジタル論理の第 2 のセットは、第 1 の NOR デジタル論理ゲート 240 と、第 2 の NOR デジタル論理ゲート 242 と、第 N の NOR デジタル論理ゲート 244 とを含む。デジタル論理の第 2 のセットは、第 1 の n 形金属酸化物半導体（NMOS）トランジスタ 241 と、第 2 の NMOS トランジスタ 243 と、. . . 、第 N の NMOS トランジスタ 245 とをさらに含む。30

【0024】

[0031] プログラマブルバッファ 202 は、入力クロック信号 110 を受信するように構成される。プログラマブルバッファ 202 は、入力クロック信号 110 を第 1 の NAND デジタル論理ゲート 230 の第 1 の入力、第 2 の NAND デジタル論理ゲート 232 の第 1 の入力、および第 N の NAND デジタル論理ゲート 234 の第 1 の入力に与えるように構成される。第 1 の NAND デジタル論理ゲート 230 は、入力クロック信号 110 の論理レベルに基づいて、および較正 FSM 208 から第 1 の NAND デジタル論理ゲート 230 の第 2 の入力に与えられたデジタルコード S e1_p (1) に基づいて、第 1 の PMOS トランジスタ 231 を選択的にアクティブにするように構成される。たとえば、第 1 の NAND デジタル論理ゲート 230 は、入力クロック信号 110 が論理高レベルを有し、デジタルコード S e1_p (1) が論理高レベルに対応するとき、第 1 の PMOS トランジスタ 231 をアクティブにし得る。第 1 の PMOS トランジスタ 231 は、第 1 の40

NANDデジタル論理ゲート230の出力に基づいてノード225を選択的に充電するよう構成される。たとえば、第1のPMOSトランジスタ231は、アクティブになるとバッファ電源電圧(Vs)に基づいてノード225を充電するプルアップトランジスタとして機能し得る。

【0025】

[0032] 第2のNANDデジタル論理ゲート232は、入力クロック信号110の論理レベルに基づいて、および較正FSM208から第2のNANDデジタル論理ゲート232の第2の入力に与えられたデジタルコードSel_p(2)に基づいて、第2のPMOSトランジスタ233を選択的にアクティブにするように構成される。たとえば、第2のNANDデジタル論理ゲート232は、入力クロック信号110が論理高レベルを有し、デジタルコードSel_p(2)が論理高レベルに対応するとき、第2のPMOSトランジスタ233をアクティブにし得る。第2のPMOSトランジスタ233は、第2のNANDデジタル論理ゲート232の出力に基づいてノード225を選択的に充電するよう構成される。たとえば、第2のPMOSトランジスタ233は、アクティブになるとバッファ電源電圧(Vs)に基づいてノード225を充電するプルアップトランジスタとして機能し得る。

10

【0026】

[0033] 第NのNANDデジタル論理ゲート234は、入力クロック信号110のデジタル論理レベルに基づいて、および較正FSM208から第NのNANDデジタル論理ゲート234の第2の入力に与えられたデジタルコードSel_p(n)に基づいて、第NのPMOSトランジスタ235を選択的にアクティブにするように構成される。たとえば、第NのNANDデジタル論理ゲート234は、入力クロック信号110が論理高レベルを有し、デジタルコードSel_p(n)が論理高レベルに対応するとき、第NのPMOSトランジスタ235をアクティブにし得る。第NのPMOSトランジスタ235は、第NのNANDデジタル論理ゲート234の出力に基づいてノード225を選択的に充電するよう構成される。たとえば、第NのPMOSトランジスタ235は、アクティブになるとバッファ電源電圧(Vs)に基づいてノード225を充電するプルアップトランジスタとして機能し得る。

20

【0027】

[0034] プログラマブルバッファ202は、入力クロック信号110を第1のNORデジタル論理ゲート240の第1の入力、第2のNORデジタル論理ゲート242の第1の入力、および第NのNORデジタル論理ゲート244の第1の入力に与えるようにさらに構成される。第1のNORデジタル論理ゲート240は、入力クロック信号110のデジタル論理レベルに基づいて、および較正FSM208から第1のNORデジタル論理ゲート240の第2の入力に与えられたデジタルコードSel_n(1)に基づいて、第1のNMOSトランジスタ241を選択的にアクティブにするように構成される。たとえば、第1のNORデジタル論理ゲート240は、入力クロック信号110が論理低レベルを有し、デジタルコードSel_n(1)が論理低レベルに対応するとき、第1のNMOSトランジスタ241をアクティブにし得る。第1のNMOSトランジスタ241は、第1のNORデジタル論理ゲート240の出力に基づいてノード225を選択的に放電するよう構成される。たとえば、第1のNMOSトランジスタ241は、アクティブになるとノード225を接地に放電するプルダウントランジスタとして機能し得る。

30

【0028】

[0035] 第2のNORデジタル論理ゲート242は、入力クロック信号110のデジタル論理レベルに基づいて、および較正FSM208から第2のNORデジタル論理ゲート242の第2の入力に与えられたデジタルコードSel_n(2)に基づいて、第2のNMOSトランジスタ243を選択的にアクティブにするように構成される。たとえば、第2のNORデジタル論理ゲート242は、入力クロック信号110が論理低レベルを有し、デジタルコードSel_n(2)が論理低レベルに対応するとき、第2のNMOSトランジスタ243をアクティブにし得る。第2のNMOSトランジスタ243は、第2のN

40

50

OR デジタル論理ゲート 242 の出力に基づいてノード 225 を選択的に放電するように構成される。たとえば、第2のN MOSトランジスタ 243 は、アクティブになるとノード 225 を接地に放電するプルダウントランジスタとして機能し得る。

【0029】

[0036] 第NのNORデジタル論理ゲート 244 は、入力クロック信号 110 のデジタル論理レベルに基づいて、および較正 FSM 208 から第NのNORデジタル論理ゲート 244 の第2の入力に与えられたデジタルコード Sel_n (n) に基づいて、第NのN MOSトランジスタ 245 を選択的にアクティブにするように構成される。たとえば、第NのNORデジタル論理ゲート 244 は、入力クロック信号 110 が論理低レベルを有し、デジタルコード Sel_n (n) が論理低レベルに対応するとき、第NのN MOSトランジスタ 245 をアクティブにし得る。第NのN MOSトランジスタ 245 は、第NのNORデジタル論理ゲート 244 の出力に基づいてノード 225 を選択的に放電するように構成される。たとえば、第NのN MOSトランジスタ 245 は、アクティブになるとノード 225 を接地に放電するプルダウントランジスタとして機能し得る。

10

【0030】

[0037] 図2の特定の例示的な実施形態では、インバータ 248 のペアが、ノード 225 の電圧をバッファし、バッファされた電圧に基づいて出力信号 212 を生成するように構成される。ローパスフィルタ 204 は、出力信号 212 を受信するように構成される。ローパスフィルタ 204 は、出力信号 212 に対応するDCレベルを生成するために、(たとえば、出力信号 212 の高周波成分をショートさせ、負荷と並列なキャパシタンスのインピーダンスが減少する結果として直列抵抗の両端間の電圧を低減することによって)出力信号 212 をフィルタするように動作可能な抵抗器とキャパシタとを含み得る。たとえば、ローパスフィルタ 204 は、出力信号 212 をフィルタすることによって、フィルタされた信号 214 を生成し得る。フィルタされた信号 214 は比較器 206 の第1の入力に与えられる。

20

【0031】

[0038] 比較器 206 は、第1の入力においてフィルタされた信号 214 を受信し、第2の入力において基準信号 216 を受信するように構成される。比較器 206 は、フィルタされた信号 214 の電圧レベルを基準信号 216 の電圧レベルと比較し、比較に基づいて比較信号 217 を生成するように構成される。基準信号 216 の電圧レベルは所望のデューティサイクルを示し得る。たとえば、基準信号 216 の電圧レベルが 1/2 VDD に等しいとき、所望のデューティサイクルは 50 パーセントに対応し得る。比較信号 217 は較正 FSM 208 の入力に与えられる。

30

【0032】

[0039] 較正 FSM 208 は、比較信号 217 を受信し、較正イネーブル信号 (Cal_enable) 262 を受信したことに応答して出力信号 212 のデューティサイクルを調整するように構成される。たとえば、較正 FSM 208 は、比較シグナリング 217 に基づいて、出力信号 212 のデューティサイクルが(基準信号 216 と比較して)高すぎるか低すぎるかを監視するように構成される。較正 FSM 208 は、較正デジタルコード (Cal_p (1:n)) 252 の第1のセットを第1のマルチプレクサ 222 に与え、較正デジタルコード (Cal_n (1:n)) 254 の第2のセットをマルチプレクサ 224 の第2のセットに与えるようにさらに構成される。

40

【0033】

[0040] 動作中、入力クロック信号 110 は、第1のNANDデジタル論理ゲート 230 の第1の入力、第2のNANDデジタル論理ゲート 232 の第1の入力、および第NのNANDデジタル論理ゲート 234 の第1の入力に与えられる。入力クロック信号 110 は、50 のパーセントでないデューティサイクルを有し得る(すなわち、入力クロック信号 110 は、各クロックサイクル中の等しい量の時間の間、論理高レベルと論理低レベルとを有し得ない)。第1のマルチプレクサ 222 は、デジタルコード Sel_p (1) を第1のNANDデジタル論理ゲート 230 の第2の入力に与え、デジタルコード Sel_n

50

$p(2)$ を第2のNANDデジタル論理ゲート232の第2の入力に与え、デジタルコード $Se1_p(n)$ を第NのNANDデジタル論理ゲート234の第2の入力に与える。第1のマルチプレクサ222によって与えられたデジタルコード(すなわち、 $Se1_p(1)$ 、 $Se1_p(2)$ 、および $Se1_p(n)$)は、所定のデフォルト値または(以下で説明するように)較正FSM208の出力に応答する値であり得る。第1のマルチプレクサ222によって与えられたデジタルコードは、NANDデジタル論理ゲート231、233、235を介してPMOSトランジスタ230、232、234のうちのいくつかのトランジスタを選択的にアクティブおよび非アクティブにすることによって、ノード225が充電する速度(すなわち、充電速度)を制御し得る。

【0034】

10

[0041] プログラマブルバッファ202は、入力クロック信号110のデジタル電圧レベルに基づいて、および少なくとも1つの動作パラメータ(すなわち、第1のマルチプレクサ222によって与えられたデジタルコード(すなわち、 $Se1_p(1)$ 、 $Se1_p(2)$ 、および $Se1_p(n)$))に基づいて、ノード225を選択的に充電する。たとえば、入力クロック信号110が論理高レベル状態にあり、デジタルコード $Se1_p(1)$ が論理高レベルに対応するとき、第1のNAND論理ゲート230は第1のPMOSトランジスタ231をアクティブにする。アクティブになると、第1のPMOSトランジスタ231は、プルアップトランジスタとして機能し、バッファ電源電圧(Vs)に基づいてノード225を充電する。入力クロック信号110が論理高レベル状態にあり、デジタルコード $Se1_p(2)$ が論理高レベルに対応するとき、第2のNAND論理ゲート232は第2のPMOSトランジスタ233をアクティブにする。アクティブになると、第2のPMOSトランジスタ233は、プルアップトランジスタとして機能し、バッファ電源電圧(Vs)に基づいてノード225を充電する。入力クロック信号110が論理高レベル状態にあり、デジタルコード $Se1_p(n)$ が論理高レベルに対応するとき、第NのNAND論理ゲート234は第NのPMOSトランジスタ235をアクティブにする。アクティブになると、第NのPMOSトランジスタ235は、プルアップトランジスタとして機能し、バッファ電源電圧(Vs)に基づいてノード225を充電する。ノード225は、ただ1つのPMOSトランジスタがアクティブにされるときと比較して、複数のPMOSトランジスタがアクティブにされるとき、より速い速度で充電する。たとえば、ノード225は、第1のPMOSトランジスタ231のみがアクティブにされるときと比較して、第1のPMOSトランジスタ231および第2のPMOSトランジスタ233がアクティブにされるとき、より速い速度で充電し得る。さらに、ノード225は、第1のPMOSトランジスタ231および第2のPMOSトランジスタ233のみがアクティブにされるときと比較して、第1のPMOSトランジスタ231、第2のPMOSトランジスタ233、および第NのPMOSトランジスタ235がアクティブにされるとき、より速い速度で充電し得る。

【0035】

30

[0042] 入力クロック信号110はまた、第1のNORデジタル論理ゲート240の第1の入力、第2のNORデジタル論理ゲート242の第1の入力、および第NのNORデジタル論理ゲート244の第1の入力に与えられる。第2のマルチプレクサ224は、デジタルコード $Se1_n(1)$ を第1のNORデジタル論理ゲート240の第2の入力に与え、デジタルコード $Se1_n(2)$ を第2のNORデジタル論理ゲート242の第2の入力に与え、デジタルコード $Se1_n(n)$ を第NのNORデジタル論理ゲート244の第2の入力に与える。第2のマルチプレクサ224によって与えられたデジタルコード(すなわち、 $Se1_n(1)$ 、 $Se1_n(2)$ 、および $Se1_n(n)$)は、(たとえば、すべての論理低レベル、すべての論理高レベル、または論理レベルの別の組合せに対応する)所定のデフォルト値、または(以下で説明するように)較正FSM208の出力に応答する値であり得る。第2のマルチプレクサ224によって与えられたデジタルコードは、NORデジタル論理ゲート240、242、244を介してNMOSトランジスタ241、243、245を選択的にアクティブおよび非アクティブにすることによ

40

50

つて、ノード 225 が放電する速度（すなわち、放電速度）を制御し得る。

【0036】

[0043] 出力信号 212 の低高間信号遷移は、アクティブ PMOS トランジスタ 231、233、235 の数を減らすことによって、入力クロック信号 110 に対して遅延させられ得る。出力信号 212 の高低間信号遷移は、アクティブ NMOS トランジスタ 241、243、245 の数を減らすことによって、入力クロック信号 110 に対して遅延させられ得る。出力信号 212 のデューティサイクルは、低高間信号遷移の遅延を調整すること、高低間信号遷移の遅延を調整すること、またはそれらの任意の組合せによって調整され得る。デジタル論理（すなわち、プルアップ回路）の第 1 のセットおよびデジタル論理（すなわち、プルダウン回路）の第 2 のセットは独立して調整可能であり得る。 10

【0037】

[0044] 出力信号 212 はローパスフィルタ 204 に与えられる。ローパスフィルタ 204 は、出力信号 212 をフィルタし（たとえば、出力信号 212 の高周波成分をショートさせ、負荷と並列なキャパシタンスのインピーダンスが減少する結果として直列抵抗の両端間の電圧を低減し）、出力信号 212 のデューティサイクルを示す電圧レベルを有する、フィルタされた信号 214 を生成する。フィルタされた信号 214 の電圧レベルは DC 電圧レベルに対応し得る。フィルタされた信号 214 は比較器 206 の第 1 の入力に与えられ、電圧レベルを有する基準信号 216 は比較器 206 の第 2 の入力に与えられる。基準信号 216 の電圧レベルは、DC 電圧レベルに対応し得、所望のデューティサイクル（すなわち、平衡 / 50 パーセントデューティサイクル）を示し得る。 20

【0038】

[0045] 基準信号 216 の電圧レベルは、電源電圧の半分 ($V_{dd}/2$) に等しくまたはほぼ等しくなり得る。たとえば、第 1 の抵抗器 218 および第 2 の抵抗器 220 は、直列に接続され得、分圧器を形成するために等しい抵抗を有し得る。基準信号 216 は、第 1 の抵抗器 218 と第 2 の抵抗器 220 とを接続するノード 219 において生成される。第 1 の抵抗器 218 と第 2 の抵抗器 220 とを接続するノード 219 は、電源電圧 (V_{dd}) と接地との和の半分（すなわち、 $V_{dd}/2$ ）に等しいまたはほぼ等しい電圧レベルを有し得る。 $V_{dd}/2$ の電圧レベルは、50 パーセントのデューティサイクル（たとえば、所望のデューティサイクル）を示し得る。 30

【0039】

[0046] 比較器 206 は、フィルタされた信号 214 の電圧レベルを基準信号 216 の電圧レベル（たとえば、 $V_{dd}/2$ ）と比較し、比較信号 217 を介して比較の結果を制御回路 108 に与える。

【0040】

[0047] 較正 FSM 208 は、比較の結果に基づいてプログラマブルバッファ 202 の動作パラメータを修正する。たとえば、較正 FSM は、イネーブル信号 262 の値に応答して比較信号 217 を定期的に検査すること（たとえば、比較信号 217 をマイクロ秒ごとにほぼ 1 回検査すること）によって比較の結果を監視する。比較信号 217 を検査することに応答して、較正 FSM 208 は、出力信号 212 のデューティサイクルが、基準信号 216 によって示された所望のデューティサイクル（すなわち 50 パーセントデューティサイクル）と比較して高すぎるか低すぎるかを判断し得る。出力信号 212 のデューティサイクルが低すぎるとき、較正 FSM 208 は、第 1 のマルチプレクサ 222 および第 2 のマルチプレクサ 224 にデジタルコードを与えることによって、選択的に少なくとも 1 つの NMOS トランジスタ 240、242、244 を非アクティブにすること（すなわち、高低間遷移を遅延させること）、少なくとも 1 つの PMOS トランジスタ 230、232、234 をアクティブにすること（すなわち、低高間遷移を加速すること）、またはそれらの任意の組合せを行い得る。出力信号 212 のデューティサイクルが高すぎるとき、較正 FSM 208 は、第 1 のマルチプレクサ 222 および第 2 のマルチプレクサ 224 にデジタルコードを与えることによって、選択的に少なくとも 1 つの以前の非アクティブ NMOS トランジスタ 240、242、244 をアクティブにすること、少なくとも 1 つ 40

の以前のアクティブPMOSトランジスタ230、232、234を非アクティブにすること、またはそれらの任意の組合せを行い得る。

【0041】

[0048] たとえば、較正FSM208は、NMOSトランジスタ240、242、244を選択的にアクティブにし、PMOSトランジスタ230、232、234を選択的に非アクティブにするために、較正デジタルコード($Cal_p(1:n)$)252の第1のセットを第1のマルチプレクサ222に与え得る。デフォルトコード($Default_p(1:n)$)251の第1のセットも第1のマルチプレクサ222に与えられ得る。第1のマルチプレクサ222は、バイパス信号(Cal_bypass)250に基づいて、較正デジタルコード($Cal_p(1:n)$)252の第1のセットを与えるべきかデフォルトコード($Default_p(1:n)$)251の第1のセットを与えるべきかを選択する。第1のマルチプレクサ222が較正デジタルコード252の第1のセットを選択したとき、プログラマブルバッファ202は、ノード225が充電する速度を調整するために、較正デジタルコード252の第1のセットに基づいて少なくとも1つのPMOSトランジスタ230、232、234を選択的にアクティブまたは非アクティブにし得る。10

【0042】

[0049] 別の例として、較正FSM208は較正デジタルコード($Cal_n(1:n)$)254の第2のセットを第2のマルチプレクサ224に与え得る。デフォルトコード($Default_n(1:n)$)253の第2のセットも第2のマルチプレクサ224に与えられ得る。第2のマルチプレクサ224は、較正デジタルコード($Cal_n(1:n)$)254の第2のセットを与えるべきか、デフォルトコード($Default_n(1:n)$)253の第2のセットを与えるかを選択する。第2のマルチプレクサ224が較正デジタルコード254の第2のセットを選択したとき、プログラマブルバッファ202は、ノード225が放電する速度を調整するために較正デジタルコード254の第2のセットに基づいて、少なくとも1つのNMOSトランジスタ240、242、244を選択的にアクティブまたは非アクティブにし得る。したがって、プログラマブルバッファ202の動作パラメータ(たとえば、プルアップトランジスタまたはプルダウントランジスタのアクティブ化または非アクティブ化)は、出力信号212のデューティサイクルを所望のデューティサイクルに調整するために修正され得る。20

【0043】

[0050] 図2の回路200は、したがって、デジタルコードを使用して、出力信号212のデューティサイクルを50パーセント(または別の所望のデューティサイクル)に実質的に等しくなるように調整し得る。デジタルコードは、マルチレーン適用例のために複数のデータ経路に与えられ得る。たとえば、図2の回路200は、デジタルコードのセットをプログラマブルバッファ202に与えることによって1つのデータレーンのためのクロック信号として出力信号212のデューティサイクルを較正し得、他のデータレーンを通して伝搬するクロック信号のデューティサイクルを調整するために、デジタルコードの同等のセットを他のデータレーンに関連する他のプログラマブルバッファ(たとえば、デューティサイクル補正バッファ)に分配し得る。30

【0044】

[0051] 図3を参照すると、送信機においてクロック信号のデューティサイクルを調整するように動作可能なシステム300の特定の例示的な実施形態のブロック図が示されている。システム300は、プログラマブルバッファ202と、ローパスフィルタ204と、比較器206と、図2の回路200に関して説明したのと同様の方法で動作する較正FSM208とを含む。プログラマブルバッファ202、プリエンファシス(pre-emphasis)ドライバ350、および高速送信機がアナログデータレーン303中にある。ローパスフィルタ204および比較器206はトップレベルアナログ領域305中にある。較正FSM208はトップレベルデジタル領域307中にある。アナログデータレーン303とトップレベルアナログ領域305とトップレベルデジタル領域307との各々は異なる電40

圧領域に対応し得る。第1のレベルシフタ340、第2のレベルシフタ342、および第3のレベルシフタ346は、アナログデータレーン303とトップレベルアナログ領域305とトップレベルデジタル領域307との間でのシグナリングを可能にする。

【0045】

[0052] プログラマブルバッファ202、プリエンファシスドライバ350、および高速送信機352は第1のアナログデータレーン303中に含まれる。1つまたは複数の他のアナログデータレーン（たとえば、図示されない4つの他のアナログデータレーン）が、類似するデバイスを含み得る。較正FSM208からのフィードバック（たとえば、デジタルコード）は、各プログラマブルバッファ（たとえば、プログラマブルバッファ202および4つの他のデータレーンに関連するプログラマブルバッファ）が、図2に関して説明したように、第1のアナログデータレーン303のデューティサイクルフィードバックに基づいて出力信号の対応するデューティサイクルを調整し得るように、アナログデータレーン（たとえば、第1のアナログデータレーン303および4つの他のアナログデータレーン）の各々の中に含まれるプログラマブルバッファに与えられる。

10

【0046】

[0053] 第1のレベルシフタ340は、入力クロック信号110を受信し、入力クロック信号110の電圧レベルをデジタル領域からアナログ領域における対応する電圧レベルにシフトするように構成される。たとえば、第1のレベルシフタ340は、デジタル領域における電圧を有する入力クロック信号110をアナログ領域における電圧を有する信号にシフトし得る。シフトは、1.8アナログボルト当たり0.9デジタルボルトの比に基づいて入力クロック信号110の電圧レベルをアップコンバートすることを含み得る。第1のレベルシフタ340は、入力クロック信号110をプログラマブルバッファ202に与えるようにさらに構成される。

20

【0047】

[0054] 第2のレベルシフタ342は、比較信号217を受信し、比較信号217の電圧レベルをアナログ領域からデジタル領域における対応する電圧レベルにシフトするように構成される。たとえば、第2のレベルシフタ342は、アナログ領域における電圧を有する比較信号217をデジタル領域における電圧を有する信号にシフトし得る。シフトは、0.9デジタルボルト当たり1.8アナログボルトの比に基づいて比較信号217の電圧レベルをダウンコンバートすることを含み得る。第2のレベルシフタ342は、比較信号217を較正FSM208に与えるようにさらに構成される。

30

【0048】

[0055] 第3のレベルシフタ346は、プログラマブルバッファ202の動作パラメータを修正するために利用されるデジタルコードに対応する制御信号322を受信するように構成される。第3のレベルシフタ346は、制御信号322の電圧レベルをデジタル領域からアナログ領域における対応する電圧レベルにシフトするようにさらに構成される。第3のレベルシフタは、制御信号322を第1のデータレーンのプログラマブルバッファ202と他の4つのアナログデータレーン（図示せず）のためのプログラマブルバッファとに与え得る。

40

【0049】

[0056] 動作中、プログラマブルバッファ202は、入力クロック信号110を受信し、出力信号212を生成する。出力信号212は、ローパスフィルタ204に与えられる前にパスゲート348に与えられる。ローパスフィルタ204は、図2で説明したように、出力信号212のデューティサイクルを示す電圧レベルを有するフィルタされた信号214を生成するために、出力信号212をフィルタする。図2で説明したように、フィルタされた信号214は比較器206の第1の入力に与えられ、基準信号216は比較器206の第2の入力に与えられる。比較器206の比較信号217（すなわち、フィルタされた信号214の電圧レベルと基準信号216の電圧レベルとの間の比較の結果）は、較正FSM208に与えられる前にレベルシフタ342に与えられる。較正FSM208の出力322が、動作パラメータを修正するために第3のレベルシフタ346を介してプロ

50

グラマブルバッファ 202 に与えられる。較正 F S M 208 の出力 322 は、図 2 について説明したように、較正デジタルコード (C a l _ p (1 : n)) 252 の第 1 のセットと較正デジタルコード (C a l _ n (1 : n)) 254 の第 2 のセットに対応し得る。プログラマブルバッファ 202 は第 1 のアナログデータレーン 303 に対応し得、プログラマブルバッファ 202 の動作パラメータを修正することは、結果として、第 1 のアナログデータレーン 303 の出力信号 212 のデューティサイクルを 50 パーセントになるように調整することになり得る。出力信号 212 のデューティサイクルを 50 パーセントに調整することは、プログラマブルバッファ 202 の解像度に応じて（たとえば、より多い選択可能なトランジスタをもつプログラマブルバッファは、より少ない選択可能なトランジスタをもつプログラマブルバッファよりも高い解像度を有し、高い精度を可能にし得る）、50 パーセントにほぼ等しいデューティサイクルを達成するために較正 F S M 208 のデジタルコードを調整する複数のサイクルを必要とし得る。較正 F S M 208 の出力 322 はまた、4 つの他のアナログデータレーン（図示せず）の出力信号（図示せず）のデューティサイクルを 50 パーセントに調整するために 4 つの他のプログラマブルバッファ（図示せず）に与えられる。10

【 0050 】

[0057] 出力信号 212 はさらにプリエンファシスドライバ 350 に与えられる。プリエンファシスドライバ 350 は出力信号 212 中の遷移エッジをブーストし得る。プリエンファシスドライバ 350 の出力は高速送信機 352 に与えられる。高速送信機 352 の出力は、通信チャネル（図示せず）上で送信されるべき差分信号として第 1 のパッド 354 と第 2 のパッド 356 とに与えられる。20

【 0051 】

[0058] 図 3 のシステム 300 は、したがって、デジタルコードを使用して出力信号 212 のデューティサイクルを 50 パーセントに実質的に等しくなるように調整し得、これにより、マルチレーン適用例においてあらゆるデータレーンのためのデューティサイクルを調整するように構成されたハードウェア構成要素を複製することと比較して、マルチレーン適用例のための拡張効率が改善され得る。たとえば、図 3 のシステム 300 は、プログラマブルバッファ 202 にデジタルコードのセットを与えることによって第 1 のアナログデータレーン 303 の出力信号 212 のデューティサイクルを調整し、デジタルコードの同等のセットを 4 つの他のアナログデータレーンのプログラマブルバッファに分配し得る。30

【 0052 】

[0059] 図 4 を参照すると、クロック信号の位相を調整するように動作可能な回路 400 特定の例示的な実施形態の図が示されている。回路 400 は、クロック位相発生器 401 と、ローパスフィルタ 404 と、比較器 406 と、較正有限状態機械 (F S M) 408 とを含む。ローパスフィルタ 404 は図 1 のローパスフィルタ 104 に対応し得、比較器 406 は図 1 の比較器 106 に対応し得、較正 F S M 408 は図 1 の制御回路 108 に対応し得る。

【 0053 】

[0060] クロック位相発生器 401 は、プログラマブル遅延要素 402 と、A N D デジタル論理ゲート 403 とを含む。クロック位相発生器 401 は図 1 のプログラマブル回路 102 内にあり得る。プログラマブル遅延要素 402 は、入力クロック信号 410 と制御信号 422 とを受信するように構成される。プログラマブル遅延要素 402 はさらに、遅延クロック信号 411 を生成し、遅延クロック信号 411 を A N D デジタル論理ゲートの第 2 の入力に与えるように構成される。プログラマブル遅延要素 402 の遅延（すなわち、遅延クロック信号 411 の位相）は、制御信号 422 に基づいて調整可能であり得る。A N D デジタル論理ゲート 402 は、第 1 の入力において入力クロック信号 410 を受信し、第 2 の入力において遅延クロック信号 411 を受信するように構成される。A N D デジタル論理ゲート 403 はさらに、入力クロック信号 410 と遅延クロック信号 411 とに基づいて重複信号 412 を生成するように構成される。4050

【0054】

[0061] ローパスフィルタ404は、重複信号412を受信するように構成される。ローパスフィルタ404は、重複信号412をフィルタするように動作可能な抵抗器とキャパシタとを含み得る。たとえば、ローパスフィルタ404は、重複信号412をフィルタすることを介して(たとえば、重複信号412の高周波成分をショートさせ、負荷と並列なキャパシタンスのインピーダンスが減少することの結果として直列抵抗の両端間の電圧を低減することによって)、電圧レベルを有するフィルタされた信号414を生成するため得る。フィルタされた信号414の電圧レベルは遅延クロック信号411の位相を示し得る。フィルタされた信号414は比較器406の第1の入力に与えられる。

【0055】

[0062] 比較器406は、第1の入力においてフィルタされた信号414を受信し、第2の入力において基準信号416を受信するように構成される。比較器406は、フィルタされた信号414の電圧レベルを基準信号416の電圧レベルと比較し、比較に基づいて比較信号417を生成するように構成される。比較信号417は遅延クロック信号411の位相に対応し得る。比較信号417は較正FSM408の入力に与えられる。

【0056】

[0063] 較正FSM408は、比較信号417を受信し、較正イネーブル信号(Ca1_enable)462を受信したことに応答してプログラマブル遅延要素402の遅延を調整するように構成されたデジタル回路を含み得る。たとえば、較正FSM408は、較正デジタルコードの直近に選択されたセットに基づく遅延クロック信号411の位相が入力クロック信号410と比較して大きすぎるのか小さすぎるのかを監視するように構成される。較正FSM408は、プログラマブル遅延要素402に較正デジタルコードの更新されたセットを与えるために、比較信号417を介して遅延クロック信号411の位相を監視するように構成される。較正デジタルコードのセットはプログラマブル遅延要素402の遅延を調整し得る。

【0057】

[0064] 動作中、第1の位相を有する入力クロック信号410は、プログラマブル遅延要素402の入力およびANDデジタル論理ゲート403の第1の入力に与えられる。プログラマブル遅延要素402は、第2の位相を有する遅延クロック信号411を生成し、遅延クロック信号411をANDデジタル論理ゲート403の第2の入力に与える。

【0058】

[0065] ANDデジタル論理ゲート403は、入力クロック信号410の第1の位相および遅延クロック信号411の第2の位相に基づいて重複信号412を生成する。たとえば、入力クロック信号410と遅延クロック信号411の両方が論理高レベルにある期間中、ANDデジタル論理ゲート403は、論理高レベルを有する重複信号412を生成する。入力クロック信号410または遅延クロック信号411のいずれか(または両方)が論理低レベルにある期間中、重複信号412は論理低レベルを有する。したがって、重複信号412は、入力クロック信号410と遅延クロック信号411の両方がデジタル高論理レベルを有するとき、時間期間を表す幅を有するパルス(すなわち、周期パルス)に対応し得る。重複信号412はローパスフィルタ404に与えられる。ローパスフィルタ404は、フィルタされた信号414を生成するために重複信号412をフィルタする。フィルタされた信号414の電圧レベルは、遅延クロック信号411の第2の位相を示す(すなわち、電圧レベルは重複信号412のデューティサイクルに対応し、重複信号412のデューティサイクルは、入力クロック信号410と比較した遅延クロック信号411の位相遅延に対応する)。フィルタされた信号414は比較器406の第1の入力に与えられ、基準信号416は比較器406の第2の入力に与えられる。

【0059】

[0066] 基準信号416の電圧レベルは遅延クロック信号411の所望の位相遅延を表す。たとえば、遅延クロック信号411の所望の位相遅延が90度である場合、基準信号416の電圧レベルは90/360VDDまたは1/4VDDになる。遅延クロック信号

10

20

30

40

50

411の所望の位相遅延が60度である場合、基準信号416の電圧レベルは60/360VDDまたは1/6VDDになる。基準信号416の電圧レベルは、第1の抵抗器418の抵抗値および第2の抵抗器420の抵抗値に応答して変わり得る。たとえば、第1の抵抗器418が第2の抵抗器420の抵抗よりも3倍大きい抵抗を有する場合、ノード419（および基準信号416の電圧レベル）は1/4VDDのDC電圧レベルを有することになる。代替的に、第1の抵抗器418と第2の抵抗器420とが等しい抵抗値を有する場合、ノード419は1/2VDDの電圧レベルを有することになる。

【0060】

[0067] 比較器406は、フィルタされた信号414の電圧レベルを基準信号416の電圧レベルと比較し、比較の結果を較正FSM408に与える。較正FSM408は、プログラマブル遅延要素402の遅延を調整するために、デジタルコードを生成し、（デジタルコードに対応する）制御信号422をプログラマブル遅延要素402に与える。デジタルコードは、遅延クロック信号411の第2の位相を調整するためにプログラマブル遅延要素402の動作パラメータを調整し得る。例示のために、プログラマブル遅延要素402は図2のプログラマブルバッファ202を含み得、コードは、入力クロック信号410の遷移を選択的に遅延させるために使用され得る。別の例として、プログラマブル遅延要素402は、直列に結合されたインバータのチェーンなどの複数の遅延要素を含み得、各デジタルコードは、チェーン中の対応するインバータの出力を選択し得る。たとえば、プログラマブル遅延要素402の遅延を調整することは、結果として、遅延クロック信号411の第2の位相（すなわち、入力クロック信号410に対する遅延クロック信号411の位相）を所望の位相に調整することになり得る。

【0061】

[0068] 図4の回路400は、したがって、複数のクロック位相のために必要とされる遅延要素の数を減らしながら、遅延クロック信号411の位相を調整し得る。たとえば、図4の回路400は、プログラマブル遅延要素402に与えられたデジタルコードを使用して遅延クロック信号411の位相を調整し、複数の遅延要素または複数のクロック分配を使用する従来のシステムに関連する面積および電力使用量の増加を回避し得る。

【0062】

[0069] 図5を参照すると、クロック信号のデューティサイクルを調整する方法500の特定の実施形態のフローチャートが示されている。例示的な一実施形態では、方法500は、図1のシステム100、図2の回路200、または図3のシステム300を使用して実行され得る。

【0063】

[0070] 方法500は、502において、プログラマブルバッファにおいて入力クロック信号を受信することを含む。たとえば、図1では、プログラマブル回路102は入力クロック信号110を受信し得る。別の例として、図2では、プログラマブルバッファ202は入力クロック信号110を受信し得る。

【0064】

[0071] 504において、電圧レベルを有するフィルタされた信号を生成するために、プログラマブルバッファからの出力信号をフィルタする。たとえば、図2では、ローパスフィルタ204は、電圧レベルを有するフィルタされた信号214を生成するために、プログラマブルバッファ202からの出力信号212をフィルタし得る。電圧レベルは出力信号のデューティサイクルを示し得る。たとえば、図2では、フィルタされた信号214の電圧レベルは出力信号212のデューティサイクルを示し得る。506において、電圧レベルを基準電圧と比較する。たとえば、図2では、比較器206は、フィルタされた信号214の電圧レベルを基準信号216の電圧レベル（すなわち、基準電圧）と比較し得る。

【0065】

[0072] 508において、出力信号のデューティサイクルを調整するためにプログラマブルバッファの少なくとも1つの動作パラメータを修正する。たとえば、図2では、較正

10

20

30

40

50

F S M 2 0 8 は、出力信号 2 1 2 のデューティサイクルを調整するためにプログラマブルバッファ 2 0 2 の動作パラメータを修正し得る。較正 F S M 2 0 8 は、P M O S トランジスタ 2 3 0 、 2 3 2 、 2 3 4 の個体トランジスタを選択的にアクティブにするために較正デジタルコード (C a l _ p (1 : n)) 2 5 2 の第 1 のセットを第 1 のマルチプレクサ 2 2 2 に与え得る。デフォルトコード (D e f a u l t _ p (1 : n)) 2 5 1 の第 1 のセットも第 1 のマルチプレクサ 2 2 2 に与えられ得る。第 1 のマルチプレクサ 2 2 2 は、バイパス信号 (C a l _ b y p a s s) 2 5 0 に基づいて、較正デジタルコード (C a l _ p (1 : n)) 2 5 2 の第 1 のセットを与えるべきかデフォルトコード (D e f a u l t _ p (1 : n)) 2 5 1 の第 1 のセットを与えるべきかを選択する。第 1 のマルチプレクサ 2 2 2 が較正デジタルコード 2 5 2 (すなわち、 (C a l _ p (1 : n))) に対応する (S e l _ p (1 : n)) の第 1 のセットを選択したとき、プログラマブルバッファ 2 0 2 は、ノード 2 2 5 が充電する速度を調整するために、較正デジタルコード 2 5 2 の第 1 のセットに基づいて少なくとも 1 つの P M O S トランジスタ 2 3 0 、 2 3 2 、 2 3 4 を選択的にアクティブまたは非アクティブにし得る。較正 F S M 2 0 8 はまた、較正デジタルコード (C a l _ n (1 : n)) 2 5 4 の第 2 のセットを第 2 のマルチプレクサ 2 2 4 に与え得る。デフォルトコード (D e f a u l t _ n (1 : n)) 2 5 3 の第 2 のセットも第 2 のマルチプレクサ 2 2 4 に与えられ得る。第 2 のマルチプレクサ 2 2 4 は、較正デジタルコード (C a l _ n (1 : n)) 2 5 4 の第 2 のセットを与えるべきか、デフォルトコード (D e f a u l t _ n (1 : n)) 2 5 3 の第 2 のセットを与えるべきかを選択する。第 2 のマルチプレクサ 2 2 4 が較正デジタルコード 2 5 4 (すなわち、 ((C a l _ n (1 : n)))) に対応する S e l _ n (1 : n) の第 2 のセットを選択したとき、プログラマブルバッファ 2 0 2 は、ノード 2 2 5 が放電する速度を調整するために、較正デジタルコード 2 5 4 の第 2 のセットに基づいて少なくとも 1 つの P M O S トランジスタ 2 4 0 、 2 4 2 、 2 4 4 を選択的にアクティブまたは非アクティブにし得る。別の例として、プロセッサは、出力信号 2 1 2 のデューティサイクルを調整するためにプログラマブルバッファ 2 0 2 の動作パラメータを修正するために、デジタルコードのセットを選択するようにプログラムされ得る。プロセッサは、出力 2 1 2 のデューティサイクルと所望のデューティサイクルとの間の比較に対応する信号 (たとえば、比較信号 2 1 7) を受信することに応答して、デジタルコードのセットを選択し得る。したがって、プログラマブルバッファ 2 0 2 の動作パラメータは、出力信号 2 1 2 のデューティサイクルを調整するために修正され得る。
10
20
30

【 0 0 6 6 】

[0073] 方法 5 0 0 は、マルチレーン適用例のために使用され得るデジタルコードを使用して、出力信号 2 1 2 のデューティサイクルを 5 0 パーセントに実質的に等しくなるように調整し得る。プログラマブルバッファ 2 0 2 にデジタルコードのセットを与えることによって 1 つのデータレーンが較正され得、マルチレーン適用例のためのデューティサイクル補正バッファをもつ他のデータレーンにデジタルコードの同等のセットが分配され得る。

【 0 0 6 7 】

[0074] 図 5 の方法 5 0 0 は、出力信号 2 1 2 のデューティサイクルがほぼ所望のデューティサイクルになるまで出力信号 2 1 2 のデューティサイクルを調整するために、デジタルコードを使用して出力信号 2 1 2 のデューティサイクルを 5 0 パーセント (または別の所望のデューティサイクル) に実質的に等しくなるように調整し得ることを諒解されよう。デジタルコードは、マルチレーン適用例のために複数のデータ経路に与えられ得る。たとえば、図 5 の方法 5 0 0 は、プログラマブルバッファ 2 0 2 にデジタルコードのセットを与えることによって 1 つのデータレーンのためのクロック信号として使用されるべき出力信号 2 1 2 のデューティサイクルを較正するために使用され得、他のデータレーンを通して伝搬するクロック信号のデューティサイクルを調整するために、デジタルコードの同等のセットを他のデータレーンに関連する他のプログラマブルバッファ (たとえば、デューティサイクル補正バッファ) に分配し得る。
40
50

【0068】

[0075] 図6を参照すると、クロック信号の位相を調整する方法600特定の実施形態のフローチャートが示されている。例示的な一実施形態では、方法600は、図1のシステム100または図4の回路400によって実行され得る。

【0069】

[0076] 方法600は、602において、入力クロック信号を受信することを含む。たとえば、図1では、プログラマブル回路102は入力クロック信号110を受信し得る。別の例として、図4では、プログラマブル遅延要素402は入力クロック信号410を受信し得る。

【0070】

[0077] 604において、プログラマブル遅延要素において遅延クロック信号を生成する。たとえば、図4では、プログラマブル遅延要素402は遅延クロック信号411を生成し得る。606において、入力クロック信号と遅延クロック信号とに基づいて重複信号を生成する。たとえば、図4では、ANDデジタル論理ゲート403は、入力クロック信号410と遅延クロック信号411とに基づいて重複信号412を生成し得る。入力クロック信号410と遅延クロック信号411の両方が論理高レベルにある期間中、重複信号412は論理高レベルを有し得る。入力クロック信号410または遅延クロック信号411のいずれかまたは両方が論理低レベルにある期間中、重複信号412は論理低レベルを有し得る。

【0071】

[0078] 608において、電圧レベルを有するフィルタされた信号を生成するために重複信号をフィルタする。たとえば、図4では、ローパスフィルタ404は、電圧レベルを有するフィルタされた信号414を生成するために重複信号412をフィルタし得る。電圧レベルは、入力クロック信号410と比較した遅延クロック信号411の位相を示し得る。610において、制御信号を生成するために電圧レベルを基準電圧と比較する。たとえば、比較器406は、フィルタされた信号414の電圧レベルを基準信号416の基準電圧と比較し得る。比較器406はさらに、制御信号422を生成するために比較の結果を較正FSM408に与え得る。

【0072】

[0079] 制御信号に応答してプログラマブル遅延要素の遅延が調整され得る。たとえば、図4では、較正FSM408は、プログラマブル遅延要素402の遅延を調整するために制御信号422をプログラマブル遅延要素402に与える。制御信号422は、プログラマブル遅延要素402を遅延クロック信号411の第2の位相（すなわち、遅延）を調整するように構成する、デジタルコードに対応し得る。たとえば、プログラマブル遅延要素402の遅延を調整することは、結果として、遅延クロック信号411の第2の位相（すなわち、入力クロック信号410に対する遅延クロック信号の位相）を所望の位相に調整することになり得る。

【0073】

[0080] 方法600は、複数のクロック位相のために必要とされる遅延要素の数を減らしながら、遅延クロック信号411の位相を調整し得る。たとえば、遅延クロック信号411の位相は、面積および電力使用量を増加させ得る複数の遅延要素または複数のクロック分配を利用するのではなく、プログラマブル遅延要素402に与えられたデジタルコードを使用して調整され得る。

【0074】

[0081] 図7を参照すると、クロック信号のデューティサイクルおよび位相を調整するように動作可能な構成要素を含むワイヤレスデバイス700のブロック図が示されている。デバイス700は、メモリ732に結合されたデジタル信号プロセッサ（DSP）などのプロセッサ710を含む。

【0075】

[0082] 図7はまた、プロセッサ710とディスプレイ728とに結合されたディスプ

10

20

30

40

50

レイコントローラ 726 を示す。ディスプレイコントローラ 726 は、較正 F S M (F S M) およびプログラマブル回路 772 に結合された電圧制御発振器 (V C O) 770 をもつ位相ロックループ (P L L : phase-locked loop) を含み得る。例示的な実施形態では、較正 F S M およびプログラマブル回路 772 は、図 1 のプログラマブル回路 102 および制御回路 108 、図 2 のプログラマブルバッファ 202 および制御回路 108 、図 3 のプログラマブルバッファ 202 および制御回路 108 、または図 4 のクロック位相発生器 401 および較正 F S M 408 を含み得る。較正 F S M およびプログラマブル回路 772 は、図 2 の出力信号 212 および図 4 の遅延クロック信号 411 に関して説明したように、P L L 770 によって生成され得るクロック信号のデューティサイクルおよび / または位相を調整し得る。特定の実施形態では、較正 F S M およびプログラマブル回路 772 は、シリアルライザ / デシリアルライザ (S E R D E S : serializer/deserializer) インターフェースまたは複数のデータレーンを使用する別の高速インターフェースなど、ディスプレイ 728 の高速インターフェースにおいて使用するためのクロック信号を生成するため 10 に、図 5 の方法 500 および / または図 6 の方法 600 を実行し得る。

【 0076 】

[0083] コーダ / デコーダ (コーデック) 734 もプロセッサ 710 に結合され得る。スピーカー 736 およびマイクロフォン 738 はコーデック 734 に結合され得る。図 7 はまた、ワイヤレスコントローラ 740 がプロセッサ 710 とワイヤレスアンテナ 742 とに結合され得ることを示す。

【 0077 】

[0084] 特定の実施形態では、ワイヤレスコントローラ 740 とワイヤレスアンテナ 742 との間に配設された無線周波数 (R F) インターフェース 780 が、較正有限状態機械 (F S M) およびプログラマブル回路 792 に結合された電圧制御発振器 (V C O) 790 をもつ位相ロックループ (P L L) を含む。例示的な実施形態では、較正 F S M およびプログラマブル回路 792 は、図 1 のプログラマブル回路 102 および制御回路 108 、図 2 のプログラマブルバッファ 202 および制御回路 108 、または図 4 のクロック位相発生器 401 および較正 F S M 408 を含み得る。較正 F S M およびプログラマブル回路 792 は、図 2 の出力信号 212 および図 4 の遅延クロック信号 411 に関して説明したように、P L L 770 によって生成され得るクロック信号のデューティサイクルおよび / または位相を調整し得る。特定の実施形態では、較正 F S M およびプログラマブル回路 792 は、図 5 の方法 500 および / または図 6 の方法 600 を実行し得る。 20

【 0078 】

[0085] メモリ 732 は、実行可能命令 756 を含む有形の非一時的プロセッサ可読記憶媒体であり得る。命令 756 は、プログラマブル回路 772 、 792 中に含まれ得るプログラマブルバッファの少なくとも 1 つの動作パラメータを修正するために、プロセッサ 710 または較正有限機械 772 、 792 内のプロセッサなど、プロセッサによって実行され得る。プログラマブルバッファの少なくとも 1 つの動作パラメータが修正されると、プログラマブルバッファは、少なくとも 1 つの動作パラメータに基づいて出力信号のデューティサイクルを調整し得る。命令 756 はまた、制御信号を生成し、制御信号をプログラマブル回路 772 、 792 中に含まれ得るプログラマブル遅延要素に与えるように実行可能であり得る。制御信号がプログラマブル遅延要素に与えられるとき、プログラマブル遅延要素は、制御信号に基づいて遅延クロック信号の遅延を調整し得る。 30

【 0079 】

[0086] 特定の実施形態では、プロセッサ 710 、ディスプレイコントローラ 726 、メモリ 732 、コーデック 734 、およびワイヤレスコントローラ 740 は、システムインパッケージまたはシステムオンチップデバイス 722 中に含まれる。特定の実施形態では、入力デバイス 730 および電源 744 はシステムオンチップデバイス 722 に結合される。その上、特定の実施形態では、図 7 に示すように、ディスプレイ 728 、入力デバイス 730 、スピーカー 736 、マイクロフォン 738 、ワイヤレスアンテナ 742 、お 40

および電源 744 は、システムオンチップデバイス 722 の外部にある。ただし、ディスプレイ 728、入力デバイス 730、スピーカー 736、マイクロフォン 738、ワイヤレスアンテナ 742、および電源 744 の各々は、インターフェースまたはコントローラなど、システムオンチップデバイス 722 の構成要素に結合され得る。

【0080】

[0087] 説明した実施形態に関連して、装置は、出力信号を生成し、出力信号のデューティサイクルを調整するための手段を含む。たとえば、出力信号を生成し、出力信号のデューティサイクルを調整するための手段は、図 1 のプログラマブル回路 102、図 2 のプログラマブルバッファ 202、図 3 のプログラマブルバッファ 202、図 7 のプログラマブル回路および較正 F S M 772、図 7 のプログラマブル回路および較正 F S M 792、図 7 の命令 756 を実行するようにプログラムされたプロセッサ 710、出力信号を生成し、出力信号のデューティサイクルを調整するための 1 つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

10

【0081】

[0088] 本装置はまた、電圧レベルを有するフィルタされた信号を生成するために出力信号をフィルタする手段を含み得る。電圧レベルは出力信号のデューティサイクルを示し得る。たとえば、出力信号をフィルタするための手段は、図 1 のローパスフィルタ 104、図 2 のローパスフィルタ 204、図 3 のローパスフィルタ 204、図 7 のプログラマブル回路および較正 F S M 772、図 7 のプログラマブル回路および較正 F S M 792、図 7 の命令 756 を実行するようにプログラムされたプロセッサ 710、電圧レベルを有するフィルタされた信号を生成するために出力信号をフィルタするための 1 つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

20

【0082】

[0089] 本装置はさらに、電圧レベルを基準電圧と比較するための手段を含み得る。たとえば、電圧レベルを基準電圧と比較するための手段は、図 1 の比較器 106、図 2 の比較器 206、図 3 の比較器 206、図 7 のプログラマブル回路および較正 F S M 772、図 7 のプログラマブル回路および較正 F S M 792、図 7 の命令 756 を実行するようにプログラムされたプロセッサ 710、電圧レベルを基準電圧と比較するための 1 つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

30

【0083】

[0090] 本装置はまた、出力信号のデューティサイクルを調整するために、生成するための手段の少なくとも 1 つの動作パラメータを修正するための手段を含み得る。たとえば、少なくとも 1 つの動作パラメータを修正するための手段は、図 1 の制御回路 108、図 2 の較正 F S M 208、図 3 の較正 F S M 208、図 7 のプログラマブル回路および較正 F S M 772、図 7 のプログラマブル回路および較正 F S M 792、図 7 の命令 756 を実行するようにプログラムされたプロセッサ 710、出力信号のデューティサイクルを調整するために少なくとも 1 つ動作パラメータを修正するための 1 つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

40

【0084】

[0091] 説明した実施形態と併せて、装置は、入力クロック信号を受信したことに応答して遅延クロック信号を生成するための手段を含む。たとえば、遅延クロック信号を生成するための手段は、図 1 のプログラマブル回路 102、図 4 のプログラマブル遅延要素 402 を含むクロック位相発生器 401、図 7 のプログラマブル回路および較正 F S M 772、図 7 のプログラマブル回路および較正 F S M 792、図 7 の命令 756 を実行するようにプログラムされたプロセッサ 710、遅延クロック信号を生成するための 1 つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

【0085】

50

[0092] 装置はまた、入力クロック信号と遅延クロック信号とに基づいて重複信号を生成するための手段を含み得る。たとえば、重複信号を生成するための手段は、図1のプログラマブル回路102、図4のANDデジタル論理ゲート403を含むクロック位相発生器401、図7のプログラマブル回路および較正FSM772、図7のプログラマブル回路および較正FSM792、図7の命令756を実行するようにプログラムされたプロセッサ710、重複クロック信号を生成するための1つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

【0086】

[0093] 装置はまた、電圧レベルを有するフィルタされた信号を生成するために重複信号をフィルタするための手段を含み得る。たとえば、重複信号をフィルタするための手段は、図1のローパスフィルタ104、図4のローパスフィルタ404、図7のプログラマブル回路および較正FSM772、図7のプログラマブル回路および較正FSM792、図7の命令756を実行するようにプログラムされたプロセッサ710、電圧レベルを有するフィルタされた信号を生成するために重複信号をフィルタするための1つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

10

【0087】

[0094] 装置はまた、制御信号を生成するために電圧レベルを基準電圧と比較するための手段を含み得る。たとえば、電圧レベルを基準電圧と比較するための手段は、図1の比較器106、図4の比較器406、図7のプログラマブル回路および較正FSM772、図7のプログラマブル回路および較正FSM792、図7の命令756を実行するようにプログラムされたプロセッサ710、電圧レベルを基準電圧と比較するための1つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。制御信号を生成するための手段は、図1の制御回路108、図4の較正FSM408、図7のプログラマブル回路および較正FSM772、図7のプログラマブル回路および較正FSM792、図7の命令756を実行するようにプログラムされたプロセッサ710、制御信号を生成するための1つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

20

【0088】

[0095] 装置はまた、制御信号に応答してプログラマブル遅延要素の遅延を調整するための手段を含み得る。たとえば、プログラマブル遅延要素の遅延を調整するための手段は、図1の制御回路108、図4の較正FSM408、図7のプログラマブル回路および較正FSM772、図7のプログラマブル回路および較正FSM792、図7の命令756を実行するようにプログラムされたプロセッサ710、プログラマブル遅延要素の遅延を調整するための1つまたは複数の他のデバイス、回路、モジュール、または命令、あるいはそれらの任意の組合せを含み得る。

30

【0089】

[0096] 上記の開示されたデバイスおよび機能は、コンピュータ可読媒体に記憶されたコンピュータファイル(たとえばRTL、GDSII、GERBERなど)中に設計され、構成され得る。一部または全部のそのようなファイルは、そのようなファイルに基づいてデバイスを作製する作製ハンドラに与えられ得る。得られた製品は、次いで半導体ダイに切断され、半導体チップにパッケージングされる半導体ウエハを含む。次いでこれらのチップは、上記で説明したデバイス内で採用される。図8に、電子デバイス製造プロセス800の特定の例示的な実施形態を示す。

40

【0090】

[0097] 物理デバイス情報802は、調査コンピュータ806においてなど、製造プロセス800において受信される。物理デバイス情報802は、図1のシステム100、図2の回路200、図3のシステム300、図4の回路400、またはそれらの任意の組合せを含むデバイスなど、半導体デバイスの少なくとも1つの物理的特性を表す設計情報を含み得る。たとえば、半導体デバイスは、図1のプログラマブル回路102、図1～図4

50

のローパスフィルタ 104～404、図1～図4の比較器 106～406、図1～図4の較正 F S M 108～408、図2および図3のプログラマブルバッファ 202～302、図3のプリエンファシスドライバ 350、図3の送信機 352、図3のバスゲート 348、図3のレベルシフタ 340、342、346、図4のプログラマブル遅延要素 402、図4の A N D デジタル論理ゲート 403、図7の較正有限状態機械およびプログラマブル回路 772、792、あるいはそれらの任意の組合せを含み得る。たとえば、物理デバイス情報 802 は、調査コンピュータ 806 に結合されたユーザインターフェース 804 を介して入力される物理パラメータと、材料特性と、構造情報を含み得る。調査コンピュータ 806 は、メモリ 810 などのコンピュータ可読媒体に結合された、1つまたは複数の処理コアなどのプロセッサ 808 を含む。メモリ 810 は、ファイルフォーマットに準拠し、ライブラリファイル 812 を生成するために、プロセッサ 808 に物理デバイス情報 802 を変換せしめるように実行可能であるコンピュータ可読命令を記憶し得る。
10

【0091】

[0098] 特定の実施形態では、ライブラリファイル 812 は、変換された設計情報を含む少なくとも1つのデータファイルを含む。たとえば、ライブラリファイル 812 は、図1のシステム 100、図2の回路 200、図3のシステム 300、図4の回路 400、またはそれらの任意の組合せを含む半導体デバイスのライブラリを含み得る。たとえば、半導体デバイスは、図1のプログラマブル回路 102、図1～図4のローパスフィルタ 104～404、図1～図4の比較器 106～406、図1～図4の較正 F S M 108～408、図2および図3のプログラマブルバッファ 202～302、図3のプリエンファシスドライバ 350、図3の送信機 352、図3のバスゲート 348、図3のレベルシフタ 340、342、346、図4のプログラマブル遅延要素 402、図4の A N D デジタル論理ゲート 403、図7の較正有限状態機械およびプログラマブル回路 772、792、または、電子設計オートメーション (E D A) ツール 820 とともに使用するために与えられる、それらの任意の組合せを含み得る。
20

【0092】

[0099] ライブラリファイル 812 は、メモリ 818 に結合された、1つまたは複数の処理コアなどのプロセッサ 816 を含む設計コンピュータ 814 において E D A ツール 820 と連携して使用され得る。E D A ツール 820 は、設計コンピュータ 814 のユーザが、ライブラリファイル 812 の図1のシステム 100、図2の回路 200、図3のシステム 300、図4の回路 400、または、それらの任意の組合せを含むデバイスを設計することを可能にするために、メモリ 818 にプロセッサ 実行可能命令として記憶され得る。たとえば、設計コンピュータ 814 のユーザは、設計コンピュータ 814 に結合されたユーザインターフェース 824 を介して回路設計情報を 822 を入力し得る。回路設計情報 822 は、図1のシステム 100、図2の回路 200、図3のシステム 300、図4の回路 400、またはそれらの任意の組合せを含む半導体デバイスの少なくとも1つの物理的特性を表す設計情報を含み得る。例示のために、回路設計特性は、回路設計中の特定の回路および他の要素との関係の識別情報、配置情報、フィーチャサイズ情報、相互接続情報、または半導体デバイスの物理的特性を表す他の情報を含み得る。
30

【0093】

[0100] 設計コンピュータ 814 は、ファイルフォーマットに準拠するために、回路設計情報を 822 を含む設計情報を変換するように構成され得る。例示のために、ファイル構成は、グラフィックデータシステム (G D S I I) ファイルフォーマットなど、平面幾何学的形状、テキストラベル、および階層フォーマットにおける回路レイアウトに関する他の情報を表すデータベースバイナリファイルフォーマットを含み得る。設計コンピュータ 814 は、図1のシステム 100、図2の回路 200、図3のシステム 300、図4の回路 400、またはそれらの任意の組合せを含むデバイスを記述する情報を含む G D S I I ファイル 826 など、変換された設計情報を含むデータファイルを生成するように構成され得る。例示のために、データファイルは、図1のシステム 100、図2の回路 200、図3のシステム 300、図4の回路 400、またはそれらの任意の組合せを含み、シス
40

10

20

30

40

50

テムオンチップ (S O C) 内の追加の電子回路および構成要素をも含む、S O C に対応する情報を含み得る。

【0094】

[00101] G D S I I ファイル 8 2 6 は、G D S I I ファイル 8 2 6 中の変換された情報に従って、図 1 のシステム 1 0 0 、図 2 の回路 2 0 0 、図 3 のシステム 3 0 0 、図 4 の回路 4 0 0 、またはそれらの任意の組合せを含む半導体デバイスを製造するために、作製プロセス 8 2 8 において受信され得る。たとえば、デバイス製造プロセスは、代表的なマスク 8 3 2 として示される、フォトリソグラフィ処理とともに使用されるべきマスクなど、1 つまたは複数のマスクを作成するために G D S I I ファイル 8 2 6 をマスク製造業者 8 3 0 に与えることを含み得る。マスク 8 3 2 は、テストされ、代表的なダイ 8 3 6 などのダイに分離され得る 1 つまたは複数のウエハ 8 3 4 を生成するために作製プロセス中に使用され得る。ダイ 8 3 6 は、図 1 のシステム 1 0 0 、図 2 の回路 2 0 0 、図 3 のシステム 3 0 0 、図 4 の回路 4 0 0 、またはそれらの任意の組合せを含む回路を含み得る。

【0095】

[00102] ダイ 8 3 6 は、ダイ 8 3 6 が代表的なパッケージ 8 4 0 に組み込まれるパッケージングプロセス 8 3 8 に与えられ得る。たとえば、パッケージ 8 4 0 は、システムインパッケージ (S i P) 構成など、単一のダイ 8 3 6 または複数のダイを含み得る。パッケージ 8 4 0 は、電子デバイス技術合同協議会 (J E D E C : Joint Electron Device Engineering Council) 規格などの 1 つまたは複数の規格または仕様に準拠するように構成され得る。

【0096】

[00103] パッケージ 8 4 0 に関する情報は、コンピュータ 8 4 6 に記憶された構成要素ライブラリを介してなど、様々な製品設計者に配信され得る。コンピュータ 8 4 6 は、メモリ 8 5 0 に結合された、1 つまたは複数の処理コアなどのプロセッサ 8 4 8 を含み得る。プリント回路板 (P C B : printed circuit board) ツールは、ユーザインターフェース 8 4 4 を介してコンピュータ 8 4 6 のユーザから受信した P C B 設計情報 8 4 2 を処理するために、メモリ 8 5 0 にプロセッサ実行可能命令として記憶され得る。P C B 設計情報 8 4 2 は、回路板上のパッケージングされた半導体デバイスの物理配置情報を含み、パッケージングされた半導体デバイスは、図 1 のシステム 1 0 0 、図 2 の回路 2 0 0 、図 3 のシステム 3 0 0 、図 4 の回路 4 0 0 、またはそれらの任意の組合せを含むデバイスを含むパッケージ 8 4 0 に対応し得る。

【0097】

[00104] コンピュータ 8 4 6 は、回路板上のパッケージングされた半導体デバイスの物理配置情報ならびにトレースおよびビアなどの電気接続のレイアウトを含むデータをもつ G E R B E R ファイル 8 5 2 などのデータファイルを生成するために P C B 設計情報 8 4 2 を変換するように構成され得、パッケージングされた半導体デバイスは、図 1 のシステム 1 0 0 、図 2 の回路 2 0 0 、図 3 のシステム 3 0 0 、図 4 の回路 4 0 0 、またはそれらの任意の組合せを含むパッケージ 8 4 0 に対応する。他の実施形態では、変換された P C B 設計情報によって生成されるデータファイルは、G E R B E R フォーマット以外のフォーマットを有し得る。

【0098】

[00105] G E R B E R ファイル 8 5 2 は、ボードアセンブリプロセス 8 5 4 において受信され、代表的な P C B 8 5 6 などの P C B を作成するために使用され、G E R B E R ファイル 8 5 2 内に記憶された設計情報に従って製造され得る。たとえば、G E R B E R ファイル 8 5 2 は、P C B 製造プロセスの様々なステップを実行するために 1 つまたは複数の機械にアップロードされ得る。P C B 8 5 6 は、代表的なプリント回路アセンブリ (P C A : printed circuit assembly) 8 5 8 を形成するために、パッケージ 8 4 0 を含む電子構成要素でポピュレートされ得る。

【0099】

[00106] P C A 8 5 8 は、製品製造プロセス 8 6 0 において受信され、第 1 の代表的

10

20

30

40

50

な電子デバイス 862 および第 2 の代表的な電子デバイス 864 など、1つまたは複数の電子デバイス中に統合され得る。例示的な、非限定的な例として、第 1 の代表的な電子デバイス 862、第 2 の代表的な電子デバイス 864、または両方は、図 1 のシステム 100、図 2 の回路 200、図 3 のシステム 300、図 4 の回路 400、またはそれらの任意の組合せがその中に統合される、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定ロケーションデータユニット、およびコンピュータのグループから選択され得る。別の例示的な、非限定的な例として、電子デバイス 862 および電子デバイス 864 のうちの 1つまたは複数は、モバイルフォンなどのリモートユニット、ハンドヘルドパーソナル通信システム（PCS）ユニット、個人情報端末などのポータブルデータユニット、全地球測位システム（GPS）対応デバイス、ナビゲーションデバイス、メーター読み取り機器などの固定ロケーションデータユニット、あるいはデータまたはコンピュータ命令を記憶するかまたは取り出す任意の他のデバイス、あるいはそれらの任意の組合せであり得る。本開示の教示によるリモートユニットに加えて、本開示の実施形態は、メモリとオンチップ回路とを含むアクティブ集積回路を含む任意のデバイスにおいて適切に採用され得る。
10

【0100】

[00107] 図 1 のシステム 100、図 2 の回路 200、図 3 のシステム 300、図 4 の回路 400、またはそれらの任意の組合せを含むデバイス。たとえば、デバイスは、図 1 のプログラマブル回路 102、図 1～図 4 のローパスフィルタ 104～404、図 1～図 4 の比較器 106～406、図 1～図 4 の較正 FSM 108～408、図 2 および図 3 のプログラマブルバッファ 202～302、図 3 のプリエンファシスドライバ 350、図 3 の送信機 352、図 3 のバスゲート 348、図 3 のレベルシフタ 340、342、346、図 4 のプログラマブル遅延要素 402、図 4 のAND デジタル論理ゲート 403、図 7 の較正有限状態機械およびプログラマブル回路 772、792、またはそれらの任意の組合せを含み得、例示的なプロセス 800 で説明したように、作製され、処理され、電子デバイスに組み込まれ得る。図 1～図 7 に関して開示した実施形態の 1つまたは複数の態様は、ライブラリファイル 812、GDSII ファイル 826、GERBER ファイル 852 内など、様々な処理段階において含まれ、ならびに調査コンピュータ 806 のメモリ 810、設計コンピュータ 814 のメモリ 818、コンピュータ 846 のメモリ 850、ポートアセンブリプロセス 854 においてなど、様々な段階において使用される 1つまたは複数の他のコンピュータまたはプロセッサのメモリ（図示せず）に記憶され、さらに、マスク 832、ダイ 836、パッケージ 840、PCA 858、プロトタイプ回路またはデバイスなどの他の製品（図示せず）、あるいはそれらの任意の組合せなど、1つまたは複数の他の物理的実施形態に組み込まれ得る。物理デバイス設計から最終製品までの製造の様々な代表的な段階が示されているが、他の実施形態では、より少ない段階が使用されるか、または追加の段階が含まれ得る。同様に、プロセス 800 は、プロセス 800 の様々な段階を実行する単一のエンティティによってあるいは 1つまたは複数のエンティティによって実行され得る。
20
30

【0101】

[00108] さらに、本明細書で開示した実施形態に関して説明した様々な例示的な論理ブロック、構成、モジュール、回路、およびアルゴリズムステップは、電子ハードウェア、プロセッサによって実行されるコンピュータソフトウェア、または両方の組合せとして実装され得ることを、当業者は諒解されよう。様々な例示的な構成要素、ブロック、構成、モジュール、回路、およびステップについて、上記では概して、それらの機能に関して説明した。そのような機能をハードウェアとして実装するか、プロセッサ実行可能命令として実装するかは、特定の適用例および全体的なシステムに課される設計制約に依存する。当業者は、説明した機能を特定の適用例ごとに様々な方法で実装し得るが、そのような実装の決定は、本開示の範囲からの逸脱を生じるものと解釈すべきではない。
40

【0102】

[00109] 本明細書で開示した実施形態に関して説明した方法またはアルゴリズムのステップは、直接ハードウェアで実施されるか、プロセッサによって実行されるソフトウェアモジュールで実施されるか、またはその2つの組合せで実施され得る。ソフトウェアモジュールは、ランダムアクセスメモリ（RAM）、フラッシュメモリ、読み取り専用メモリ（ROM）、プログラマブル読み取り専用メモリ（PROM）、消去可能プログラマブル読み取り専用メモリ（EPROM）、電気消去可能プログラマブル読み取り専用メモリ（EEPROM（登録商標））、レジスタ、ハードディスク、リムーバブルディスク、コンパクトディスク読み取り専用メモリ（CD-ROM）、または当技術分野で知られている任意の他の形態の非一時的記憶媒体中に常駐し得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるよう、プロセッサに結合される。代替として、記憶媒体はプロセッサに一体化され得る。プロセッサおよび記憶媒体は特定用途向け集積回路（ASIC）中に常駐し得る。ASICは、コンピューティングデバイスまたはユーザ端末中に常駐し得る。代替として、プロセッサおよび記憶媒体は、コンピューティングデバイスまたはユーザ端末中に個別構成要素として常駐し得る。

【0103】

[00110] 開示した実施形態の上記の説明は、開示した実施形態を当業者が作成または使用できるように行つたものである。これらの実施形態への様々な変更は当業者にはすぐに明らかになり、本明細書で定義された原理は本開示の範囲から逸脱することなく他の実施形態に適用され得る。したがって、本開示は、本明細書に示した実施形態に限定されるものではなく、以下の特許請求の範囲によって定義される原理および新規の特徴と一致することが可能な最も広い範囲が与えられるべきものである。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[C1] プログラマブルバッファにおいて入力クロック信号を受信することと、
電圧レベルを有するフィルタされた信号を生成するために前記プログラマブルバッファからの出力信号をフィルタすることと、前記電圧レベルが前記出力信号のデューティサイクルを示す。

前記電圧レベルを基準電圧と比較すること、

前記出力信号の前記デューティサイクルを調整するために前記プログラマブルバッファの少なくとも1つの動作パラメータを修正することと
を備える、方法。

[C2] 前記プログラマブルバッファが、前記入力クロック信号のデジタル電圧レベルに基づいておよび前記少なくとも1つの動作パラメータに基づいてノードを選択的に充電および放電するように構成され、ここにおいて、前記出力信号の前記デューティサイクルが前記ノードの充電速度および放電速度に応答する、C1に記載の方法。

[C3] 前記ノードを充電することが、前記少なくとも1つの動作パラメータに基づいて少なくとも1つのp形金属酸化物半導体（PMOS）トランジスタを選択的にアクティブにすることを含む、C2に記載の方法。

[C4] 前記ノードを放電することが、前記少なくとも1つの動作パラメータに基づいて少なくとも1つのn形金属酸化物半導体（NMOS）トランジスタを選択的にアクティブにすることを含む、C2に記載の方法。

[C5] 前記出力信号が出力クロック信号である、C1に記載の方法。

[C6] 前記出力信号が、前記少なくとも1つの動作パラメータを修正したことに応答して50パーセントのデューティサイクルを有する、C1に記載の方法。

[C7] 前記入力クロック信号のデューティサイクルが50パーセントでない、C6に記載の方法。

[C8] 前記基準電圧が、50パーセントデューティサイクルを示す直流（DC）電圧レベルに対応する、C1に記載の方法。

[C9] 前記フィルタされた信号の前記電圧レベルが前記出力信号のDC電圧レベルに対応する、C8に記載の方法。

[C10] 前記少なくとも1つの動作パラメータを修正することが、電子デバイス中に

10

20

30

40

50

統合されたプロセッサにおいて実行される、C 1 に記載の方法。

[C 1 1] 受信された入力クロック信号に基づいて出力信号を生成するように構成されたプログラマブルバッファを備え、ここにおいて、前記出力信号のデューティサイクルが、前記プログラマブルバッファの少なくとも1つの動作パラメータに基づいて調整される、装置。

[C 1 2] 前記プログラマブルバッファの前記少なくとも1つの動作パラメータを修正するように構成された較正機械をさらに備える、C 1 1 に記載の装置。

[C 1 3] 前記出力信号をフィルタすることによってフィルタされた信号を生成するように構成されたローパスフィルタ回路をさらに備え、ここにおいて、前記フィルタされた信号が、前記出力信号の前記デューティサイクルを示す電圧レベルを有する、C 1 1 に記載の装置。 10

[C 1 4] 前記プログラマブルバッファが、前記入力クロック信号のデジタル電圧レベルに基づいておよび前記少なくとも1つの動作パラメータに基づいてノードを選択的に充電および放電することを介して前記出力信号の前記デューティサイクルを調整するように構成された、C 1 1 に記載の装置。

[C 1 5] 少なくとも1つの半導体ダイ中に統合される、C 1 1 に記載の装置。

[C 1 6] 前記プログラマブルバッファがその中に統合される、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、C 1 0 に記載の装置。 20

[C 1 7] 出力信号を生成し、前記出力信号のデューティサイクルを調整するための手段と、

電圧レベルを有するフィルタされた信号を生成するために前記出力信号をフィルタするための手段と、前記電圧レベルが前記出力信号の前記デューティサイクルを示す、

前記電圧レベルを基準電圧と比較するための手段と、

前記出力信号の前記デューティサイクルを調整するために、生成するための前記手段の少なくとも1つの動作パラメータを修正するための手段とを備える、装置。

[C 1 8] 生成するための前記手段がプログラマブルバッファを含む、C 1 7 に記載の装置。 30

[C 1 9] 少なくとも1つの半導体ダイ中に統合される、C 1 7 に記載の装置。

[C 2 0] 生成するための前記手段と、フィルタするための前記手段と、比較するための前記手段と、修正するための前記手段とがその中に統合される、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、C 1 7 に記載の装置。

[C 2 1] プロセッサによって実行されたとき、前記プロセッサに、

プログラマブルバッファの少なくとも1つの動作パラメータを修正すること、ここにおいて、前記プログラマブルバッファが、前記少なくとも1つの動作パラメータに基づいて出力信号のデューティサイクルを調整するように構成される、
を行わせる命令を備える、非一時的コンピュータ可読媒体。 40

[C 2 2] 前記プログラマブルバッファが、入力クロック信号のデジタル電圧レベルに基づいておよび前記少なくとも1つの動作パラメータに基づいてノードを選択的に充電および放電するように構成され、ここにおいて、前記出力信号の前記デューティサイクルが前記ノードの充電速度および放電速度に応答する、C 2 1 に記載の非一時的コンピュータ可読媒体。

[C 2 3] 前記命令が、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（P 50

D A)、固定口ケーションデータユニット、およびコンピュータからなるグループから選択されたデバイス中に統合されたプロセッサによって実行可能である、C 2 1 に記載の非一時的コンピュータ可読媒体。

[C 2 4] 入力クロック信号を受信することと、

プログラマブル遅延要素において遅延クロック信号を生成することと、

前記入力クロック信号と前記遅延クロック信号とに基づいて重複信号を生成することと、

電圧レベルを有するフィルタされた信号を生成するために前記重複信号をフィルタすることと、

制御信号を生成するために前記電圧レベルを基準電圧と比較することと、

前記制御信号に応答して前記プログラマブル遅延要素の遅延を調整することとを備える、方法。

[C 2 5] 前記制御信号を生成することが、電子デバイス中に統合されたプロセッサにおいて実行される、C 2 4 に記載の方法。

[C 2 6] 入力クロック信号を受信したことに応答して遅延クロック信号を生成するための手段と、

前記入力クロック信号と前記遅延クロック信号とに基づいて重複信号を生成するための手段と、

電圧レベルを有するフィルタされた信号を生成するために前記重複信号をフィルタするための手段と、

制御信号を生成するために前記電圧レベルを基準電圧と比較するための手段と、

前記制御信号に応答して、生成するための前記手段の遅延を調整するための手段とを備える、装置。

[C 2 7] 少なくとも1つの半導体ダイ中に統合される、C 2 6 に記載の装置。

[C 2 8] 前記遅延クロック信号を生成するための前記手段と、前記重複信号を生成するための前記手段と、フィルタするための前記手段と、比較するための前記手段と、調整するための前記手段とがその中に統合される、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定口ケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、C 2 6 に記載の装置。

[C 2 9] 入力クロック信号を受信したことに応答して遅延クロック信号を生成するように構成されたプログラマブル遅延要素を備え、ここにおいて、前記遅延クロック信号の遅延が、制御信号に基づいて調整可能である、

装置。

[C 3 0] 前記制御信号を生成するように構成された較正有限状態機械をさらに備える、C 2 9 に記載の装置。

[C 3 1] 少なくとも1つの半導体ダイ中に統合される、C 2 9 に記載の装置。

[C 3 2] 前記プログラマブル遅延要素がその中に統合される、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定口ケーションデータユニット、およびコンピュータからなるグループから選択されたデバイスをさらに備える、C 2 9 に記載の装置。

[C 3 3] プロセッサによって実行されたとき、前記プロセッサに、
制御信号を生成することと、

プログラマブル遅延要素に前記制御信号を与えることと、ここにおいて、前記プログラマブル遅延要素が、前記制御信号に基づいて遅延クロック信号の遅延を調整するように構成される、

を行わせる命令を備える、非一時的コンピュータ可読媒体。

[C 3 4] 前記遅延クロック信号が、前記制御信号および入力クロック信号を受信したことに応答して前記プログラマブル遅延要素を生成される、C 3 3 に記載の非一時的コン

10

20

30

40

50

ピュータ可読媒体。

[C 35] 前記命令が、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、携帯情報端末（PDA）、固定ロケーションデータユニット、およびコンピュータからなるグループから選択されたデバイス中に統合されたプロセッサによって実行可能である、C 33 に記載の非一時的コンピュータ可読媒体。

[C 36] プログラマブルバッファにおいて入力クロック信号を受信するためのステップと、

電圧レベルを有するフィルタされた信号を生成するために前記プログラマブルバッファからの出力信号をフィルタするためのステップと、前記電圧レベルが前記出力信号のデューティサイクルを示す、

10

前記電圧レベルを基準電圧と比較するためのステップと

前記出力信号の前記デューティサイクルを調整するために前記プログラマブルバッファの少なくとも1つの動作パラメータを修正するためのステップとを備える、方法。

[C 37] 修正するための前記ステップが、電子デバイス中に統合されたプロセッサにおいて実行される、C 36 に記載の方法。

[C 38] 半導体デバイスの少なくとも1つの物理的性質を表す設計情報を受信することと、前記半導体デバイスが、

受信された入力クロック信号に基づいて出力信号を生成するように構成されたプログラマブルバッファを備え、ここにおいて、前記出力信号のデューティサイクルが、前記プログラマブルバッファの少なくとも1つの動作パラメータに基づいて調整される、

20

ファイルフォーマットに準拠するように前記設計情報を変換することと、

前記変換された設計情報を含むデータファイルを生成することとを備える、方法。

[C 39] 前記データファイルがGDSIIフォーマットを備える、C 38 に記載の方法。

[C 40] 前記データファイルがGERBERフォーマットを備える、C 38 に記載の方法。

【 図 1 】

図 1

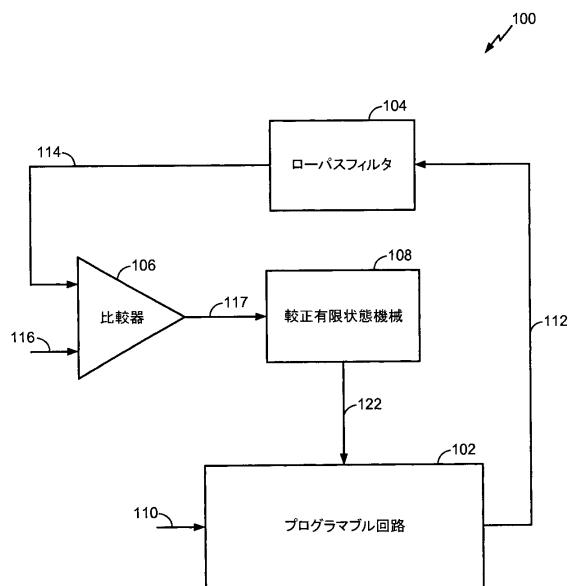


FIG. 1

【 図 2 】

2

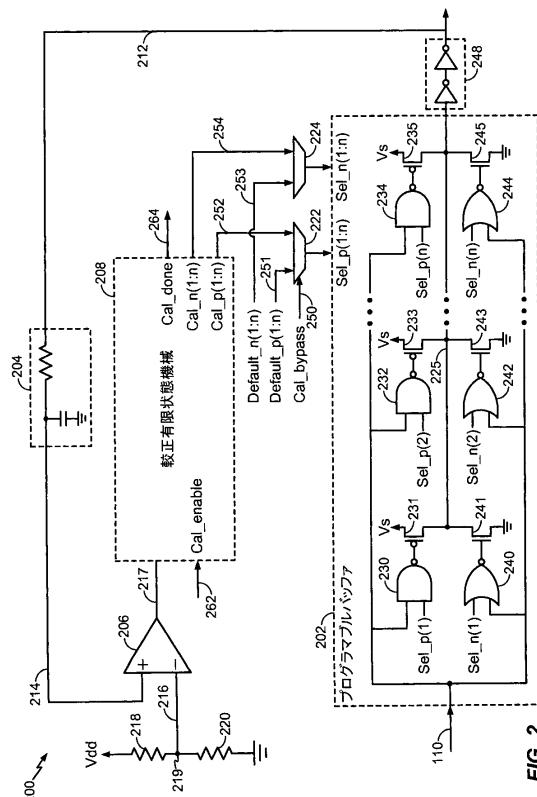


FIG. 2

【図3】

图 3

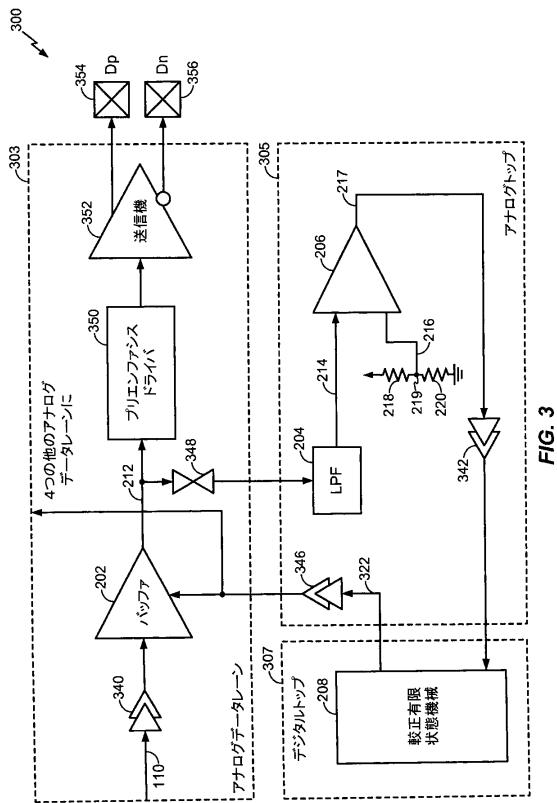


FIG. 3

【図4】

4

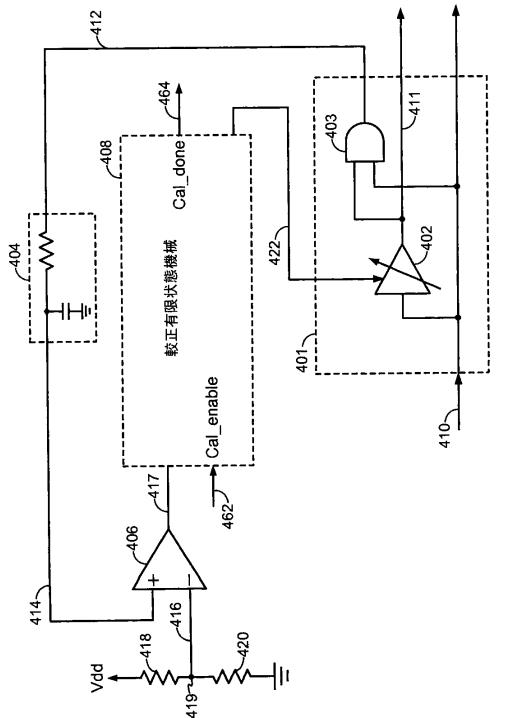


FIG. 4

【図5】

图 5

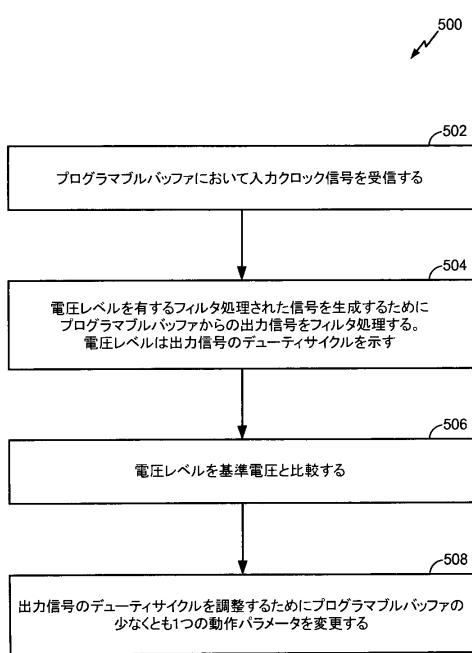


FIG. 5

【図6】

6

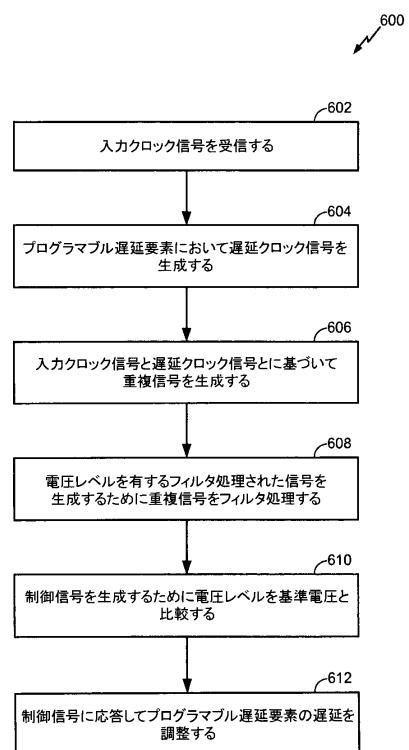


FIG. 6

【図7】

図 7

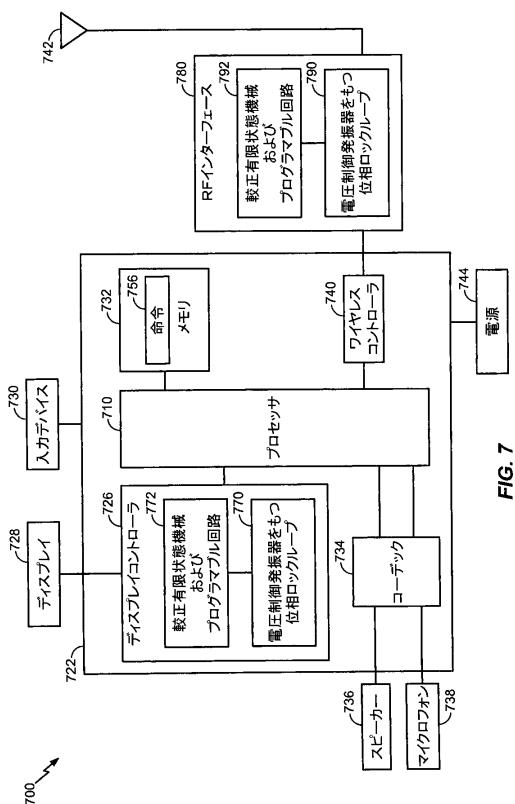


FIG. 7

【図8】

10

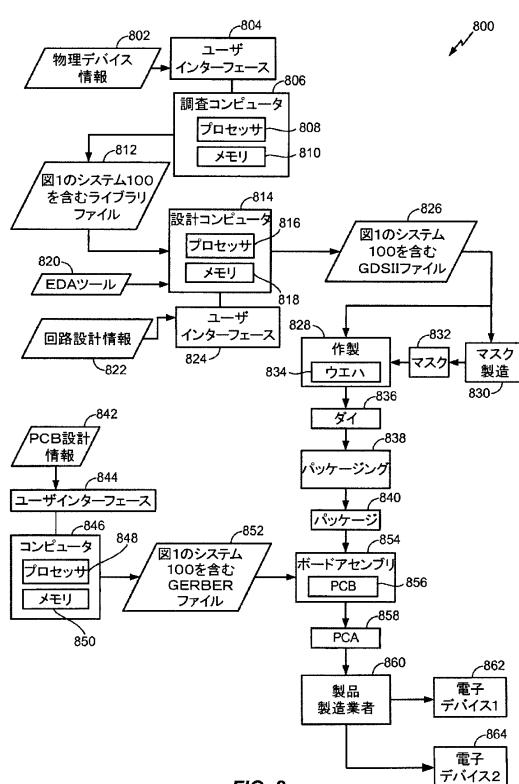


FIG. 8

フロントページの続き

(72)発明者 ゴンザレス、ジェイソン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ダング、バンナム

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ジュ、ジー

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

審査官 栗栖 正和

(56)参考文献 特開2009-290859(JP, A)

米国特許第07423467(US, B1)

特開2007-174669(JP, A)

米国特許出願公開第2010/0188126(US, A1)

特開2008-160610(JP, A)

米国特許出願公開第2009/0302912(US, A1)

特開昭58-159020(JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 3/017

H03K 5/04

H03K 19/0175