



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월10일
 (11) 등록번호 10-1056013
 (24) 등록일자 2011년08월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2004-0061047
 (22) 출원일자 2004년08월03일
 심사청구일자 2009년07월28일
 (65) 공개번호 10-2006-0012373
 (43) 공개일자 2006년02월08일

(56) 선행기술조사문헌

KR100205388 B1*
 KR1020010019668 A*
 KR1019980021018 A*
 KR1020020079196 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사
 서울 용산구 한강로3가 65-228

(72) 발명자

양준영
 경기도 부천시 원미구 상동 서해아파트 2407-1303

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 21 항

심사관 : 임동재

(54) 액정표시장치용 어레이기판 제조방법

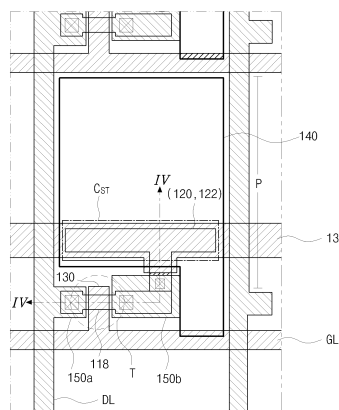
(57) 요약

본 발명은 구동 소자 및 스위칭 소자로 다결정 실리콘 박막트랜지스터를 사용한 구동회로 일체형 액정표시장치용 어레이 기판과 그 제조방법에 관한 것이다.

본 발명은 구동회로 일체형 액정표시장치용 어레이 기판을 제작함에 있어, 9마스크 공정으로 제작하였던 것을 6마스크 공정과 5마스크 공정으로 제작할 수 있는 것을 특징으로 한다.

본 발명의 5,6 마스크 공정에서는 공통적으로 스토리지 영역의 액티브층에 불순물을 도핑하기 위한 별도의 마스크 공정을 진행하는 대신, 액티브층을 형성하는 공정 중 회절마스크를 사용하여 상기 액티브층의 표면에 금속층을 형성함으로써 공정을 줄일 수 있는 것을 특징으로 한다.

대표도 - 도13



특허청구의 범위

청구항 1

스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동 영역이 정의된 기판과;

상기 구동 영역에 위치하고 각각은 순차 적층된 형태로 제 1 게이트 전극과, 게이트 절연막과, 순수 다결정실리콘의 제 1 영역과 이의 양측으로 불순물이 도핑된 다결정실리콘의 제 2 영역으로 이루어진 제 1 반도체층과, 층간절연막과, 상기 제 2 영역과 각각 접촉하며 서로 이격하는 제 1 소스 전극 및 제 1 드레인 전극을 포함하는 n형 박막트랜지스터와 p형 박막트랜지스터로 구성된 CMOS 소자와;

상기 스위칭 영역에 구성되고, 순차 적층된 형태로 제 2 게이트 전극과 순수 다결정실리콘의 제 1 영역과 이의 양측으로 불순물이 도핑된 다결정실리콘의 제 2 영역으로 이루어진 제 2 반도체층과, 층간절연막과, 상기 제 2 영역과 각각 접촉하며 서로 이격하는 제 2 소스 전극 및 제 2 드레인 전극을 포함하는 스위칭 박막트랜지스터와;

상기 스토리지 영역에 위치하고 상기 스위칭 영역의 제 2 반도체층에서 연장된 연장부와, 연장부의 상부에 구성된 금속층과, 상기 금속층의 상부에 상기 게이트 절연막을 개재하여 구성된 스토리지 배선으로 이루어진 제 1 스토리지 캐패시터와;

상기 화소 영역에 위치하고 상기 스위칭 영역의 스위칭 박막트랜지스터와 접촉하는 화소 전극

을 포함하는 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 스위칭 영역의 제 2 게이트 전극과 접촉하는 게이트 배선과, 상기 스위칭 영역의 스위칭 박막트랜지스터의 드레인 전극과 접촉하는 데이터 배선을 포함하는 액정표시장치용 어레이기판.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 스위칭 영역의 스위칭 박막트랜지스터의 제 2 드레인 전극은 상기 연장부 상부의 금속층과 상기 화소 전극과 동시에 접촉하여 구성된 액정표시장치용 어레이기판.

청구항 5

제 1 항에 있어서,

상기 화소 전극은 상기 스토리지 영역까지 연장 형성되며, 상기 스토리지 배선을 제 2 전극으로 하고, 상기 제 2 전극 상부의 상기 화소 전극을 제 3 전극으로 하여 제 2 스토리지 캐패시터를 이루며, 상기 제 1 및 제 2 스토리지 캐패시터는 병렬 연결된 것이 특징인 액정표시장치용 어레이기판.

청구항 6

기판을 스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동영역으로 정의하는 단계와;

상기 구동 영역에 제 1, 제 2 액티브 패턴을 형성하고, 상기 스위칭 영역에 제 3 액티브 패턴을 형성하고, 상기 제 3 액티브 패턴에서 상기 스위칭 영역으로 연장된 연장부를 형성하고, 상기 연장부의 상부에 금속층을 형성하는 제 1 마스크 공정 단계와;

상기 제 1, 제 2, 제 3 액티브 패턴의 일부 상부에 게이트 절연막을 사이에 두고 각각 제 1, 제 2, 제 3 게이트 전극과, 상기 스토리지 영역에 스토리지 배선을 형성하는 제 2 마스크 공정 단계와;

상기 제 1 및 제 3 게이트 전극 주변으로 노출된 제 1 및 제 3 액티브 패턴에 고농도 n형 불순물(n+ 불순물)과,

저농도 n형 불순물(n- 불순물)을 순차 도핑하는 제 3 마스크 공정 단계와;

상기 제 2 게이트 전극의 주변으로 노출된 제 2 액티브 패턴의 표면에 고농도 p형 불순물(p+불순물)을 도핑하는 제 4 마스크 공정 단계와;

상기 제 1 내지 제 3 게이트 전극과 스토리지 배선이 형성된 기판의 전면에 층간 절연막과 투명한 금속층을 적층하는 단계와;

상기 층간 절연막과 투명한 금속층을 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴의 양측을 각각 노출하고, 상기 화소 영역에는 화소 전극을 형성하는 제 5 마스크 공정 단계와;

상기 노출된 제 1 내지 제 3 액티브 패턴에 접촉되고 서로 이격된 제 1 내지 제 3 소스 전극 및 드레인 전극을 형성하는 제 6 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 7

제 6 항에 있어서,

상기 제 1 마스크 공정 단계는

기판의 전면에 다결정 실리콘층을 형성하는 단계와;

상기 다결정 실리콘층의 상부에 도전성 금속층을 형성하는 단계와;

상기 금속층이 형성된 기판의 전면에 감광층을 형성하고, 감광층의 상부에 투과부(슬릿부)와 반사부와 차단부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광한 후 현상하여, 상기 구동 영역에 처음보다 낮은 높이의 제 1 감광패턴과 제 2 감광패턴을 형성하고, 상기 스위칭 영역에 제 3 감광패턴을 형성하고, 상기 화소 영역에 처음높이 그대로의 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 하부의 상기 투명한 금속층과 다결정 실리콘층을 제거하는 단계와;

상기 제 1 내지 제 3 감광패턴을 건식식각 공정(애싱공정, ashing process)을 통해 제거하고, 그 하부로 노출된 금속층을 제거하는 단계와;

상기 제 4 감광패턴을 제거하여, 상기 구동 영역에는 패터닝된 제 1 액티브 패턴과 제 2 액티브 패턴과, 상기 스위칭 영역에는 제 3 액티브 패턴을 형성하고, 상기 스토리지 영역에는 상기 제 3 액티브 패턴에서 연장된 연장부와 상기 연장부의 상부에는 금속층을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 8

제 7 항에 있어서,

상기 마스크의 반투과부(슬릿부)는 상기 구동 영역의 상기 제 1 액티브 패턴과 제 2 액티브 패턴이 위치하는 영역과, 상기 스위칭 영역의 제 3 액티브 패턴이 위치하는 영역에 구성하고, 상기 마스크의 차단부는 상기 화소 영역에 위치하도록 하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 9

제 6 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 제 1 및 제 3 게이트 전극과 그 주변의 제 1 및 제 3 액티브 패턴의 일부 영역을 덮는 제 1 및 제 2 감광

패턴과, 상기 제 2 게이트전극 제 2 액티브 패턴을 덮는 제 3 감광패턴을 형성하는 단계와;

상기 제 1 및 제 2 감광패턴 주변의 제 1 및 제 2 액티브 패턴의 표면에 고농도 n형 불순물(n+ 불순물)을 도핑하는 단계와;

상기 제 1 내지 제 3 감광패턴을 제거한 후, 기판의 전면에 저농도 n형 불순물(n- 불순물)을 도핑하여, 상기 제 1 액티브 패턴과 제 3 액티브 패턴 중 제 1 및 제 3 게이트 전극의 주변으로 LDD영역을 형성하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 10

제 6 항에 있어서,

상기 제 5 마스크 공정 단계는

상기 제 1 내지 제 3 게이트 전극과 스토리지 배선이 형성된 기판의 전면에 층간 절연막과 투명한 금속층을 적층하는 단계와;

상기 투명한 금속층의 상부에 감광층을 형성하고, 상기 감광층과 이격된 상부에 투과부와 반투과부(슬릿부)와 차단부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 상기 감광층을 노광하고 현상하여, 상기 제 1 내지 제 3 액티브 패턴의 양측 일부를 각각 노출하고 처음보다 높이가 낮아진 제 1 감광패턴과, 상기 화소 영역에 대응하여 구성되고 처음 그대로의 높이를 유지하면서 패턴된 제 2 감광패턴을 형성하는 단계와;

상기 제 1 감광패턴 사이로 노출된 투명한 금속층과 그 하부의 상기 층간 절연막과 그 하부의 상기 게이트 절연막을 식각하여, 상기 제 1 내지 제 3 액티브 패턴의 일부를 노출하는 단계와;

다음으로, 상기 제 1 감광패턴을 제거하고 그 하부로 노출된 투명한 금속층을 제거하는 단계와;

상기 노출된 제 1 내지 제 3 액티브 패턴의 각 양측과 접촉하면서 서로 이격된 소스 전극과 드레인 전극을 형성하는 단계와;

상기 제 4 감광패턴을 제거하여, 하부의 투명한 금속층을 노출하는 단계를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 11

제 10 항에 있어서,

상기 스위칭 영역에 형성된 드레인 전극은 상기 노출된 투명 금속층과 측면 접촉하여 형성된 액정표시장치용 어레이기판 제조방법.

청구항 12

제 6 항에 있어서,

상기 스위칭 영역의 게이트 전극과 접촉하는 게이트 배선과, 상기 스위칭 영역의 드레인 전극과 접촉하는 데이터 배선을 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 13

제 6 항에 있어서,

상기 금속층을 제 1 전극으로 하고, 그 상부의 스토리지 배선을 제 2 전극으로 하고, 상기 제 2 전극 상부의 화소 전극을 제 3 전극으로 하는 병렬 연결된 스토리지 캐패시터가 구성된 액정표시장치용 어레이기판 제조방법.

청구항 14

기판을 스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동영역으로 정의하는 단계와;

상기 구동 영역에 제 1, 제 2 액티브 패턴을 형성하고, 상기 스위칭 영역에 제 3 액티브 패턴을 형성하고, 상기 제 3 액티브 패턴에서 상기 스위칭 영역으로 연장된 연장부를 형성하고, 상기 연장부의 상부에 금속층을 형성하는 제 1 마스크 공정 단계와;

상기 제 1, 제 2, 제 3 액티브 패턴의 일부 상부에 게이트 절연막을 사이에 두고 각각 제 1, 제 2, 제 3 게이트 전극과, 상기 스토리지 영역에 스토리지 배선을 형성하고, 상기 제 1 및 제 3 게이트 전극의 주변으로 노출된 제 1 및 제 3 액티브 패턴의 표면에 고농도 n형 불순물(n+ 불순물)과 저농도 n형 불순물(n- 불순물)을 순차 도핑하는 제 2 마스크 공정 단계와;

상기 제 2 게이트 전극의 주변으로 노출된 제 2 액티브 패턴의 표면에 고농도 p형 불순물(p+불순물)을 도핑하는 제 3 마스크 공정 단계와;

상기 제 1 내지 제 3 게이트 전극과 스토리지 배선이 형성된 기판의 전면에 층간 절연막과 투명한 금속층을 적층하는 단계와;

상기 층간 절연막과 투명한 금속층을 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴의 양측을 각각 노출하고, 상기 화소 영역에는 화소 전극을 형성하는 제 4 마스크 공정 단계와;

상기 노출된 제 1 내지 제 3 액티브 패턴에 각각 접촉되고 서로 이격된 소스 전극과 드레인 전극을 형성하는 제 5 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 15

제 14 항에 있어서,

상기 제 1 마스크 공정 단계는

기판의 전면에 다결정 실리콘층을 형성하는 단계와;

상기 다결정 실리콘층의 상부에 도전성 금속층을 형성하는 단계와;

상기 금속층이 형성된 기판의 전면에 감광층을 형성하고, 감광층의 상부에 투과부(슬릿부)와 반사부와 차단부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하고 현상하여, 상기 구동 영역에 처음보다 낮은 높이의 제 1 감광패턴과 제 2 감광패턴을 형성하고, 상기 스위칭 영역에 제 3 감광패턴을 형성하고, 상기 화소 영역에 처음높이 그대로의 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴의 주변으로 노출된 하부의 상기 투명한 금속층과 다결정 실리콘층을 제거하는 단계와;

상기 제 1 내지 제 3 감광패턴을 건식식각 공정(애싱공정, ashing process)을 통해 제거하고, 그 하부로 노출된 금속층을 제거하는 단계와;

상기 제 4 감광패턴을 제거하여, 상기 구동 영역에는 패터닝된 제 1 액티브 패턴과 제 2 액티브 패턴과, 상기 스위칭 영역에는 제 3 액티브 패턴을 형성하고, 상기 스토리지 영역에는 상기 제 3 액티브 패턴에서 연장된 연장부와 상기 연장부 상부에는 금속층을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 16

제 15 항에 있어서,

상기 마스크의 반투과부(슬릿부)는 상기 구동 영역의 상기 제 1 액티브 패턴과 제 2 액티브 패턴이 위치하는 영역과, 상기 스위칭 영역의 제 3 액티브 패턴이 위치하는 영역에 구성하고, 상기 마스크의 차단부는 상기 화소 영역에 위치하도록 하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 17

제 14 항에 있어서,

상기 제 2 마스크 공정 단계는

상기 제 1 및 제 3 액티브 패턴을 제 1 액티브 영역으로, 상기 제 1 액티브 영역의 주변을 LDD영역(저농도 도핑 영역)으로, 상기 LDD영역의 주변을 제 2 액티브 영역으로 정의하고, 상기 제 2 액티브 패턴은 제 1 액티브 영역과, 제 1 액티브 영역의 주변을 제 2 액티브 영역으로 정의하는 단계와;

상기 제 1 및 제 3 액티브 패턴의 상부에 게이트 절연막을 사이에 두고, 상기 제 1 액티브 영역과 LDD 영역을 덮도록 제 1 게이트 전극과 제 3 게이트 전극과, 상기 제 2 액티브 패턴의 상부에 게이트 절연막을 사이에 두고 제 2 게이트 전극을 형성하고, 상기 스토리지 영역의 상부에 스토리지 배선을 형성한 후, 상기 각 제 1 내지 제 3 게이트 전극 및 스토리지 배선의 상부에는 이들을 패터닝하는데 사용하였던 제 1 내지 제 3 감광패턴과 상기 스토리지 배선의 상부에는 제 4 감광패턴을 그대로 남겨두는 단계와;

상기 제 1 내지 제 4 감광패턴이 존재하는 상태로 기판의 전면에 고농도 n형 불순물(n+ 불순물)을 도핑하여, 상기 제 1 액티브 패턴과 제 3 액티브 패턴의 제 2 액티브 영역에 n+불순물을 도핑하는 단계와;

상기 제 1 내지 제 4 감광패턴의 일부를 식각하는 공정을 진행하고, 노출된 제 1 내지 제 3 게이트 전극과 스토리지 배선을 식각하는 공정을 진행하여, 상기 제 1 액티브 패턴과 상기 제 3 액티브 패턴의 상기 LDD 영역이 노출되도록 하는 단계와;

상기 제 1 및 제 3 액티브 패턴의 LDD 영역이 상기 제 1 및 제 3 게이트 전극의 주변으로 노출된 기판의 전면에 저농도 n형 불순물을 도핑하여, 상기 LDD 영역에 n-불순물을 도핑하는 단계와;

상기 제 1 내지 제 4 감광패턴을 제거하여 하부의 제 1 내지 제 3 게이트 전극과 상기 스토리지 배선을 노출하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 18

제 14 항에 있어서,

상기 고농도 p형 불순물(p+)은 상기 고농도 n형 불순물(n+)에 비해 2.5 배의 농도인 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 19

제 14 항에 있어서,

상기 제 5 마스크 공정 단계는

상기 제 1 내지 제 3 게이트 전극과 스토리지 배선이 형성된 기판의 전면에 층간 절연막과 투명한 금속층을 적층하는 단계와;

상기 투명한 금속층의 상부에 감광층을 형성하고, 상기 감광층과 이격된 상부에 투과부와 반투과부(슬릿부)와 차단부로 구성된 마스크를 위치시키는 단계와;

상기 마스크의 상부로 빛을 조사하여 상기 감광층을 노광하고 현상하여, 상기 제 1 내지 제 3 액티브 패턴의 양측 일부를 각각 노출하고 처음보다 높이가 낮아진 제 1 감광패턴과, 상기 화소 영역에 대응하여 구성되고 처음

그대로의 높이를 유지하면서 패턴된 제 2 감광패턴을 형성하는 단계와;

상기 제 1 감광패턴 사이로 노출된 투명한 금속층과 그 하부의 상기 층간 절연막과 그 하부의 상기 게이트 절연막을 식각하여, 상기 제 1 내지 제 3 액티브 패턴의 양측 일부를 노출하는 단계와;

다음으로, 상기 제 1 감광패턴을 제거하고 그 하부로 노출된 투명한 금속층을 제거하는 단계와;

상기 노출된 제 1 내지 제 3 액티브 패턴의 각 양측과 접촉하면서 서로 이격된 소스 전극과 드레인 전극을 형성하는 단계와;

상기 제 4 감광패턴을 제거하여, 하부의 투명한 금속층을 노출하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 20

제 14 항에 있어서,

상기 스위칭 영역에 형성된 드레인 전극은 상기 연장부 상부의 금속층과, 상기 노출된 투명 금속층과 접촉하여 형성된 액정표시장치용 어레이기판 제조방법.

청구항 21

제 14 항에 있어서,

상기 스위칭 영역의 게이트 배선과 접촉하는 게이트 배선과, 상기 스위칭 영역의 드레인 전극과 접촉하는 데이터 배선을 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 22

제 14 항에 있어서,

상기 금속층을 제 1 전극으로 하고, 그 상부의 스토리지 배선을 제 2 전극으로 하고, 상기 제 2 전극 상부의 화소 전극을 제 3 전극으로 하는 병렬 연결된 스토리지 캐패시터가 구성된 액정표시장치용 어레이기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0033] 본 발명은 액정표시장치에 관한 것으로, 특히 다결정 실리콘 박막트랜지스터를 포함하는 구동회로 일체형 액정표시장치용 어레이기판의 구성과 그 제조방법에 관한 것이다.
- [0034] 일반적으로, 액정표시장치는 박막 트랜지스터(Thin Film Transistor ; TFT)를 포함하는 어레이 기판과 컬러 필터(color filter)기판 사이에 액정을 주입하여, 이 액정의 이방성에 따른 빛의 굴절률 차이를 이용해 이미지를 얻는 표시장치이다.
- [0035] 현재에는 상기 박막 트랜지스터와 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD ; Active Matrix Liquid Crystal Display)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있으며, 상기 박막 트랜지스터 소자로는 수소화된 비정질 실리콘(a-Si:H)이 주로 이용되는데, 이는 저온 공정이 가능하여 저가의 절연기판을 사용할 수 있기 때문이다.
- [0036] 그러나, 수소화된 비정질 실리콘은 원자 배열이 무질서하기 때문에 약한 결합(weak Si-Si bond) 및 댕글링 본드(dangling bond)가 존재하여 빛 조사나 전기장 인가 시 준 안정상태로 변화되어 박막 트랜지스터 소자로 활용시

안정성이 문제로 대두되고 있으며, 전기적 특성(낮은 전계효과 이동도 : $0.1 \sim 1.0 \text{cm}^2/\text{V} \cdot \text{s}$)이 좋지 않아 구동회로는 쓰기 어렵다.

- [0037] 반면, 폴리 실리콘은 비정질 실리콘에 비하여 전계효과 이동도가 크기 때문에 기판 위에 구동회로를 만들 수 있으며, 폴리 실리콘을 이용하여 기판에 직접 구동회로를 만들면 실장이 매우 간단해 지고 액정패널을 더욱 콤팩트(compact)하게 제작할 수 있는 장점이 있다.
- [0038] 도 1은 일반적인 구동회로부 일체형 액정표시장치용 어레이 기판의 개략도이다.
- [0039] 도시한 바와 같이, 절연 기판(10)은 크게 표시부(D1)와 비표시부(D2)로 정의될 수 있으며, 상기 표시부(D1)에는 다수의 화소(P)가 매트릭스 형태로 위치하고 각 화소마다 스위칭 소자(T) 및 이와 연결된 화소 전극(78)이 구성된다.
- [0040] 또한, 상기 화소(P)의 일 측을 따라 연장된 게이트 배선(GL)과 이와는 수직하게 교차하는 데이터 배선(DL)이 구성된다.
- [0041] 상기 비표시부(D2)에는 구동회로부(DP,GP)가 구성되는데, 구동회로부(DP,GP)는 기판(10)의 일측에 위치하여 상기 게이트 배선(GL)에 신호를 인가하는 게이트 구동회로부(GP)와, 이와는 평행하지 않은 기판(10)의 타측에 위치하여 상기 데이터 배선(DL)에 신호를 인가하는 데이터 구동회로부(DP)가 구성된다.
- [0042] 또한, 상기 게이트 및 데이터 구동회로부(GP,DP)는 외부신호 입력단(OL)과 연결되어 있다.
- [0043] 상기 게이트 및 데이터 구동회로부(GP,DP)는 상기 외부신호 입력단(OL)을 통하여 입력된 외부신호를 내부에서 조절하여 각각 게이트 및 데이터 배선(GL,DL)을 통해 화소부(P)로 디스플레이 컨트롤 신호 및 데이터 신호를 공급하기 위한 장치이다.
- [0044] 따라서, 상기 게이트 및 데이터 구동회로부(GP,DP)는 입력되는 신호를 적절하게 출력시키기 위하여 인버터(inverter)인 CMOS(complementary metal-oxide semiconductor)구조의 박막트랜지스터로 구성된다.
- [0045] 상기 CMOS는 고속 신호처리가 요구되는 구동회로부 박막 트랜지스터에 사용되는 반도체 기술의 일종으로서, 음전기로 충전된 여분의 전자들(n형 반도체)과 양전기로 충전된 정공들(p형 반도체)을 이용하여 하나의 전도체를 형성하고, 상기 두 종류의 반도체들의 효과적인 전기제어에 의해 전류 게이트를 이루기 위한 상호 보완적인 방법으로 사용된다.
- [0046] 종래에서는, 상기 CMOS 소자와 스위칭 소자로 다결정 박막트랜지스터를 사용하였다.
- [0047] 도 2는 다결정 박막트랜지스터를 포함하는 종래에 따른 어레이 기판의 단일화소의 구성을 도시한 확대 평면도이다.
- [0048] 도시한 바와 같이, 기판(10)상에 일 방향으로 연장된 게이트 배선(GL)과, 이와 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(DL)이 구성된다.
- [0049] 상기 게이트 배선(GL)과 데이터 배선(DL)의 교차지점에는 폴리실리콘으로 형성된 액티브층(18)과, 액티브층(18)의 상부에 구성된 게이트 전극(34)과, 상기 액티브층(18)과 접촉하는 소스 전극(70)과 드레인 전극(72)을 포함하는 박막트랜지스터(T)가 구성된다.
- [0050] 상기 화소 영역(P)에는 상기 드레인 전극(72)과 접촉하는 화소 전극(78)이 구성된다.
- [0051] 또한, 상기 화소 영역(P)에는 스토리지 캐패시터(C_{ST})가 구성되는데 이는 화소 영역(P)을 가로지르는 스토리지 배선(36)을 제 2 전극으로 하고, 상기 제 2 전극의 하부에 위치하고 불순물이 도핑된 다결정 패턴(20)을 제 1 전극으로 한다.
- [0052] 이하, 도 3a와 도 3b를 참조하여, 앞서 언급한 구동회로부의 CMOS 소자의 단면구성과, 상기 스위칭 소자를 포함하는 화소 영역의 단면구성을 설명한다.
- [0053] 도 3a는 CMOS구조 박막 트랜지스터를 도시한 단면도이고, 3b는 스위칭 소자를 포함하는 화소 영역의 단면을 나타낸 도면으로, 도 2의 II-II를 따라 절단한 단면도이다.
- [0054] 도 3a와 도 3b에 도시한 바와 같이, 절연 기판(10)상에 버퍼층(buffer layer)(12)이 구성되고, 기판(10)의 구동회로영역(A,B)과 스위칭 영역(C)에는 CMOS 소자(n형 박막트랜지스터와 p형 박막트랜지스터의 조합)와 n형 박막트랜지스터가 위치하고, 화소 영역(P)에는 상기 n형 박막트랜지스터와 접촉하는 화소 전극(78) 및 스토리지 캐

패시터(C_{ST})가 구성된다.

- [0055] 전술한 각 영역의 단면적인 구성을 이하 설명한다.
- [0056] 도시한 바와 같이, 상기 버퍼층(12) 상부의 각 영역(A,B,C)에 제 1 액티브 패턴(14)과 제 2 액티브 패턴(16)과 제 3 액티브 패턴(18)이 구성된다.
- [0057] 상기 제 1 및 내지 제 3 액티브 패턴(14,16,18)은 다결정 실리콘층을 패터닝한 것이며, 각각은 제 1 액티브 영역(V1)과 제 2 액티브 영역(V2)으로 정의될 수 있다.
- [0058] 이때, 상기 제 3 액티브 패턴(18)은 상기 화소 영역(P)으로 연장한 연장부(20)를 포함한다.
- [0059] 상기 제 1 내지 제 3 액티브 패턴(14,16,18)이 구성된 기관(10)의 전면에는 게이트 절연막(28)이 위치하고, 게이트 절연막(28)의 상부에는 상기 각 액티브 패턴(14,16,18)의 제 1 액티브 영역(V1)에 대응하여 각각 제 1, 제 2, 제 3 게이트 전극(30,32,34)이 구성된다.
- [0060] 동시에, 상기 화소 영역(P)을 가로지르는 스토리지 배선(36)을 형성한다.
- [0061] 상기 스토리지 배선(36)은 상기 제 3 액티브 패턴(18)의 연장부(20)의 상부에 위치하게 되며 이때, 상기 연장부(20)를 제 1 전극으로 하고, 상기 스토리지 배선(36)을 제 2 전극으로 하는 스토리지 커패시터(C_{ST})가 구성된다.
- [0062] 상기 제 1 내지 제 3 게이트 전극(30,32,34)과 스토리지 배선(36)이 구성된 기관(10)의 전면에는 층간 절연막(48)이 구성되고, 상기 층간 절연막(48)과 그 하부의 게이트 절연막(28)이 식각되어 노출된 상기 각 액티브 패턴(14,16,18)의 각 제 2 액티브 영역(V2)과 접촉하는 제 1 소스 및 드레인 전극(62,64)과, 제 2 소스 및 드레인 전극(66,68)과 제 3 소스 및 드레인 전극(70,72)이 구성된다.
- [0063] 전술한 구성에서, 구동회로 영역(A,B)과 스위칭 영역(C)의 제 1 액티브 패턴과 제 3 액티브 패턴(14,18)의 제 2 액티브 영역(V2)은 게이트 전극(30,34)과 근접한 양측에 n-이온이 도핑된 LDD(Lightly Doped Drain)영역(F)과, LDD영역을 제외한 영역에는 p+이온이 도핑된 오믹 콘택영역으로 구성된다.
- [0064] 상기 LDD영역(F)은 핫캐리어(hot carrier)들을 분산시키기 위한 목적으로 구성되는 것이며, 이 영역은 도핑농도가 낮기 때문에 누설전류(I_{off})의 증가를 방지하여 온(on)상태의 전류의 손실을 막는 역할을 한다.
- [0065] 상기 화소 영역(P)에는 상기 스위칭 영역(C)의 드레인 전극(72)과 연결된 화소 전극(78)이 구성된다.
- [0066] 전술한 바와 같이 구성된, 스위칭 영역(C)의 n형 박막트랜지스터와, 구동회로 영역(A,B)에서 CMOS소자를 구성하는 n형 및 p형 박막트랜지스터는 단일 기관 상에 동일한 공정으로 제작된다.
- [0067] 이하, 전술한 다결정 실리콘 박막트랜지스터를 포함한 종래에 따른 구동회로 일체형 액정표시장치용 어레이기관의 제조방법을 설명한다.
- [0068] 도 4a와 도 4b는 제 1 마스크 공정을 나타낸 단면도이고, 도 5a와 도 5b는 제 2 마스크 공정을 나타낸 단면도이고, 도 6a와 도 6b는 제 3 마스크 공정을 나타낸 단면도이고, 도 7a와 도 7b는 제 4 마스크 공정을 나타낸 단면도이고, 도 8a와 도 8b는 제 5 마스크 공정을 나타낸 단면도이고, 도 9a와 도 9b는 제 6 마스크 공정을 나타낸 단면도이고, 도 10a와 도 10b는 제 7 마스크 공정을 나타낸 단면도이고, 도 11a와 도 11b는 제 8 마스크 공정을 나타낸 단면도이고, 도 12a와 도 12b는 제 9 마스크 공정을 나타낸 단면도이다.
- [0069] (이때, 상기 4b,5b,6b,7b,8b,9b,10b,11b,12b는 도 2의 II-II를 절단한 단면도이다.)
- [0070] 도시한 바와 같이, 기관(10)상에 N영역(A)과 P영역(B)으로 구성된 구동회로 영역(A,B)과 스위칭 영역(C) 및 스토리지 영역(ST)을 포함하는 화소 영역(P)을 정의하고, 산화 실리콘(SiO_2)을 증착하여 버퍼층(12)을 형성한다.
- [0071] 상기 버퍼층(12) 상부의 구동 회로 영역(N영역(A),P영역(B))과 스위칭 영역(C)의 상부에 제 1 마스크공정으로 패터닝한 제 1 액티브 패턴(14)과 제 2 액티브 패턴(16)과 제 3 액티브 패턴(18)을 형성한다.
- [0072] 상기 제 1 내지 제 3 액티브 패턴(14,16,18)은 다결정 실리콘층으로 형성된 것이며, 편의상 각 패턴을 제 1 액티브 영역(V1)과 제 1 액티브 영역(V1) 양측에 위치하는 제 2 액티브 영역(V2)으로 정의한다.
- [0073] 또한, 상기 N영역 및 스위칭 영역(A,C)의 제 1 액티브 영역(V1) 양측으로 LDD 영역(F)을 정의한다.
- [0074] 이때, 상기 제 3 액티브 패턴(18)은 상기 스토리지 영역(ST)으로 연장된 연장부(20)를 포함한다.

- [0075] 도 5a와 도 5b는 제 2 마스크 공정 단계를 도시한 도면으로, 상기 액티브 패턴(14,16,18)이 형성된 기판(10)의 전면에 포토레지스트(photoresist)를 도포한 후 제 2 마스크 공정으로 패터닝하여, 상기 구동 영역(A,B)과 스위칭 영역(C)의 제 1 내지 제 3 액티브 패턴(14,16,18)을 덮는 제 1, 제 2, 제 3 감광성 패턴(22,24,26)을 형성한다. 이때, 상기 제 3 액티브 패턴(18)의 연장부 즉, 다결정 실리콘패턴(20)은 노출된 상태이다.
- [0076] 다음으로, 상기 노출된 다결정 실리콘 패턴(20)의 표면에 n⁺ 또는 p⁺ 불순물 이온을 도핑하는 공정을 진행한다.
- [0077] 상기 불순물이 도핑된 다결정 실리콘 패턴(20)은 스토리지 캐패시터의 제 1 전극의 역할을 하게 된다.
- [0078] 도 6a 와 도 6b는 제 3 마스크 공정을 나타낸 단면도로서, 도시한 바와 같이, 상기 제 1 내지 제 3 액티브 패턴(14,16,18)이 형성된 기판(10)의 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(28)을 형성한다.
- [0079] 상기 게이트 절연막(28)이 형성된 기판(10)의 전면에 알루미늄(Al), 알루미늄합금(AlNd)을 증착하고 제 3 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴(14,16,18)의 각 제 1 액티브 영역(V1)에 대응하여, 각각 게이트 전극(30,32,34)을 형성한다.
- [0080] 동시에, 상기 화소 영역(P)내의 스토리지 영역(ST)상부 즉, 상기 불순물 이온이 도핑된 다결정 실리콘 패턴(20)의 상부에 스토리지 배선(36)을 형성한다.
- [0081] 이때, 상기 다결정 실리콘 패턴(20)을 제 1 전극으로 하고, 상부의 스토리지 배선(36)을 제 2 전극으로 하는 스토리지 캐패시터(C_{ST})가 구성된다.
- [0082] 다음으로, 상기 게이트 전극(30,32,34)이 형성된 기판(10)의 전면에 n⁻이온(저농도의 n형 불순물 이온 도핑)을 도핑하는 공정을 진행한다.
- [0083] 전술한 도핑공정으로, 상기 게이트 전극(30,32,34)의 주변으로 노출된 제 1 내지 제 3 액티브 패턴(14,16,18)의 표면은 n⁻이온이 도핑된 상태가 된다.
- [0084] 도 7a와 도 7b는 제 4 마스크 공정을 나타낸 도면으로, 상기 노출된 제 1 내지 제 3 액티브 패턴(14,16,18)의 표면에 n⁻이온 도핑이 진행된 기판(10)의 전면에 포토레지스트(photoresist)를 도포한 후 제 4 마스크 공정으로 패터닝하여, 상기 구동 영역(A,B)의 N영역(A)에 정의된 LDD 영역(F)을 덮는 제 1 포토레지스트 패턴(38)과, P영역(B)을 덮는 제 2 포토레지스트 패턴(40)과, 스위칭 영역(C)의 LDD영역(F)을 덮는 제 3 포토레지스트 패턴(42)을 형성한다.
- [0085] 이때, N영역(A)과 스위칭 영역(C)의 제 1 및 제 3 액티브 패턴(14,18)의 제 2 액티브 영역(V2)이 노출된 상태가 된다.
- [0086] 다음으로, 상기 제 1 내지 제 3 포토레지스트 패턴(38,40,42)이 형성된 기판(10)의 전면에 n⁺이온(고농도의 n형 이온)을 도핑하는 공정을 진행한다.
- [0087] 이와 같이 하면, 상기 N영역(A)의 노출된 액티브 패턴(14)과, 상기 스위칭 영역(C)의 노출된 액티브 패턴(18)의 표면에 n⁺이온이 도핑되어 이 부분은 오믹 콘택층(ohmic contact layer)으로서 기능을 하게 된다.
- [0088] 다음으로, 상기 제 1 내지 제 3 포토레지스트 패턴(38,40,42)을 제거하는 공정을 진행한다.
- [0089] 도 8a와 도 8b는 제 5 마스크 공정을 나타낸 도면으로, 도시한 바와 같이 상기 n⁺불순물 이온을 도핑하는 공정을 진행한 기판(10)의 전면에 포토레지스트를 도포한 후 제 5 마스크 공정으로 패터닝하여, 상기 N영역(A)과 스위칭 영역(C)을 각각 덮는 제 1 포토레지스트 패턴(44)과 제 2 포토레지스트 패턴(46)을 형성한다.
- [0090] 다음으로, 상기 제 1 및 제 2 포토레지스트 패턴(44,46)이 형성된 기판(10)의 전면에 p⁺불순물 이온(고농도 p⁺ 불순물 이온)을 도핑하는 공정을 진행하여, 상기 P영역(B)의 노출된 제 2 액티브 패턴(16, 상seite는 제 2 액티브 영역)의 표면에 p⁺이온을 도핑한다.
- [0091] p⁺ 이온이 도핑된 영역 또한, 오믹 콘택층(ohmic contact layer)으로서의 기능을 하게 된다.
- [0092] 도 9a와 도 9b는 제 6 마스크 공정을 나타낸 도면으로, 도시한 바와 같이, p⁺이온을 도핑하는 공정이 진행된 기판(10)의 전면에 산화 실리콘(SiO₂)을 증착하여, 층간 절연막(48)을 형성한 후 제 6 마스크 공정으로 패터닝하여, 상기 N형 영역(A)의 제 2 액티브 영역(V2,n⁺이온이 도핑된 영역)을 노출하는 제 1 콘택홀(50)과 제 2 콘택홀(52)을 형성하고, 상기 P형 영역(B)의 제 2 액티브 영역(V2,p⁺이온이 도핑된 영역)을 노출하는 제 3 콘택홀(5

4)과 제 4 콘택홀(56)을 형성하고, 상기 스위칭 영역(C)의 제 2 액티브 영역(V2, n+ 이온이 도핑된 영역)을 노출하는 제 5 콘택홀(58)과 제 6 콘택홀(60)을 형성한다.

[0093] 도 10a와 도 10b는 제 7 마스크 공정을 나타낸 도면으로, 도시한 바와 같이, 상기 층간 절연막(48)이 형성된 기판(10)의 전면에 앞서 언급한 바와 같은 도전성 금속 그룹 중 선택된 하나를 증착하고 제 7 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 액티브 패턴(14,16,18)의 노출된 각 제 2 액티브 영역(V2)과 접촉하는 소스 전극(62,66,70)과 드레인 전극(64,68,72)을 형성한다.

[0094] 도 11a와 도 11b는 제 8 마스크 공정을 나타낸 도면으로, 도시한 바와 같이, 상기 소스 및 드레인 전극(62,66,70/64,68,72)이 형성된 기판(10)의 전면에 무기절연물질을 증착하여 보호막(74)을 형성한다.

[0095] 다음으로, 상기 보호막(74)을 제 8 마스크 공정으로 패터닝하여, 상기 스위칭 영역(C)의 드레인 전극(72)을 노출하는 드레인 콘택홀(76)을 형성한다.

[0096] 도 12a와 도 12b는 제 9 마스크 공정을 나타낸 도면으로, 상기 보호막(74)이 형성된 기판(10)의 전면에 인듐-틴-옥사이드(ITO)를 증착하고 패터닝하여, 상기 노출된 드레인 전극(72)과 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(78)을 형성한다.

[0097] 전술한 바와 같은 공정을 통해, 구동 영역과 스위칭 영역에 다결정 박막트랜지스터로 구성된 CMOS 소자와 스위칭 소자를 포함하는 종래에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

[0098] 그러나, 종래에 따른 액정표시장치용 어레이기판의 제조방법은 공정수가 상당히 많은 편에 속하며, 이와 같이 공정수가 많게 되면 액정표시장치를 제작함에 있어 불량발생 확률을 높이는 동시에, 공정 시간 지연 및 공정 비용을 높여 제품의 수율을 떨어뜨리는 문제가 되고 있다.

발명이 이루고자 하는 기술적 과제

[0099] 본 발명은 전술한 문제점을 해결하기 위한 것을 목적으로 하며, 종래의 9마스크 공정을 6 마스크 공정 및 5 마스크 공정으로 줄여 어레이 기판을 제작하는 방법을 제안한다.

[0100] 본 발명은 공정수를 낮추어 불량발생 확률을 현저히 줄이고, 공정시간 단축 및 공정 비용을 절감할 수 있도록 하는 것을 목적으로 한다.

발명의 구성 및 작용

[0101] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동 영역이 정의된 기판과; 상기 구동 영역에 위치하고 각각 순차 적층된 형태로 제 1 게이트 전극과, 게이트 절연막과, 순수 다결정실리콘의 제 1 영역과 이의 양측으로 불순물이 도핑된 다결정실리콘의 제 2 영역으로 이루어진 제 1 반도체층과, 층간절연막과, 상기 제 2 영역과 각각 접촉하며 서로 이격하는 제 1 소스 전극 및 제 1 드레인 전극을 포함하는 n형 박막트랜지스터와 p형 박막트랜지스터로 구성된 CMOS 소자와; 상기 스위칭 영역에 구성되고, 순차 적층된 형태로 제 2 게이트 전극과 순수 다결정실리콘의 제 1 영역과 이의 양측으로 불순물이 도핑된 다결정실리콘의 제 2 영역으로 이루어진 제 2 반도체층과, 층간절연막과, 상기 제 2 영역과 각각 접촉하며 서로 이격하는 제 2 소스 전극 및 제 2 드레인 전극을 포함하는 스위칭 박막트랜지스터와; 상기 스토리지 영역에 위치하고 상기 스위칭 영역의 제 2 반도체층에서 연장된 연장부와, 연장부의 상부에 구성된 금속층과, 상기 금속층의 상부에 상기 게이트 절연막을 개재하여 구성된 스토리지 배선으로 이루어진 제 1 스토리지 캐패시터와; 상기 화소 영역에 위치하고 상기 스위칭 영역의 스위칭 박막트랜지스터와 접촉하는 화소 전극을 포함한다.

[0102] 삭제

[0103] 본 발명의 제 1 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판을 스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동영역으로 정의하는 단계와; 상기 구동 영역에 제 1, 제 2 액티브 패턴을 형성하고, 상기 스위칭 영역에 제 3 액티브 패턴을 형성하고, 상기 제 3 액티브 패턴에서 상기 스위칭 영역으로 연장된 연

장부를 형성하고, 상기 연장부의 상부에 금속층을 형성하는 제 1 마스크 공정 단계와; 상기 제 1, 제 2, 제 3 액티브 패턴의 일부 상부에 게이트 절연막을 사이에 두고 각각 제 1, 제 2, 제 3 게이트 전극과, 상기 스토리지 영역에 스토리지 배선을 형성하는 제 2 마스크 공정 단계와; 상기 제 1 및 제 3 게이트 전극 주변으로 노출된 제 1 및 제 3 액티브 패턴에 고농도 n형 불순물(n+ 불순물)과, 저농도 n형 불순물(n- 불순물)을 순차 도핑하는 제 3 마스크 공정 단계와; 상기 제 2 게이트 전극의 주변으로 노출된 제 2 액티브 패턴의 표면에 고농도 p형 불순물(p+불순물)을 도핑하는 제 4 마스크 공정 단계와; 상기 제 1 내지 제 3 게이트 전극과 스토리지 배선이 형성된 기판의 전면에 층간 절연막과 투명한 금속층을 적층하는 단계와; 상기 층간 절연막과 투명한 금속층을 패턴하여, 상기 제 1 내지 제 3 액티브 패턴의 양측을 각각 노출하고, 상기 화소 영역에는 화소 전극을 형성하는 제 5 마스크 공정 단계와; 상기 노출된 제 1 내지 제 3 액티브 패턴에 접촉되고 서로 이격된 제 1 내지 제 3 소스 전극 및 드레인 전극을 형성하는 제 6 마스크 공정 단계를 포함한다.

[0104] 본 발명의 제 2 특징에 따른 어레이기판 제조방법은 기판을 스위칭 영역 및 스토리지 영역을 포함하는 화소 영역과, 구동영역으로 정의하는 단계와; 상기 구동 영역에 제 1, 제 2 액티브 패턴을 형성하고, 상기 스위칭 영역에 제 3 액티브 패턴을 형성하고, 상기 제 3 액티브 패턴에서 상기 스위칭 영역으로 연장된 연장부를 형성하고, 상기 연장부의 상부에 금속층을 형성하는 제 1 마스크 공정 단계와; 상기 제 1, 제 2, 제 3 액티브 패턴의 일부 상부에 게이트 절연막을 사이에 두고 각각 제 1, 제 2, 제 3 게이트 전극과, 상기 스토리지 영역에 스토리지 배선을 형성하고, 상기 제 1 및 제 3 게이트 전극의 주변으로 노출된 제 1 및 제 3 액티브 패턴의 표면에 고농도 n형 불순물(n+ 불순물)과 저농도 n형 불순물(n- 불순물)을 순차 도핑하는 제 2 마스크 공정 단계와; 상기 제 2 게이트 전극의 주변으로 노출된 제 2 액티브 패턴의 표면에 고농도 p형 불순물(p+불순물)을 도핑하는 제 3 마스크 공정 단계와; 상기 제 1 내지 제 3 게이트 전극과 스토리지 배선이 형성된 기판의 전면에 층간 절연막과 투명한 금속층을 적층하는 단계와; 상기 층간 절연막과 투명한 금속층을 패턴하여, 상기 제 1 내지 제 3 액티브 패턴의 양측을 각각 노출하고, 상기 화소 영역에는 화소 전극을 형성하는 제 4 마스크 공정 단계와; 상기 노출된 제 1 내지 제 3 액티브 패턴에 각각 접촉되고 서로 이격된 소스 전극과 드레인 전극을 형성하는 제 5 마스크 공정 단계를 포함한다.

[0105] 이하, 본 발명의 실시예에 따른 구동회로 일체형 액정표시장치용 어레이 기판의 제조방법을 설명한다.

[0106] -- 제 1 실시예 --

[0107] 본 발명의 제 1 실시예의 특징은 6마스크 공정을 통해 구동회로 일체형 액정표시장치용 어레이기판을 제작하는 것이다.

[0108] 이하, 도면을 참조하여 본 발명에 따른 다결정 액정표시장치용 어레이기판의 구성을 설명한다.

[0109] 도 13은 본 발명에 따른 다결정 액정표시장치용 어레이 기판의 한 화소를 확대한 평면도이다.

[0110] 도시한 바와 같이, 기판(100)상에 일 방향으로 연장된 게이트 배선(GL)과, 이와 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(DL)을 구성한다.

[0111] 상기 게이트 배선(GL)과 데이터 배선(DL)의 교차지점에는 폴리실리콘으로 형성된 액티브층(액티브 패턴, 118)과, 액티브층(118)의 상부에 구성된 게이트 전극(130)과, 상기 액티브층(118)과 접촉하는 소스 전극(150a)과 드레인 전극(150b)을 포함하는 박막트랜지스터(T)를 구성한다.

[0112] 상기 화소 영역(P)에는 상기 드레인 전극(150b)과 접촉하는 투명한 화소 전극(140)을 구성한다.

[0113] 또한, 상기 화소 영역(P)에는 스토리지 캐패시터(C_{ST})를 구성하게 되는데, 이는 상기 박막트랜지스터(T)의 액티브층(118)에서 연장된 연장부(120)의 상부에 증착된 금속층(120)을 제 1 전극으로 하고, 상기 제 1 전극(122)의 상부에 평면적으로 겹쳐 구성된 스토리지 배선(132)을 제 2 전극으로 하고, 상기 드레인 전극(150b)과 접촉하는 화소 전극(140)을 제 3 전극으로 하는 병렬 연결된 구성이다.

[0114] 전술한 구성에서, 상기 화소 전극(140)은 상기 스위칭 소자의 드레인 전극(150b)과 측면 접촉하도록 구성된다.

[0115] 이하, 전술한 평면도를 참조하여, 본 발명에 따른 6 마스크 공정으로 구동회로 일체형 액정표시장치용 어레이 기판의 제조방법을 설명한다.

[0116] 도 14(a,b) 내지 도 16(a,b)는 제 1 마스크 공정(회절 노광공정)을 나타낸 단면도이고 특히, 도 14b 내지 도

16b는 도 13의 IV-IV를 따라 절단한 단면도이다.

- [0117] 도시한 바와 같이, 기판(100)상에 N영역(A)과 P영역(B)으로 구성된 구동회로 영역(A,B)과 스위칭 영역(C) 및 스토리지 영역(ST)을 포함하는 화소영역(P)을 정의하고, 실리콘 절연물질(질화 실리콘(SiN_x), 산화 실리콘(SiO_2))을 증착하여 버퍼층(102)을 형성한다.
- [0118] 다음으로, 상기 버퍼층(102)의 상부에 다결정 실리콘층(104)을 형성한다.
- [0119] 상기 다결정 실리콘층(104)은, 상기 버퍼층(102)의 상부에 비정질 실리콘(a-Si:H)을 증착한 후, 탈수소화 공정을 거친 후 열을 이용하여 결정화를 진행함으로써 형성할 수 있다.
- [0120] 다음으로, 상기 다결정 실리콘층(104)의 상부에 도전성 금속을 증착하여 금속층(106)을 형성한 후, 상기 금속층(106)의 상부에 포토레지스트(photoresist)를 도포하여 감광층(108)을 형성한다.
- [0121] 다음으로, 상기 감광층(108)의 이격된 상부에 투과부(D1)와 차단부(D2)와 반투과부(D3)로 구성된 마스크(M)를 위치시킨다.
- [0122] 이때, 마스크(M)의 반투과부(D3)는 반투명막이나 슬릿(slot)을 구성하여 형성할 수 있으며 스위칭 영역(C)과 구동 영역(A,B)에 각각 위치하도록 하고, 마스크(M)의 차단부(D2)는 상기 스토리지 영역(ST)에 대응하여 위치하도록 하고, 그 외의 영역에는 투과부(D1)가 위치하도록 한다.
- [0123] 다음으로, 상기 마스크(M)의 상부로부터 특정한 빛(예를 들면 자외선)을 조사하여 하부의 감광층(108)을 노광하고 현상하는 공정을 진행한다.
- [0124] 이와 같이 하면, 도 15a와 도 15b에 도시한 바와 같이, 구동영역(A,B)과 스위칭 영역(C)에 대응하여 최초의 높이보다 낮은 높이로 패터닝된 제1, 제 2, 제 3 감광패턴(110a, 110b, 110c)이 형성되며, 상기 스토리지 영역(ST)에 대응하여 원래의 높이를 유지하며 패터닝된 제 4 감광패턴(112)이 형성된다.
- [0125] 도 16a와 도 16b와 도 16c에 도시한 바와 같이, 상기 제 1 내지 제 4 감광패턴(110a, 110b, 110c, 112)의 사이로 노출된 금속층(106)과 그 하부의 다결정 실리콘층(104)을 제거하는 공정을 진행한다.
- [0126] 이때, 일반적으로 금속층(106)은 습식식각 방식으로 제거되고, 그 하부의 다결정 실리콘층(104)은 건식식각 방식을 통해 제거할 수 있다.
- [0127] 다음으로, 도 17a와 도 17b에 도시한 바와 같이, 상기 구동 영역(A,B)과 스위칭 영역(C)에 위치하는 제 1 내지 제 3 감광패턴(110a, 110b, 110c)을 제거하는 건식식각(애싱, ashing)공정을 진행한다.
- [0128] 이와 같이 하면, 상기 구동 영역(A,B)과 스위칭 영역(C)에 대응하여 금속층(106)이 노출되고, 상기 스토리지 영역(ST)에 대응하여 제 4 감광패턴(112)이 상부로부터 일부가 깎여져 그 높이가 처음에 비해 낮아진 형상이 된다.
- [0129] 다음으로, 상기 노출된 금속층(106)을 제거하고, 상기 제 4 감광패턴(112)을 제거하는 공정을 진행한다.
- [0130] 이와 같이 하면, 도 18a와 도 18b에 도시한 바와 같이, 상기 스위칭 영역(A,B)과 구동영역(C)에 대응하여 제 1, 제 2, 제 3 액티브 패턴(114, 116, 118)이 형성되고, 상기 스토리지 영역(ST)에는 상기 스위칭 영역(C)의 액티브 패턴(118)에서 연장된 연장부(120)와, 상기 연장부의 상부에는 패터닝된 금속층(122)이 형성된다.
- [0131] 이때, 제 1 내지 제 3 액티브 패턴(114, 116, 118)은 제 1 액티브 영역(V1)과 제 1 액티브 영역(V1) 양측에 위치하는 제 2 액티브 영역(V2)으로 정의한다.
- [0132] 또한, 상기 구동 영역(A,B)의 N영역(A)과 스위칭 영역(C)의 제 1 액티브 영역(V1) 양측은 LDD 영역(F)으로 정의한다.
- [0133] 다음으로, 상기 제 1 내지 제 3 액티브 패턴(114, 116, 118)과 연장부(120)가 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(124)을 형성한다.
- [0134] 도 19a와 도 19b는 제 2 마스크 공정을 나타낸 단면도로서, 도시한 바와 같이, 상기 게이트 절연막(124)이 형성된 기판(100)의 전면에 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 제 2 마스크 공정으로 패터닝하여, 상기 제 1 내지 제 3 액

티브 패턴(114,116,118)의 각 제 1 액티브 영역(V1)에 대응하여, 게이트 전극(126,128,130)을 형성한다.

- [0135] 동시에, 상기 화소 영역(P)에는 상기 제 3 액티브 패턴(118)에서 연장된 연장부(120)의 상부에 구성된 금속층(122)과 겹쳐지면서 화소 영역의 양측으로 연장된 스토리지 배선(132)을 형성한다.
- [0136] 이때, 도시하지는 않았지만 상기 스위칭 영역(C)에 구성된 게이트 전극(130)과 접촉하는 게이트 배선(도 13의 GL)을 형성한다.
- [0137] 이하, 도 20(a,b) 내지 도 21(a,b)는 제 3 마스크 공정을 나타낸 도면으로 특히, 도 20b 내지 도 21b는 도 13의 IV-IV를 따라 절단하여 공정순서에 따라 도시한 공정 단면도이다.
- [0138] 도 20a와 도 20b에 도시한 바와 같이, 상기 제 1 내지 제 3 게이트 전극(126,128,130)과 스토리지 배선(132)이 형성된 기판(100)의 전면에 포토레지스트(photo-resist)를 도포한 후 제 3 마스크공정으로 패터닝하여, 구동 영역(A,B)중 N영역(A)과 스위칭 영역(C)에 대응하여 상기 게이트 전극 및 LDD 영역(126,130)을 덮는 제 1 감광패턴(134a)과 제 2 감광패턴(134b)을 형성하고, 상기 구동 영역(A,B) 중 P영역(B)을 모두 덮는 제 3 감광패턴(136)을 형성한다.
- [0139] 이때, 화소 영역(P)은 감광패턴을 형성하거나 형성하지 않을 수도 있다.
- [0140] 다음으로, 상기 제 1 내지 제 3 감광패턴(134a,134b,136)이 형성된 기판(100)의 전면에 고농도 n형 불순물(n+ 불순물)을 도핑하는 공정을 진행한다.
- [0141] 이와 같이 하면, 상기 구동 영역의 N영역(A)과 스위칭 영역(C)에 위치한 제 1 액티브 패턴(114)및 제 3 액티브 패턴(118)의 각 제 2 액티브 영역(V2)상부에 각각 n+불순물이 도핑되어 이 부분은 이후에 오믹 콘택층(ohmic contact layer)으로서의 기능을 하게 된다.
- [0142] 상기 n+ 불순물을 도핑하는 공정을 완료한 후, 제 1 내지 제 3 감광패턴(134a,134b,136)을 제거하는 공정을 진행하여 하부의 제 1 내지 제 3 게이트 전극(126,128,130)을 노출하는 공정을 진행한다.
- [0143] 도 21a와 도 21b에 도시한 바와 같이, 상기 제 1 내지 제 3 게이트 전극(126,128,130)이 노출된 기판(100)의 전면에 저농도 n형 불순물 이온(n- 불순물 이온)을 도핑하는 공정을 진행한다.
- [0144] 이와 같이 하면, 제 1 내지 제 3 게이트 전극(126,128,130)의 주변으로 노출된 제 1 내지 제 3 액티브 패턴(114,116,118)의 표면에 n-불순물 이온이 도핑된다.
- [0145] 이때, 제 1 액티브 패턴과 제 3 액티브 패턴(114,118)은 이미 제 2 액티브 영역(V2)에 n+ 불순물 이온이 도핑된 상태이지만 n-불순물 이온이 더욱 도핑된 상태가 되는 것이고, LDD 영역(F)에는 n-불순물이온 만이 도핑된 상태가 된다.
- [0146] 또한, 노출된 제 2 액티브 패턴(116)의 표면에도 n- 불순물 이온이 도핑된 상태가 된다.
- [0147] 도 22a와 도 22b는 제 4 마스크 공정을 나타낸 단면도로서, 도시한 바와 같이, 상기 제 1 내지 제 3 액티브 패턴(114,116,118)에 n-불순물이 도핑된 기판(100)의 전면에 포토레지스트를 도포한 후 제 4 마스크 공정으로 패터닝하여, P영역(B)만을 노출하는 감광패턴(136)을 형성한다.
- [0148] 다음으로, 상기 P영역(B)을 노출하는 감광패턴(136)이 형성된 기판(100)의 전면에 p+ 불순물을 도핑하는 공정을 진행하여, 상기 P영역(B)에 위치하고 상기 제 2 게이트 전극(128)의 주변의 제 2 액티브 패턴(118,V2)의 표면에 p+불순물을 도핑한다.
- [0149] 앞서 제 3 마스크 공정에서, 상기 제 2 액티브 패턴(118)의 표면에 이미 n-불순물이 도핑된 상태이나 이는 저농도 도핑이기 때문에 이부분에 p+의 고농도 P형 불순물을 도핑하게 되면 n-의 영향은 거의 없게 된다.
- [0150] 상기 P형 불순물이 도핑된 제 2 액티브 패턴(116)또한 이후에 오믹 콘택층(ohmic contact layer)으로서의 기능을 하게 된다.
- [0151] 다음으로, 상기 감광패턴(136)을 제거하는 공정을 진행한다.
- [0152] 도 23(a,b) 내지 도 26(a,b)는 제 5 마스크 공정을 나타낸 도면으로 특히, 도 23b 내지 도 26b는 도 13의 IV-IV를 따라 절단하여 공정순서대로 도시한 공정 단면도이다.
- [0153] 도 23a와 도 23b에 도시한 바와 같이, 앞선 공정에서 p+ 불순물을 도핑하는 공정을 완료한 후, 최상층에 제 1 내지 제 3 게이트 전극(126,128,130)과, 스토리지 배선(132)이 형성된 기판(100)의 전면에 질화 실리콘(SiN_x)과

산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 층간 절연막(138)을 형성한다.

- [0154] 다음으로, 상기 층간 절연막(138)의 상부에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하여 투명 금속층(140)을 형성한다.
- [0155] 다음으로, 상기 투명 금속층(140)의 상부에 포토레지스트(photoresist)를 도포하여 감광층(142)을 형성한다.
- [0156] 다음으로, 상기 감광층(142)의 상부에 투과부(D1)와 차단부(D2)와 반투과부(D3)로 구성된 마스크(M)를 위치시킨다.
- [0157] 이때, 마스크(M)의 투과부(D1)는 상기 제 1 내지 제 3 액티브 패턴(114,116,118)의 각 양측에 정의된 제 2 액티브 영역(V2)에 대응하여 위치하도록 하고, 상기 화소 영역(P)에 대응하여 차단부(D2)가 위치하도록 하고 그 외의 영역에는 반투과부(D3)가 위치하도록 한다.
- [0158] 다음으로, 상기 마스크(M)의 상부로 특정한 빛을 조사하여 하부의 감광패턴(142)을 노광하고 현상하는 공정을 진행한다.
- [0159] 도 24a와 도 24b에 도시한 바와 같이, 상기 마스크(도 23의 M)의 투과부(D1)에 대응하는 부분은 완전히 제거되어 하부의 투명 금속층(140)을 노출하게 되고, 상기 마스크(M)의 반투과부(D3)에 대응하는 부분은 상부로부터 일부가 식각된 상태가 되며, 차단부(D2)에 대응하는 부분은 그대로 남아 있게 된다.
- [0160] 따라서, 구동 영역(A,B)과 스위칭 영역(C)은 일부가 제거되어 하부의 투명 금속층(142)이 노출되는 낮은 높이의 제 1 감광패턴(142)이 형성되고, 화소 영역(P)에 대응하는 부분은 처음높이 그대로 남아있는 제 2 감광패턴(144)이 형성된다.
- [0161] 도 25a와 도 25b에 도시한 바와 같이, 상기 제 1 감광패턴(142) 사이로 노출된 하부의 투명 전극층(140)과, 그 하부의 층간 절연막(138)과, 게이트 절연막(124)을 순차 제거하여, 상기 제 1 내지 제 3 액티브 패턴(114,116,118)의 제 2 액티브 영역(V2)을 노출하는 공정을 진행한다.
- [0162] 동시에, 상기 제 3 액티브 패턴(118)에서 연장된 연장부(120)상부의 금속층(120)을 노출하는 공정을 진행한다.
- [0163] 이때, 각 액티브 패턴(114,116,118)의 양측 제 2 액티브 영역(V2)을 노출하는 부분을 콘택홀(CH1,CH2,CH3,CH4,CH5,CH6)이라 한다.
- [0164] 또한, 상기 연장부(120)상부의 금속층(122)을 노출하는 부분 또한 콘택홀(도 13의 CH7)이라 한다.
- [0165] 다음으로, 구동 영역(A,B)과 스위칭 영역(C)에 패턴된 제 1 감광패턴(142)을 제거하는 건식식각공정(애싱 공정, ashing process)을 진행한다.
- [0166] 도 26a와 도 26b에 도시한 바와 같이, 상기 건식식각 공정이 완료되면 상기 구동 영역(A,B)과 스위칭 영역(C)에 위치하는 제 1 감광패턴(142)이 제거되고, 대신 화소 영역에 대응하는 제 2 감광패턴(144)은 그 높이가 낮아진 상태로 존재하게 된다.
- [0167] 다음으로, 상기 제 1 감광패턴(142)이 제거되어 노출된 투명 금속층(미도시)을 제거하는 공정을 진행하면 도시한 바와 같이, 구동 영역(A,B)과 스위칭 영역(C)에는 콘택홀(CH1,CH2,CH3,CH4,CH5,CH6)이 형성된 층간 절연막(138)이 노출된 상태가 되고 화소 영역(P)에는 패턴된 투명 금속층(140)과 그 상부의 제 2 감광패턴(144)이 적층된 상태가 된다.
- [0168] 도 27a와 도 27b는 제 6 마스크 공정을 나타낸 도면으로, 기판(100)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu)등을 포함하는 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착한 후 제 6 마스크 공정으로 패턴하여, 상기 제 1 내지 제 3 액티브 패턴(114,116,118)의 양측에 각각 노출된 제 2 액티브 영역(V2)과 각각 접촉하는 소스 전극(146a,148a,150a)과 드레인 전극(146b,148b,150b)을 형성한다.
- [0169] 이때, 상기 스위칭 영역(C)에 구성된 드레인 전극(150b)은 화소 영역(P)에 위치한 투명 금속층(140)과 측면 접촉하는 형상이 된다.
- [0170] 다음으로, 상기 화소 영역(P)의 투명 금속층 상부에 위치한 제 2 감광패턴(미도시)을 제거하는 공정을 진행한다.

- [0171] 이로써, 상기 화소 영역(P)에는 상기 스위칭 영역(C)의 드레인 전극(150b)과 접촉하는 화소 전극(140)이 형성될 수 있다. 상기 드레인 전극(150b)은 상기 스토리지 영역(ST)에 형성된 금속층(132)과도 접촉한다.
- [0172] 따라서, 전술한 구성을 통해 상기 연장부(120)상부의 금속층을 제 1 전극으로 하고, 그 상부의 스토리지 배선(132)을 제 2 전극으로 하고, 상기 화소 전극(140)을 제 3 전극으로 하는 병렬연결 형태의 스토리지 캐패시터(C_{ST})가 형성될 수 다.
- [0173] 전술한 구성을 통해, 본 발명에 따른 6마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.
- [0174] 이하, 제 2 실시예를 통해 본 발명의 제 1 실시예의 변형예를 설명한다.
- [0175] -- 제 2 실시예 --
- [0176] 본 발명의 제 2 실시예는 구동회로 일체형 액정표시장치용 어레이기판을 제작할 때, 5마스크 공정으로 제작하는 것을 특징으로 한다.
- [0177] 도 28(a,b) 내지 도 31(a,b)는 제 1 마스크 공정을 나타낸 도면으로, 공정순서에 따라 도시한 공정 단면도이다.
- [0178] 도 28a와 도 28b에 도시한 바와 같이, 기판(200)상에 N영역(A)과 P영역(B)으로 구성된 구동회로 영역(A,B)과 스위칭 영역(C) 및 스토리지 영역(ST)을 포함하는 화소영역(P)을 정의하고, 실리콘 절연물질(절화 실리콘(SiN_x), 산화 실리콘(SiO₂))을 증착하여 버퍼층(202)을 형성한다.
- [0179] 다음으로, 상기 버퍼층(202)의 상부에 다결정 실리콘층(204)을 형성한다.
- [0180] 상기 다결정 실리콘층(204)은, 상기 버퍼층(202)의 상부에 비정질 실리콘(a-Si:H)을 증착한 후, 탈수소화 공정을 거친 후 열을 이용하여 결정화를 진행함으로써 형성할 수 있다.
- [0181] 다음으로, 상기 다결정 실리콘층의 상부에 도전성 금속을 증착하여 금속층(206)을 형성한 후, 상기 금속층(206)의 상부에 포토레지스트(photoresist)를 도포하여 감광층(208)을 형성한다.
- [0182] 다음으로, 상기 감광층(208)의 이격된 상부에 투과부(D1)와 차단부(D2)와 반투과부(D3)로 구성된 마스크(M)를 위치시킨다.
- [0183] 이때, 마스크(M)의 반투과부(D3)는 반투명막이나 슬릿 slit)을 구성하여 형성할 수 있으며 스위칭 영역(C)과 구동 영역(A,B)에 각각 위치하도록 하고, 마스크(M)의 차단부(D2)는 상기 스토리지 영역(ST)에 대응하여 위치하도록 하고, 그 외의 영역에는 투과부(D1)가 위치하도록 한다.
- [0184] 다음으로, 상기 마스크(M)의 상부로부터 특정한 빛(예를 들면 자외선)을 조사하여 하부의 감광층을 노광하고 현상하는 공정을 진행한다.
- [0185] 이와 같이 하면, 도 29a와 도 29b에 도시한 바와 같이, 구동영역(A,B)과 스위칭 영역(C)에 대응하여 최초의 높이보다 낮은 높이로 패터닝 제1, 제 2, 제 3 감광패턴(210a,210b,210c)이 형성되며, 상기 스토리지 영역(ST)에 대응하여 처음의 높이를 유지하며 패터닝 제 4 감광패턴(212)이 형성된다.
- [0186] 도 30a와 도 30b에 도시한 바와 같이, 상기 제 1 내지 제 4 감광패턴(210a,210b,210c,212)의 사이로 노출된 금속층(206)과 그 하부의 다결정 실리콘층(204)을 제거하는 공정을 진행한다.
- [0187] 이때, 일반적으로 금속층(206)은 습식식각 방식으로 제거하고, 그 하부의 다결정 실리콘층(204)은 건식식각 방식을 통해 제거할 수 있다.
- [0188] 다음으로, 도 31a와 도 31b에 도시한 바와 같이, 상기 구동 영역(A,B)과 스위칭 영역(C)에 위치하는 제 1 내지 제 3 감광패턴(210a,210b,210c)을 제거하는 건식식각(애싱, ashing)공정을 진행한다.
- [0189] 이와 같이 하면, 상기 구동 영역(A,B)과 스위칭 영역(C)에 대응하여 금속층(206)이 노출되고, 상기 스토리지 영역(ST)에 대응하여 제 4 감광패턴(212)이 상부로부터 일부가 깎여 처음보다 낮아진 형상이 된다.
- [0190] 다음으로, 상기 노출된 금속층을 제거하고, 상기 제 4 감광패턴(212)을 제거하는 공정을 진행한다.
- [0191] 이와 같이 하면, 도 32a와 도 32b에 도시한 바와 같이, 상기 스위칭 영역(A,B)과 구동영역(C)에 대응하여 제 1, 제 2, 제 3 액티브 패턴(214,216,218)이 형성되고, 상기 스토리지 영역(ST)에는 상기 스위칭 영역(C)의 제 3

액티브 패턴(218)에서 연장된 연장부(220)와, 상기 연장부(220)의 상부에는 패턴된 금속층(222)이 형성된다.

- [0192] 이때, 제 1 내지 제 3 패턴(214,216,218)은 제 1 액티브 영역(V1)과 제 1 액티브 영역(V1) 양측에 위치하는 제 2 액티브 영역(V2)으로 정의한다.
- [0193] 또한, 상기 구동 영역의 N영역(A)과 스위칭 영역(C)의 제 1 액티브 영역(V1) 양측은 LDD 영역(F)으로 정의한다.
- [0194] 다음으로, 상기 제 1 내지 제 3 액티브 패턴(214,216,218)과 연장부(220)가 형성된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하여 게이트 절연막(224)을 형성한다.
- [0195] 도 33(a,b) 내지 도 35(a,b)는 제 2 마스크 공정을 나타낸 도면으로, 공정순서에 따라 도시한 공정 단면도이다.
- [0196] 도 33a와 도 33b에 도시한 바와 같이, 상기 게이트 절연막(224)이 형성된 기판(200)의 전면에 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr)을 포함하는 도전성 금속 그룹 중 선택된 하나를 증착하고 제 2 마스크 공정으로 패턴하여, 상기 제 1 내지 제 3 액티브 패턴(214,216,218)의 각 제 1 액티브 영역(V1)에 대응하여, 각각 게이트 전극(226,228,230)을 형성한다.
- [0197] 동시에, 상기 화소 영역(P)에는 상기 제 3 액티브 패턴(218)에서 연장된 연장부(220)의 상부에 구성된 금속층(222)과 평면적으로 겹쳐지면서 양측으로 연장된 스토리지 배선(232)을 형성한다.
- [0198] 이때, 상기 N영역(B)과 스위칭 영역(C)에 형성한 제 1 게이트 전극(226)과 제 3 게이트 전극(230)은 그 하부에 구성된 제 1 액티브 패턴(214)과 제 3 액티브 패턴(218)의 제 1 액티브 영역(V1)과 LDD 영역(F)을 덮는 형상으로 패턴한다.
- [0199] 또한, 상기 제 1 내지 제 3 게이트 전극(226,228,230)의 상부에는 각각 제 1 내지 제 3 감광패턴(G1,G2,G3)을 그대로 남겨두고, 상기 스토리지 배선(232)의 상부에도 제 4 감광패턴(G4)을 그대로 남겨둔다.
- [0200] 다음으로, 상기 제 1 내지 제 4 감광패턴(G1,G2,G3,G4)이 존재하는 기판(200)의 전면에 고농도의 n형 불순물(n+ 불순물)을 도핑하는 공정을 진행한다.
- [0201] 이와 같이 하면, 상기 제 1 내지 제 3 액티브 패턴(214,216,218)의 제 2 액티브 영역(V2)의 표면에는 모두 n+불순물이 도핑된 상태가 된다.
- [0202] 도 34a와 도 34b에 도시한 바와 같이, 상기 제 1 내지 제 4 감광패턴(G1,G2,G3,G4)을 건식식각(일부분만 제거하는 애싱공정)하는 공정을 진행하여, 상기 제 1 감광패턴(G1)과 제 3 감광패턴(G3)이 식각되어 제 1 및 제 2 액티브 패턴(214,216)의 LDD 영역(F)에 대응하는 부분의 게이트 전극(226,230)을 노출할 정도까지 식각 공정을 진행한다.
- [0203] 이때, 상기 제 1 감광패턴(G1)과 제 3 감광패턴(G3)이 식각된 만큼 상기 제 2 감광패턴(G2)과 제 4 감광패턴(G4)또한 식각되어 주변의 게이트 전극(228)과 스토리지 배선(232)이 노출된 형상이 된다.
- [0204] 다음으로, 도 35a와 도 35b에 도시한 바와 같이, 상기 노출된 게이트 전극(226,228,230)과 스토리지 배선(232)을 식각하는 공정을 진행하여, 상기 N영역(A)과 스위칭 영역(C)에 구성된 제 1 및 제 3 액티브 패턴(214,218)의 LDD 영역(F)에 대응하는 상부 게이트 절연막(224)을 노출하는 공정을 진행한다.
- [0205] 다음으로, 기판(200)의 전면에 저농도 n형 불순물(n- 불순물)을 도핑하는 공정을 진행한다.
- [0206] 이와 같이 하면, 상기 N영역(A)과 스위칭 영역(C)에 구성된 제 1 액티브 패턴 및 제 3 액티브 패턴(214,218)의 LDD 영역(F)표면에 저농도 n형 불순물(n- 불순물 도핑)이 도핑된 상태가 된다.
- [0207] 도 36a와 도 36b는 제 3 마스크 공정을 나타낸 도면으로, 도시한 바와 같이, n-불순물이 상기 제 1 액티브 패턴(214)과 제 3 액티브 패턴(218)의 LDD 영역(F)에 도핑된 기판(200)의 전면에 포토레지스트(photoresist)를 도포한 후 제 3 마스크 공정으로 패턴하여, 상기 P영역(B)을 노출하는 감광패턴(236)을 형성한다.
- [0208] 다음으로, 상기 감광패턴(236)이 형성된 기판(200)의 전면에 고농도 P형 불순물(p+불순물)을 도핑하여 상기 노출된 P영역(B)에 위치한 제 2 액티브 패턴(216)의 제 2 액티브 영역(V2)에 p+ 불순물을 도핑하는 공정을 진행한다.
- [0209] 이때, 상기 제 2 액티브 패턴(216)의 제 2 액티브 영역(V2)에는 앞서 n+불순물이 도핑된 상태이므로 n형 불순물의 영향을 받지 않고 P형 박막트랜지스터로 구동하도록 하기 위해서 상기 도핑된 n+ 불순물 농도의 2.5배 이상

에 해당하는 p+불순물을 도핑해야 한다.

- [0210] 전술한 제 2 내지 제 3 마스크 공정을 통해, 상기 N영역(A)과 스위칭 영역(C)의 제 1 액티브 패턴(214)은 n-불순물과 n+ 불순물이 각각 LDD 영역(F)과 제 2 액티브 영역(V2)에 도핑된 상태가 되고, 상기 P영역(B)의 제 2 액티브 패턴(216)은 p+불순물이 제 2 액티브 영역(V2)에 도핑된 상태가 된다.
- [0211] 도 37(a,b) 내지 도 40(a,b)는 제 4 마스크 공정을 나타낸 도면으로, 공정순서에 따라 도시한 공정 단면도이다.
- [0212] 도 37a와 도 37b에 도시한 바와 같이, 전술한 바와 같이 불순물 도핑이 완료된 기판(200)의 전면에 질화 실리콘(SiN_x)과 산화 실리콘(SiO₂)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 층간 절연막(238)을 형성한다.
- [0213] 다음으로, 상기 층간 절연막(238)의 상부에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하여 투명 금속층(240)을 형성한다.
- [0214] 다음으로, 상기 투명 금속층(240)의 상부에 포토레지스트(photoresist)를 도포하여 감광층(242)을 형성한다.
- [0215] 다음으로, 상기 감광층(242)의 상부에 투과부(D1)와 차단부(D2)와 반투과부(D3)로 구성된 마스크(M)를 위치시킨다.
- [0216] 이때, 마스크(M)의 투과부(D1)는 상기 제 1 내지 제 3 액티브 패턴(214,216,218)의 각 양측에 정의된 제 2 액티브 영역(V2)에 대응하여 위치하도록 하고, 상기 화소 영역(P)에 대응하여 차단부(D2)가 위치하도록 하고 그 외의 영역에는 반투과부(D3)가 위치하도록 한다.
- [0217] 다음으로, 상기 마스크(M)의 상부로 특정한 빛을 조사하여 하부의 감광층(242)을 노광하고 현상하는 공정을 진행한다.
- [0218] 도 38a와 도 38b에 도시한 바와 같이, 상기 마스크(도 37의 M)의 투과부(D1)에 대응하는 부분은 완전히 제거되어 하부의 투명 금속층(242)을 노출하게 되고, 상기 마스크(M)의 반투과부(D3)에 대응하는 부분은 상부로부터 일부가 식각된 상태가 되며, 차단부(D2)에 대응하는 부분은 그대로 남아 있게 된다.
- [0219] 따라서, 구동 영역(A,B)과 스위칭 영역(C)은 일부가 제거되어 하부의 투명 금속층(242)이 노출되는 낮은 높이의 제 1 감광패턴(246)이 형성되고, 화소 영역(P)에 대응하는 부분은 처음 높이 그대로 남아있는 제 2 감광패턴(248)이 형성된다.
- [0220] 도 39a와 도 39b에 도시한 바와 같이, 상기 제 1 감광패턴(246) 사이로 노출된 하부의 투명 전극층(242)과, 그 하부의 층간 절연막(238)과, 게이트 절연막(224)을 순차 제거하여, 상기 제 1 내지 제 3 액티브 패턴(214,216,218)의 양측 제 2 액티브 영역(V2)을 노출하는 공정을 진행한다.
- [0221] 동시에, 상기 제 3 액티브 패턴(218)에서 연장된 연장부(220)상부의 금속층(222)을 노출하는 공정을 진행한다.
- [0222] 이때, 각 액티브 패턴(214,216,218)의 양측 제 2 액티브 영역(V2)을 노출하는 부분을 콘택홀(CH1,CH2,CH3,CH4,CH5,CH6)이라 한다.
- [0223] 이때, 상기 금속층(222)을 노출하는 또한 콘택홀(미도시)이라 한다.
- [0224] 다음으로, 구동 영역(A,B)과 스위칭 영역(C)에 패턴된 제 1 감광패턴(246)을 제거하는 건식식각공정(애싱 공정, ashing process)을 진행한다.
- [0225] 도 40a와 도 40b에 도시한 바와 같이, 상기 건식식각 공정이 완료되면 상기 구동 영역(A,B)과 스위칭 영역(C)에 위치하는 제 1 감광패턴(도 38의 246)이 제거되고, 대신 화소 영역(P)에 대응하는 제 2 감광패턴(248)은 그 높이가 처음보다 낮아진 상태로 존재하게 된다.
- [0226] 다음으로, 상기 제 1 감광패턴(도 38의 246)이 제거되어 노출된 투명 금속층(미도시)을 제거하는 공정을 진행하면 도시한 바와 같이, 구동 영역(A,B)과 스위칭 영역(C)에는 콘택홀(CH1,CH2,CH3,CH4,CH5,CH6)이 형성된 층간 절연막(238)이 노출된 상태가 되고 화소 영역(P)에는 패턴된 투명 금속층(240)과 그 상부의 제 2 감광패턴(248)이 적층된 상태가 된다.
- [0227] 도 41a와 도 41b는 제 5 마스크 공정을 나타낸 도면으로, 기판(200)의 전면에 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 알루미늄(Al), 알루미늄합금(AlNd), 구리(Cu)등을 포함하는 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착한 후 제 6 마스크 공정으로 패턴하여, 상기 제 1 내지 제 3 액티브 패턴

(214,216,218)의 양측에 각각 노출된 제 2 액티브 영역(V2)과 각각 접촉하는 소스 전극(250a,252a,254a)과 드레인 전극(250b,252b,254b)을 형성한다.

- [0228] 이때, 상기 스위칭 영역(C)에 구성된 드레인 전극(250b)은 화소 영역(P)에 위치한 투명 금속층(240)과 측면 접촉하는 형상이 된다.
- [0229] 다음으로, 상기 화소 영역(P)의 투명 금속층 상부에 위치한 제 2 감광패턴(미도시)을 제거하는 공정을 진행한다.
- [0230] 이로써, 상기 화소 영역(P)에는 상기 스위칭 영역(C)의 드레인 전극(250b)과 접촉하는 화소 전극(240)이 형성될 수 있다. 상기 드레인 전극은 상기 스토리지 영역에 형성된 금속층과 접촉하게 된다.
- [0231] 따라서, 전술한 구성을 통해 상기 연장부(220)상부의 금속층을 제 1 전극으로 하고, 그 상부의 스토리지 배선(232)을 제 2 전극으로 하고, 상기 화소 전극(240)을 제 3 전극으로 하는 병렬연결 형태의 스토리지 캐패시터(C)가 형성될 수 있다.
- [0232] 이상으로 전술한 5 마스크 공정을 통해 본 발명의 제 2 실시예에 따른 구동회로 일체형 액정표시장치용 어레이 기판을 제작할 수 있다.

발명의 효과

- [0233] 본 발명에 따른 구동회로 일체형 다결정 액정표시장치용 어레이 기판의 제조방법은 종래와 비교하여 3개 내지 4개의 마스크 공정을 줄일 수 있으므로 아래와 같은 효과가 있다.
- [0234] 첫째, 공정을 줄였기 때문에 공정 중 발생할 수 있는 불량확률을 현저히 줄일 수 있는 효과가 있다.
- [0235] 둘째, 공정시간을 단축할 수 있고 공정 비용을 낮출 수 있는 효과가 있다.
- [0236] 셋째, 상기 첫째와 둘째의 효과에 의해 수율을 개선하는 효과가 있다.

도면의 간단한 설명

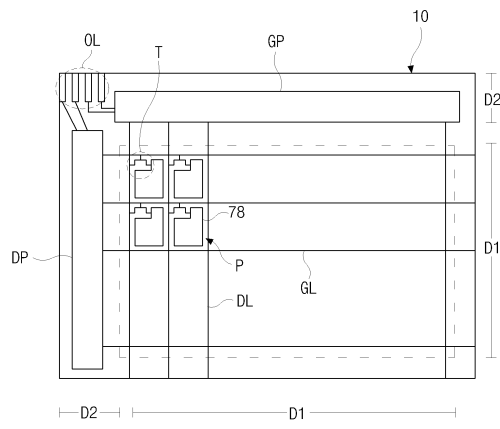
- [0001] 도 1은 일반적인 구동회로부 일체형 액정패널을 개략적으로 도시한 평면도이고,
- [0002] 도 2는 어레이 기판의 한 단일 화소 영역을 도시한 확대 평면도이고,
- [0003] 도 3a와 3b는 종래에 따른 액정표시장치용 어레이 기판의 화소 영역에 구성된 스위칭 소자와, 구동 회로영역에 구성된 CMOS 소자의 단면도이고,
- [0004] 도 4a와 도 4b는 종래에 따른 액정표시장치용 어레이 기판의 제조 공정 중 제 1 마스크 공정 단계를 나타낸 단면도이고,
- [0005] 도 5a와 도 5b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 2 마스크 공정 단계를 나타낸 단면도이고,
- [0006] 도 6a와 도 6b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 3 마스크 공정 단계를 나타낸 단면도이고,
- [0007] 도 7a와 도 7b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 4 마스크 공정 단계를 나타낸 단면도이고,
- [0008] 도 8a와 도 8b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 5 마스크 공정 단계를 나타낸 단면도이고,
- [0009] 도 9a와 도 9b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 6 마스크 공정 단계를 나타낸 단면도이고,
- [0010] 도 10a와 도 10b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 7 마스크 공정 단계를 나타낸 단면도이고,
- [0011] 도 11a와 도 11b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 8 마스크 공정 단계를 나타낸 단면도이고,

- [0012] 도 12a와 도 12b는 종래에 따른 액정표시장치용 어레이 기판의 제조공정 중 제 9 마스크 공정 단계를 나타낸 단면도이고,
- [0013] 도 13은 본 발명에 따른 액정표시장치용 어레이 기판의 단일 화소를 도시한 확대 평면도이고,
- [0014] 도 14(a,b) 내지 도 17(a,b)는 본 발명의 제 1 실시예의 제 1 마스크 공정을 공정 순서에 따라 도시한 공정 단면도이고,
- [0015] 도 18a와 도 18b는 게이트 절연막을 형성하는 공정을 나타낸 단면도이고,
- [0016] 도 19a와 도 19b는 본 발명의 제 1 실시예에 따른 제 2 마스크 공정을 도시한 공정 단면도이고,
- [0017] 도 20(a,b) 내지 도 21(a,b)는 본 발명의 제 1 실시예에 따른 제 3 마스크 공정을 공정순서에 따라 도시한 공정 단면도이고,
- [0018] 도 22a와 도 22b는 본 발명의 제 1 실시예에 따른 제 4 마스크 공정을 도시한 공정 단면도이고,
- [0019] 도 23(a,b) 내지 도 26(a,b)는 본 발명의 제 1 실시예에 따른 제 5 마스크 공정을 공정 순서에 따라 도시한 공정 단면도이고,
- [0020] 도 27a와 도 27b는 본 발명의 제 1 실시예에 따른 제 6 마스크 공정을 도시한 공정 단면도이고,
- [0021] 도 28(a,b) 내지 도 31(a,b)는 본 발명의 제 2 실시예에 따른 제 1 마스크 공정을 공정순서에 따라 도시한 공정 단면도이고,
- [0022] 도 32a와 도 32b는 게이트 절연막을 형성한 공정을 나타낸 단면도이고,
- [0023] 도 33(a,b) 내지 도 35(a,b)는 본 발명의 제 2 실시예에 따른 제 2 마스크 공정을 공정 순서에 따라 도시한 공정 단면도이고,
- [0024] 도 36a와 도 36b는 본 발명의 제 2 실시예에 따른 제 3 마스크 공정을 도시한 단면도이고,
- [0025] 도 37(a,b) 내지 도 40(a,b)는 본 발명의 제 2 실시예에 따른 제 4 마스크 공정을 공정순서에 따라 도시한 공정 단면도이고,
- [0026] 도 41a와 도 41b는 본 발명의 제 2 실시예에 따른 제 5 마스크 공정을 도시한 공정 단면도이다.

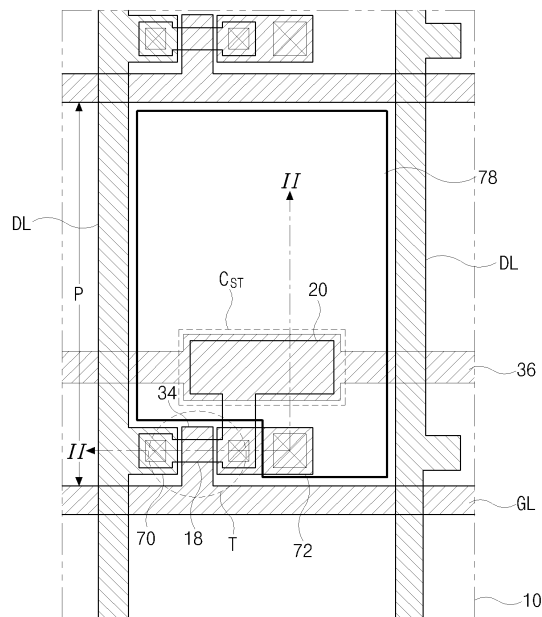
- [0027] < 도면의 주요 부분에 대한 부호의 설명 >
- [0028] 100 : 기판 GL : 게이트 배선
- [0029] DL: 데이터 배선 118 : 제 3 액티브 패턴(액티브층)
- [0030] 120 : 연장부 122 : 금속층
- [0031] 132 : 스토리지 배선 140 : 화소 전극
- [0032] 150a : 소스 전극 150b : 드레인 전극

도면

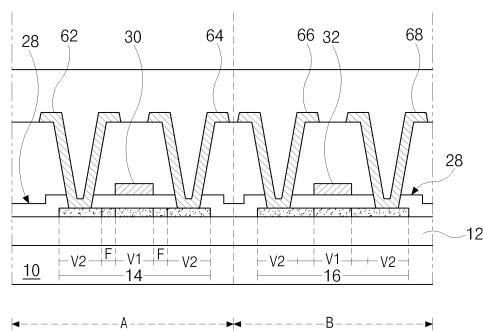
도면1



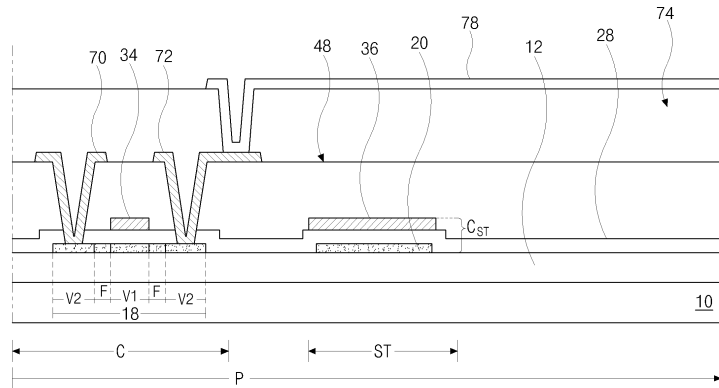
도면2



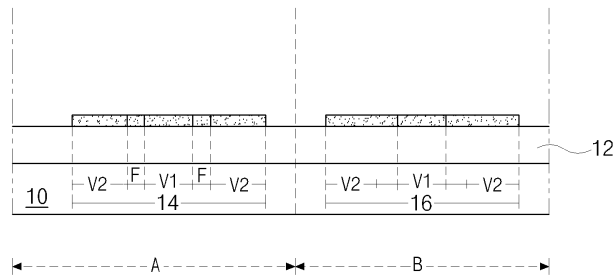
도면3a



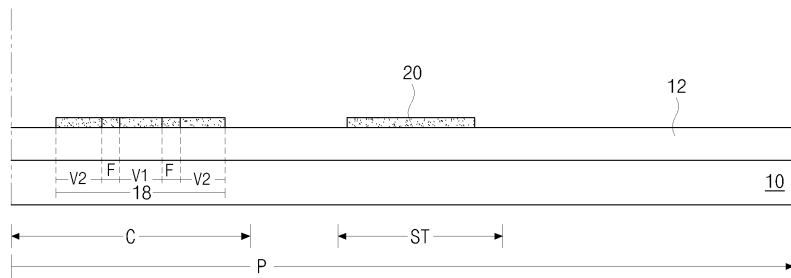
도면3b



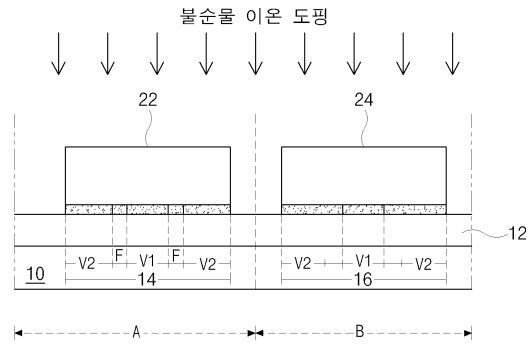
도면4a



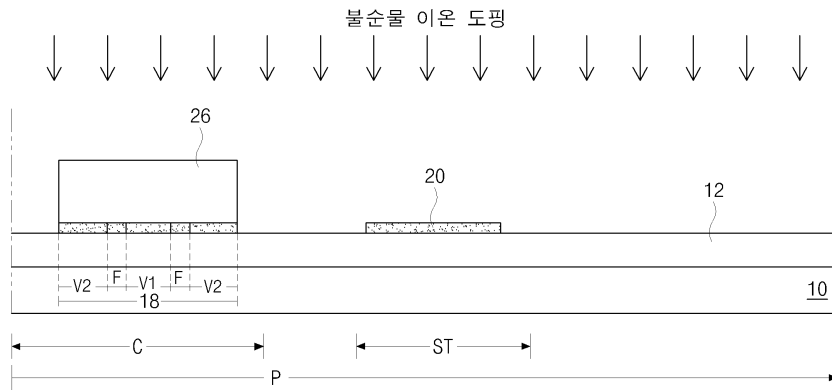
도면4b



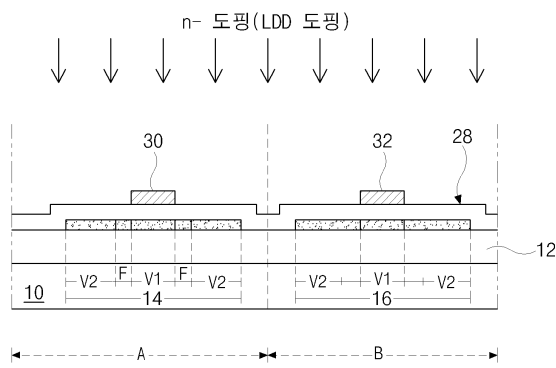
도면5a



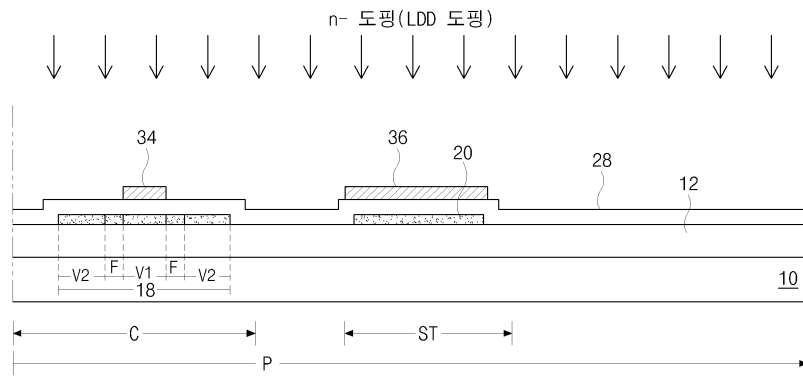
도면5b



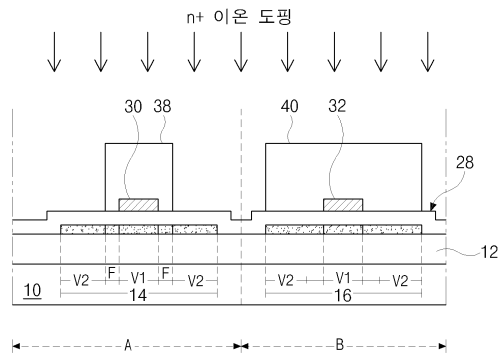
도면6a



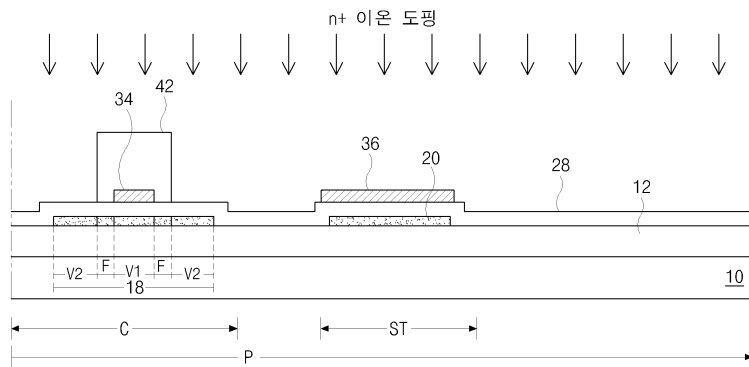
도면6b



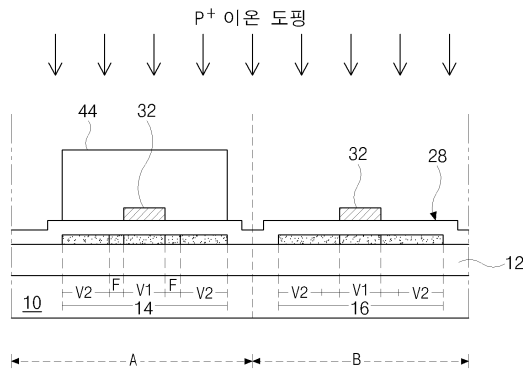
도면7a



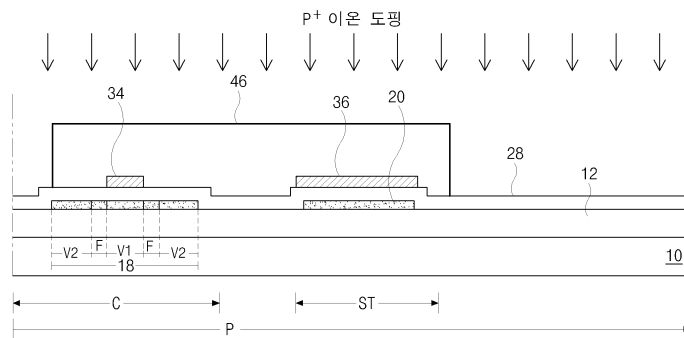
도면7b



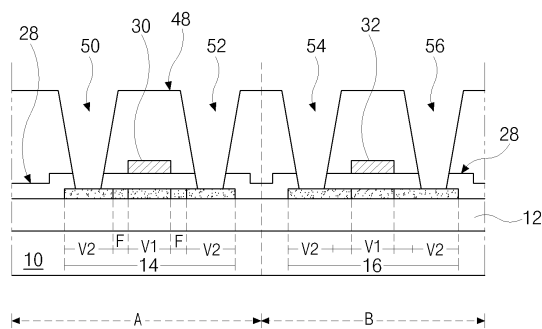
도면8a



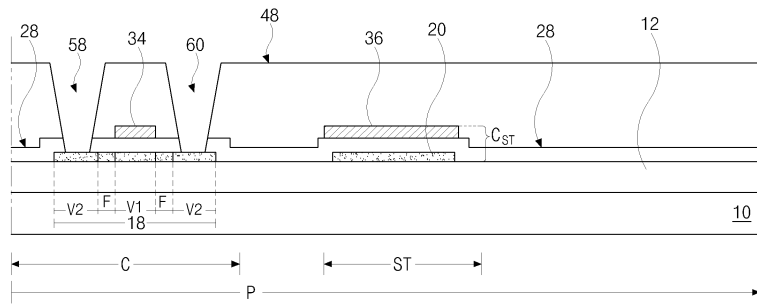
도면8b



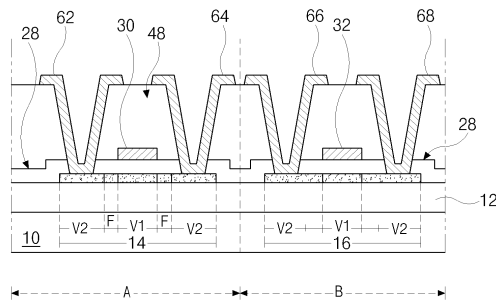
도면9a



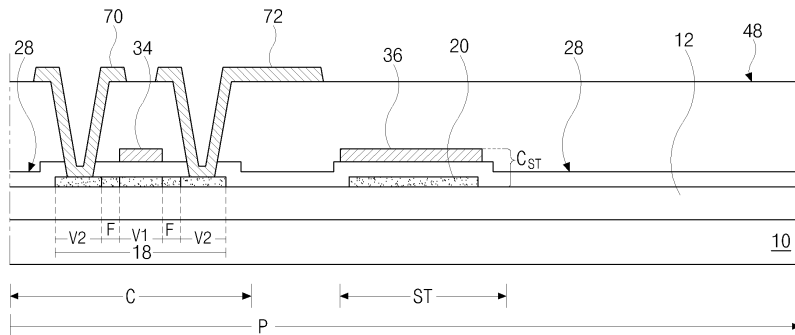
도면9b



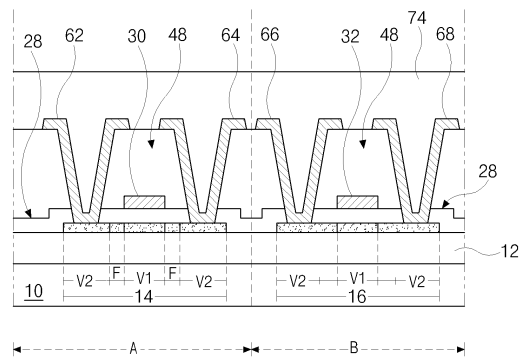
도면10a



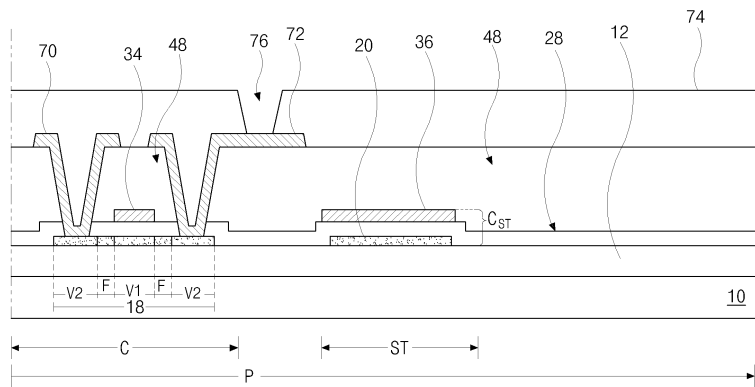
도면10b



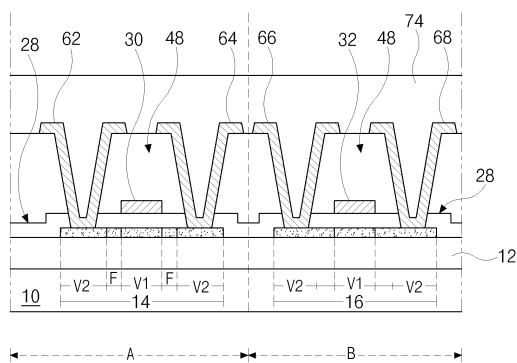
도면11a



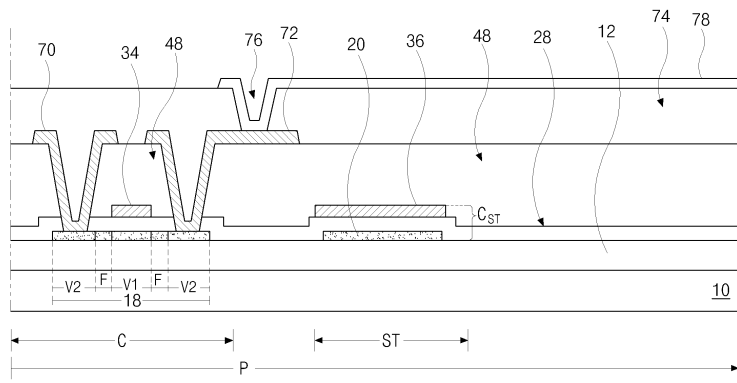
도면11b



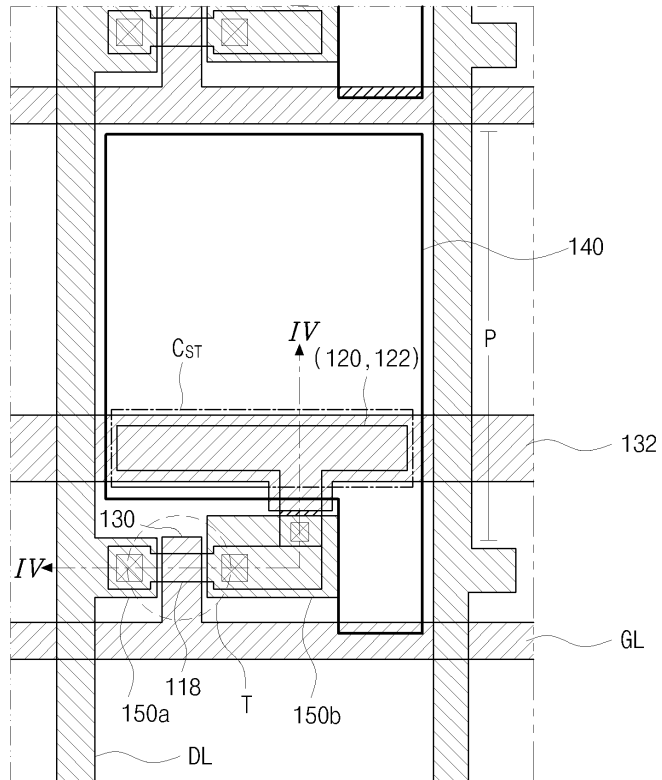
도면12a



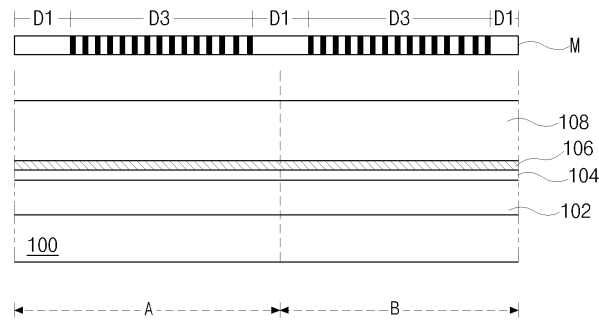
도면12b



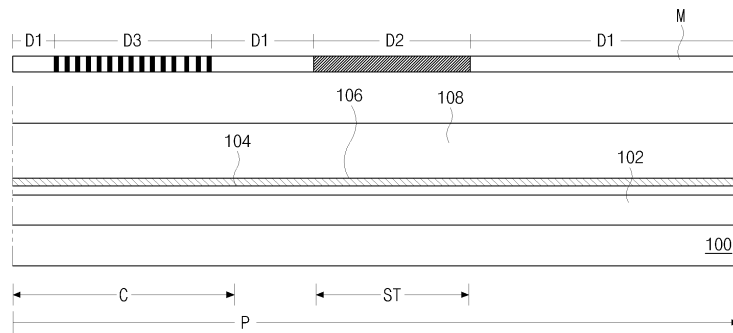
도면13



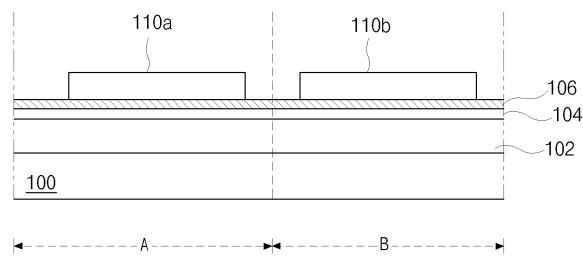
도면14a



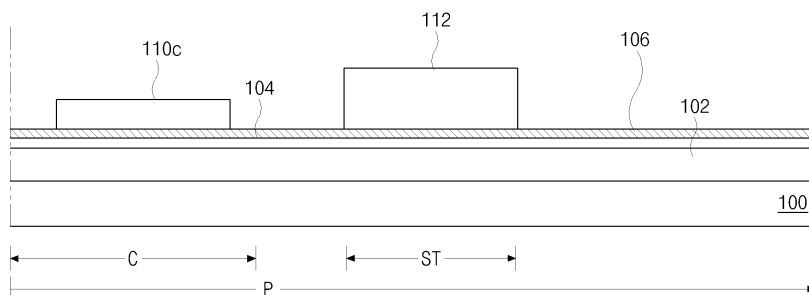
도면14b



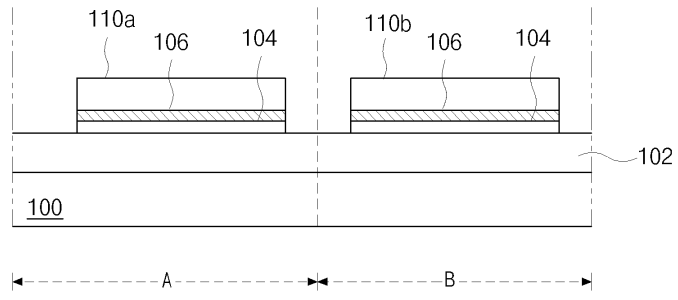
도면15a



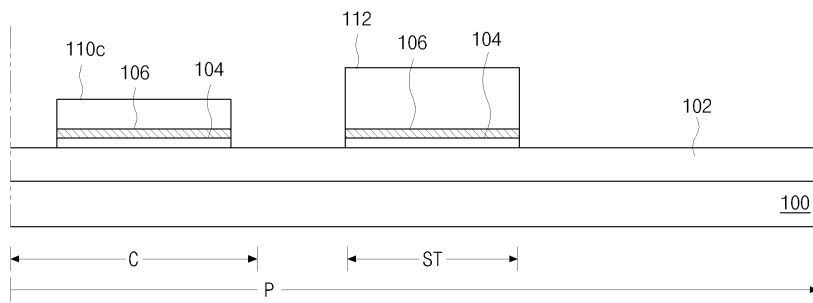
도면15b



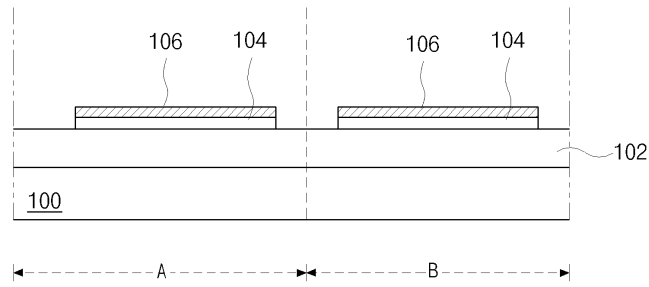
도면16a



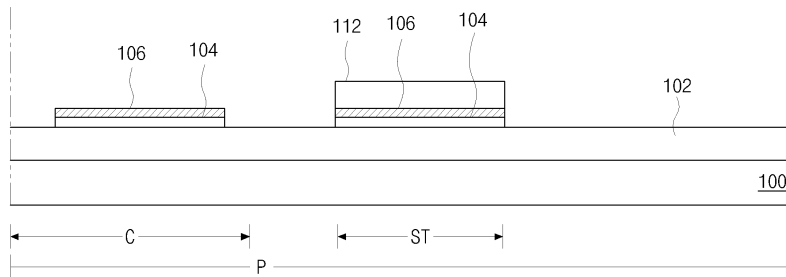
도면16b



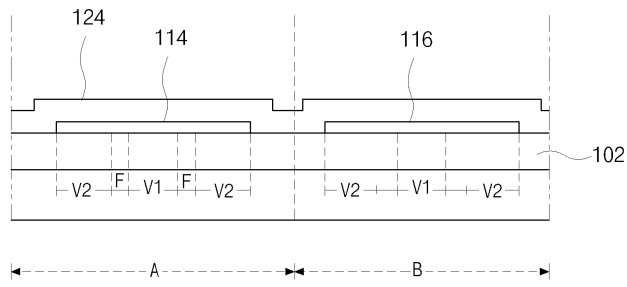
도면17a



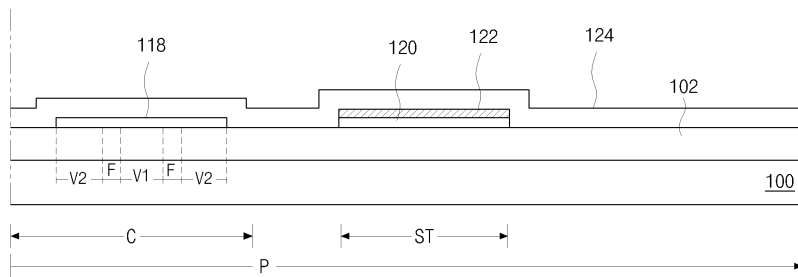
도면17b



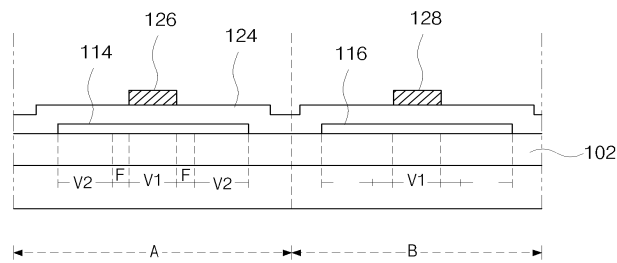
도면18a



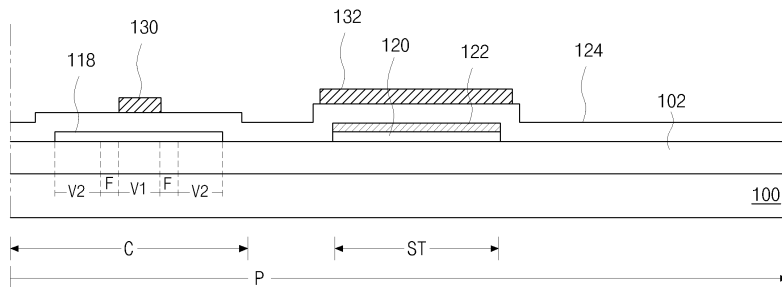
도면18b



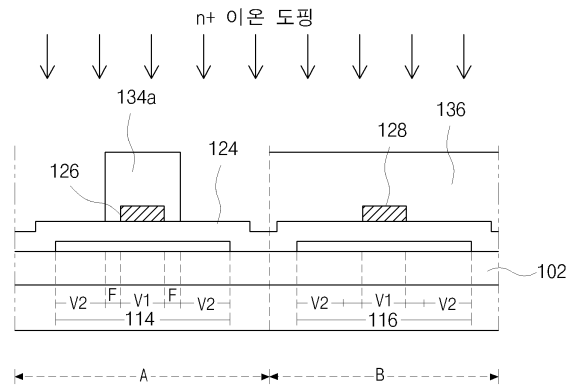
도면19a



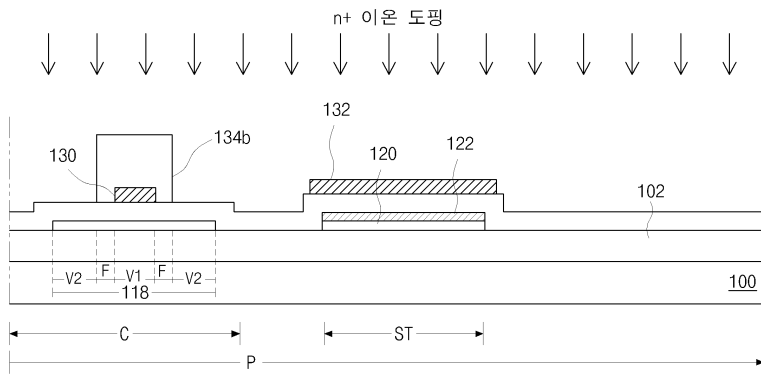
도면19b



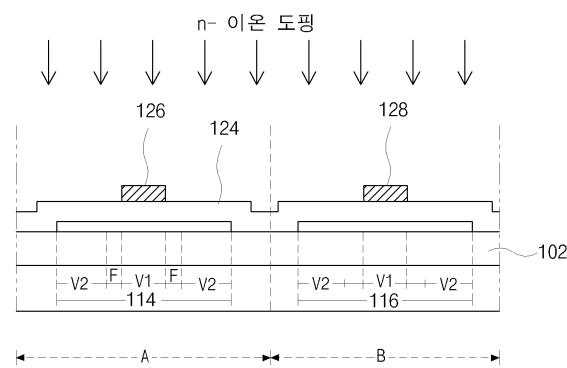
도면20a



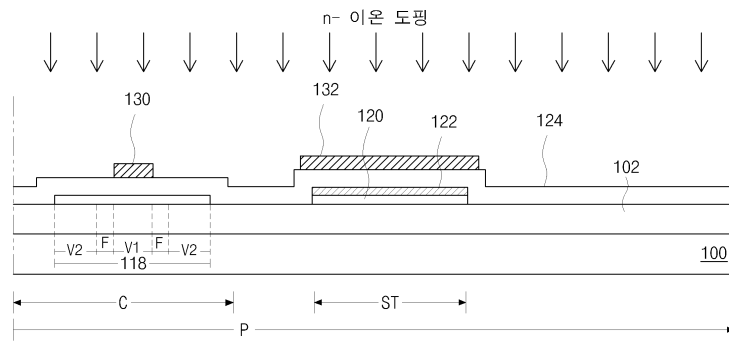
도면20b



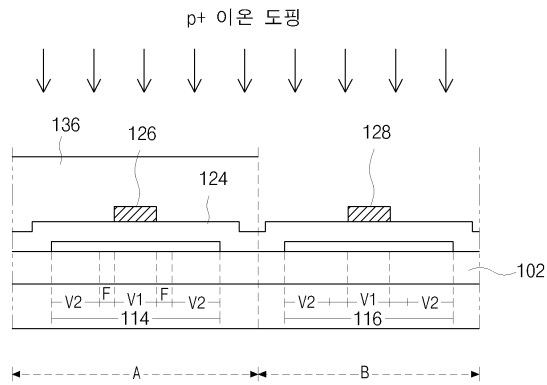
도면21a



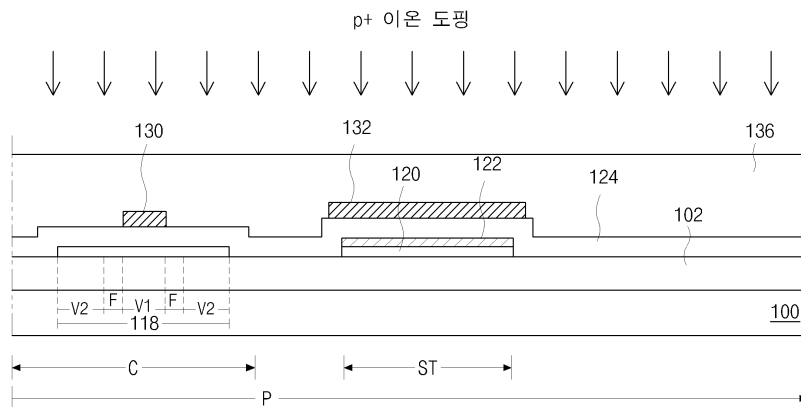
도면21b



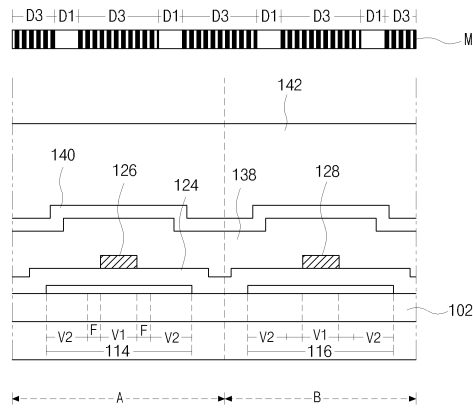
도면22a



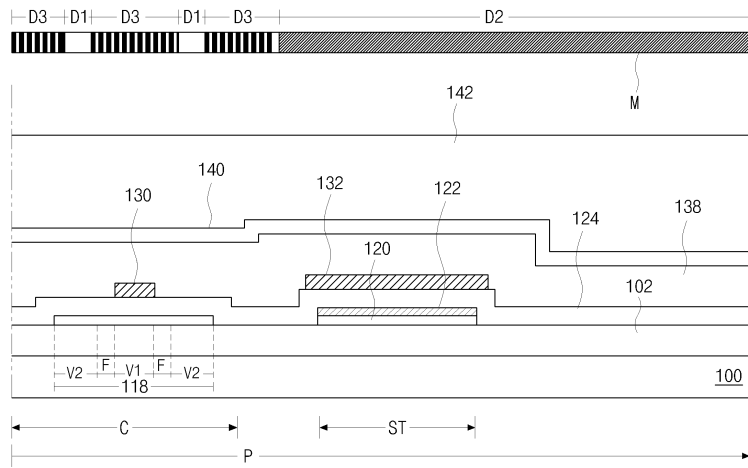
도면22b



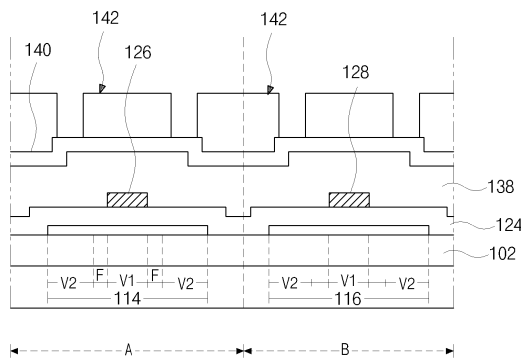
도면23a



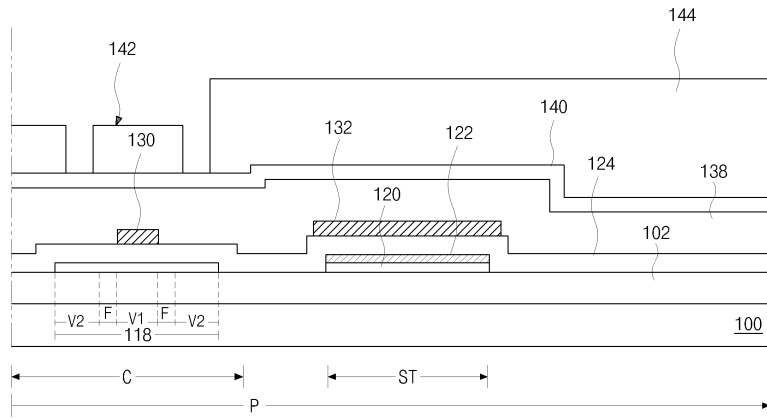
도면23b



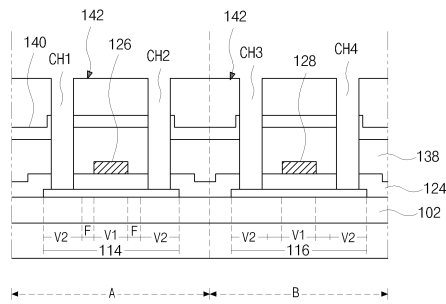
도면24a



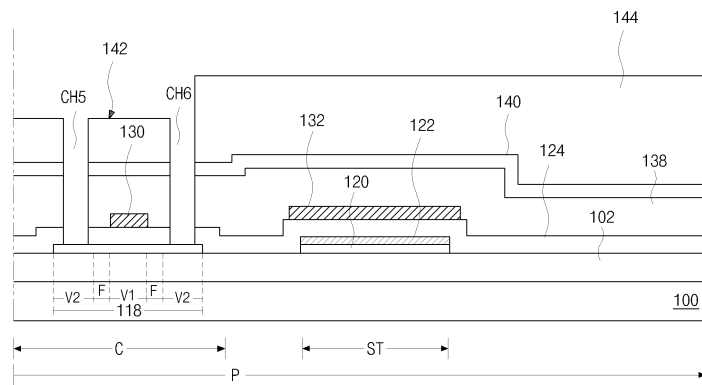
도면24b



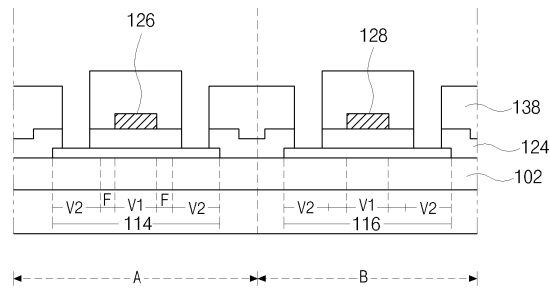
도면25a



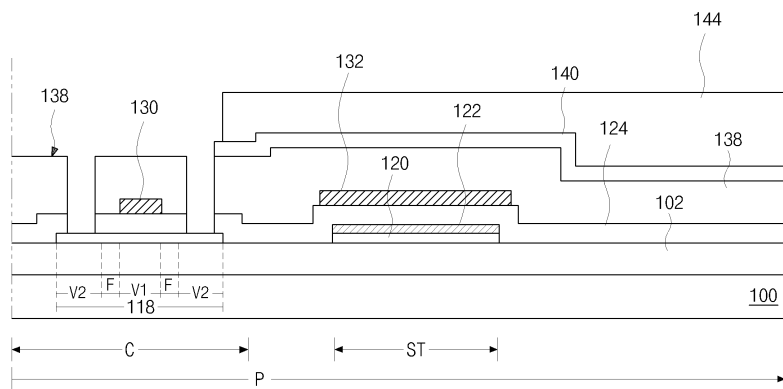
도면25b



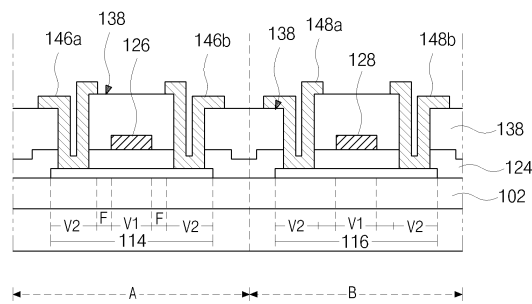
도면26a



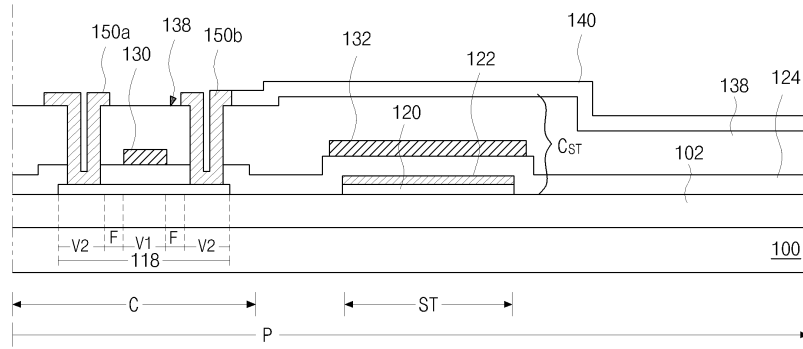
도면26b



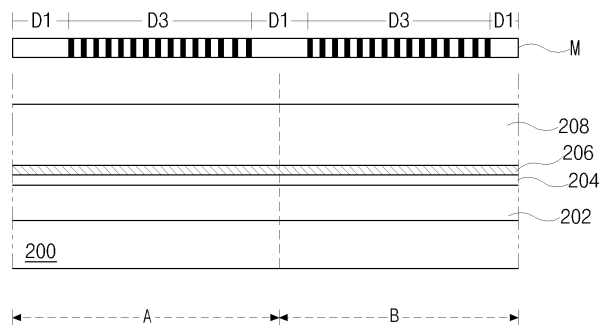
도면27a



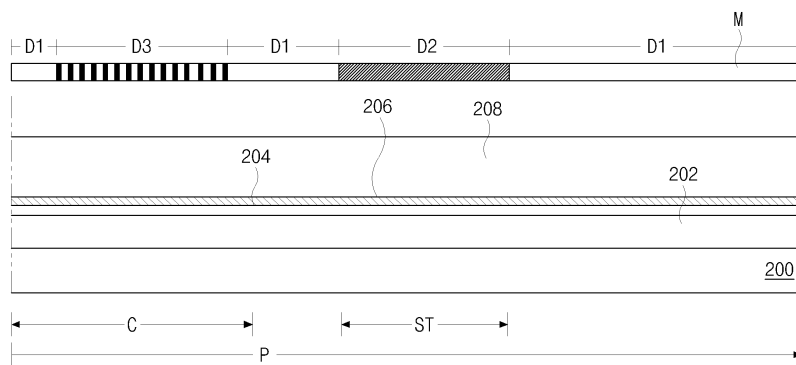
도면27b



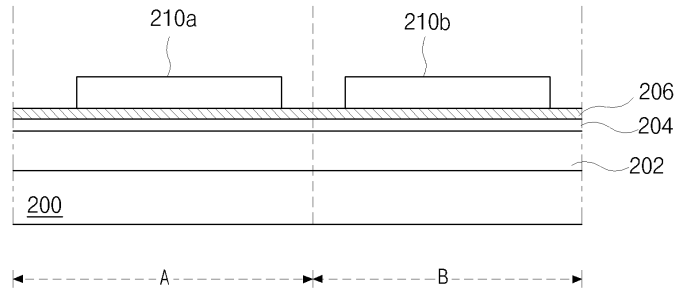
도면28a



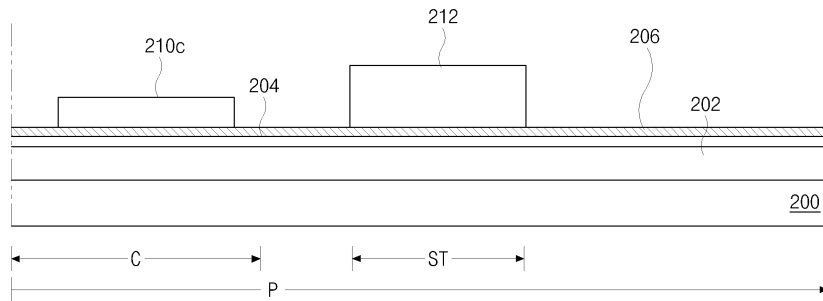
도면28b



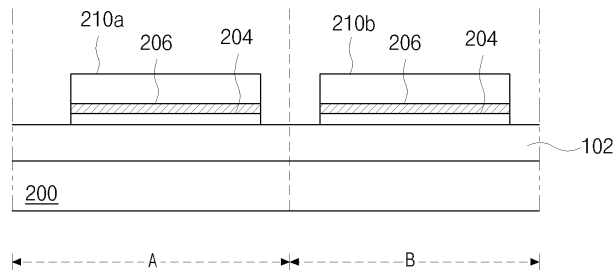
도면29a



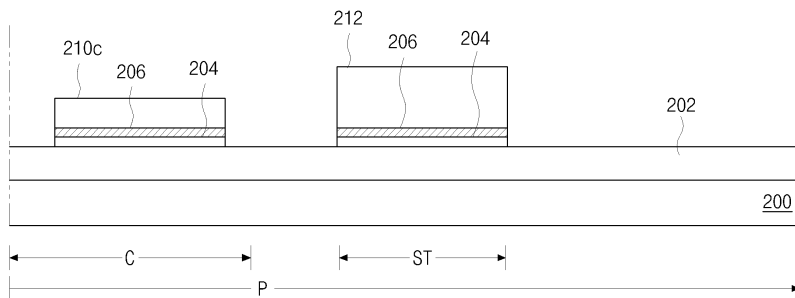
도면29b



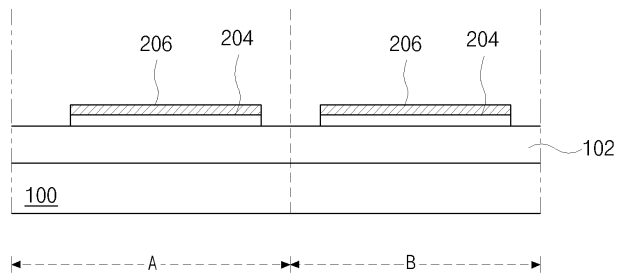
도면30a



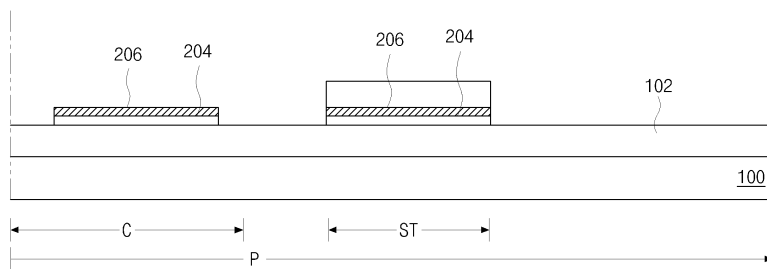
도면30b



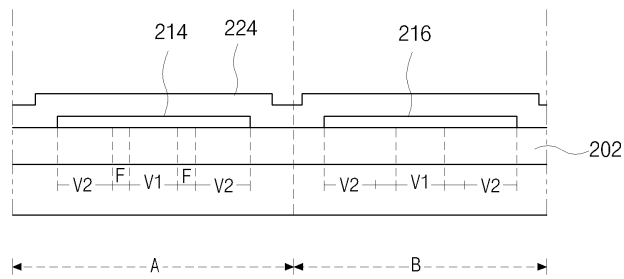
도면31a



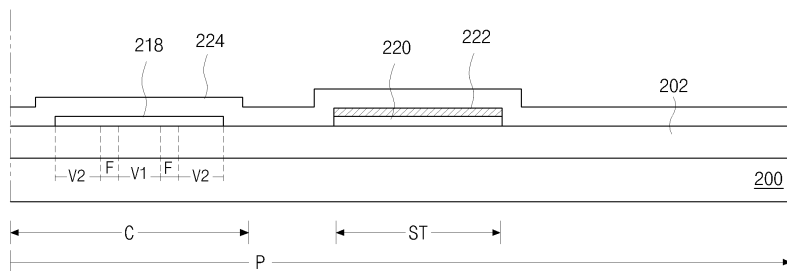
도면31b



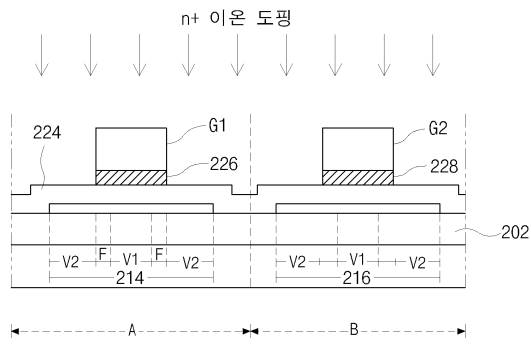
도면32a



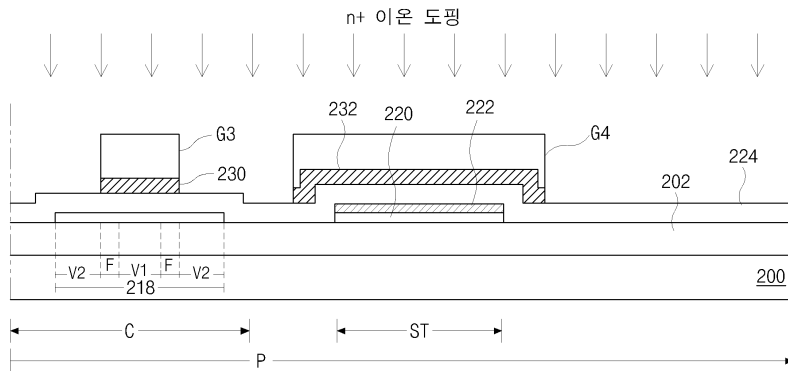
도면32b



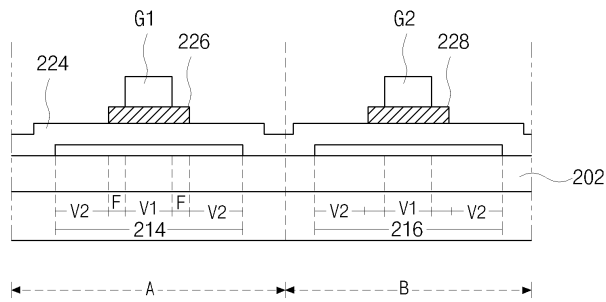
도면33a



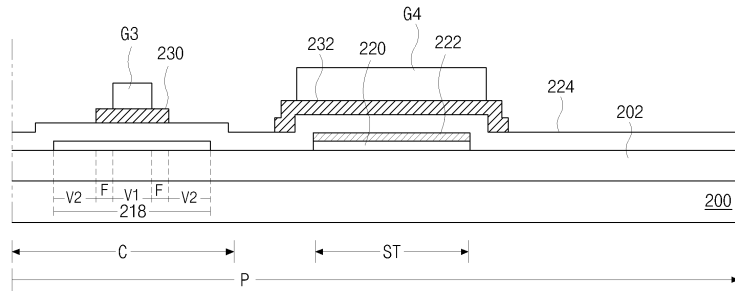
도면33b



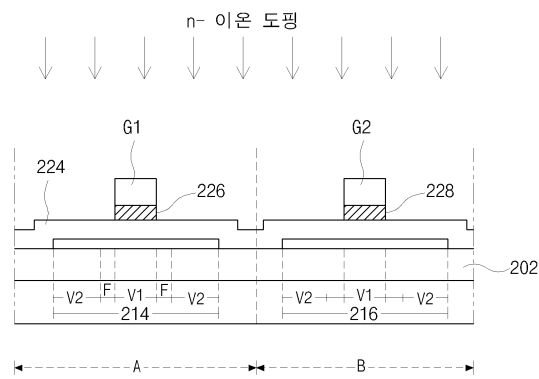
도면34a



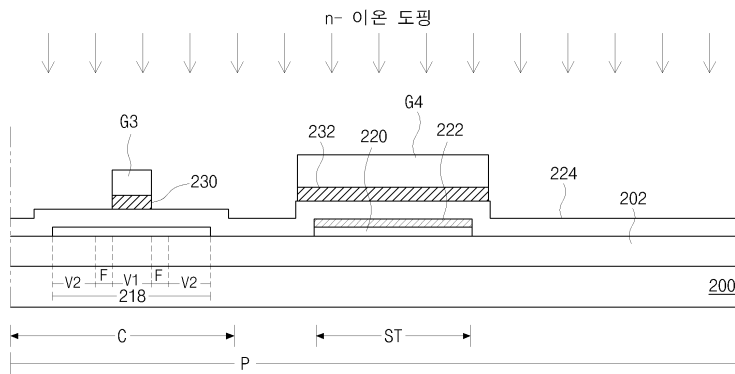
도면34b



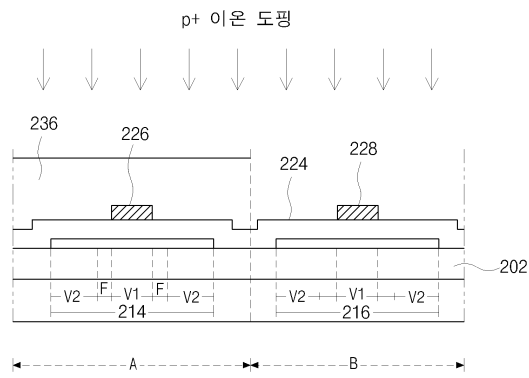
도면35a



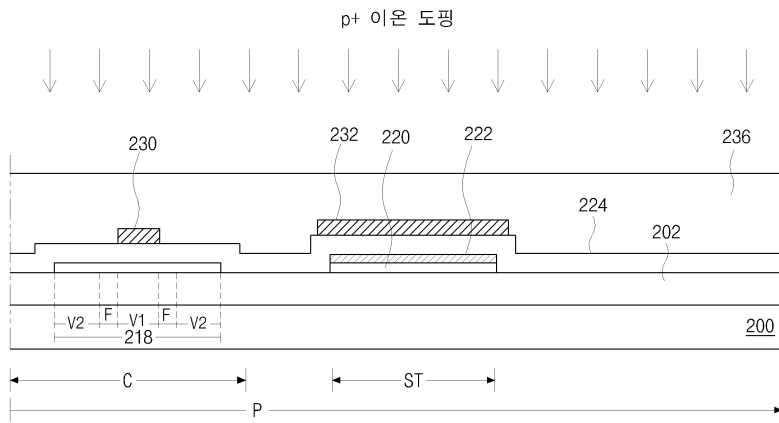
도면35b



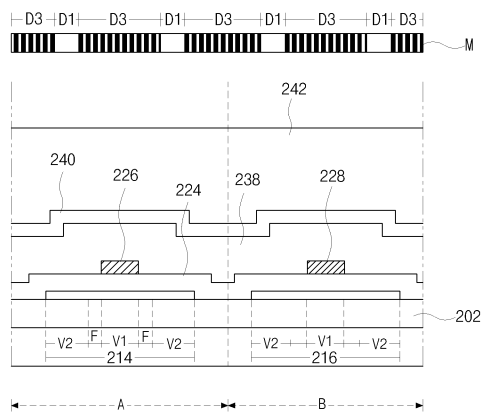
도면36a



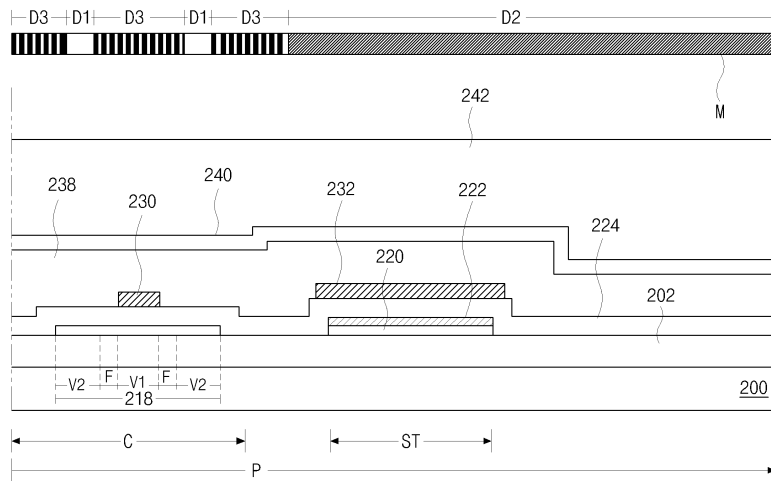
도면36b



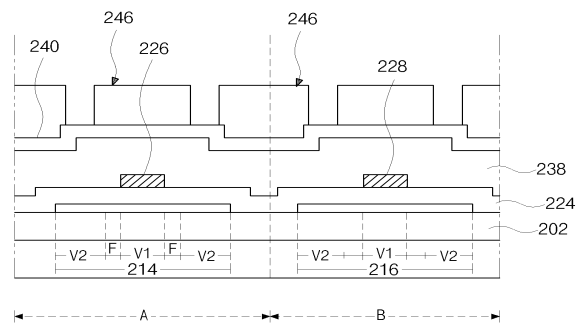
도면37a



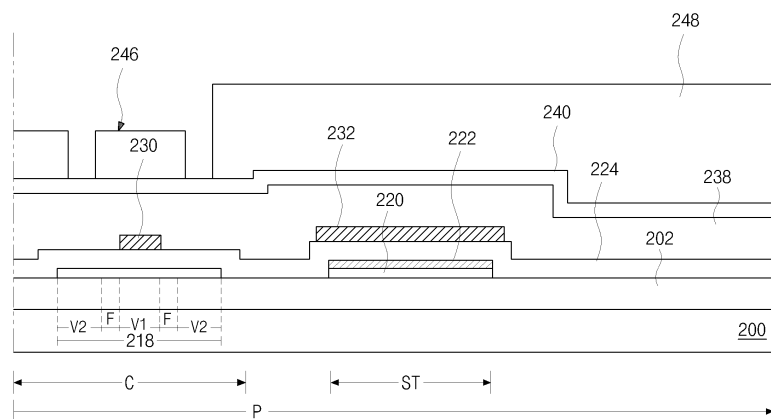
도면37b



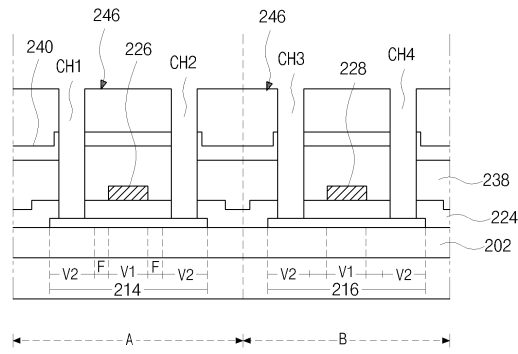
도면38a



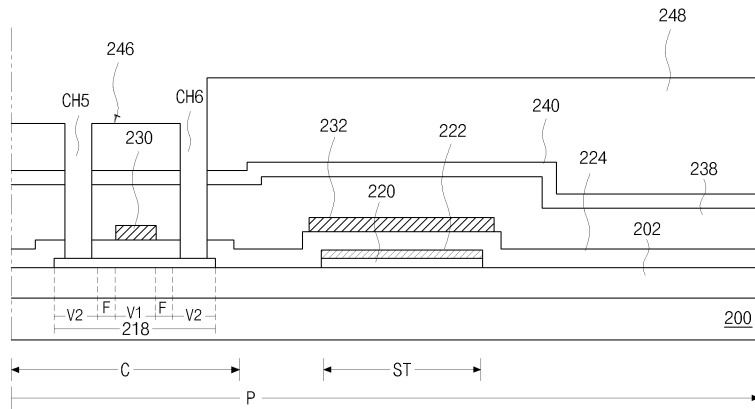
도면38b



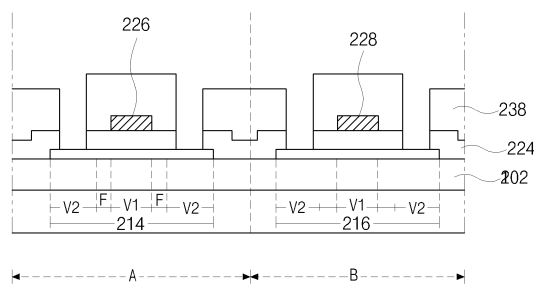
도면39a



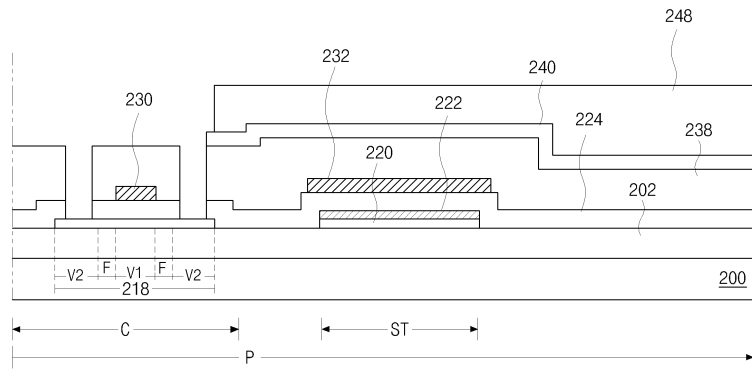
도면39b



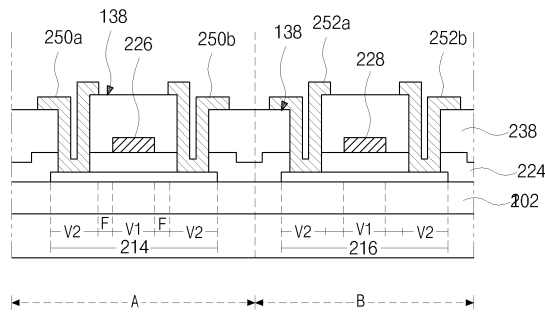
도면40a



도면40b



도면41a



도면41b

