

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4587678号
(P4587678)

(45) 発行日 平成22年11月24日 (2010.11.24)

(24) 登録日 平成22年9月17日 (2010.9.17)

(51) Int.Cl.

F I

G O 2 F 1/13 (2006.01)

G O 2 F 1/13 1 O 1

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 9 F 9/00 (2006.01)

G O 9 F 9/00 3 5 2

G O 1 M 11/00 (2006.01)

G O 1 M 11/00 T

G O 1 R 31/00 (2006.01)

G O 1 R 31/00

請求項の数 6 (全 16 頁)

(21) 出願番号 特願2004-54863 (P2004-54863)
 (22) 出願日 平成16年2月27日 (2004.2.27)
 (65) 公開番号 特開2005-242211 (P2005-242211A)
 (43) 公開日 平成17年9月8日 (2005.9.8)
 審査請求日 平成19年2月6日 (2007.2.6)

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシー
 ズ・コーポレーション
 INTERNATIONAL BUSIN
 ESS MACHINES CORPO
 RATION
 アメリカ合衆国10504 ニューヨーク
 州 アーモンク ニュー オーチャード
 ロード

(74) 復代理人 100104444
 弁理士 上羽 秀敏
 (74) 代理人 100086243
 弁理士 坂口 博
 (74) 代理人 100091568
 弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 アレイ基板の検査方法及び検査装置

(57) 【特許請求の範囲】

【請求項 1】

複数の信号線を有するアレイ基板の検査方法であって、
 各々が複数の信号線を含む N_1 (2以上の整数) 個の第1検査ブロックに前記アレイ基
 板を分割するステップと、
 前記第1検査ブロックの各々から1本ずつ合計 N_1 本の信号線を選択するステップと、
 選択した N_1 本の信号線を同時に検査するステップと、
 各々が複数の信号線を含む N_2 (N_1 と異なる2以上の整数) 個の第2検査ブロックに
 前記アレイ基板を分割するステップと、
 前記第2検査ブロックの各々から1本ずつ合計 N_2 本の信号線を選択するステップと、
 選択した N_2 本の信号線を同時に再検査するステップとを含むことを特徴とするアレイ
 基板の検査方法。

【請求項 2】

複数の信号線を有するアレイ基板の検査方法であって、
 各々が複数の信号線を含む N_1 (2以上の整数) 個の第1検査ブロックに前記アレイ基
 板を分割するステップと、
 前記第1検査ブロックの各々から1本ずつ合計 N_1 本の信号線を選択するステップと、
 選択した N_1 本の信号線を同時に検査するステップと、
 N_1 は2であり、
 前記検査方法はさらに、

10

20

前記第 1 検査ブロックの一方の信号線を再検査するステップを含むことを特徴とするアレ
レイ基板の検査方法。

【請求項 3】

請求項 2 に記載の検査方法であって、

前記再検査のステップは、

各々が複数の信号線を含む N_2 (2 以上の整数) 個の第 2 検査ブロックに前記アレ
レイ基板を分割するステップと、

前記第 2 検査ブロックの各々から 1 本ずつ合計 N_2 本の信号線を選択するステップと、
選択した N_2 本の信号線を同時に検査するステップとを含むことを特徴とする検査方法

。

10

【請求項 4】

複数の信号線を有するアレレイ基板の検査方法であって、

各々が複数の信号線を含む N_1 (2 以上の整数) 個の第 1 検査ブロックに前記アレ
レイ基板を分割するステップと、

前記第 1 検査ブロックの各々から 1 本ずつ合計 N_1 本の信号線を選択するステップと、
選択した N_1 本の信号線を同時に検査するステップと、

検査の結果に従って不良の信号線の数のカウントするステップと、

カウントした数が予め定められた数よりも少ないとき、不良の信号線を再検査するス
テップと、

カウントした数が予め定められた数よりも多いとき、各々が複数の信号線を含む N_2 (
 N_1 と異なる 2 以上の整数) 個の第 2 検査ブロックに前記アレレイ基板を分割するステッ
プと、

20

前記第 2 検査ブロックの各々から 1 本ずつ合計 N_2 本の信号線を選択するステップと、
選択した N_2 本の信号線を同時に再検査するステップとを含むことを特徴とするアレ
レイ基板の検査方法。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の検査方法であって、

前記検査のステップは、

選択した信号線を順番に駆動するステップと、

N_1 本の信号線の駆動により順番に読み出されたデータ信号をそれぞれ検出するステッ
プとを含むことを特徴とするアレレイ基板の検査方法。

30

【請求項 6】

請求項 5 に記載の検査方法であって、

前記駆動のステップは、駆動した信号線をその次の信号線を駆動するまで駆動し続ける
ことを特徴とするアレレイ基板の検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アレレイ基板の検査方法及び検査装置に関し、さらに詳しくは、液晶表示装置
用アレレイ基板の検査方法及び検査装置に関する。

40

【背景技術】

【0002】

アクティブマトリクス型液晶表示装置のアレイ基板は、図 20 及び図 21 に示すように
、データ信号線 1 と、データ信号線 1 と交差する走査信号線 2 と、データ信号線 1 及び走
査信号線 2 の交点に配置された画素 3 とを備える。各画素 3 は、薄膜トランジスタ (T F
T) と、画素容量とからなる。

【0003】

ここで、アレレイ基板を検査する従来の方法を説明する。

【0004】

まずデータ信号をデータ信号線 1 に供給し、かつ 1 本の走査信号線 2 A を駆動する。こ

50

れにより 1 本の走査信号線 2 A に接続された画素 3 に電荷が蓄積される（データ信号の書き込み）。

【0005】

次に、積分器などの検出回路 4 を各データ信号線 1 に接続し、かつ 1 本の走査信号線 2 A を駆動する。これにより 1 本の走査信号線 2 A に接続された画素 3 に蓄積された電荷が検出回路 4 により検出される（データ信号の読み出し）。

【0006】

上記動作を全ての走査信号線 2 について繰り返すことにより、アレイ基板全体を検査する。

【0007】

この検査方法によれば、不良画素から検出される電荷量は正常画素から検出される電荷量と異なるため、画素 3 の良否を判別することができる。

【0008】

この検査方法は、走査信号線 2 を 1 本ずつ順番に駆動するので、不良画素のアドレスを特定することができるが、全ての画素 3 を検査するのに長時間を要するという問題がある。以下、この従来の検査方法を「1 画素順次測定方法」という。

【0009】

下記特許文献 1 は、アクティブマトリクス型液晶表示装置の検査方法を開示する。この検査方法は、データ信号を供給する 2 本のビデオバスを短絡するために 2 つのアナログスイッチを同時にオンにすることにより線状欠陥を検出している。しかし、特許文献 1 は、複数の走査信号線を同時に駆動するという本発明の特徴を全く開示していない。

【特許文献 1】特開 2000 - 74974 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明の目的は、アレイ基板の検査時間を短縮可能な検査方法及び検査装置を提供することである。

【課題を解決するための手段及び発明の効果】

【0011】

本発明によるアレイ基板の検査方法は、複数の信号線を有するアレイ基板の検査方法であって、各々が複数の信号線を含む N_1 （2 以上の整数）個の第 1 検査ブロックにアレイ基板を分割するステップと、第 1 検査ブロックの各々から 1 本ずつ合計 N_1 本の信号線を選択するステップと、選択した N_1 本の信号線を同時に検査するステップとを含む。

【0012】

この検査方法によれば、2 本以上の信号線をまとめて検査できるので、検査時間を短縮することができる。

【0013】

好ましくは、上記検査方法はさらに、各々が複数の信号線を含む N_2 （ N_1 と異なる 2 以上の整数）個の第 2 検査ブロックにアレイ基板を分割するステップと、第 2 検査ブロックの各々から 1 本ずつ合計 N_2 本の信号線を選択するステップと、選択した N_2 本の信号線を同時に再検査するステップとを含む。

【0014】

この場合、最初の検査と再検査とで共通して不良候補に挙がったアドレスを不良アドレスと特定できる。

【0015】

好ましくは、 N_1 は 2 である。上記検査方法はさらに、第 1 検査ブロックの一方の信号線を再検査するステップを含む。

【0016】

この場合、不良候補に挙がるアドレスは 2 つであるから、一方の信号線を再検査すれば、他方の信号線を再検査しなくても、不良アドレスを特定できる。

10

20

30

40

50

【0017】

さらに好ましくは、上記再検査のステップは、各々が複数の信号線を含む N_2 （2以上の整数）個の第2検査ブロックにアレイ基板を分割するステップと、第2検査ブロックの各々から1本ずつ合計 N_2 本の信号線を選択するステップと、選択した N_2 本の信号線を同時に検査するステップとを含む。

【0018】

この場合、2本以上の信号線をまとめて再検査できるので、再検査時間を短縮することができる。

【0019】

好ましくは、上記検査方法はさらに、検査の結果に従って不良の信号線の数のカウントするステップと、カウントした数が予め定められた数よりも少ないとき、不良の信号線を再検査するステップと、カウントした数が予め定められた数よりも多いとき、各々が複数の信号線を含む N_2 （ N_1 と異なる2以上の整数）個の第2検査ブロックにアレイ基板を分割するステップと、第2検査ブロックの各々から1本ずつ合計 N_2 本の信号線を選択するステップと、選択した N_2 本の信号線を同時に再検査するステップとを含む。

10

【0020】

この場合、最初の検査で不良数をカウントし、不良数に応じて再検査の方法を切り替える。不良数が少ない場合は不良の信号線を個別に再検査し、不良数が多い場合は2本以上の信号線をまとめて再検査しているので、不良数に関係なく、検査時間を短縮することができる。

20

【0021】

本発明によるアレイ基板の検査装置は、複数のデータ信号線とデータ信号線と交差する複数の走査信号線とデータ信号線及び走査信号線の交点に対応する複数の素子とを有するアレイ基板を検査するための検査装置であって、走査信号線のうち N_1 本の走査信号線を駆動する駆動手段と、 N_1 本の走査信号線の駆動により対応する N_1 個の素子からデータ信号線の各々に読み出されたデータ信号を検出する検出手段とを備える。

【0022】

この検査装置によれば、2本以上の走査信号線が駆動され、対応する2個以上の素子からデータ信号が読み出され、これらがまとめて検出されるので、検査時間を短縮することができる。

30

【0023】

好ましくは、上記検査装置において、駆動手段は、走査信号線のうち N_2 （ N_1 と異なる2以上の整数）本の走査信号線を駆動する。検出手段は、 N_2 本の走査信号線の駆動により対応する N_2 個の素子からデータ信号線の各々に読み出されたデータ信号を検出する。

【0024】

この場合、最初の検査と再検査とで共通して不良候補に挙がったアドレスを不良アドレスと特定できる。

【0025】

好ましくは、 N_1 は2である。駆動手段は、駆動した2本の走査信号線のうち一方を再駆動する。検出手段は、一方の走査信号線の駆動により対応する1個の素子からデータ信号線の各々に読み出されたデータ信号を検出する。

40

【0026】

この場合、不良候補に挙がるアドレスは2つであるから、一方の信号線を再検査すれば、他方の信号線を再検査しなくても、不良アドレスを特定できる。

【発明を実施するための最良の形態】

【0027】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

【0028】

50

本発明の実施の形態による検査方法を説明するに先立って、検査の対象となるアレイ基板の構成を簡単に説明する。ここでは、アクティブマトリクス型液晶表示装置のアレイ基板を例に挙げて説明する。

【 0 0 2 9 】

図 1 に示すように、アレイ基板は、データ信号線 1 と、データ信号線 1 と交差する走査信号線 2 と、データ信号線 1 及び走査信号線 2 の交点に配置された画素 3 とを備える。各画素 3 は、T F T 5 と、画素容量 6 とからなる。T F T 5 の一方のソース/ドレインはデータ信号線 1 に接続され、他方のソース/ドレインは画素容量 6 の一方の電極に接続され、ゲートは走査信号線 2 に接続される。画素容量 6 の他方の電極は全て共通に接続される。データ信号線 1 はデータ信号線駆動回路 7 に接続される。走査信号線 2 は走査信号線駆動回路 8 に接続される。データ信号線駆動回路 7 はデータ信号をデータ信号線 1 に供給する。走査信号線駆動回路 8 は走査信号線 2 を選択的に駆動する。

10

【 0 0 3 0 】

[検査方法]

本実施の形態による検査方法は、まず最初の検査として「2画素同時測定方法」を実施し、次に再検査として「不良アドレス特定方法」を実施する。

【 0 0 3 1 】

1. 2画素同時測定方法(最初の検査)

(1) 図 2 (a) に示すように、検査するアレイ基板 1 0 を準備する。ここでは、アレイ基板は 9 0 0 本の走査信号線を有し、7 0 0 本目の走査信号線上に 1 つの不良画素 3 D を有するものと仮定する。

20

【 0 0 3 2 】

(2) 図 2 (b) に示すように、アレイ基板 1 0 を仮想的に半分に分割する。具体的には、アレイ基板 1 0 を 2 個の検査ブロック 1 0 A 及び 1 0 B に分割する。各検査ブロック 1 0 A , 1 0 B は、4 5 0 本の走査信号線を含む。

【 0 0 3 3 】

(3) 図 3 に示すように、各検査ブロック 1 0 A , 1 0 B から 1 本ずつ合計 2 本の走査信号線 2 A を選択する。

【 0 0 3 4 】

(4) 選択した 2 本の走査信号線 2 A を同時に検査する。具体的には、前半の検査ブロック 1 0 A において 1 本の走査信号線 2 A を駆動すると同時に、後半の検査ブロック 1 0 B においても 1 本の走査信号線 2 A を駆動する。駆動されるべき 2 本の走査信号線 2 A は、特に限定されないが、2 個の検査ブロック 1 0 A 及び 1 0 B の間で相対的に同じ位置にある。

30

【 0 0 3 5 】

走査信号線 2 の検査は、データ信号を画素 3 に書き込み、その画素 3 からデータ信号を読み出すことにより行う。

【 0 0 3 6 】

まずデータ信号を画素 3 に書き込むために、データ信号線駆動回路 7 によりデータ信号をデータ信号線 1 に供給し、かつ走査信号線駆動回路 8 により 2 本の走査信号線 2 A を同時に駆動する。これにより 2 本の走査信号線 2 A に接続された 2 列の T F T 5 がオンになり、対応する 2 列の画素容量 6 に電荷が蓄積される。

40

【 0 0 3 7 】

次にデータ信号を画素 3 から読み出すために、図 4 に示すように検出回路 4 を各データ信号線 1 に接続し、かつ走査信号線駆動回路 8 により 2 本の走査信号線 2 A を同時に駆動する。これにより 2 本の走査信号線 2 A に接続された 2 列の T F T 5 がオンになり、対応する 2 列の画素容量 6 に蓄積された電荷が検出回路 4 により検出される。

【 0 0 3 8 】

同時に選択された 2 個の画素 3 がともに正常であれば、通常(1 個の画素 3 から検出される電荷量)の 2 倍の電荷量(以下「基準電荷量」という)が検出される。仮に一方の画

50

素 3 が不良であれば、基準電荷量と異なる電荷量が検出される。

【 0 0 3 9 】

(5) 全ての走査信号線 2 について上記 (3) 及び (4) の動作を繰り返す。具体的には、最初に 1 本目及び 4 5 1 本目の走査信号線 2 を同時に駆動した後、4 5 0 本目及び 9 0 0 本目の走査信号線 2 まで順番に 2 本ずつ駆動する。

【 0 0 4 0 】

図 2 (c) に示すように、本例では、2 5 0 (= 7 0 0 - 4 5 0) 本目の走査信号線 2 と 7 0 0 (= 4 5 0 + 2 5 0) 本目の走査信号線 2 とを同時に駆動したとき、基準電荷と異なる電荷量が検出される。したがって、これら 2 本の走査信号線 2 上の 2 個の画素 3 C が不良候補として挙げられる。

10

【 0 0 4 1 】

上述した 2 画素同時測定方法は、2 個の画素 3 に蓄積された電荷量を同時に測定しているため、検査時間を短縮できる。もし結果的に不良画素がなければ、検査時間は従来の半分になる。最初の検査で不良画素はないと判明した場合、後述する再検査は必要ない。

【 0 0 4 2 】

ここでは最初の検査として 2 画素同時測定方法を採用したが、これに代え、アレイ基板を 3 個の検査ブロックに分割して 3 個の画素に蓄積された電荷量を同時に測定する「3 画素同時測定方法」を採用してもよい。一般に、アレイ基板を複数の検査ブロックに分割して複数の画素に蓄積された電荷量を同時に測定する方法を以下「複数画素同時測定方法」という。

20

【 0 0 4 3 】

上述した 2 画素同時測定方法は、同時に選択された 2 個の画素 3 のうちいずれか一方が不良とは判別できるが、いずれが不良とまでは判別できない。いずれが不良かを判別するためには、次の不良アドレス特定方法を実施する。

【 0 0 4 4 】

2 . 不良アドレス特定方法 (再検査)

不良画素のアドレスを特定する方法として、「不良候補画素個別測定方法」、「3 画素同時測定方法」、「片側 2 画素同時測定方法」、及び「不良候補画素個別測定方法及び複数画素同時測定方法の切替方法」がある。以下、これらを順に説明する。

【 0 0 4 5 】

30

2 . 1 . 不良候補画素個別測定方法

上記 2 画素同時測定方法で不良候補に挙げた全ての画素を 1 個ずつ順番に再検査する。図 2 (c) に示すように、本例では、まず 2 5 0 本目の走査信号線 2 A を駆動してその上にある不良候補の画素 3 C に蓄積された電荷量を測定し、次に 7 0 0 本目の走査信号線 2 A を駆動してその上にある不良候補の画素 3 C に蓄積された電荷量を測定する。2 5 0 本目の走査信号線 2 A 上の画素 3 C は正常であるから通常の電荷量が検出されるが、7 0 0 本目の走査信号線 2 A 上の画素 3 C は不良であるから通常と異なる電荷量が検出される。したがって、この画素 3 C を不良と判別し、そのアドレスを特定できる。

【 0 0 4 6 】

しかし、不良候補画素個別測定方法は不良アドレスを特定するための再測定に長時間を要する。そのため、不良画素が多いと、検査時間が従来の 1 画素順次測定方法よりも長くなってしまう場合がある。複数画素同時測定方法及び不良候補画素個別測定方法の組み合わせを採用した場合の検査時間は次の式 (1) で表される。

40

【 数 1 】

$$\text{検査時間} = \frac{T_{\text{scan}}}{N} + T_{\text{mode}} + T_{\text{addr}} \cdot N \cdot D + T_{\text{ana}} \cdot D \quad \cdots (1)$$

【 0 0 4 7 】

式 (1) 中、T s c a n は 1 画素順次測定方法による全画素の測定に要する時間 (不良

50

画素の検出処理時間を含む)、Nは同時に測定する画素数、Tmodeは測定方法(モード)の切り替えに要する時間、Taddrは1画素当たりの不良アドレスの特定に要する時間(ただし、1画素順次測定方法ではTaddr=0)、Dは不良画素数、Tanaは1画素当たりの不良解析に要する時間をそれぞれ表す。

【0048】

たとえば1024×768画素のXGA(eXtended Graphics Array)を検査する場合、Tscan=4.67秒、Tmode=0.10秒、Taddr=0.11秒、Tana=1.20秒とすると、図5に示したグラフが得られる。縦軸が検査時間を表し、横軸が不良画素数を表す。グラフ中には、従来の1画素順次測定方法を採用した場合、最初の検査として2画素同時測定方法を採用した場合、及び最初の検査として3画素同時測定方法を採用した場合における検査時間の不良画素数依存性がそれぞれ示されている。

10

【0049】

このグラフから明らかなように、不良画素数が少ないとき検査時間は1画素順次測定方法よりも2又は3画素同時測定方法の方が短い、不良画素数が増えると検査時間は1画素順次測定方法よりも2又は3画素同時測定方法の方が長くなる。本例では、7個以上の不良画素があると3画素同時測定方法の方が2画素順次測定方法よりも検査時間が長くなる。また、11個以上の不良画素があると2画素同時測定方法の方が1画素順次測定方法よりも検査時間が長くなる。

【0050】

以上のように、不良アドレス特定方法として不良候補画素個別測定方法を採用すると、不良画素数が多い場合、却って検査時間が長くなる。そのため、不良アドレス特定方法として、好ましくは次の3画素同時測定方法を採用する。

20

【0051】

2.2.3画素同時測定方法

図6(a)及び(b)に示すように、上述した通り最初の検査として2画素同時測定方法を実施し、不良画素の存在が判明した場合、図6(c)に示すように、検査ブロックの数を変更し、再びアレイ基板10全体を検査する。詳細は次の通り。

【0052】

(1)アレイ基板10を3個の検査ブロック10C、10D及び10Eに分割する。各検査ブロック10C、10D、10Eは、300本の走査信号線2を含む。

30

【0053】

(2)各検査ブロック10C、10D、10Eから1本ずつ合計3本の走査信号線2を選択する。

【0054】

(3)選択した3本の走査信号線2を同時に検査する。具体的には、前3分の1の検査ブロック10Cにおいて1本の走査信号線2を駆動し、中3分の1の検査ブロック10Dにおいて1本の走査信号線2を駆動し、かつ後3分の1の検査ブロック10Eにおいて1本の走査信号線2を駆動する。その他は、最初の検査である2画素同時測定方法と基本的に同じである。すなわち、3個の画素3に蓄積された電荷量を同時に検出する。

40

【0055】

(4)全ての走査信号線2について上記(2)及び(3)の動作を繰り返す。具体的には、最初に1本目、301本目及び601本目の走査信号線2を同時に駆動した後、300本目、600本目及び900本目の走査信号線2まで順番に3本ずつ駆動する。

【0056】

本例では、図6(b)に示した2画素同時測定方法を実施した結果、図7(a)に示すように250本目及び700本目の走査信号線2上の2個の画素3Cが不良候補として挙げられるが、図6(c)に示した3画素同時測定方法を実施した結果、図7(b)に示すように100(=700-300-300)本目、400(=100+300)本目及び700(=100+300+300)本目の走査信号線2上の3個の画素3Cが不良候補として挙げられる。

50

【 0 0 5 7 】

(5) 2 画素同時測定方法及び 3 画素同時測定方法を実施した結果、両者に共通する 7 0 0 本目の走査信号線 2 A 上の画素 3 C を不良と判別する。したがって、不良画素 3 D のアドレスを特定できる。また、2 画素同時測定方法で検査した画素が両方とも不良であった場合においても、3 画素同時測定方法ではこれらの画素は同時に検査されないため、それぞれの画素を不良と判別できる。

【 0 0 5 8 】

ここでは最初の検査として 2 画素同時測定方法を採用し、再検査として 3 画素同時測定方法を採用している（以下「2 - 3 画素同時測定検査」と表記する）が、これに限定されることはない。たとえば「2 - 5 画素同時測定検査」、「3 - 4 画素同時測定検査」、「3 - 2 画素同時測定検査」、「4 - 5 画素同時測定検査」、「4 - 6 画素同時測定検査」などを採用してもよい。ただし、「2 - 4 画素同時測定検査」などを採用することはできない。同時に検査対象となるアドレスが完全に重複するからである。要するに、一方の検査で同時に測定する画素の数が他方の検査で同時に検査する画素の数の約数又は倍数でなければよい。

【 0 0 5 9 】

一般に、 $N_1 - N_2$ 画素同時測定検査を採用した場合の検査時間は次の式 (2) で表される。

【 数 2 】

$$\text{検査時間} = \frac{T_{\text{scan}}}{N_1} + T_{\text{mode}} + \frac{T_{\text{scan}}}{N_2} \cdot F + T_{\text{mode}} + T_{\text{ana}} \cdot D \quad \cdots (2)$$

【 0 0 6 0 】

式 (2) 中、 N_1 は最初の検査で同時に測定する画素数、 N_2 は再検査で同時に測定する画素数、 F は不良画素の有無（不良画素がある場合は「1」、ない場合は「0」）をそれぞれ表す。その他は式 (1) と同じである。

【 0 0 6 1 】

たとえば X G A を検査する場合、 $T_{\text{scan}} = 4.67$ 秒、 $T_{\text{mode}} = 0.10$ 秒、 $T_{\text{ana}} = 1.20$ 秒とすると、図 8 に示したグラフが得られる。グラフ中には、従来の 1 画素順次測定方法を採用した場合、2 - 3 画素同時測定検査を採用した場合、及び 3 - 4 画素同時測定検査を採用した場合における検査時間の不良画素数依存性がそれぞれ示されている。

【 0 0 6 2 】

このグラフから明らかなように、図 5 に示したような検査時間の逆転現象は起こらない。最初の検査で不良画素が全く存在しないと判明した場合、再検査は行わない。そのため、この場合の検査時間は最初の検査に要する時間だけとなり、1 個でも不良画素が存在する場合に比べて極端に短くなる。

【 0 0 6 3 】

2 . 3 . 片側 2 画素同時測定方法

図 9 (a) 及び (b) に示すように、最初の検査で 2 画素同時測定方法を実施し、不良画素の存在が判明した場合、図 9 (c) に示すように、再検査でアレイ基板 1 0 の前半又は後半のみについて再び 2 画素同時測定方法を実施してもよい。前半又は後半の一方に不良画素が存在すれば、その画素のアドレスを特定すればよく、不良画素が存在しなければ、当該他方の画素のアドレスを特定すれば足りるからである。詳細は次の通り。

【 0 0 6 4 】

(1) アレイ基板 1 0 の前半をさらに半分に分割する。具体的には、前半の検査ブロック 1 0 A を 2 個の検査ブロック 1 0 F 及び 1 0 G に分割する。各検査ブロック 1 0 F , 1 0 G は、2 2 5 本の走査信号線 2 を含む。

【 0 0 6 5 】

(2) 各検査ブロック 1 0 F , 1 0 G から 1 本ずつ合計 2 本の走査信号線 2 を選択する。

【 0 0 6 6 】

(3) 選択した 2 本の走査信号線 2 を同時に検査する。具体的には、検査ブロック 1 0 F において 1 本の走査信号線 2 を駆動すると同時に、検査ブロック 1 0 G においても 1 本の走査信号線 2 を駆動する。

【 0 0 6 7 】

(4) 前半の検査ブロック 1 0 A における全ての走査信号線 2 について上記 (2) 及び (3) の動作を繰り返す。具体的には、最初に 1 本目及び 2 2 6 本目の走査信号線 2 を同時に駆動した後、2 2 5 本目及び 4 5 0 本目の走査信号線 2 まで順番に 2 本ずつ駆動する。

10

【 0 0 6 8 】

本例では、図 9 (b) に示した 2 画素同時測定方法を実施した結果、図 7 (a) に示すように 2 5 0 本目及び 7 0 0 本目の走査信号線 2 上の 2 個の画素 3 C が不良候補として挙げられるが、図 9 (c) に示した 2 画素同時測定方法を再び実施した結果、前半には不良画素が存在しないことが判明する。その結果、後半の 7 0 0 本目の走査信号線 2 上の画素 3 C を不良と判別する。したがって、不良画素 3 D のアドレスを特定できる。

【 0 0 6 9 】

この片側 2 画素同時測定方法よれば、最初の検査でも再検査でも同じ 2 画素同時測定方法を採用しているため、安定した検査結果が得られる。

20

【 0 0 7 0 】

2 . 4 . 不良候補画素個別測定方法及び複数画素同時測定方法の切替方法

実際のアレイ基板 1 0 では不良画素の数は 0 ~ 5 個の場合が多い。不良画素の数が少ない場合、不良アドレス特定方法として不良候補画素個別測定方法を採用する方が複数画素同時測定方法を採用するよりも検査時間が短くなる。そのため、不良画素の数が少ない場合は不良アドレス特定方法を不良候補画素個別測定方法に切り替え、不良画素の数が多い場合は不良アドレス特定方法を複数画素同時測定方法に切り替えるようにしてもよい。この方法は、たとえば図 1 0 に示すようなソフトウェアで実現することができる。

【 0 0 7 1 】

(1) 最初の検査で行った複数画素同時測定方法の結果に基づいて不良画素の数をカウントする (S 1) 。

30

【 0 0 7 2 】

(2) カウントした不良画素の数が予め定められた数以上か否かを判別する (S 2) 。

【 0 0 7 3 】

(3) カウントした不良画素の数が予め定められた数よりも少ない場合、上述した不良候補画素個別測定方法を実施することにより不良画素のアドレスを個別に特定する (S 3) 。

【 0 0 7 4 】

(4) カウントした不良画素の数が予め定められた数以上の場合、同時に測定する画素の数を変更した上で再び複数画素同時測定方法を実施する (S 4) 。

40

【 0 0 7 5 】

(5) 最初の検査で行った複数画素同時測定方法の結果と、再検査で行った複数画素同時測定方法の結果とに基づいて共通するアドレスを不良画素のアドレスとしてを特定する (S 5) 。

【 0 0 7 6 】

図 1 1 のグラフ中には、従来の 1 画素順次測定方法を採用した場合と、最初の検査に 2 画素同時測定方法を採用しかつ不良アドレス特定方法として再検査に不良候補画素個別測定方法及び 3 画素同時測定方法の切替方法を採用した場合における検査時間の不良画素数依存性がそれぞれ示されている。

50

【 0 0 7 7 】

不良アドレス特定方法を不良候補画素個別測定方法及び複数画素同時測定方法に切り替えるのに適した不良アドレスの数は、不良画素の数と検査時間の関係式から求められる。たとえば不良画素の数が7個以上の場合、不良アドレス特定方法を3画素同時測定方法に切り替える。

【 0 0 7 8 】

[検査装置]

以上、検査方法を説明したが、次にこの検査方法を実現するための検査装置の例を説明する。

【 0 0 7 9 】

一般にアレイテストと呼ばれる周知の検査装置は、図1に示した走査信号線駆動回路8を備える。走査信号線駆動回路8は、一般に図12に示すように、クロック発生器81と、ゲートアドレスカウンタ82と、ゲートドライバ83とを備える。クロック発生器81はクロック信号CKを発生し、ゲートアドレスカウンタ82及びゲートドライバ83に与える。ゲートアドレスカウンタ82は、駆動すべき走査信号線を特定するためのゲートアドレスを発生する。ゲートドライバ83はシフトレジスタ(図示せず)及び複数のトランジスタ(図示せず)を含み、ゲートアドレスに応じて入力されたスタート信号をシフトレジスタによりシフトさせ、トランジスタにより走査信号線を駆動する。

【 0 0 8 0 】

たとえば1280×1024画素のSXGA(Super eXtended Graphics Array)は1024本の走査信号線を有するので、1本目の走査信号線と513本目の走査信号線とが同時に駆動されるように、図13に示したタイミングでスタート信号STが入力される。スタート信号STはゲートアドレスに応じてゲートドライバ83内のシフトレジスタに入力され、シフトレジスタ内でクロック信号CKに応じてシフトする。その結果、走査信号G1~G1024(G515以降は図示せず)がゲートドライバ83から走査信号線に与えられる。本例では、時刻Ttest以降で2本の走査信号線が同時に駆動される。

【 0 0 8 1 】

図14に示すように、切り替え可能な4個のゲートドライバ831~834を用いてもよい。ゲートドライバ831~834の各々は、256ビットのシフトレジスタ(図示せず)を含む。2画素同時測定方法を実施する場合は、2個のスイッチ835及び836をとともにオンにし、ゲートドライバ831及び833の各第1ビットにスタート信号STを入力すればよい。ゲートドライバ831に入力されたスタート信号STはゲートドライバ831及び832内でシフトし、その結果、アレイ基板の前半にある走査信号線が順番に駆動される。同時に、ゲートドライバ833に入力されたスタート信号STはゲートドライバ833及び834内でシフトし、その結果、アレイ基板の後半にある走査信号線が順番に駆動される。また、アレイ基板の前半のみを選択する場合は、スイッチ835をオンにし、スイッチ836をオフにすればよい。アレイ基板の後半のみを選択する場合は、スイッチ835をオフにし、スイッチ836をオンにすればよい。

【 0 0 8 2 】

上記のようにゲートドライバを用いる必要は必ずしもなく、所望の1又は2以上の走査信号線を駆動できさえすれば、いかなるハードウェアを用いてもよい。

【 0 0 8 3 】

上記では不良アドレス特定方法として4つの方法を例示したが、他の方法を採用してもよい。

【 0 0 8 4 】

上述した2画素同時測定方法は、図15に示すように、まず2個の画素にデータ信号DTを書き込むために、データ信号DTが与えられている間に走査信号G1及びG513を同時に活性化する。次に2個の画素からデータ信号DTを読み出すために、走査信号G1及びG513を同時に活性化する。読み出されたデータ信号DTは積分され、その2画素分の電荷量が測定される。

10

20

30

40

50

【 0 0 8 5 】

これに対し、もう1つの不良アドレス特定方法は、最初の検査として2画素同時測定方法を実施するときに、図16に示すように、まず2個の画素にデータ信号DTを書き込むために、データ信号DTが与えられている間に走査信号G1及びG513を順番に1つつ活性化する。次に2個の画素からデータ信号DTを読み出すために、走査信号G1及びG513を順番に1つつ活性化する。そうすることにより、最初に1つ目の画素からデータ信号DTが読み出され、次に2つ目の画素からデータ信号DTが読み出される。これらのデータ信号DTは連続して積分される。したがって、時刻T1でその積分値を取得すれば1画素分の電荷量を測定できる。時刻T2でその積分値を取得すれば2画素分の電荷量を測定できる。

10

【 0 0 8 6 】

最初の検査では、上述した通り、測定した2画素分の電荷量に基づいて2画素の良否をまとめて判定する。再検査では、不良と判定された2画素のみを対象とし、測定した1画素分の電荷量に基づいてその1画素の良否を判定する。このように2画素のうちどちらが不良かを判定することで、不良画素のアドレスを特定できる。そのため、上述した4つのアドレス特定方法のように、アレイ基板を再スキャンする必要がない。

【 0 0 8 7 】

この不良アドレス特定方法を実現するための検査装置は、図17に示すように、各データ信号線1に接続される2個のサンプルホールド(S&H)回路11及び12を備える。サンプルホールド回路11は、走査信号G1が不活性化された時刻T1で1画素分の電荷量をサンプリングしかつホールドする。サンプルホールド回路12は、走査信号G513が不活性化される時刻T2で2画素分の電荷量をサンプリングしかつホールドする。1画素分の電荷量データ及び2画素分の電荷量データはともにメモリ13に蓄積される。最初の検査である2画素同時測定方法では、2画素分の電荷量データのみがPCに転送され、これに基づいて良否が判定される。そして、2画素の中から不良画素のアドレスを特定するときに初めて、残りの1画素分の電荷量データもPCに転送される。

20

【 0 0 8 8 】

現行のアレイテストは、書込及び読出サイクルとして一定時間を確保しているため、その時間内であれば2本の走査信号線2を1本ずつ駆動しても検査時間が長くなることはない。また、測定した2画素分の電荷量のみをPCに転送し、良否を判定するため、電荷量の測定時間が上記の場合よりも長くなることはない。

30

【 0 0 8 9 】

図16に示したタイミングで走査信号線を駆動するのが理想的であるが、実際には走査信号線とデータ信号線との間の容量結合で、図18に示すように走査信号G1の不活性化時T1にデータ信号DTにノイズが入る場合がある。このようなノイズが入ると、電荷量の測定値が不安定になる。

【 0 0 9 0 】

そこで、このようなノイズを除外するためには、図19に示すように、走査信号G513を活性化した後も走査信号G1を活性化し続けられればよい。この場合、時刻T1でサンプリングされかつホールドされた1画素分の電荷量には走査信号線とデータ信号線との間の結合容量も含まれることになる。しかし、最初の検査である2画素同時測定方法は測定した電荷量を周辺の数画素で測定した電荷量と比較するので、良否の判定精度は確保される。

40

【 0 0 9 1 】

この検査方法は2本の走査信号線を同時に駆動していないが、2画素の電荷量をまとめて測定しているのであるから、2本の走査信号線を同時に検査していることに変わりはない。

【 0 0 9 2 】

上記では画素のスイッチング素子としてTFETのような3端子素子を用いたアレイ基板を例示したが、ダイオードのような2端子を用いたアレイ基板にも本発明は適用可能であ

50

る。また、アクティブマトリクス型に限らず、単純マトリクス型液晶表示装置にも適用にも本発明は適用可能である。さらに、液晶表示装置に限定されることなく、複数の信号線を有するアレイ基板であれば本発明は適用可能である。

【0093】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

【産業上の利用可能性】

【0094】

本発明は、複数の信号線を有するアレイ基板の検査に利用可能で、特にアクティブマトリクス型液晶表示装置のアレイ基板の検査に利用可能である。

【図面の簡単な説明】

【0095】

【図1】本発明の実施の形態による検査方法の対象となるマトリクス型液晶表示装置の構成を示す機能ブロック図である。

【図2】本発明の実施の形態による検査方法の1つとして、最初に2画素同時測定方法で検査し、次に不良候補画素個別測定方法で再検査する方法を示す概念図である。

【図3】図2に示した2画素同時測定方法を示す概念図である。

【図4】図3に示した2画素同時測定方法で用いられる検査装置を示す回路図である。

【図5】従来の1画素順次測定方法、2画素同時測定方法、及び3画素同時測定方法による検査時間の不良画素数依存性を示すグラフである。

【図6】本発明の実施の形態による検査方法のもう1つとして、最初に2画素同時測定方法で検査し、次に不良アドレス特定方法として3画素同時測定方法で再検査する方法を示す概念図である。

【図7】(a)は2画素同時測定方法の結果による不良候補の画素を示す図であり、(b)は3画素同時測定方法の結果による不良候補の画素を示す図である。

【図8】従来の1画素順次測定方法で検査する方法、最初に2画素同時測定方法で検査して3画素同時測定方法で再検査する方法、及び最初に3画素同時測定方法で検査して4画素同時測定方法で再検査する方法による検査時間の不良画素数依存性を示すグラフである。

【図9】本発明の実施の形態によるもう1つの不良アドレス特定方法として、片側2画素同時測定方法で再検査する方法を示す概念図である。

【図10】本発明の実施の形態によるさらにもう1つの不良アドレス特定方法として、不良候補画素個別測定方法及び複数画素同時測定方法の切替方法を示すフロー図である。

【図11】従来の1画素順次測定方法で検査する方法、及び図10に示した切替方法による検査時間の不良画素数依存性を示すグラフである。

【図12】図1に示した走査信号線駆動回路の構成を示す機能ブロック図である。

【図13】図3に示した2画素同時測定方法による図12に示したゲートドライバの動作を示すタイミング図である。

【図14】図3に示した2画素同時測定方法を実現するためのゲートドライバの他の構成を示す機能ブロック図である。

【図15】図3に示した2画素同時測定方法による走査信号及びデータ信号を示すタイミング図である。

【図16】本発明の実施の形態によるさらにもう1つの不良アドレス特定方法として、図3に示した2画素同時測定方法を実施したときの走査信号及びデータ信号を示すタイミング図である。

【図17】図16に示した2画素同時測定方法を実現するための検査装置の構成を示す機能ブロック図である。

【図18】図16に示した2画素同時測定方法の問題を説明するためのタイミング図である。

10

20

30

40

50

【図 19】図 18 に示した問題を解決した 2 画素同時測定方法による走査信号及びデータ信号を示すタイミング図である。

【図 20】アレイ基板の従来の検査方法である 1 画素順次測定方法を示す概念図である。

【図 21】図 20 に示した 1 画素順次測定方法で用いられる検査装置を示す回路図である。

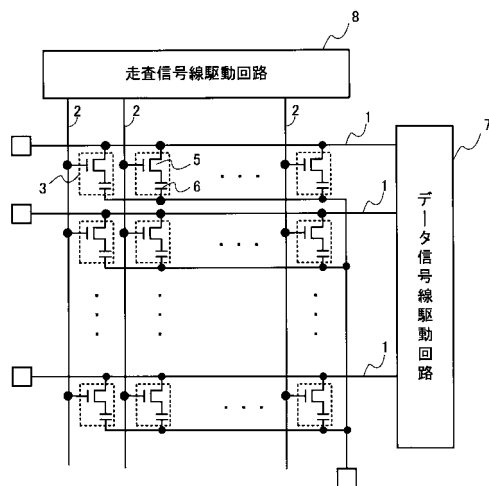
【符号の説明】

【 0 0 9 6 】

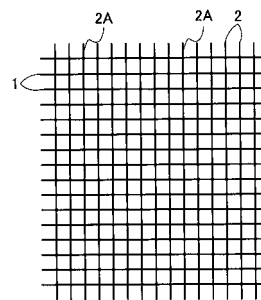
- 1 データ信号線
- 2 走査信号線
- 3 画素
- 4 検出回路
- 7 データ信号線駆動回路
- 8 走査信号線駆動回路
- 10 アレイ基板
- 10A ~ 10G 検査ブロック

10

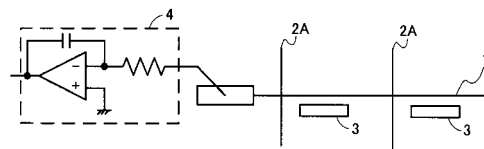
【図 1】



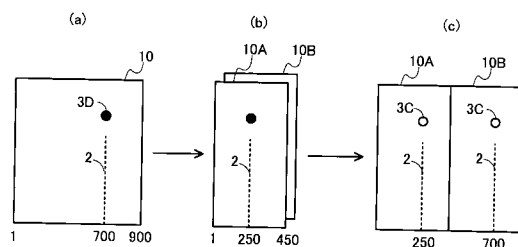
【図 3】



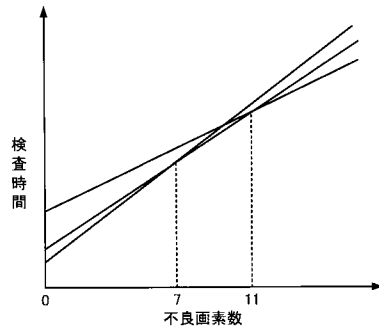
【図 4】



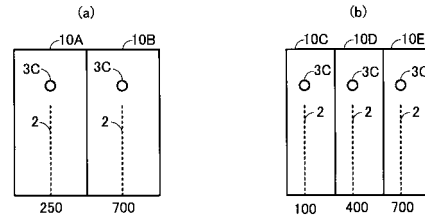
【図 2】



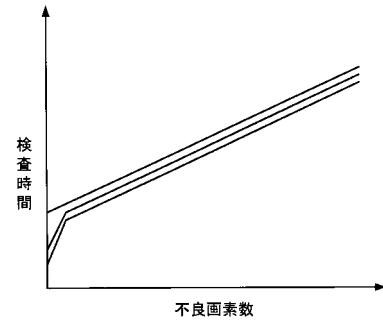
【図 5】



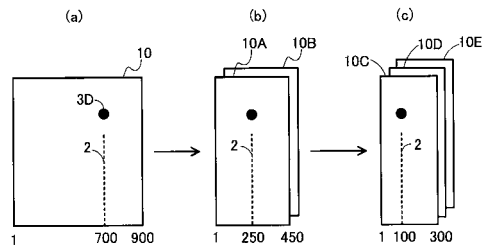
【図 7】



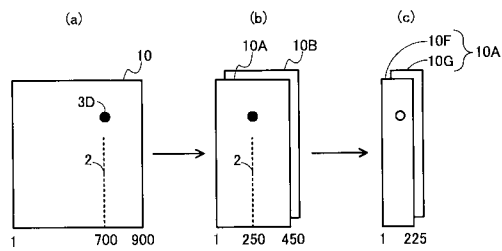
【図 8】



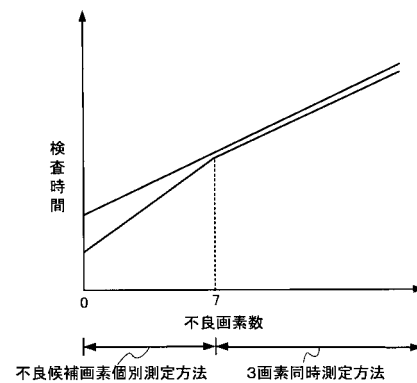
【図 6】



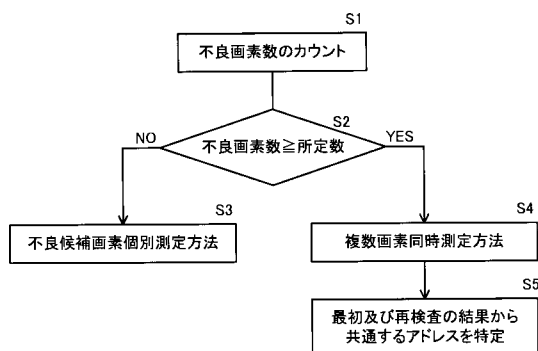
【図 9】



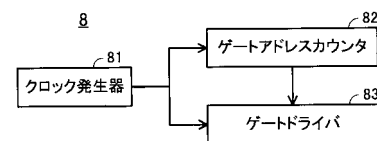
【図 11】



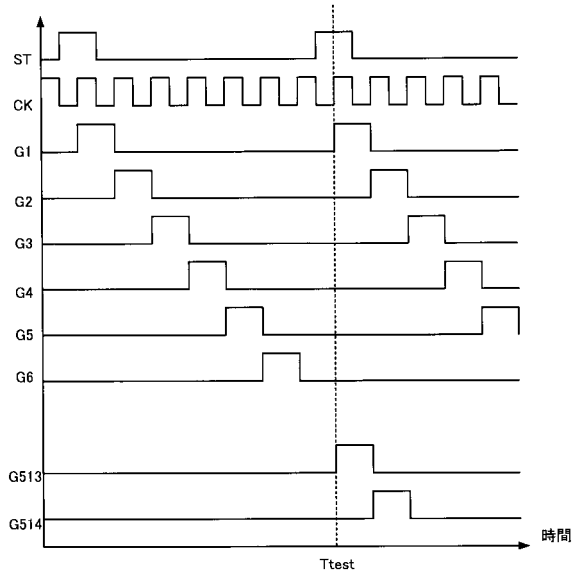
【図 10】



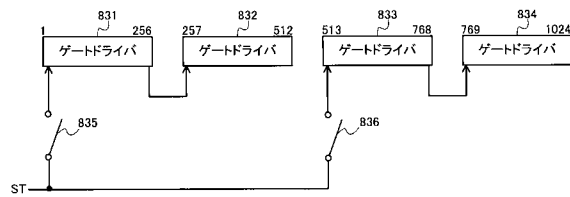
【図 12】



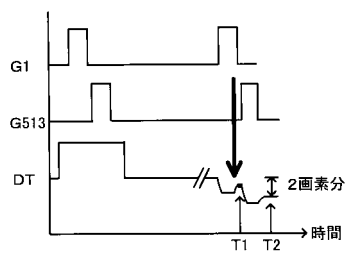
【 図 1 3 】



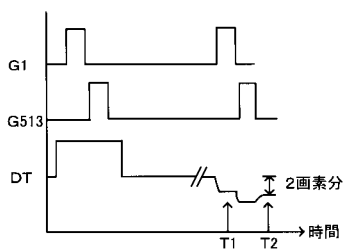
【 図 1 4 】



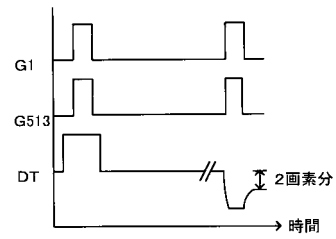
【 図 1 8 】



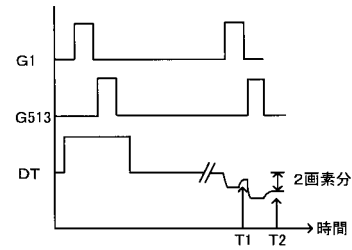
【 図 1 9 】



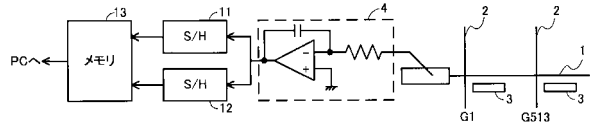
【 図 1 5 】



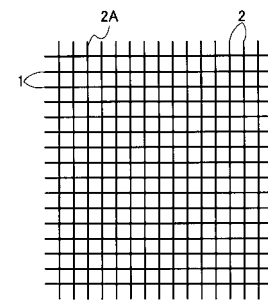
【 図 1 6 】



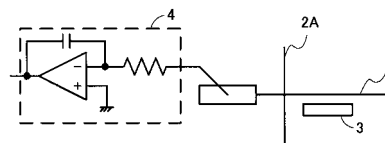
【圖 17】



【 図 2 0 】



【 図 2 1 】



フロントページの続き

(74)代理人 100108501

弁理士 上野 剛史

(73)特許権者 301075190

日本ＣＭＯ株式会社

東京都中央区八重洲２丁目２番１０号

(74)代理人 100104444

弁理士 上羽 秀敏

(72)発明者 田口 知幸

滋賀県野洲郡野洲町大字市三宅８００番地 日本アイ・ピー・エム株式会社 野洲事業所内

(72)発明者 目片 佳徳

滋賀県野洲郡野洲町大字市三宅８００番地 日本アイ・ピー・エム株式会社 野洲事業所内

(72)発明者 小松 俊一

滋賀県野洲郡野洲町大字市三宅８００番地 日本アイ・ピー・エム株式会社 野洲事業所内

(72)発明者 西山 浩輝

滋賀県野洲郡野洲町大字市三宅８００番地 日本アイ・ピー・エム株式会社 野洲事業所内

(72)発明者 岩見 司

滋賀県野洲郡野洲町市三宅８００番地 インターナショナル ディスプレイ テクノロジー株式会社
社内

審査官 藤田 都志行

(56)参考文献 特開平１０－１７７３５７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)

G 0 2 F 1 / 1 3

G 0 2 F 1 / 1 3 6 8

G 0 9 F 9 / 0 0

G 0 1 M 1 1 / 0 0

G 0 1 R 3 1 / 0 0