



(12) Ausschließungspatent

(11) DD 300 666 A5

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 04 N 5/907
G 06 F 15/64

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD H 04 N / 342 790 1
(31) 89112979.3

(22) 13.07.90
(32) 14.07.89

(44) 25.06.92
(33) DE

(71) siehe (73)

(72) Braun, Bodo, Dr.; Bayer, Erich-Johann, DE

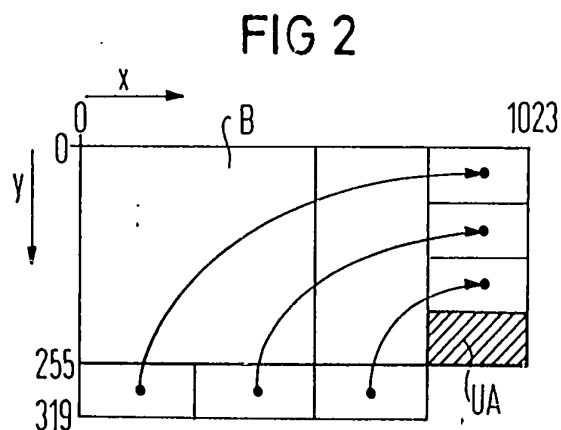
(73) SIEMENS AKTIENGESELLSCHAFT, W - 8000 München, DE

(74) Siemens AG, Gr. PAG, Abhofach 9 beim Deutschen Patentamt, Zweibrückenstraße 12, W - 8000 München 2, DE

(54) Verfahren zur Speicherung von Videosignalen und Vorrichtung zur Durchführung des Verfahrens

(55) Verfahren; Speicherung von Videosignalen;
Teilbild; Standardspeicherbaustein; Speicheradressen;
Bildadressen; Bildpunkte; Adreßbits; Zeilen;
nichtauftretende Bitkombinationen; umkodieren; zuordnen
Bildadresse - Speicheradresse

(57) Die Erfindung betrifft ein Verfahren zur Speicherung
von Videosignalen in Standardspeicherbausteinen unter
Verwendung getrennter Adressen zur
Bildpunktadressierung und Zeilenadressierung für ein Teil-
oder Vollbild. Um eine möglichst effiziente Ausnutzung der
2^m möglichen Speicheradressen von
Standardspeicherbausteinen zu erzielen, wird jede
Bildadresse in eine Speicheradresse umcodiert und zwar
unter gezielter Ausnutzung der nichtauftretenden
Bitkombinationen der Bildadressen. Weiterhin wird eine
Vorrichtung zur Durchführung des Verfahrens vorgestellt.
Fig. 2



Patentansprüche:

1. Verfahren zur Speicherung von Videosignalen mindestens eines Teilbildes in Standardspeicherbausteinen mit 2^m möglichen Speicheradressen, wobei über Bildadressen b Bildpunkte durch x Adreßbits und z Zeilen durch y Adreßbits getrennt adressiert werden mit der Bedingung, daß $b < 2^x$ und $z < 2^y$ ist und m, b, z, x und y positive ganze Zahlen sind, **dadurch gekennzeichnet**, daß 2^m so klein wie möglich, jedoch größer als das Produkt aus b und z gewählt wird und daß die x Adreßbits und y Adreßbits unter Ausnutzung der nichtauftretenden Bitkombinationen der Bildadressen derart umcodiert werden, daß jeder auftretenden Bildadresse eine eigene Speicheradresse eindeutig zugeordnet ist.
2. Verfahren nach Anspruch 1, **dadurch gekennzeichnet**, daß die Umcodierung mit einer redundanzreduzierten Abbildungsmatrix durchgeführt wird.
3. Verfahren nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß mindestens ein Bit der x Adreßbits oder y Adreßbits zur Steuerung der Umcodierung verwendet wird.
4. Verfahren nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß nur s Adreßbits der ersten x-Adreßbits und r Adreßbits der zweiten y Adreßbits zu p Adreßbits der Speicheradressen umcodiert werden, wobei $s < x$ und $r < y$ und $p < s + r$ gewählt wird.
5. Verfahren nach einem der Ansprüche 1 bis 4, **dadurch gekennzeichnet**, daß die Videosignaldaten seriell multipliziert werden.
6. Verfahren nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß mindestens 768 Bildpunkte je Zeile und mindestens 288 Zeilen gespeichert werden.
7. Verfahren nach einem der Ansprüche 1 bis 6, **dadurch gekennzeichnet**, daß ein Halbbild gespeichert wird.
8. Verfahren nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß ein Vollbild gespeichert wird.
9. Verfahren nach einem der Ansprüche 1 bis 8, **dadurch gekennzeichnet**, daß die Videosignaldaten bitebenenverschachtelt gespeichert werden, wobei die Anzahl von Speicherworten pro Zeile in etwa aus der Anzahl von Datenworten pro Zeile multipliziert mit dem Verhältnis aus Datenwortbreite und Speicherwortbreite gewählt wird.
10. Schaltungsanordnung zur Durchführung des Verfahrens nach einem der Ansprüche 1 bis 9, **gekennzeichnet durch**
 - eine Speichereinrichtung (SE) mit Speicheradreßeingangsklemmen (SPE) zur Adressierung von 2^m möglichen Speicheradressen, einer Dateneingangsklemme (DE) sowie einer Datenausgangsklemme (DA),
 - eine Steuereinrichtung (ST), die den Videosignalen an Bildadreßklemmen (BK) abgreifbare Bildadressen, bestehend aus getrennten x Adreßbits zur Bildpunktadressierung und zweiten y Adreßbits zur Zeilenadressierung, zuordnet und die Speicherung der Videosignaldaten steuert,
 - eine Umcodiereinrichtung (U), die zwischen die Bildadreßklemmen (BK) und Speicheradreßeingangsklemmen (SPE) geschaltet ist und durch die jeder Bildadresse eindeutig eine eigene Speicheradresse zuzuordnen ist und
 - Mittel zum Auslesen der Videosignaldaten aus der Speichereinrichtung (SE).
11. Schaltungsanordnung nach Anspruch 10, **dadurch gekennzeichnet**, daß die Umcodiereinrichtung (U) von mindestens einem Bit der Bildadressen gesteuerten Multiplexer (MUX1, MUX2; MUX3, MUX4) aufweist.

Hierzu 4 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren zur Speicherung von Videosignalen nach dem Oberbegriff des Anspruchs 1 sowie eine Vorrichtung zur Durchführung dieses Verfahrens. Als bevorzugtes Anwendungsgebiet kommen Fernsehgeräte mit Bildspeicher in Betracht.

Die Speicherung von Videosignalen gewinnt zunehmend an Bedeutung. Aus Siemens Components 26, 1988, Heft 6, Seite 240 bis 245 ist beispielsweise ein digitales Fernsehkonzept bekannt, dessen zentraler Bestandteil eine Speichereinrichtung zum Speichern von Videosignalen des Fernsehbildes ist. Dank dieser Speichereinrichtung ist es beispielsweise möglich, die ankommenden Videosignaldaten in die Speichereinrichtung einzuschreiben und mit doppelter Geschwindigkeit zweimal auszulesen. Dadurch verdoppeln sich die Vertikal- und Horizontal-Frequenzen, wodurch das bisher bekannte Großflächenflimmern am Bildschirm vollständig beseitigt werden kann. Mit der Speichereinrichtung ist es unter anderem auch möglich Rauschunterdrückung, Crosscolor-Verminde rung und Features wie Bild-im-Bild, Neunfachbild und Zoom bei Fernsehempfängern vorzusehen.

Charakteristik des bekannten Standes der Technik

Bei den heutigen Speicheranwendungen für Videosignale werden Abtastraster mit b Punkten je Zeile und z Zeilen verwendet, wobei b und z im allgemeinen keine Zweierpotenzen sind. Dennoch werden diese Daten so gespeichert, daß eine getrennte Adressierung der Bildpunkte und Bildzeilen durch Adreßzähler möglich ist. Folgende Speicherrealisierungen sind denkbar:

- a) Verwendung von Speicherspeicherbausteinen mit an das Abtastraster des Videosignals angepaßter Zeilen- und Spaltenorganisation;
 - b) Verwendung von Standardspeicherbausteinen unter Inkaufnahme einer zu großen Speicherkapazität und
 - c) Reduzierung der Bildinformation auf ein der Speicherorganisation von Standardspeicherbausteinen zugeschnittenes Format.
- Während die Verwendung von Speicherspeicherbausteinen mit an das Abtastraster angepaßter Zeilen- und Spaltenorganisation extra für die Videosignaldatenspeicherung angepaßte Speicherbausteine, die damit teuer sind, benötigt, ist die unter c vorgeschlagene Lösung zwar insofern vorteilhaft, als Standardspeicherbausteine verwendet werden können. Jedoch muß die Bildinformation auf die Speicherorganisation dieses Standardspeicherbausteines zugeschnitten werden, womit sich gezwungenermaßen eine Reduzierung der Bildinformation ergibt. Sollen jedoch Standardspeicherbausteine verwendet und keine Reduzierung der Bildinformation in Kauf genommen werden, so ist es bisher lediglich möglich, Standardspeicherbausteine mit zu großer Speicherkapazität einzusetzen. Dies ist beispielhaft in Fig. 1 dargestellt, in der ein zu speicherndes Bild B mit 768 Bildpunkten und 320 Bildzeilen angenommen ist. Zur Speicherung dieses Bildes B müssen bei getrennter Bildpunkt- und Zeilenadressierung ein oder mehrere Standardspeicherbausteine eingesetzt werden, die insgesamt eine Organisation des Speichers mit 1024 Spalten und 512 Zeilen aufweist. Der ungenutzte Adreßbereich UA ist beträchtlich und in Fig. 1 schraffiert gezeichnet.

Ziel der Erfindung

Der Erfindung liegt deshalb die Aufgabe zugrunde, ein Verfahren zur Speicherung von Videosignaldaten und eine Vorrichtung zur Durchführung des Verfahrens anzugeben, mit dem eine bessere Ausnutzung des physikalischen Speicherplatzes von Standardspeicherbausteinen erzielt wird.

Diese Aufgabe wird für das Verfahren durch die kennzeichnenden Merkmale des Anspruchs 1 gelöst.

Weiterbildungen des erfindungsgemäßen Verfahrens sind Gegenstand der abhängigen Verfahrensansprüche.

Eine Vorrichtung zur Durchführung des erfindungsgemäßen Verfahrens ist Gegenstand des Anspruchs 10.

Eine bevorzugte Weiterbildung dieser Vorrichtung ist Gegenstand des Anspruchs 11.

Darlegung des Wesens der Erfindung

Das erfindungsgemäße Verfahren zur Speicherung von Videosignaldaten beruht also darauf, die x Adreßbits für die Bildpunkte und die y Adreßbits für die Zeilen mindestens teilweise so umzucodieren, daß unter Berücksichtigung der bei Videosignalen sinnvollen Zeilenzahlen und Bildpunkten je Zeile eine möglichst vollständige Ausnutzung des Speichervolumens von Standardspeicherbausteinen erzielt wird. Da die Bildpunkte und Zeilen kleiner als eine Zweierpotenz gewählt sind, kann unter Ausnutzung der nichtauftretenden Bitkombinationen der Bildadressen jeder Bildadresse eine eigene Speicheradresse eindeutig zugeordnet werden.

Ausführungsbeispiele

Die Erfindung wird im folgenden anhand von weiteren neun Figuren ausführlich beschrieben. Es zeigen

- Fig. 2: eine prinzipielle Darstellung des erfindungsgemäßen Verfahrens bei einem zu speichernden Bild nach Fig. 1,
- Fig. 3: eine mögliche Adreßumcodierung nach Fig. 2,
- Fig. 4: eine Abbildungsmatrix zur Durchführung der Umcodierung nach Fig. 2 und 3,
- Fig. 5: eine Umcodiereinrichtung nach Fig. 3 und 4 mit von einem Bildadreßbit gesteuerten Multiplexern,
- Fig. 6: eine mögliche Adreßumcodierung bei der Speicherung von Bildern mit 288 Zeilen und 896 Bildpunkten,
- Fig. 7: eine mögliche Abbildungsmatrix nach Fig. 6,
- Fig. 8: eine Umcodiereinrichtung nach Fig. 7 mit von einem Bildadreßbit gesteuerten Multiplexern,
- Fig. 9: eine Darstellung von seriell multiplexten Videosignaldaten, die in einem 4:1:1 Adreßformat vorliegen und
- Fig. 10: das Blockschaltbild einer erfindungsgemäßen Schaltungseinrichtung zur Speicherung von Videosignaldaten.

In Fig. 2 ist das erfindungsgemäße Verfahren zur Speicherung von Videosignaldaten für einen Standardspeicherbaustein mit 2^m möglichen Speicheradressen beispielhaft dargestellt. Wird angenommen, daß ein Teilbild oder Vollbild B wie in Fig. 1 gespeichert werden soll, also 768 Bildpunkte und 320 Bildzeilen, so muß gemäß der Erfindung 2^m so klein wie möglich, jedoch größer als das Produkt aus der Anzahl der Bildpunkte und der Anzahl der Bildzeilen gewählt werden. Da das Produkt aus der Anzahl der Bildpunkte b und der Anzahl der Bildzeilen z gleich 245 760 ist, muß erfindungsgemäß $m = 18$ gewählt werden. Damit wird ein Speicherbaustein mit $2^{18} = 262\,144$ möglichen Speicheradressen notwendig. Dieser Standardspeicherbaustein ist zweckmäßigerweise in 1024 Spalten und 256 Zeilen organisiert.

Da in diesem Ausführungsbeispiel eine getrennte Adressierung der 768 Bildpunkte durch 10 Adreßbits für die 768 Spaltenadressen im Bild und die 320 Zeilen durch 9 Adreßbits für die 320 Zeilenadressen im Bild notwendig ist und die Anzahl der Bildpunkte kleiner als 2^{10} und die Anzahl der Zeilen kleiner als 2^9 ist, ist es erfindungsgemäß möglich, die 10 Adreßbits und 9 Adreßbits unter Ausnutzung der nicht auftretenden Bitkombinationen derart umzucodieren, daß jeder Bildadresse eine

eigene Speicheradresse des Standardspeichers zugeordnet wird. Schematisch ist dies in Fig. 1 dadurch dargestellt, daß die Videosignaldaten ab der 256. Zeile in den bis dahin noch nicht benutzten Speicherplatz des Standardspeicherbausteines eingeschrieben werden, also in den noch freien Speicherraum ab der 768. Spalte. Der letztlich nicht benutzte Speicherplatz UA ist in Fig. 2 wieder schraffiert gekennzeichnet. Ein Vergleich des schraffierten ungenutzten Adreßbereiches in Fig. 1 und Fig. 2 zeigt deutlich, daß durch die Umcodierung der Bildadressen eine bessere und damit effiziente Ausnutzung des Speicherplatzes von Standardspeicherbausteinen möglich ist. Im Vergleich zu Fig. 1 ist damit in Fig. 2 ein Standardspeicherbaustein oder Standardspeicherbausteine mit halber Speicherkapazität zur Bildspeicherung ausreichend.

In Fig. 3 ist eine mögliche Adreßumcodierung für das in Fig. 2 dargestellte Ausführungsbeispiel gezeigt. Die Umcodierung der x Adreßbits $x_0 \dots x_8$ und y Adreßbits $y_0 \dots y_8$ erfolgt unter Ausnutzung der nicht auftretenden Bitkombinationen der Bildadressen. Wie im Zusammenhang mit Fig. 4 noch zu erläutern sein wird, erfolgt die Umcodierung der x Adreßbits und y Adreßbits nur für einen Teil der x Adreßbits und einen Teil der y Adreßbits. In diesem Ausführungsbeispiel werden die zwei Adreßbits x_8 und x_9 der x Adreßbits und die drei Adreßbits y_6 , y_7 und y_8 der y Adreßbits zu vier Adreßbits s_{15} , s_{16} , s_{17} und s_{18} der Speicheradressen $s_0 \dots s_{18}$ umcodiert. Die Speicheradreßbits s_0 bis s_7 entsprechen den Bildadreßbits x_0 bis x_7 und die Speicheradreßbits s_8 bis s_{14} entsprechen den Bildadreßbits y_0 bis y_5 , wie in Fig. 3 durch verbindende Linien dargestellt. Damit sind die aus insgesamt 19 Bits bestehenden Bildadressen zu 18-Bit-Speicheradressen umcodiert.

In Fig. 4 ist eine mögliche Abbildungsmatrix AX zur Durchführung des erfindungsgemäßen Verfahrens für ein Bild nach Fig. 2 und Fig. 3 gezeigt. Da das Bild bzw. Teilbild lediglich 768 Bildpunkte aufweist, steht fest, daß die Adreßbits x_8 und x_9 nie gleichzeitig eins werden können. Für die y Adreßbits zur Bildzeilenadressierung gilt, daß bei einem auftretenden Adreßbit $y_8 = 1$ die übrigen y Adreßbits y_0 bis y_7 immer kleiner gleich 63 sein müssen. Damit stehen die Adreßbits y_7 und y_6 , die gleich 0 sein müssen, der y Adreßbits frei zur Verfügung und können für die Adreßbits x_8 und x_9 verwendet werden. Die dabei entstehende Abbildungsmatrix AX ist in Fig. 4 anhand ihrer Abbildungsvorschrift dargestellt.

In Fig. 5 ist eine Umcodiereinrichtung U gemäß der in Fig. 4 beschriebenen Abbildungsmatrix AX dargestellt. Diese Umcodiereinrichtung U weist vom Adreßbit y_8 gesteuerte erste Multiplexer MUX 1 und zweite Multiplexer MUX 2 auf. Die ersten und zweiten Multiplexer MUX 1, MUX 2 weisen jeweils zwei vom Adreßbit y_8 steuerbare Umschalter auf, an deren Ausgangsklemmen A1 bis A4 die Adreßbits s_{15} bis s_{18} der Speicheradressen abgreifbar sind. Die Eingangsklemmen der ersten Multiplexer MUX 1 und zweiten Multiplexer MUX 2 sind gemäß der Abbildungsmatrix in Fig. 4 mit Leitungen für die Adreßbits y_7 , y_6 , x_8 und x_9 in Verbindung bzw. auf logisch 1 gelegt. Ist das Adreßbit y_7 beispielsweise 0, so steht an der ersten Ausgangsklemme A1 der Umcodiereinrichtung das Speicheradreßbit s_{18} an, das dem Adreßbit y_7 entspricht. Ist das Adreßbit y_8 jedoch 1, so steht an der Ausgangsklemme A1 der dem Adreßbit x_8 entsprechende logische Wert an usw.

Bei Kenntnis der in Fig. 4 dargestellten Abbildungsmatrix AX bereitet diese schaltungstechnische Realisierung jedoch dem Fachmann keinerlei Schwierigkeiten, so daß auf deren detaillierte Darstellung in diesem Zusammenhang verzichtet wird. In den nachfolgenden Figuren 6, 7 und 8 wird das erfindungsgemäße Verfahren anhand eines zu speichernden Bildes mit 288 Bildzeilen und 896 Bildpunkten beschrieben. Erfindungsgemäß muß demnach $m = 18$ gewählt werden. Damit kann der gleiche Speicherbaustein wie in Fig. 2 beschrieben, eingesetzt werden. Eine mögliche Umcodierung der Bildadressen ist in Fig. 6 dargestellt. Es bietet sich eine Umcodierung der Adreßbits x_7 , x_8 , x_9 sowie der Adreßbits y_6 , y_7 und y_8 an. Diese sieben Adreßbits werden zu sechs Speicheradreßbits s_{13} bis s_{18} umcodiert.

Die Abbildungsmatrix AX dazu ist in Fig. 7 zu sehen. Folgende Informationen über die Bildadressen werden dabei ausgenutzt: Die Adreßbits x_8 , x_9 und x_7 können niemals gleichzeitig 1 werden. Wenn das Adreßbit y_8 gleich 1 ist, dann sind die Adreßbits y_7 , y_6 und y_5 gleich 0. Daher können die Adreßbits y_7 , y_8 und y_6 für die Adreßbits x_8 , x_9 und x_7 verwendet werden. Die sich dabei ergebende Abbildungsmatrix AX weist die in Fig. 7 dargestellte Abbildungsvorschrift auf.

In Fig. 8 ist eine mögliche Umcodiereinrichtung für die Abbildungsmatrix AX nach Fig. 7 dargestellt. Diese Umcodiereinrichtung U weist einen dritten Multiplexer MUX 3 und einen vierten Multiplexer MUX 4 auf, die jeweils drei Ausgangsklemmen A₅, A₆, A₇ und A₈, A₉ und A₁₀ auf, an denen die Speicheradreßbits s_{15} bis s_{18} abgreifbar sind. Der dritte Multiplexer MUX 3 und vierte Multiplexer MUX 4 verfügt jeweils über drei Umschalteneinrichtungen, die vom Adreßbit y_8 – je nach dessen logischen Wert – umschalten. An den ersten Eingangsklemmen des ersten Umschalters des dritten Multiplexers MUX 3 ist das Adreßbit y_7 und das Adreßbit x_9 geschaltet. An den Eingangsklemmen eines zweiten Umschalters des dritten Multiplexers MUX 3 sind die Adreßbits y_6 und x_8 geschaltet, während die Eingangsklemmen der dritten Umschalteneinrichtung des dritten Multiplexers MUX 3 mit den Adreßbits y_5 und x_7 verbunden sind. Die Adreßbits x_8 , x_9 und x_7 sind an jeweils eine Eingangsklemme der drei Umschalteneinrichtungen des vierten Multiplexers MUX 4 geschaltet, an deren anderen Eingangsklemmen eine logische 1 anlegbar ist. Wenn das Adreßbit y_8 logisch 0 ist, entsprechen die an den Ausgangsklemmen A1 bis A6 der Umcodiereinrichtung U von Fig. 8 abgreifbaren Speicheradressen s_{15} bis s_{18} den Adreßbits y_7 , y_6 , y_5 , x_9 , x_8 und x_7 . Ist dagegen das die Steuerung der Umschalter bewirkende Adreßbit y_8 logisch 1, so werden die Speicheradreßbits s_{13} , s_{14} und $s_{15} = 1$ und die Speicheradreßbits s_{16} , s_{17} , s_{18} zu x_7 , x_8 und x_9 . Damit ist eine eindeutige Umcodierung der Bildadressen zu den Speicheradressen erreicht. Da dieselbe Abbildungsmatrix sowohl zum Einschreiben als auch zum Auslesen der Videosignaldaten bzw. aus dem Standardspeicher benutzt werden kann, ist die Realisierung der inversen Abbildungsmatrix, die die Speicheradressen auf die Bildadressen abbildet nicht notwendig.

Mit diesem erfindungsgemäßen Umcodieren der Bildadressen zu Speicheradressen ist es in einfacher Weise möglich, Standardspeicherbausteine effizient zu nutzen. Um die Abbildungsmatrix möglichst einfach zu gestalten, ist es zweckmäßig aber nicht unbedingt notwendig, die Anzahl der Bildpunkte und Bildzeilen als Differenz oder Summe von Zweierpotenzen zu wählen, wie dies in den vorgenannten Beispielen der Fall war ($768 = 2^{10} - 2^2$; $320 = 2^8 + 2^6$; $896 = 2^{10} - 2^7$ und $288 = 2^8 + 2^5$). Andere Realisierungen können jedoch auch beispielsweise 928 x-Adressen und 282 y-Adressen vorsehen.

Eine weitere Ausführungsform der Erfindung sieht vor, die Videosignaldaten bitebenenverschachtelt in den Standardspeicherbaustein einzuschreiben. Dies ist für die effiziente Ausnutzung des physikalischen Speicherraumes insbesondere dann von Vorteil, wenn die Datenwortbreite der Videosignaldaten nicht mit der Speicherwortbreite des Standardspeicherbausteines übereinstimmt. Sind die Videosignaldaten beispielsweise in Datenworte zu 7 Bit organisiert und weist der Standardspeicher 8-Bit-Speicherworte auf, so werden 9mal 7 Bitdatenworte in 8mal 8 Bitspeicherworte eingeschrieben. Allgemein läßt sich sagen, daß zur effizienten Ausnutzung des physikalischen Speicherraumes die Anzahl der Speicherworte pro Zeile in etwa aus der Anzahl von Datenworten pro Zeile multipliziert mit dem Verhältnis aus Datenwortbreite und Speicherwortbreite gewählt wird.

Liegen die Videosignal­daten als seriell multiplexe Komponenten vor, z. B. als YUV-Signal (Y = Luminanz, UV Chrominanz), so kann das erfindungsgemäße Verfahren ebenfalls angewendet werden. Ein mögliches und in Fig. 9 dargestelltes Adreßformat ist beispielsweise 4:1:1, d. h., daß die Abtastfrequenz für das Luminanzsignal Y viermal höher als die Abtastfrequenz für die Chrominanzsignale U und V gewählt sind. Die Abtastfrequenz für das Luminanzsignal Y kann beispielsweise 13,5 MHz und für die Chrominanzsignale U und V 3,375 MHz betragen. Für die Komponenten Y, U und V kann ein gemeinsamer Speicher verwendet werden oder aber separate Speicher. In diesem Fall reicht bei einer Auflösung von 7 Bit je Komponente ein Speicher mit insgesamt 3 Mbit aus.

In Fig. 10 ist das Prinzipschaltbild einer Schaltungsanordnung zur Durchführung des erfindungsgemäßen Verfahrens dargestellt. Die Schaltungsanordnung weist mindestens eine Speichereinrichtung SE mit Speicheradreßeingangsklemmen SPE zur Adressierung von 2^m möglichen Speicheradressen, eine Dateneingangsklemme DE sowie eine Datenausgangsklemme DA auf. Die zu speichernden Videosignal­daten EVD gelangen über eine Zuleitung an die Dateneingangsklemme DE der Speichereinrichtung SE. Die aus der Speichereinrichtung SE auslesbaren Videosignal­daten AVD sind an der Datenausgangsklemme DA abgreifbar. Über eine Steuereinrichtung ST ist die Speicherung der Videosignal­daten EVD sowie das Auslesen der gespeicherten Daten möglich. Dazu werden von der Steuereinrichtung ST den Videosignal­daten EVD Bildadressen zugeordnet, die an Bildadreßklemmen BK abgreifbar sind. Diese Bildadressen bestehen aus x Adreßbits für die Spaltenadressen im Bild und davon getrennten y Adreßbits für die Zeilenadressen im Bild. Beim Einlesen der Videosignal­daten EVD in die Speichereinrichtung SE werden diesen über die Steuereinrichtung ST die dazugehörigen Bildadressen zugeordnet. Über eine Umcodiereinrichtung U, die im Zusammenhang mit den Figuren 5 und 8 bereits eingehend erläutert wurde, kann jeder Bildadresse eindeutig eine eigene Speicheradresse zugeordnet werden. Dazu ist die Umcodiereinrichtung U zwischen die Bildadreßklemmen BK und Speicheradreßeingangsklemmen SPE geschaltet. Ausgelesen werden die gespeicherten Videosignal­daten dadurch, daß den gespeicherten Videosignal­daten wiederum Bildadressen zugeordnet, diese in Speicheradressen umcodiert und schließlich taktrichtig ausgelesen werden.

FIG 1

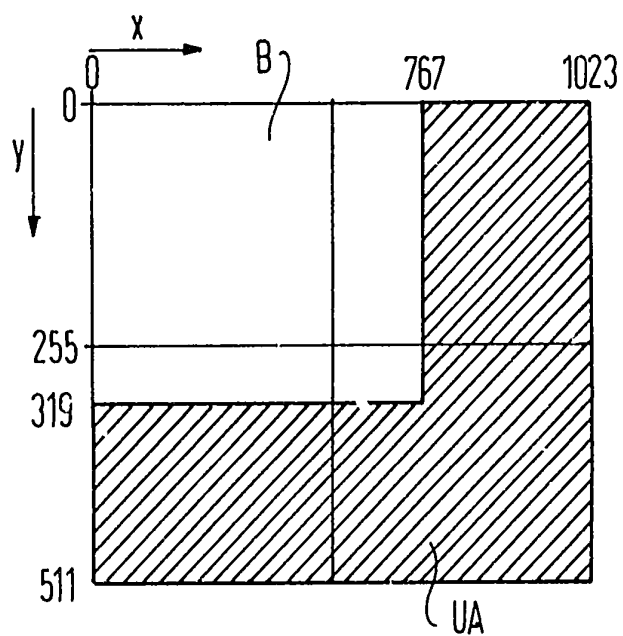


FIG 2

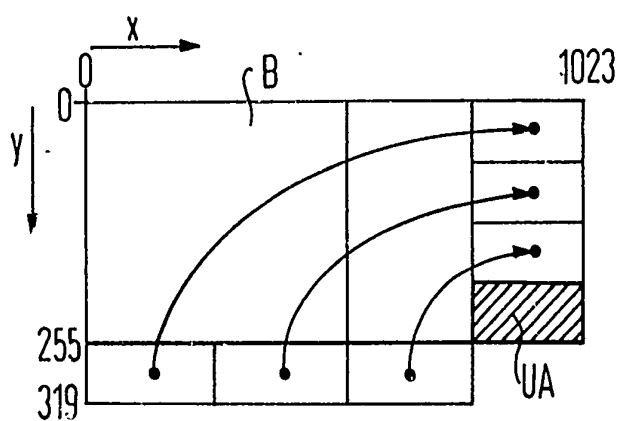


FIG 3

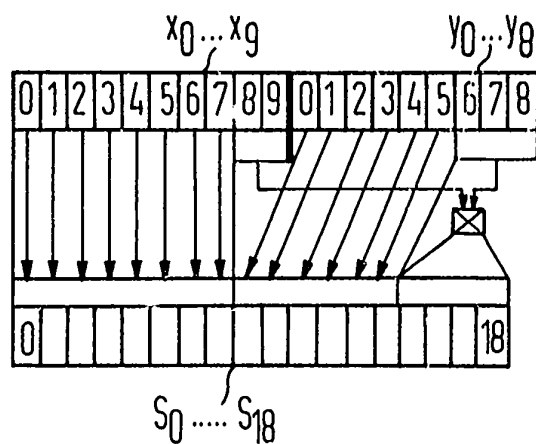


FIG 4

AX_7

Y_8	Y_7	Y_6	X_9	X_8	S_{18}	S_{17}	S_{16}	S_{15}
0	Y_7	Y_6	X_9	X_8	Y_7	Y_6	X_9	X_8
1	0	0	X_9	X_8	X_9	X_8	1	1

$(X_9, X_8) \neq (1, 1)$
 $(Y_7, Y_6) = (0, 0)$

FIG 5

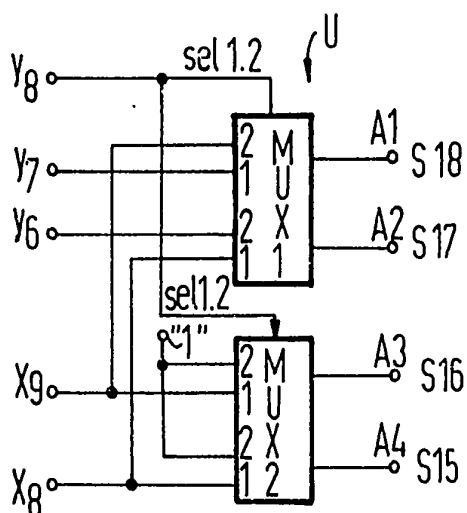


FIG 6

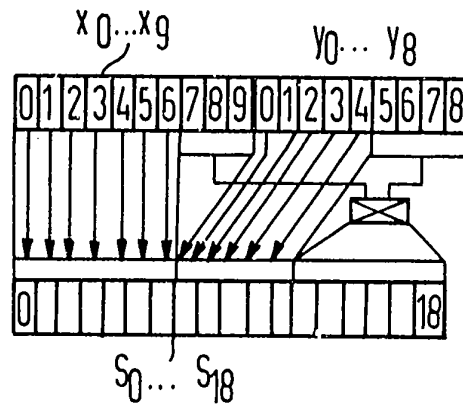


FIG 7

										AX					
Y_8	Y_7	Y_6	Y_5	X_9	X_8	X_7	S_{18}	S_{17}	S_{16}	S_{15}	S_{14}	S_{13}			
0	y_7	y_6	y_5	x_9	x_8	x_7	y_7	y_6	y_5	x_9	x_8	x_7	$(x_9, x_8, x_7) \neq (1, 1, 1)$		
1	0	0	0	x_9	x_8	x_7	x_9	x_8	x_7	1	1	1	$(y_7, y_6, y_5) = (0, 0, 0)$		

FIG 8

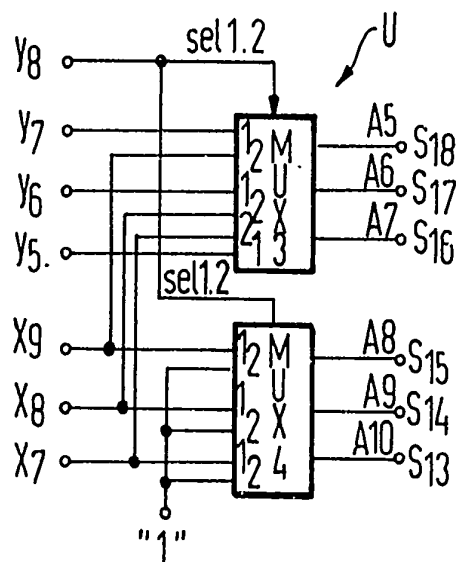


FIG 9



FIG 10

