



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 092

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 08 80
(21) PV 5399-80

(51) Int. Cl.³ G 06 F 9/06

(40) Zveřejněno 31 08 81
(45) Vydáno 01 01 84

(75)

Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro styk se zásobníkovou pamětí

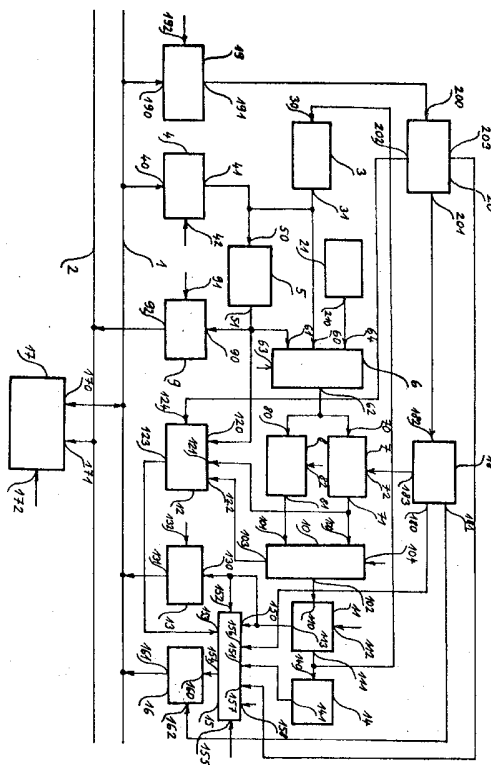
213 092

Vynález se týká oboru samočinné počítače-základní jednotka.

Zapojení řeší zrychlení styku procesoru se zásobníkovou pamětí.

Řešení se dosahuje snížením počtu taktů řadiče procesoru, potřebných k provedení úpravy ukazovátka zásobníkové paměti při operaci zápisu a snížením počtu taktů potřebných k sejmutí obsahu buňky zásobníkové paměti při operaci čtení.

Možnost použití je pouze v uvedeném oboru.



Vynález se týká zapojení pro styk se zásobníkovou pamětí, které řeší zrychlení styku procesoru malého počítače se zásobníkovou pamětí.

Neodílnou součástí počítačového systému je zásobníková paměť. V ní se uchovávají obsahy jednotlivých registrů zápisníkové paměti, obsah registru podmínkového kódu, návratové adresy při skoku do programu nebo při přerušení apod. Ovládání této paměti probíhá tak, že časově poslední uložená položka se při ukončení podprogramu vybírá jako první. Styk procesoru se zásobníkovou pamětí je v praxi řešen různými způsoby. Například některé minipočítače mají pro zásobníkovou paměť vyhrazenou určitou oblast operační paměti. Styk mezi ní a procesorem zprostředkují instrukce, respektive mikroinstrukce přesunu mezi buňkami zásobníkové a zápisníkové paměti a mezi buňkami zásobníkové paměti a stavovým registrem nebo programovým čítačem. Přitom dochází k automatické úpravě ukazovátka zásobníkové paměti, kterému je vyhrazen jeden ze zápisníkových registrů. Uvažujeme systém malého počítače, kde styk procesoru se zásobníkovou pamětí probíhá prostřednictvím speciálních instrukcí, vyhrazených pouze pro tuto činnost. V dosud známých zapojeních popsaného typu trvá proces čtení obsahu ze zásobníkové paměti ve dvou taktech řadiče procesoru a úprava ukazovátka při zápisu obsahu do zásobníkové paměti trvá rovněž dva takty.

Uvedené operace umožňuje provést v jednom taktu řadiče procesoru zapojení pro styk se zásobníkovou pamětí podle vynálezu, jehož podstatou je, že nultý, druhý, třetí a čtvrtý bit přímého výstupu výstupního datového registru je spojen se vstupem registru podmínkového kódu s dekodérem, na jehož šestý vstup je zapojen první výstup generátoru ovládacích signálů, jehož třetí výstup je spojen s hladinovým hodinovým vstupem datového registru, a jehož druhý výstup je zapojen na hradlovací vstup druhého vysílače.

Výhodou tohoto zapojení je zrychlení styku procesoru se zásobníkovou pamětí vlivem snížení potřebného počtu taktů řadiče pro provedení potřebné instrukce.

Na výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Datová sběrnice 1 je spojena se vstupem 190 instrukčního registru 19, se vstupem 40 datového přijímače 4, s datovou svorkou 170 zásobníkové paměti 17, s výstupem 131 prvního vysílače 13 a s výstupem 161 druhého vysílače 16. Adresní sběrnice 2 je spojena s výstupem 92 třetího vysílače 9 a s adresním vstupem 171 zásobníkové paměti 17. Výstup 191 instrukčního registru 19 je spojen se vstupem 200 instrukčního dekodéru 20, jehož první výstup 201 je spojen se vstupem 182 generátoru ovládacích signálů 18. Výstup 41 datového přijímače 4 je spojen s výstupem 31 zápisníkové paměti 3, s prvním vstupem 60 přepínače 6 a se vstupem 50 adresního registru 5, jehož výstup 51 je spojen s druhým vstupem 61 přepínače 6, se vstupem 90 třetího vysílače 9 a jehož sedmý a patnáctý bit je spojen s prvním vstupem 120 bloku generace carry-bitu 12. Výstup 62 přepínače 6 je spojen se vstupem 70 datového registru 7 a se vstupem 80 bloku generace konstanty 8. Nultý bit výstupu 71 datového registru 7 je spojen s druhým vstupem 121 bloku generace carry-bitu 12 a všechny jeho bity jsou spojeny s A-vstupem 100 aritmetickologické jednotky 10, jejíž B-vstup 101 je zapojen na výstup 81 bloku generace konstanty 8, a jejíž výstup 102 je spojen se vstupem 110 výstupního datového registru 11. Jeho negovaný výstup 111 je spojen se vstupem 30 zápisníkové paměti 3 a se vstupem 140 bloku vyhodnocení 14, jehož výstup 141 je spojen s druhým vstupem 151 registru podmínkového kódu s dekodérem 15. Sedmý a pat-

náctý bit přímého výstupu 113 výstupního datového registru 11 je spojen s prvním vstupem 150 registru podmínkového kódu s dekodérem 15, jehož třetí vstup 152 je spojen s nultým, s druhým, se třetím a se čtvrtým bitem přímého výstupu 113 výstupního datového registru 11. Všechna šestnáct bitů přímého výstupu 113 je dále spojeno se vstupem 130 prvního vysílače 13. Vstup 160 druhého vysílače 16 je spojen s výstupem 154 registru podmínkového kódu s dekodérem 15, jehož čtvrtý vstup 153 je spojen s výstupem 123 bloku generace carry-bitu 12, a jehož šestý vstup 156 je spojen s prvním výstupem 180 generátoru ovládacích signálů 18. Druhý výstup 181 generátoru ovládacích signálů 18 je spojen s hradlovacím vstupem 162 druhého vysílače 16 a jeho třetí výstup 183 je spojen s hladinovým hodinovým vstupem 72 datového registru 7. Výstup přenosu spodní a horní slabiky 103 aritmetickologické jednotky 10 je zapojen na třetí vstup 122 bloku generace carry-bitu 12, jehož čtvrtý vstup 124 je zapojen na druhý výstup 202 instrukčního dekodéru 20. Výstup 210 čítače instrukcí 21 je spojen se čtvrtým vstupem 64 přepínače 6 a sedmý vstup 157 registru podmínkového kódu s dekodérem 15 je spojen se třetím výstupem 203 instrukčního dekodéru 20. Funkce zapojení je následující: Jednotlivé bity instrukcí se aktivním signálem na hodinovém vstupu 192 snímají s datové sběrnice 1 do instrukčního registru 19 a dále do instrukčního dekodéru 20. Předpokládáme, že operandy jsou uloženy v buňkách zápisníkové paměti 3. V případě, že se jedná o rotaci vpravo, vyšle se příslušný signál z instrukčního dekodéru z výstupu 202 na čtvrtý vstup 124 bloku generace carry-bitu 12, ve kterém se zjišťuje stav druhého vstupu 121. Je-li jedničkový, nastaví se horní hladina na čtvrtém vstupu 153 registru podmínkového kódu s dekodérem 15, v opačném případě se nastaví spodní hladina. Stav čtvrtého vstupu 153 se potom sejme aktivním signálem na hodinovém vstupu 155 do carry-bitu registru podmínkového kódu s dekodérem 15. V případě, že se jedná o rotaci vlevo, zjišťuje se stav prvního vstupu 120. U aritmetických operací se zjišťuje stav třetího vstupu 122. U všech popsaných operací se v bloku vyhodnocení 14 zjišťuje nulovost nebo nenulovost výsledku a na prvním vstupu 150 se zjišťuje lichost nebo sudost výsledku. V případě nulového výsledku se objeví horní hladina na druhém vstupu 151 a sejme se do zero-bitu registru podmínkového kódu s dekodérem 15 na základě aktivních signálů na pátém vstupu 155 a na sedmém vstupu 157. Je-li výsledek záporný, má při slovní operaci horní hladinu patnáctý bit přímého výstupu 113 výstupního datového registru 11 a při slabikové operaci má horní hladinu sedmý bit. Stav těchto bitů se snímá z prvního vstupu 150 do negative-bitu registru podmínkového kódu s dekodérem 15 aktivním signálem na pátém vstupu 155. Takto získaný obsah registru podmínkového kódu s dekodérem 15 je doplněný bitem povolení přerušování, který je ovládán signálem na osmém vstupu 158. Odkok od programu je inicializovaný příslušnou instrukcí, která se sejme do instrukčního registru 19 s datové sběrnice 1. Na základě odpovídajícího signálu z prvního výstupu 201 instrukčního dekodéru 20 se vyšle horní hladina ze třetího výstupu 183 na hladinový hodinový vstup 72 datového registru 7. V jednom taktu řadiče procesoru se obsah příslušného registru zápisníkové paměti 3 přesune přes první vstup 60 přepínače 6 a přes otevřený datový registr 7 na A-vstup 100 aritmetickologické jednotky 10. Signálem na ovládacím vstupu 82 bloku generace konstanty 8 je nastavena binární dvojka na B-vstupu 101. Signálem na vstupu operace 104 je nastavena operace odčítání a signálem na hladinovém hodinovém

vstupu 112 se obsah datového registru 7 zmenšený o dva přesune v negované formě na vstup 30 zápisníkové paměti 3, kam se uloží opět do stejného registru. V dalším taktu řadiče se obsah tohoto registru zapíše do adresního registru 5 a dále se původní obsah čítače instrukcí 21 přesune přes čtvrtý vstup 64 do datového registru 7, kam se zapíše pulzním signálem na hladinovém hodinovém vstupu 72. V posledním taktu se obsah adresního registru 5 objeví na základě signálu na vstupu 91 třetího vysílače 9 na adresní sběrnici 2 a adresuje přes svorku 171 příslušnou buňku zásobníkové paměti 17, na kterou se uloží obsah datového registru 7 přes první vysílač 13 a přes datovou svorku 170. Vlastní podprogram potom začíná sekvencí speciálních instrukcí zápisu do zásobníkové paměti 17. Zápisu obsahu registru podmínkového kódu předchází opět snížení ukazovátka o dvojku a nahrání do adresního registru 5. V předposledním taktu řadiče se nastaví signálem na třetím vstupu 63 nulová hodnota na výstupu 62 přepínače 6, která se zapíše do datového registru 7. V posledním taktu se aktivním signálem na hradlovacím vstupu 162 otevře druhý vysílač 16 a stav výstupu 154 se objeví na datové sběrnici 1, přičemž nulový obsah datového registru 7 se vysílá z prvního vysílače 13 následkem aktivního signálu na hradlovacím vstupu 132. Obsah na datové sběrnici 1 se potom uloží do zásobníkové paměti 17. Při ukládání obsahu jednotlivých registrů zápisníkové paměti 3 se obsah propouští přes první vstup 60 přepínače 6 do datového registru 7, kam se uloží v předposledním taktu řadiče. V posledním taktu se přes první vysílač 13 vypouští na datovou sběrnici 1. Druhý vysílač 16 je v tomto případě uzavřen neaktivním signálem na hradlovacím vstupu 162. Podprogram končí sekvencí speciálních instrukcí čtení ze zásobníkové paměti 17 a příznakem návratu z podprogramu. Operace čtení proběhne tak, že v jednom taktu řadiče se uloží stávající obsah registru ukazovátka v zápisníkové paměti 3 do adresního registru 5. V následujícím taktu se přes třetí vysílač 9 adresuje příslušná buňka v zásobníkové paměti 17, jejíž obsah projde přes datový přijímač 4, který je otevřený signálem na hradlovacím vstupu 42. Z výstupu 41 se šíří přes první vstup 60 přepínače 6, přes otevřený datový registr 7 a výstupní datový registr 11 na třetí vstup 152 registru podmínkového kódu s dekodérem 15 a na vstup 30 zápisníkové paměti 3. Poté se výstupní datový registr 11 uzavře a ukončí se operace čtení ze zásobníkové paměti 17 doprovázená uzavřením datového přijímače 4. V případě instrukce čtení podmínkového kódu je aktivním signálem na šestém vstupu 156 snímán stav nultého, druhého, třetího a čtvrtého bitu přímého výstupu 113 výstupního datového registru 11. V případě instrukce čtení obsahu registru se zapíše stav vstupu 30 do příslušného registru v zápisníkové paměti 3. Pouhý přenos přes A-vstup 100 aritmetickologické jednotky 10 se nastavuje příslušným kódem na vstupu operace 104.

Možnost použití uvedeného zapojení je v procesoru malého počítače eventuálně mini-počítače s obdobnou strukturou datové cesty.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro styk se zásobníkovou pamětí, sestávající z obvodů datové cesty procesoru, z registru podmínkového kódu a ze zásobníkové paměti, vyznačující se tím, že nultý, druhý, třetí a čtvrtý bit přímého výstupu (113) výstupního datového registru (11)

je spojen se třetím vstupem (152) registru podmínkového kódu s dekodérem (15), na jehož šestý vstup (156) je zapojen první výstup (180) generátoru ovládacích signálů (18), jehož třetí výstup (183) je spojen s hladinovým hodinovým vstupem (72) datového registru (7), a jehož druhý výstup (181) je zapojen na hradlovací vstup (162) druhého vysílače (16).

2. Zapojení podle bodu 1, vyznačující se tím, že první vstup (150) registru podmínkového kódu s dekodérem (15) je spojen se sedmým a patnáctým bitem přímého výstupu (113) výstupního datového registru (11), jehož negovaný výstup (111) je spojen se vstupem (140) bloku vyhodnocení (14), který je výstupem (141) spojen s druhým vstupem (151) registru podmínkového kódu s dekodérem (15), jehož sedmý vstup (157) je spojen se třetím výstupem (203) instrukčního dekodéru (20).
3. Zapojení podle bodů 1 a 2, vyznačující se tím, že čtvrtý vstup (153) registru podmínkového kódu s dekodérem (15) je spojen s výstupem (123) bloku generace carry-bitu (12), jehož první vstup (120) je spojen se sedmým a patnáctým bitem výstupu (51) adresního registru (5), druhý vstup (121) je spojen s nultým bitem výstupu (71) datového registru (7), třetí vstup (122) je spojen s výstupem přenosu spodní a horní slabiky (103) aritmetickologické jednotky (10) a čtvrtý vstup (124) je spojen s druhým výstupem (202) instrukčního dekodéru (20).

1 výkres

