公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：96147300

※ 申請日期：96.12.11　　※IPC 分類：

G11C 7/10 (2006.01)

G11C 11/4093 (2006.01)

一、發明名稱：（中文/英文）

具串列及並列模式之記憶體系統與方法

MEMORY SYSTEM AND METHOD WITH SERIAL AND PARALLEL MODES

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

加拿大商睦塞科技公司

MOSAID TECHNOLOGIES INCORPORATED

代表人：（中文/英文）

麥可 B 維拉迪斯可

VLADESCU, MICHAEL B.

住居所或營業所地址：（中文/英文）

加拿大安大略省卡那達市海恩路11號

11 HINES ROAD, KANATA ONTARIO, K2K 2X1 CANADA

國　籍：（中文/英文）

加拿大　CANADA

三、發明人：（共 3 人）

姓　名：（中文/英文）

1. 宏賓　派恩
   PYEON, HONG BEOM
2. 海金　歐
   OH, HAKJUNE
3. 金京奇
   KIM, JIN-KI

國　籍：（中文/英文）

1. 加拿大　CANADA
2. 加拿大　CANADA
3. 加拿大　CANADA

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1.美國；2006年12月12日；11/637,175

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明所提供的方法與系統允許使用串列存取或是使用並列存取來實施存取一或多個記憶體庫的方法。於串列模式中，每一鏈路均係作為一獨立的串列鏈路。相反地，於串列模式中，該等鏈路則係共同作為一並列鏈路。其中對於串列模式針對每一鏈路獨立接收輸入與輸出控制，在並列模式期間所有的鏈路共同使用單一組輸入與輸出控制。

六、英文發明摘要：

Methods and systems are provided that allow the methods of access to one or more memory banks to be performed using serial access, or using parallel access. In serial mode, each link operates as an independent serial link. In contrast, during serial mode, the links operate in common as a parallel link, Where input and output controls are received independently for each link for serial mode, a single set of input and output controls is used in common by all of the links during parallel mode.

七、指定代表圖：

(一)本案指定代表圖為：第（1）圖。

(二)本代表圖之元件符號簡單說明：

10	串列輸入
12	串列輸入
14	串列輸入
16	鏈路與記憶體庫控制器
18	鏈路與記憶體庫控制器
20	鏈路與記憶體庫控制器
22	記憶體庫
24	記憶體庫
26	記憶體庫
28	串列輸出
30	串列輸出
32	串列輸出

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於並列記憶體系統與串列記憶體系統。

【先前技術】

目前的消費電子裝置均會使用記憶體裝置。舉例來說，行動電子裝置(例如數位相機、可攜式數位助理、可攜式音訊/視訊播放機以及行動終端機)持續地需要用到大量儲存記憶體，較佳的係，具有大容量與高速功能的非揮發性記憶體。以非揮發性記憶體與硬碟機為宜，因為資料可以在沒有電力下被保留，因而會延長電池壽命。

雖然現有的記憶體裝置會運作在足供眾多目前消費電子裝置使用的速度處，不過，此等記憶體裝置卻可能不足以用在未來的電子裝置以及需要高速資料速率的其它裝置之中。舉例來說，一記錄高畫質移動圖像的行動多媒體裝置便可能需要用到程式化輸出大於目前記憶體技術之記憶體模組的記憶體模組。雖然此種解決方式看似簡單，不過，問題在於如此高頻處的信號品質，其會對該記憶體的操作頻率設定實務上的限制。該記憶體會使用並列輸入/輸出(I/O)接針來與其它組件進行通信，該等接針的數量會與實行方式有關。該等I/O接針會接收命令指令與輸入資料並且提供輸出資料。這通常會被稱為並列介面。高速作業可能會造成通信破壞效應，例如串訊、信號扭曲以及信號衰減，其會破壞信號品質。

為在系統板之上納入更高的密度與更快的作業，有下面

兩種設計技術：串列互連組態(例如菊鏈)以及並列互連組態(例如多引入)。該些設計技術可用來克服密度問題，其會決定成本以及在硬碟與記憶體系統之間的記憶體交換的作業頻率。不過，多引入組態卻具有和菊鏈組態有關的缺點。舉例來說，倘若一多引入記憶體系統中的分支數量提高的話，那麼因為每一接針的負載效應的關係，延遲時間同樣會提高，而使得該多引入記憶體系統的總效能會下降。這係因為該記憶體裝置的電線電阻器-電容器負載以及接針電容的關係。在一裝置(例如記憶體裝置)之中的串列鏈路可能會運用單一接針輸入來依序接收所有的位址、命令、以及資料。該串列鏈路可提供一串列菊鏈組態，用以有效地控制命令位元、位址位元、以及資料位元通過該級聯阻態。藉由提供一串列菊鏈組態，會指派一記憶體裝置識別(ID)號碼給一級聯鏈之上的每一裝置。記憶體裝置可能係動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)以及快閃記憶體。

【發明內容】

本發明所提供的方法與系統允許使用串列存取或是用並列存取來實施存取一或多個記憶體庫的方法。於串列模式中，每一鏈路均係作為一獨立的串列鏈路。相反地，於並列模式中，該等鏈路則係共同作為一並列鏈路。當針對串列模式的每一鏈路來獨立接收輸入與輸出控制時，所有的鏈路會在並列模式期間共同使用單一組輸入與輸出控制。

根據其中一項廣義的觀點，本發明提供一種記憶體系

統，其包括：至少一記憶體庫；雙模式介面電路，用以將複數個輸入與複數個輸出連接至該至少一記憶體庫，該雙模式介面電路具有一串列模式，於該模式期間，至少一輸入之每一者係作為一個別的串列輸入運作且至少一輸出之每一者係作為一個別的串列輸出運作，該介面電路具有一並列模式，於該模式期間，該等輸入係作為一並列輸入共同運作且該等輸出係作為一並列輸出共同運作。

於特定的具體實施例中，該至少一記憶體庫包括複數個記憶體庫。

於特定的具體實施例中，在串列模式期間，每一者係作為一個別串列輸入運作的該至少一輸入包括複數個該等輸入，而每一者係作為一個別串列輸出運作的該至少一輸出包括複數個該等輸出。

於特定的具體實施例中，該雙模式介面電路包括：　複數個鏈路與記憶體庫控制器，每一者均具有該複數個輸入中的一個別輸入；其中，該複數個鏈路與記憶體庫控制器之每一者均可運作在串列模式之中，用以針對每一次讀取與寫入作業來處理在個別輸入上所收到的單位元寬度輸入信號，以便以序列的方式來實施讀取與寫入作業，該信號含有命令、位址、以及倘若該作業為寫入作業時的資料；其中，該複數個鏈路與記憶體庫控制器可共同運作在並列模式之中，用以針對每一次讀取與寫入作業來處理在多個輸入上所收到的多位元寬度輸入信號，以便以並列的方式來實施讀取與寫入作業，該信號含有命令、位址、以及倘

若該作業為寫入作業時的資料。

於特定的具體實施例中，每一鏈路與記憶體庫控制器均會被連接至該等記憶體庫中的一預定記憶體庫，且每一記憶體庫均會被連接至該等輸出中的一預定輸出。

於特定的具體實施例中，每一鏈路與記憶體庫控制器還進一步包括：一用於寫入作業的個別輸入控制以及一用於讀取作業的個別輸出控制；該雙模式介面電路在並列模式期間可運作用以將該複數個鏈路與記憶體庫控制電路中的一共同鏈路與記憶體庫控制電路的輸入控制連接至剩餘的鏈路與記憶體庫控制電路的輸入控制，且用以將該複數個鏈路與記憶體庫控制電路中的該共同鏈路與記憶體庫控制電路的輸入控制連接至剩餘的鏈路與記憶體庫控制電路的輸入控制並且用以將該複數個鏈路與記憶體庫控制電路中的該共同鏈路與記憶體庫控制電路的輸出控制連接至剩餘的鏈路與記憶體庫控制電路的輸出控制以便讓所有的鏈路與記憶體庫控制電路會在並列模式期間共同可運作；該雙模式介面電路在串列模式可運作用以在每一輸入控制與輸出控制處接收獨立的信號。

於特定的具體實施例中，該複數個鏈路與記憶體庫控制器包括一用於每一記憶體庫的個別鏈路與記憶體庫控制器。

於特定的具體實施例中，該記憶體系統還進一步包括：至少一鏈路切換器，其會在串列模式期間運作用以將每一鏈路與記憶體庫控制器連接至一個別選定記憶體庫，並且

會在並列模式期間運作用以將所有鏈路與記憶體庫控制器連接至一選定記憶體庫。

於特定的具體實施例中，該至少一鏈路切換器包括：一第一鏈路切換器，其會將每一鏈路連接至一用於寫入與控制的個別選定記憶體庫，以及一第二鏈路切換器，其會將每一鏈路連接至用於讀取的選定記憶體庫，以防止將多條鏈路同時連接至相同記憶體庫。

於特定的具體實施例中，該雙模式介面電路包括：一輸入66，其用於接收一資料寬度控制輸入，其會在串列模式與並列模式之間作選擇。

於特定的具體實施例中，該雙模式介面電路包括：一輸入，其用於接收一資料寬度控制輸入信號，其會在串列模式與並列模式之間作選擇；一用於每一鏈路與記憶體庫控制器的個別第一多工器，其具第一輸入與第二輸入，每一第一輸入均會被連接至該鏈路與記憶體庫控制器的該個別輸入控制，每一第二輸入均會被連接至該等鏈路與記憶體庫控制器的一共同鏈路與記憶體庫控制器的該輸入控制，該第一多工器可運作用以在該資料控制寬度控制輸入的控制下來選擇該第一輸入或該第二輸入；一用於每一鏈路與記憶體庫控制器的個別第二多工器，其具第一輸入與第二輸入，每一第一輸入均會被連接至該鏈路與記憶體庫控制器的該個別輸出控制，每一第二輸入均會被連接至該等鏈路與記憶體庫控制器的一共同鏈路與記憶體庫控制器的該輸出控制，該第二多工器可運作用以在該資料控制寬度控

制輸入信號的控制下來選擇該第一輸入或該第二輸入。

於特定的具體實施例中，該雙模式介面電路包括：一用於每一記憶體庫的個別並列至串列轉換器，其具有一串列輸出；切換邏輯，其用以將每一並列至串列轉換器串列輸出切換至一選定輸出。

於特定的具體實施例中，該記憶體系統還進一步包括：選擇器邏輯，其用以在串列模式期間選擇該等並列至串列轉換器的複數個串列輸出，並且用以在並列模式期間選擇一並列輸出。

於特定的具體實施例中，該記憶體系統還進一步包括：一資料寬度轉換器，其會藉由將一選定記憶體庫的輸出從記憶體庫存取的資料寬度轉換成等於該複數個輸出之輸出數量的資料寬度來產生該並列輸出。

於特定的具體實施例中，該雙模式介面電路包括：一用於每一記憶體庫的個別串列至並列轉換器；切換邏輯，其會將每一輸入切換成該等串列至並列轉換器中一個別選定串列至並列轉換器的輸入。

於特定的具體實施例中，該記憶體系統還進一步包括：一資料寬度轉換器，其會將資料寬度等於該複數個輸入的輸入數量的並列輸入轉換成記憶體庫存取的資料寬度。

根據另一項廣義的觀點，本發明提供一種方法，其包括：根據一資料寬度控制輸入來將一記憶體介面重新組態成一串列模式與一並列模式中的一選定模式；在串列模式中，該記憶體介面會充當至少一串列介面；在並列模式

中，該記憶體介面會充當一並列介面。

於特定的具體實施例中，該方法還進一步包括：於串列模式期間，提供自每一鏈路至複數個記憶體庫中之任意記憶體庫的串列存取。

於特定的具體實施例中，根據一資料寬度控制輸入來將一記憶體介面重新組態成一串列模式與一並列模式中的一選定模式包括：針對串列模式來重新組態複數個鏈路與記憶體庫控制器，致使會在串列模式期間來接收該至少一串列介面之每一者的獨立輸入與輸出控制；針對並列模式來重新組態該複數個鏈路與記憶體庫控制器，致使所有該等鏈路與記憶體庫控制器會共同使用在其中一個鏈路與記憶體庫控制器處所收到的一輸入與輸出控制。

【實施方式】

涉及記憶體裝置的眾多作業的高頻寬能力已逐漸變成數位系統中越來越重要的課題。已經有人嚐試過各種方式來達成高效能的目的。用來達成此目的的其中一種代表性方法便係使用一具有單位元資料寬度的串列介面，於該介面上方會以串列的方式將所有資訊傳輸至下一個目的地，該等資訊包含命令、位址、以及讀取與寫入資料。在消費電子市場中的眾多既有產品均會使用此串列介面。

串列資料傳輸方式具有優於並列資料傳輸方式的許多優點。舉例來說，用於串列資料傳輸的互連線在一印刷電路板上的資料線之間並不會有串訊與干擾，但是在並列互連線之中卻通常會發現該等串訊與干擾。

為提高具有串列資料傳輸的記憶體裝置的最大尖峰效能，可以考慮會用到複數個串列介面的多鏈路模式。明確地說，一組鏈路之中的每一條鏈路皆如同一分離的串列鏈路，它們具有自己的命令、位址、以及讀取與寫入資料。圖1所示的係一記憶體系統的範例，其特點為具有多串列介面。在圖1的範例中所示的係被連接至個別鏈路與記憶體庫控制器16、18、20的一組串列輸入SI1 10、SI2 12、SIn 14。該等鏈路與記憶體庫控制器16、18、20之每一者均會被連接至個別的記憶體庫 記憶體庫0 22、記憶體庫1 24、記憶體庫n 26。SO0 28、SO1 30、…、SOn 32處所示的則係串列輸出。圖1顯示出一連接至每一記憶體庫的專屬鏈路。所有的資料傳輸均係藉由串列資料處理來完成。如圖1中所示的多個電路可以被依序連接，其會使用該等串列互連線上的定址來選擇該等多個電路中的一特殊電路。

在組合多個串列鏈路以改良頻寬的另一種方式中，提供一種具有多條獨立鏈路的配置，其能夠經由使用被設置在該等鏈路與記憶體庫控制器與該記憶體庫之間的鏈路切換器邏輯來存取任何鏈路中的任何記憶體庫。圖2繪示此一範例。此範例相同於圖1，不過，在該等鏈路與記憶體庫控制器16、18、20與該等記憶體庫22、24、26之間包含一鏈路切換器34，並且在該等記憶體庫22、24、26與該等串列輸出28、30、32之間包含一鏈路切換器36。於此情況中，每一個串列輸入之中所含的位址資訊還包含一記憶體

庫識別符，用以允許選擇一給定命令的記憶體庫。不允許自不同的鏈路來同時存取相同的記憶體庫。該等記憶體庫切換器藉由允許第一鏈路(在第一鏈路處的串列資料被確證係用於一給定記憶體庫)優先權高於正在存取相同記憶體庫的第二鏈路來防止發生串列位元串競奪。為處理此競奪防止，該等鏈路切換器34、36不是僅含有少數鏈路切換器的簡單電路。同樣地，如圖2中所示的多個電路可以被依序連接，並且會使用該等串列互連線上的定址來選擇該等多個電路中的一特殊電路。

圖3所示的係輸入與輸出串列埠的時序圖的簡單範例，該等輸入與輸出串列埠被定義在由多個記憶體庫所組成的記憶體裝置的周邊電路之中，該範例對應於圖2的範例。在圖3中，SIP0、SIP1、SIPn處所示的係用於接收串列輸入SI0 10、SI1 12、SIn 14的信號的埠。SOP0、SOP1、SOPn處所示的係會輸出串列輸出SO0 28、SO1 30、SOn 32的埠。鏈路埠的數量未必相同於一記憶體裝置中所含的記憶體庫數量。其允許任何數量的記憶體庫與鏈路組合。利用此鏈路與記憶體庫互連彈性，資料輸入與輸出路徑便可以菊鏈方式被輕易地傳輸至下一個裝置。所有的鏈路與記憶體庫組合具有一共同介面，藉由該介面可以將資料傳輸至具有串列連接線(資料寬度為"一")的下一個裝置。對SIP0來說，具有一包含命令、位址、以及資料資訊並且在特定時間週期中為有效的輸入信號。在稍後的時間處，當一輸出要求被任何命令或被一專屬控制接針確證時，

SOP0上的輸出便為有效且含有輸出資料。其它的串列輸入與輸出存在雷同的時序配置。

串列介面會提供優於並列介面的眾多優點，尤其是在小干擾與耦接效應方面。不過，該串列介面的作業頻率必須高於並列介面，以保持相同數額的資料頻寬。於特定的頻率範圍中，雙位元作業可能優於多串列資料匯流排介面。

本發明的具體實施例提供一種介面，其可被組態成用以充當一組單位元串列介面或是一多位元並列介面。該多位元並列介面可能係一雙位元並列介面或是更多數量的位元，其會取決於最大資料輸出且取決於可用的輸出埠。當該資料輸出寬度從1位元串列組態改變成多位元並列組態時，會使用其中一組輸入控制(也就是，通常用來控制一單位元串列介面的該等輸入)來控制該並列介面，同時會忽略通常用來控制其它單位元串列介面的輸入控制。

現在參考圖9，圖中所示的係本發明一具體實施例所提供的雙模式記憶體系統的方塊圖。該系統具有雙模式介面電路400、401，其用以將一組輸入406與一組輸出408連接至一組記憶體庫402與403。一般來說，其具有至少一記憶體庫。介面電路400具有一串列模式，於該模式期間，每一個輸入406均係作為一個別的串列輸入運作，且每一個輸出408均係作為一個別的串列輸出運作。該介面電路400具有一並列模式，於該模式期間，該等輸入406係作為一並列輸入共同運作，且該等輸出408係作為一並列輸出共同運作。一般來說，於串列模式期間，至少一該等輸入及

至少一該等輸出可運作在串列模式之中。舉例來說，與此相同的可能組態為8鏈路、10記憶體庫組態。於並列模式期間，所有8條鏈路會被平行用來存取該記憶體庫。於串列模式期間，則會使用一鏈路來存取該記憶體庫。

現在將參考圖4至8來說明圖9之系統的詳細範例。現在參考圖4，圖中所示的係一可在串列與並列作業之間進行重新組態的記憶體系統的方塊圖。該範例假設有n條鏈路與n個記憶體庫，不過，圖中僅包含第一、第二、以及第n條鏈路與記憶體庫的細節。該電路具有：一組n個輸入，圖中顯示三個輸入稱為串列輸入SI0 11、SI1 13、SIn 15；一對應組之n個鏈路與記憶體庫控制器40、42、44；一鏈路切換器35；記憶體庫Bank0 23、Bank1 25、Bankn 27；鏈路切換器37；以及一組輸出，現在係稱為串列輸出SO0 29、SO1 31、SOn 33。該等鏈路與記憶體庫控制器40、42、44會將該等串列輸入11、13、15互連至該鏈路切換器35。SI0 11的鏈路與記憶體庫控制器40具有用於 IPC0(輸入控制0)46、 OPC0 (輸出控制0)48的額外接針。SI1 13的鏈路與記憶體庫控制器42具有用於IPC1 50、 OPC1 52的額外接針。SIn 15的鏈路與記憶體庫控制器44具有用於IPCn 54、OPCn 56的額外接針。還有一連接至鏈路與記憶體庫控制器40的輸入66，其用以接收一資料寬度控制輸入，其會控制該系統作業時的資料寬度。於特定的具體實施例中，會有單一位元用以在串列模式作業與並列模式作業之間作選擇。於其它具體實施例中，這會係複數位元，

用以在1與特定預定最大資料寬度之間的任何寬度來表示該資料寬度。被輸入至鏈路與記憶體庫控制器40的資料寬度控制輸入66的資料寬度控制信號同樣會被輸入至所有其它鏈路與記憶體庫控制器，不過圖中並未顯示。於特定的具體實施例中，在資料寬度控制輸入66上所收到的資料寬度控制信號係來自一於開機序列期間所設定的組態暫存器。舉例來說，其可能係單一位元。當此位元為"0"時，便表示該系統應該運作在串列模式之中；否則，當此位元為"1"時，該系統便應該運作在並列模式之中。

於並列模式作業期間，會有單一命令來操縱所有該等鏈路與記憶體庫控制器40、42、44，並且含有單一記憶體庫來進行讀取或寫入作業。並列作業用來接收命令(其含有命令、位址、以及可能的資料)的特殊方式和實行方式有關。於一實行範例中，每一欄位中的位元均會被並列接收，作為整個並列輸入的一部分。命令與位址位元可能會被饋送至要進行命令與位址處理的單一鏈路與記憶體庫控制器(舉例來說，鏈路與記憶體庫控制器40)。或者，可提供一專屬的命令與位址暫存器來進行並列作業。

於串列模式作業期間，控制接針46、48係鏈路與記憶體庫控制器40的專屬控制接針。於特定的實行方式中，IPC46的功能係閘控該等輸入串流，致使此接針於經由SI來進行命令、位址、及/或資料確證期間應該為"高位準"。OPC係用於致能一輸出緩衝器。當OPC在送出一讀取命令之後為高位準時，資料便會取決於連接線而被傳送至一指定位

置，如另一記憶體或一控制器。該等其它控制接針同樣會專屬於一特殊鏈路與記憶體庫控制器。再者，當處於串列模式之中時，每一個鏈路與記憶體庫控制器均會從每一個串列輸入處抽出它自己的命令、位址、資料資訊。

於並列模式期間，會利用IPC0與OPC0來共同控制並列鏈路作業。更明確地說，所有鏈路與記憶體庫控制器40、42、44會依照第一鏈路與記憶體庫控制器40之輸入控制與輸出控制的函數來運作。一般來說，所有該等鏈路與記憶體庫控制器會依照該等鏈路與記憶體庫控制器中一特殊鏈路與記憶體庫控制器之輸入控制與輸出控制的函數來運作。圖中顯示出介於相鄰鏈路與記憶體庫控制器對之間的互連線，鏈路與記憶體庫控制器40、42之間的互連線係以58來表示，鏈路與記憶體庫控制器42以及後續的鏈路與記憶體庫控制器(圖中並未顯示)之間的互連線係以60來表示，以及第二至最後鏈路與記憶體庫控制器(圖中並未顯示)與鏈路與記憶體庫控制器44之間的互連線係以62來表示。該些互連線的用途係要將IPC0與OPC0控制46、48從第一鏈路與記憶體庫控制器傳播至所有其它鏈路與記憶體庫控制器42、44，致使所有該等鏈路與記憶體庫控制器會在並列作業期間接收相同的並列鏈路控制信號。對圖4的具體實施例來說，該等鏈路與記憶體庫控制器40、42、44會共同充當一雙模式介面電路的範例。

為在選擇並列作業時利用IPC0與OPC0來控制所有鏈路，其它鏈路(鏈路1至n)會具備內部電路來將該控制信號

路徑從串列作業中使用IPCx與OPCx(x=1、…、n)之上的輸入切換至並列作業中使用IPC0與OPC0。下面將參考圖8A與8B來說明此內部電路的詳細範例。在致能並列作業之後，僅有IPC0與OPC0係相關的，而其它IPCx與OPCx則不具有任何功能，且外部信號確證並不會影響該系統的任何作業。

當確證一讀取或是當要寫入來自多個SIP埠的輸入資料時的記憶體庫存取結果會具有如圖5中所示的多種資料組合。現在將說明一串列作業範例以及數個並列作業範例。圖中所示的第一時脈80為串列作業。對此時脈來說，頻率為特定數值m，而頻寬為1位元*m。82處所示的係資料串流。於一位元資料寬度的情況中，也就是串列作業，會讀取/寫入下面的資料，其中，編號係代表位元順序，其中，"7"代表MSB而"0"代表LSB：

D7 → D6 → D6 → D4 → D3 → D2 → D0 → D1 (SIP0與SOP0)。

圖中所示的第二時脈84係2位元並列作業。此時脈假設具有m/2的時脈頻率，頻寬為2位元*m/2 = m，和上面所述的串列範例相同。86處所示的係資料串流。於兩位元資料寬度並列作業的情況中，會讀取/寫入下面資料：

D7 → D5 → D3 →D1 (SIP0與SOP0)

D6 → D4 → D2 → D0 (SIP1與SOP1)。

圖中所示的第三時脈88係4位元並列作業。此時脈假設具有m/4的時脈頻率，頻寬為4位元*m/4 = m，和上面所述

的串列範例相同。90處所示的係資料串流。於四位元資料寬度並列作業的情況中，會讀取/寫入下面資料：

D7 → D3 (SIP0與SOP0)

D6 → D2 (SIP1與SOP1)

D5 → D1 (SIP2與SOP2)

D4 → D0 (SIP3與SOP3)

對圖5的範例來說，時脈速率已經過選擇，致使不同作業模式的資料速率會相同。其目的係要顯示出，為取得要求時脈頻率m的特定頻寬，可以利用單位元串列介面、利用具有時脈頻率m/2的雙位元並列介面、或是利用具有時脈頻率m/4的四位元並列介面來達成相同頻寬。當然，倘若該並列介面能夠運作在時脈頻率m處，那麼，該雙位元並列介面便會係單位元介面之頻寬的一倍。

圖6所示的係運作在串列模式之中的多條鏈路的範例。於此範例中，雖然有四條獨立鏈路Link0、Link1、Link2、Link3 100、102、104、106，每一條均具有1位元資料；以及四個記憶體庫Bank0、Bank1、Bank2、Bank3 120、122、124、126，不過，一般來說，可以運用任何數量的鏈路與記憶體庫。和前面圖式中分開顯示輸入與輸出作業的電路不同的係，圖6中的"鏈路"包含輸入功能與輸出功能兩者。每一條鏈路100、102、104、106具有專屬的控制接針(IPCx、OPCx、x=0、..、3)(圖中並未顯示，顯示在圖4中)。 Link0 100具有I/O SIP0、SOP0 108，Link1 102具有I/O SIP1、SOP1 110，Link2 104具有I/O SIP2、SOP2

112，且Link3 106具有I/O SIP3、SOP3 114。該等鏈路100、102、104、106會經由切換器116被連接至記憶體庫120、122、124、以及126。每一條鏈路100、102、104、106能夠以獨立的方式來同時存取不同的記憶體庫120、122、124、126，而沒有任何時序限制。路徑103、105為資料串流路徑範例，其圖解的係在使用1位元串列作業時流經一鏈路與記憶體庫的資料。路徑103代表存取的Bank2的Link0，而路徑105則代表存取的Bank0的Link1。一般來說，此範例可從任何鏈路來彈性存取任何記憶體庫。僅有的限制係，多條不同的鏈路無法同時存取相同的記憶體庫。

圖7所示的係運作在並列模式中的圖6的鏈路的範例。於此範例中，對寫入作業來說，針對該四個記憶體庫120、122、124、126中的一選定記憶體庫會在該等四條鏈路100、102、104、106上方收到一四位元並列輸入。對讀取作業來說，則會從該四個記憶體庫120、122、124、以及126中的一選定記憶體庫處輸出一四位元，其係從該等四條鏈路100、102、104、106中並列輸出。控制係經由單一組控制接針(IPC0、OPC0)(圖中並未顯示，顯示在圖4中)來進行。圖6中雖然顯示鏈路100、102、104、106，切換器116，以及記憶體庫120、122、124、126，不過，現在該等I/O則被標示為鏈路0 100的SIP_d3、SOP_d3 130，Link1 100的SIP_d2、SOP_d2 132，Link2 104的SIP_d1、SOP_d1 134，以及Link3 106的SIP_d0、SOP_d0 136。實際

上，並列與串列作業的輸入接針係相同的；不過，邏輯上，該等輸入信號卻不同。並列作業會寫入至一選定記憶體庫或讀取自一選定記憶體庫。現在，有一4位元資料寬度的路徑107來自鏈路100、102、104、106，共同用於寫入與命令；並且有4位元資料寬度的路徑109送至該等鏈路100、102、104、106，共同用於讀取作業。於一給定的並列作業期間，會選出該等記憶體庫120、122、124、以及126中的單一記憶體庫。對並列作業來說，由於單一IPC與OPC的關係（其它IPC(1~n)與OPC(1~n)並未被使用者用），僅可存取一個記憶體庫。

從圖中可以看出，圖6與圖7中所示的作業模式運用不同的資料寬度。使用此方式，便可進行各種資料寬度控制並且可達成資料寬度尺寸彈性。

現在將參考圖8A、8B、8C、以及8D來說明用於互連該等專屬串列鏈路控制輸入的電路範例。該些範例雖然係針對四鏈路作業，不過亦可通用至任意數量的鏈路。圖8A中所示的係用於多工輸入控制的電路220，圖8B中所示的係用於多工輸出控制的電路240，圖8C中所示的係用於產生串列或並列輸出的電路280，圖8D中所示的係用於處理串列與並列輸入的電路450。

現在參考圖8A，220處大體上所示的係用於輸入控制之多工。IPC0 200、IPC1 202、IPC2 204、以及IPC3 206所示的係四條專屬串列鏈路輸入控制。該些串列鏈路輸入控制會被連接至個別的緩衝器208、210、212、214，並且接

著會被連接至四個兩輸入多工器216、218、220、222中每一者的個別第一輸入。此外，第一串列鏈路輸入控制IPC0 200還會被連接至該四個兩輸入多工器216、218、220、222中每一者的第二輸入。該四個兩輸入多工器216、218、220、222會受控於資料寬度控制信號224。於此情況中，處於第一狀態中的控制信號會讓該等個別串列鏈路輸入控制IPC0、IPC1、IPC2、IPC3中每一者出現在多工器216、218、220、222的輸出ipc0_i 217、ipc1_i 219、ipc2_i 221、ipc3_i 223處；而在第二狀態中，則會讓IPC0出現在所有該等多工器的輸出處。

現在參考圖8B，240處大體上所示的係用於輸出控制之多工。該等四條專屬串列鏈路輸出控制係以OPC0 250、OPC1 252、OPC2 254、以及OPC3 256來表示。該些串列鏈路輸出控制會被連接至個別的緩衝器258、260、262、264，並且接著會被連接至四個兩輸入多工器266、268、270、272中每一者的個別第一輸入。此外，第一串列鏈路輸出控制OPC0 250還會被連接至該四個兩輸入多工器266、268、270、272中每一者的第二輸入。該四個兩輸入多工器266、268、270、272會受控於資料寬度控制信號224。於此情況中，處於第一狀態中的控制信號會讓該等個別串列鏈路輸入控制OPC0、OPC1、OPC2、OPC3中每一者出現在多工器266、268、270、272的輸出opc0_i 267、opc1_i 269、opc2_i 271、opc3_i 273處；而在第二狀態中，則會讓OPC0出現在所有該等多工器的輸出處。

現在參考圖8C，280處大體上所示的係一利用多工器來將並列資料輸出處理轉換成串列資料處理的電路。此範例假設有四個輸出，其標示為SOP0 300、SOP1 302、SOP2 304、以及SOP3 306。該四個記憶體庫Bank0 420、Bank0 422、Bank2 424、Bank3 426 之中的每一者具有一個別的8位元並列輸出289、291、293、295，其被連接至一資料寬度轉換器285之輸入。請注意，對並列作業來說，在一給定時間處，該等8位元並列輸出289、291、293、295中僅有其中一者係作用中狀態。圖中顯示出四個多工器288、290、292、294，每一者均具有第一輸入(標示為"0")與第二輸入(標示為"1")以及一控制輸入，其被連接用以接收該資料寬度控制信號224。該等多工器288、290、292、294中每一者均產生一個別輸出，其通過個別的緩衝器300、302、304、306，用以產生該等輸出處的信號。對每一記憶體庫420、422、424、426，有一個別的並列至串列暫存器301、303、305、307，其輸出被連接至一切換器296。該切換器296將該等並列至串列暫存器301、303、305、307中每一者的輸出選擇性地連接至該等多工器288、290、292、294之第一輸入中的一個別輸入。資料寬度轉換器285中的四個輸出會被連接至該等多工器288、290、292、294的第二輸入。

於串列作業期間，資料寬度控制信號224選擇該等多工器288、290、292、294中每一者的第一輸入。對每一次串列作業，該等記憶體庫420、422、424、426之一者(甚至

四者同時)所輸出的資料被移送至對應的並列至串列暫存器301、303、305、307。切換器296藉由該輸入鏈路編號的控制下選擇每一個並列至串列暫存器301、303、305、307的8位元串列輸出中待被投送的第一多工器輸入來控制每一個串列輸出待出現的輸出。對讀取作業來說，經由透過其而接收的命令的相同鏈路處產生該串列輸出。因此，舉例來說，倘若在鏈路0處收到該命令，該輸出便應該被傳送至輸出鏈路0，以防止在輸出級之中發生意外的資料競奪。切換器296將該等並列至串列暫存器301、303、305、307的串列輸出傳送至該等選定的第一輸入。該等多工器288、290、292、294將該些輸入傳送至該等選定輸出。為達示範的目的，325處所示的係從Bank0至Link1的串列鏈路輸出的資料流(這對應於圖6的資料流105)，而330處所示的係從Bank2至Link0的串列鏈路輸出的資料流(這對應於圖6的資料流103)。

於並列作業期間，資料寬度轉換器285從該等記憶體庫420、422、424、426中一選定記憶體庫處接收8位元並且將此轉換成一位元寬度為四的輸出，每一輸出均具有兩位元。對並列作業來說，資料寬度控制信號224選擇該等多工器288、290、292、294中每一者的第二輸入。資料寬度轉換器285將第0位與第4位元投送至第一多工器288的第二輸入，將第1位與第5位元投送至第二多工器290的第二輸入，將第2位與第6位元投送至第三多工器292的第二輸入，以及將第3位與第7位元投送至第四多工器294的第二

輸入。該等多工器全部選擇該些第二輸出並且在每一個輸出處產生兩位元，且總並列輸出信號的位元寬度為四。在所述的範例中，假設所有串列鏈路(本範例中為四條)會被結合成單一並列鏈路。於其它實行方式中，將該等串列鏈路的一子集(舉例來說，兩條)結合成一並列鏈路。於此情況中，該電路會配合位元寬度為二來運作。於該情況中，僅可使用兩個輸出SOP0與SOP1。

現在參考圖8D，450處大體上所示的係一將串列資料輸入處理轉換成並列資料處理的電路。本範例假設有四個輸入，標示為SIP0、SIP1、SIP2、以及SIP3。再者，對此範例來說，假設在並列作業期間的位元寬度為四。圖中顯示四個記憶體庫520、522、524、526。該等記憶體庫520、522、524、526中每一者均會被連接用以從一個別的串列至並列暫存器501、503、505、507接收一輸入。

輸入SIP0、SIP1、SIP2、以及SIP3之每一者均會通過個別的輸入信號緩衝器500、502、504、506。該等緩衝器500、502、504、506會被連接至一資料寬度轉換器485。資料寬度轉換器485會從該四個輸入SIP0、SIP1、SIP2、以及SIP3中的每一者處接收2位元，並且將它們共同轉換成一8位元並列輸出489。圖中還顯示出，每一個輸入SIP0、SIP1、SIP2、以及SIP3均會經由一切換器487被連接用以選擇該等串列至並列暫存器501、503、505、507中一個別選定的暫存器。切換器487會在IPCi及一記憶體庫位址的控制下來運作。資料寬度轉換器485的8位元並列輸

出489還會被連接至切換器496的一8位元並列輸入。切換器496具有四個8位元並列輸出，它們會分別被連接至四個多工器540、542、544、546的一個別第一8位元輸入。該等串列至並列暫存器501、503、505、507中每一者的輸出均會被連接至該四個多工器540、542、544、546的一個別第二8位元輸入。該等多工器會依照該資料寬度控制輸入224的函數來運作，用以傳送該等第一輸入或該等第二輸入，其說明如下。

於串列作業期間，該資料寬度控制輸入224會選擇該等多工器540、542、544、546中每一者的第二輸入，也就是，來自該等串列至並列暫存器501、503、505、507的輸入。接收自該等輸入SIP0、SIP1、SIP2、以及SIP3中其中一者的串列資料會由切換器487(甚至四者同時)依照該IPC及外來命令的記憶體庫位址的函數而被投送至該等串列至並列暫存器501、503、505、507中一選定暫存器。接著，該選定的串列至並列暫存器便會產生一並列輸出，其會透過對應的多工器被寫入對應的選定記憶體庫。

於並列作業期間，該資料寬度控制輸入224會選擇每一個多工器的第一輸入，其會輸出一八位元輸入(每次會從該四個輸入SIP0、SIP1、SIP2、SIP3處收到兩位元)，平行來自該資料寬度轉換器485的8位元489。切換器496會選擇該等記憶體庫520、522、524、526中其中一者，且資料會透過對應的多工器被寫入該選定記憶體庫。結果係，由每一個該等輸入處所收到的兩位元所組成的八位元便會被寫

入一選定記憶體庫。

圖4至8的具體實施例假設每一條鏈路可獨立地切換至每一記憶體庫。於特定的具體實施例中，每一條鏈路均與一特殊記憶體庫具有固定關係。舉例來說，對圖4的具體實施例來說，每一個鏈路與記憶體庫控制器40、42、44會被連接至該等記憶體庫23、25、27中一預定的記憶體庫，且每一記憶體庫會被連接至該等輸出中一預定輸出。這意謂著並不需要鏈路切換器35、37。

於上面所述的具體實施例中，為簡化起見，該等裝置元件與電路係以圖中所示的方式來相互連接。在本發明的實際應用中，元件、電路等則可直接相互連接。另外，元件、電路等亦可經由操作裝置與設備所需的其它元件、電路等來間接相互連接。因此，於實際的組態中，該等電路元件與電路可彼此直接或間接耦接或是連接。

上面所述的本發明具體實施例僅具有示範意義。熟習本技術的人士便可在不脫離僅由隨附申請專利範圍所界定之本發明的範疇下對其進行替代、修正、以及變更。

【圖式簡單說明】

現在將參考附圖，僅經由範例說明本發明之具體實施例，其中：

圖1為一記憶體系統的方塊圖，其特點為具有串列介面的多條鏈路與多個記憶體庫；

圖2為一記憶體系統的方塊圖，其特點為具有串列介面的多條獨立鏈路與多個記憶體庫；

圖3為圖2的記憶體系統的序列作業的時序圖；

圖4為一記憶體系統的方塊圖，其具有於此期間該系統會具有單位元串列介面的串列模式以及於此期間該系統會具有多位元並列介面的並列模式；

圖5為三種資料輸出組態的頻寬比較圖；

圖6為顯示具有一1位元串列資料處理的一多重獨立串列鏈路組態的方塊圖；

圖7為顯示具有一4位元並列資料處理的單一獨立並列鏈路組態的方塊圖；

圖8A為輸入控制多工處理的示意圖；

圖8B為輸出控制多工處理的示意圖；

圖8C為用於切換串列與並列作業的記憶體庫輸出的概略示意圖；

圖8D為用於切換串列與並列作業的記憶體庫輸入的概略示意圖；以及

圖9為根據本發明一具體實施例所提供的雙模式記憶體系統的方塊圖。

【主要元件符號說明】

10	串列輸入
11	串列輸入
12	串列輸入
13	串列輸入
14	串列輸入
15	串列輸入

16	鏈路與記憶體庫控制器
18	鏈路與記憶體庫控制器
20	鏈路與記憶體庫控制器
22	記憶體庫
23	記憶體庫
24	記憶體庫
25	記憶體庫
26	記憶體庫
27	記憶體庫
28	串列輸出
29	串列輸出
30	串列輸出
31	串列輸出
32	串列輸出
33	串列輸出
34	切換器
35	切換器
36	切換器
37	切換器
40	鏈路與記憶體庫控制器
42	鏈路與記憶體庫控制器
44	鏈路與記憶體庫控制器
46	輸入控制
48	輸出控制

50	輸入控制
52	輸出控制
54	輸入控制
56	輸出控制
58	互連線
60	互連線
62	互連線
66	輸入
100	鏈路
102	鏈路
103	路徑
104	鏈路
105	路徑
106	鏈路
107	路徑
108	I/O
109	路徑
110	I/O
112	I/O
114	I/O
116	切換器
120	記憶體庫
122	記憶體庫
124	記憶體庫

126	記憶體庫
130	I/O
132	I/O
134	I/O
136	I/O
200	串列鏈路輸入控制
202	串列鏈路輸入控制
204	串列鏈路輸入控制
206	串列鏈路輸入控制
208	緩衝器
210	緩衝器
212	緩衝器
214	緩衝器
216	多工器
217	輸出
218	多工器
219	輸出
220	多工器
221	輸出
222	多工器
223	輸出
224	資料寬度控制信號
240	多工輸出控制電路
250	串列鏈路輸出控制

252	串列鏈路輸出控制
254	串列鏈路輸出控制
256	串列鏈路輸出控制
258	緩衝器
260	緩衝器
262	緩衝器
264	緩衝器
266	多工器
267	輸出
268	多工器
269	輸出
270	多工器
271	輸出
272	多工器
273	輸出
280	輸出產生電路
285	資料寬度轉換器
288	多工器
289	8位元並列輸出
290	多工器
291	8位元並列輸出
292	多工器
293	8位元並列輸出
294	多工器

295	8位元並列輸出
296	切換器
300	緩衝器
301	並列至串列暫存器
302	緩衝器
303	並列至串列暫存器
304	緩衝器
305	並列至串列暫存器
306	緩衝器
307	並列至串列暫存器
325	資料流
330	資料流
400	介面電路
401	介面電路
402	記憶體庫
403	記憶體庫
406	輸入
408	輸出
420	記憶體庫
422	記憶體庫
424	記憶體庫
426	記憶體庫
450	輸入處理電路
485	資料寬度轉換器

487	切換器
489	8位元並列輸出
496	切換器
500	緩衝器
501	串列至並列暫存器
502	緩衝器
503	串列至並列暫存器
504	緩衝器
505	串列至並列暫存器
506	緩衝器
507	串列至並列暫存器
520	記憶體庫
522	記憶體庫
524	記憶體庫
526	記憶體庫
540	多工器
542	多工器
544	多工器
546	多工器

十、申請專利範圍：

103年1月8日修正替換頁(本) P.1-6

1. 一種記憶體系統，其包括：

至少一記憶體庫；

介面電路，其可用複數種模式操作，該介面電路係用以將複數個輸入與複數個輸出連接至該至少一記憶體庫，該介面電路具有一串列模式，於該串列模式期間，該複數個輸入之至少一輸入之每一者係作為一個別的串列輸入運作且該複數個輸出之至少一輸出之每一者係作為一個別的串列輸出運作，該介面電路具有一並列模式，於該並列模式期間，該複數個輸入係作為一並列輸入共同運作且該複數個輸出係作為一並列輸出共同運作。

2. 如請求項1的記憶體系統，其中該至少一記憶體庫包括複數個記憶體庫。

3. 如請求項2的記憶體系統，其中在串列模式期間，每一者係作為一個別串列輸入運作的該至少一輸入包括複數個該等輸入，而每一者係作為一個別串列輸出運作的該至少一輸出包括複數個該等輸出。

4. 如請求項3的記憶體系統，其中該介面電路包括雙模式介面電路，其包括：

複數個鏈路與記憶體庫控制器，每一者均具有該複數個輸入中的一個別輸入；

其中該複數個鏈路與記憶體庫控制器之每一者均可運作在串列模式之中，用以針對每一次讀取與寫入作業來

處理在個別輸入上所收到的一單位元寬度輸入信號，以便以序列的方式來實施讀取與寫入作業，該信號含有命令、位址以及倘若該作業為寫入作業時的資料；

其中，該複數個鏈路與記憶體庫控制器可共同運作於並列模式中，用以針對每一次讀取與寫入作業來處理在多個輸入上所收到的一多位元寬度輸入信號，以便以並列的方式來實施讀取與寫入作業，該信號含有命令、位址、以及倘若該作業為寫入作業時的資料。

5. 如請求項4的記憶體系統，其中每一鏈路與記憶體庫控制器均被連接至該等記憶體庫中的一預定記憶體庫，且每一記憶體庫均會被連接至該等輸出中的一預定輸出。

6. 如請求項4或請求項5的記憶體系統，其中：

每一鏈路與記憶體庫控制器進一步包括一用於寫入作業的個別輸入控制以及一用於讀取作業的個別輸出控制；

該雙模式介面電路在並列模式期間可運作用以將該複數個鏈路與記憶體庫控制電路中的一共同鏈路與記憶體庫控制電路的輸入控制連接至剩餘的鏈路與記憶體庫控制電路的輸入控制，並且用以將該複數個鏈路與記憶體庫控制電路中的該共同鏈路與記憶體庫控制電路的輸出控制連接至剩餘的鏈路與記憶體庫控制電路的輸出控制，以致使在並列模式期間所有的鏈路與記憶體庫控制電路可共同運作；

該雙模式介面電路在串列模式可運作用以在每一輸入

控制與輸出控制處接收獨立的信號。

7. 如請求項4或請求項5的記憶體系統，其中該複數個鏈路與記憶體庫控制器包括每一記憶體庫的一個別鏈路與記憶體庫控制器。

8. 如請求項4或請求項5的記憶體系統，其進一步包括：

至少一鏈路切換器，其在串列模式期間運作用以將每一鏈路與記憶體庫控制器連接至一個別選定記憶體庫，並且在並列模式期間運作用以將所有該等鏈路與記憶體庫控制器連接至一選定記憶體庫。

9. 如請求項8的記憶體系統，其中：

該至少一鏈路切換器包括：一第一鏈路切換器，其將每一鏈路連接至一用於寫入與控制的個別選定記憶體庫；以及一第二鏈路切換器，其將每一鏈路連接至用於讀取的選定記憶體庫，以防止將多條鏈路同時連接至相同記憶體庫。

10. 如請求項4或請求項5的記憶體系統，其中該雙模式介面電路包括：

一輸入，其用於接收一資料寬度控制輸入，該輸入會在串列模式與並列模式之間作選擇。

11. 如請求項4或請求項5的記憶體系統，其中該雙模式介面電路包括：

一輸入，其用於接收一資料寬度控制輸入信號，該資料寬度控制輸入信號在串列模式與並列模式之間作選擇；

一用於每一鏈路與記憶體庫控制器的個別第一多工器，其具第一輸入與第二輸入，每一第一輸入被連接至該鏈路與記憶體庫控制器的該個別輸入控制，每一第二輸入被連接至該等鏈路與記憶體庫控制器的一共同鏈路與記憶體庫控制器的該輸入控制，該第一多工器可運作用以在該資料控制寬度控制輸入的控制下來選擇該第一輸入或該第二輸入；

一用於每一鏈路與記憶體庫控制器的個別第二多工器，其具第一輸入與第二輸入，每一第一輸入被連接至該鏈路與記憶體庫控制器的該個別輸出控制，每一第二輸入被連接至該等鏈路與記憶體庫控制器的該共同鏈路與記憶體庫控制器的該輸出控制，該第二多工器可運作用以在該資料控制寬度控制輸入信號的控制下來選擇該第一輸入或該第二輸入。

12. 如請求項1至3中任一項的記憶體系統，其中該介面電路包括雙模式介面電路，其包括：

一用於每一記憶體庫的個別並列至串列轉換器，其具有一串列輸出；

切換邏輯，其用以將每一並列至串列轉換器之該串列輸出切換朝向一選定輸出。

13. 如請求項12的記憶體系統，其進一步包括：

選擇器邏輯，其用以在串列模式期間選擇該等並列至串列轉換器的串列輸出，並且用以在並列模式期間選擇一並列輸出。

14. 如請求項13的記憶體系統，其進一步包括：

一資料寬度轉換器，其藉由將來自一選定記憶體庫的輸出自用於記憶體庫存取的一資料寬度轉換成等於該複數個輸出之輸出數量的一資料寬度來產生該並列輸出。

15. 如請求項1至3中任一項的記憶體系統，其中該介面電路包括雙模式介面電路，其包括：

一用於每一記憶體庫的個別串列至並列轉換器；

切換邏輯，其將每一輸入切換成該等串列至並列轉換器中之一個別選定串列至並列轉換器的輸入。

16. 如請求項15的記憶體系統，其進一步包括：

一資料寬度轉換器，其將具有等於該複數個輸入的輸入數量之一資料寬度的並列輸入轉換成用於記憶體庫存取之一資料寬度。

17. 一種用於運作一記憶體系統之方法，其包括：

根據一資料寬度控制輸入來將一記憶體介面重新組態成一串列模式與一並列模式中的一選定模式，其中該記憶體介面基於該選定模式將複數個輸入及複數個輸出連接至至少一記憶體庫；

在串列模式中，該記憶體介面充當至少一串列介面，其中該複數個輸入之至少一輸入之每一者係作為一個別的串列輸入運作且該複數個輸出之至少一輸出之每一者係作為一個別的串列輸出運作；

在並列模式中，該記憶體介面充當一並列介面，其中該複數個輸入係作為一並列輸入共同運作且該複數個輸

出係作為一並列輸出共同運作。

18. 如請求項17的方法，其進一步包括：

於串列模式期間，提供自每一鏈路至複數個記憶體庫中之任意記憶體庫的串列存取。

19. 如請求項17或請求項18的方法，其中根據一資料寬度控制輸入來將一記憶體介面重新組態成一串列模式與一並列模式中的一選定模式包括：

針對串列模式重新組態複數個鏈路與記憶體庫控制器，致使在串列模式期間對於該至少一串列介面之每一者接收獨立輸入與輸出控制；

針對並列模式重新組態該複數個鏈路與記憶體庫控制器，致使所有該等鏈路與記憶體庫控制器共同使用在一鏈路與記憶體庫控制器處所收到的一輸入與輸出控制。

十一、圖式：

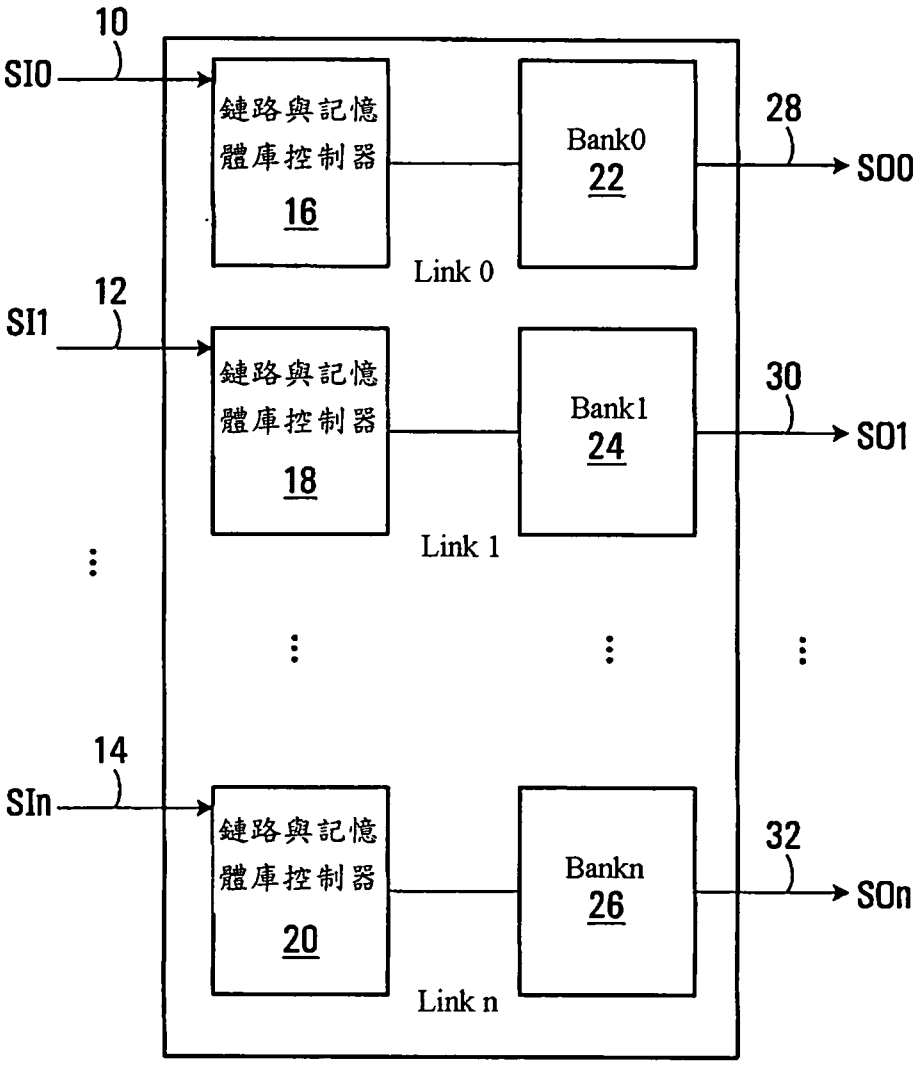

10
SI0
鏈路與記憶體庫控制器
16
Bank0
22
28
SO0
Link 0
12
SI1
鏈路與記憶體庫控制器
18
Bank1
24
30
SO1
Link 1
14
SIn
鏈路與記憶體庫控制器
20
Bankn
26
32
SOn
Link n

圖 1

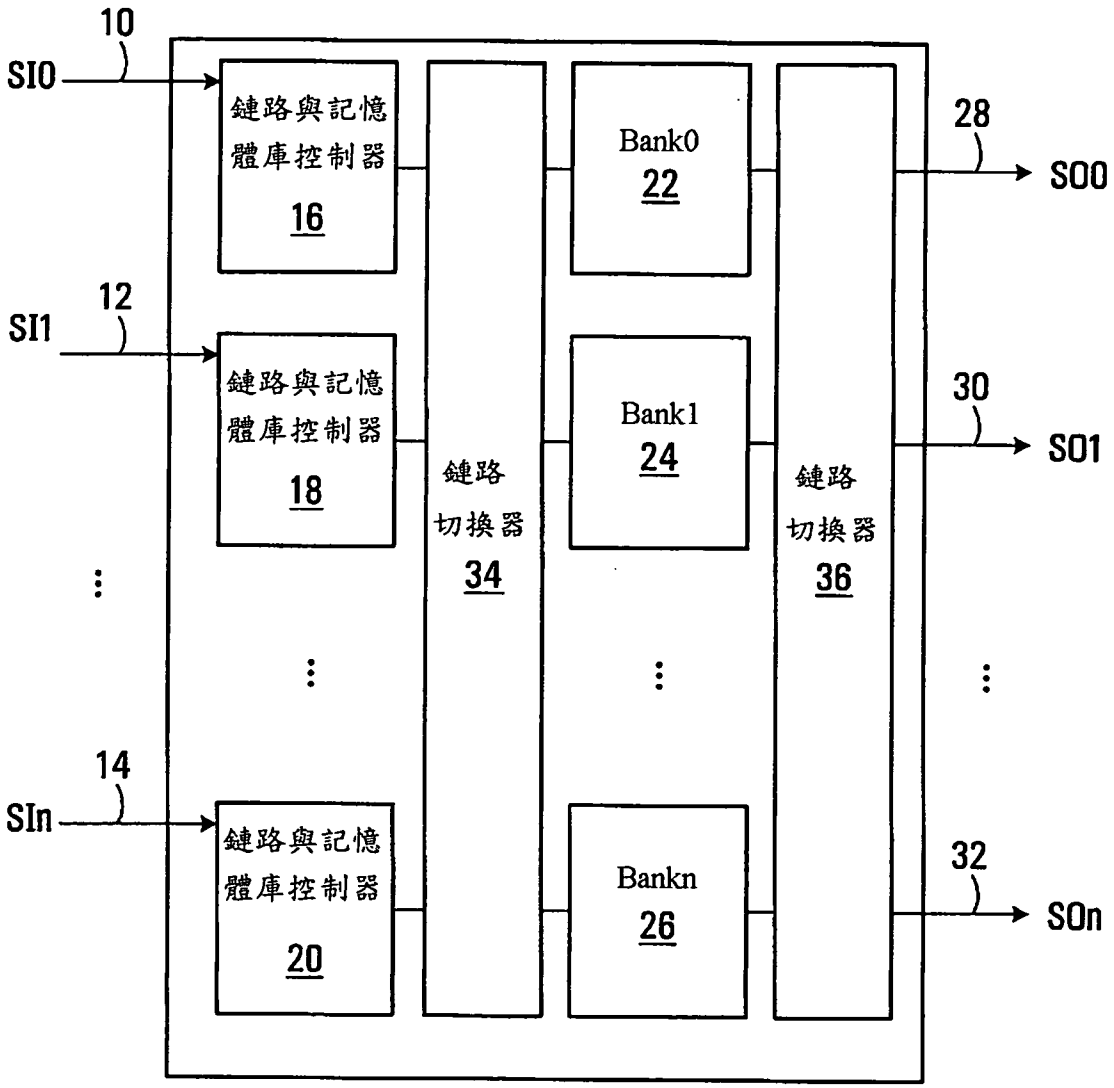

10
SI0
鏈路與記憶體庫控制器
16
12
SI1
鏈路與記憶體庫控制器
18
14
SIn
鏈路與記憶體庫控制器
20
鏈路切換器
34
Bank0
22
Bank1
24
Bankn
26
鏈路切換器
36
28
SO0
30
SO1
32
SOn

圖 2

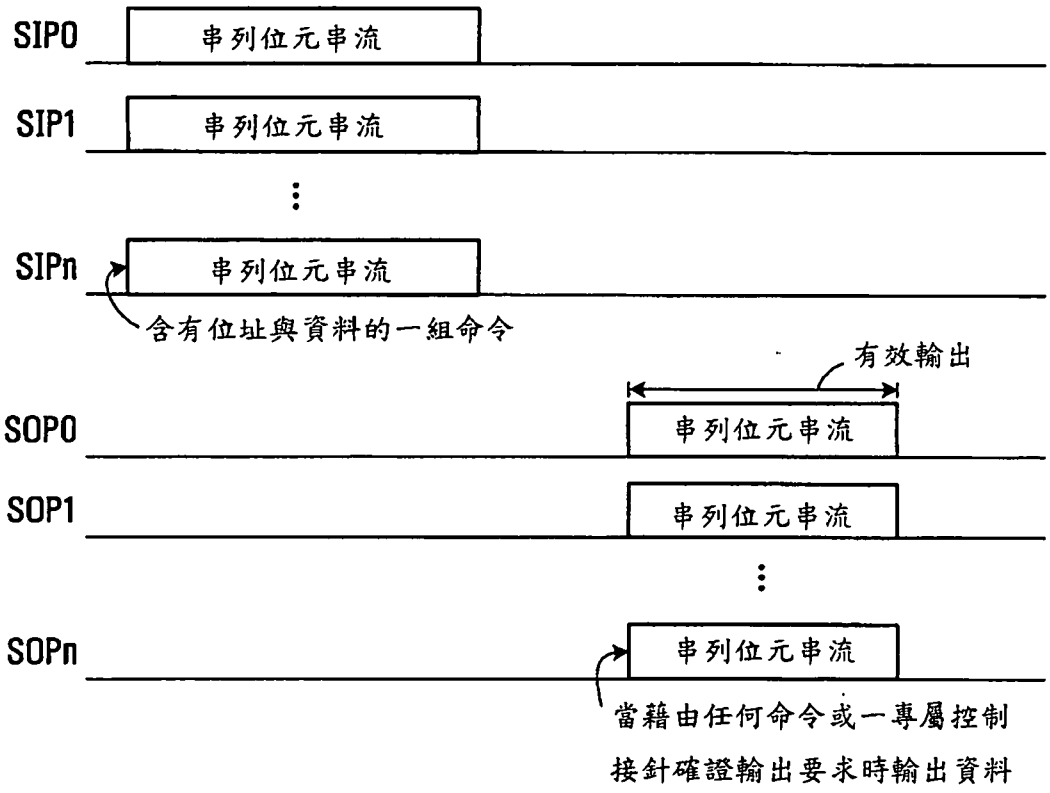

SIP0
串列位元串流
SIP1
串列位元串流
SIPn
串列位元串流
含有位址與資料的一組命令
有效輸出
SOP0
串列位元串流
SOP1
串列位元串流
SOPn
串列位元串流
當藉由任何命令或一專屬控制
接針確證輸出要求時輸出資料

圖 3

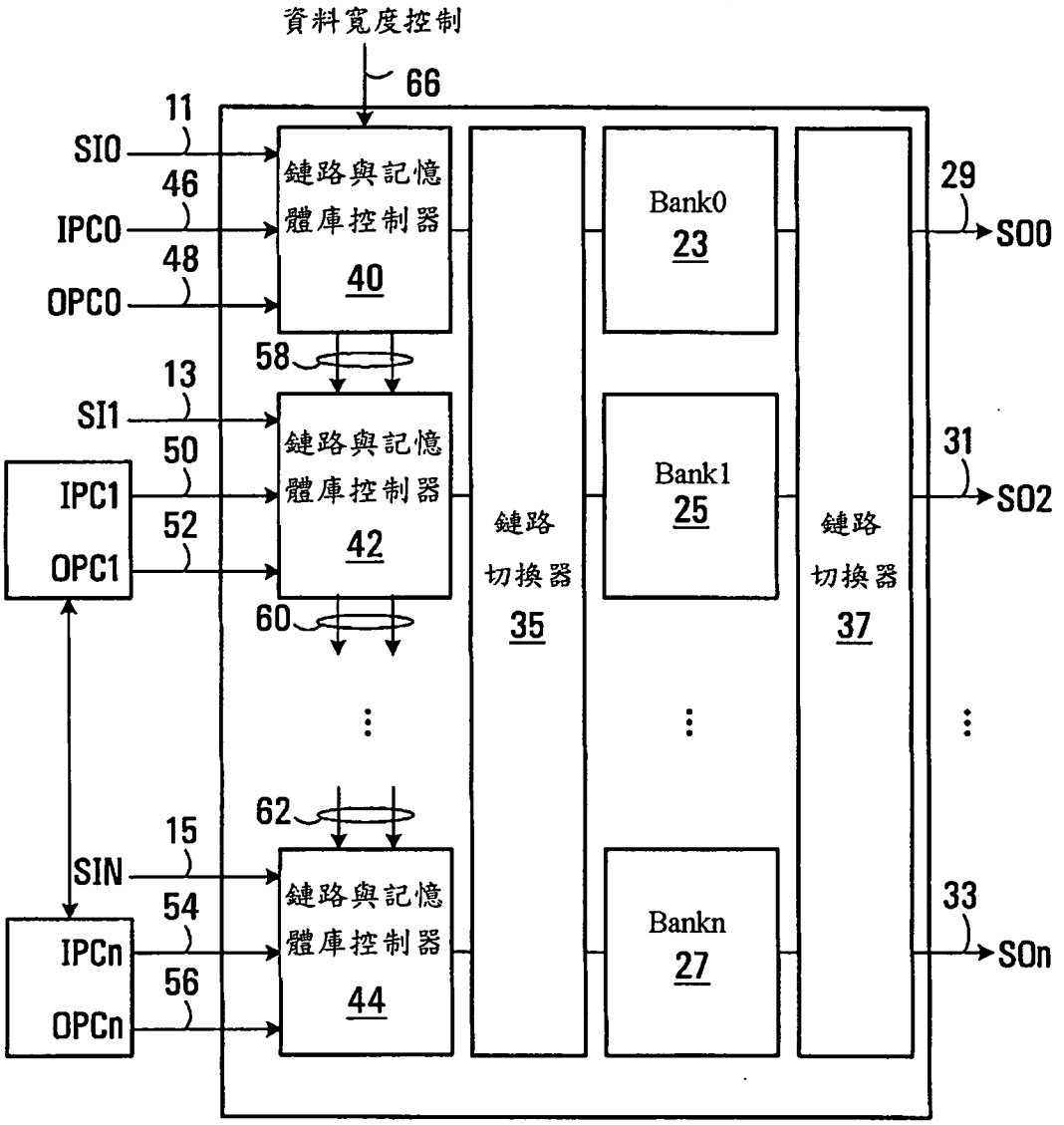

資料寬度控制
66
11
SIO
46
IPC0
48
OPC0
鏈路與記憶體庫控制器
40
58
13
SI1
50
IPC1
52
OPC1
鏈路與記憶體庫控制器
42
60
62
15
SIN
54
IPCn
56
OPCn
鏈路與記憶體庫控制器
44
鏈路切換器
35
Bank0
23
Bank1
25
Bankn
27
鏈路切換器
37
29
SO0
31
SO2
33
SOn

圖 4

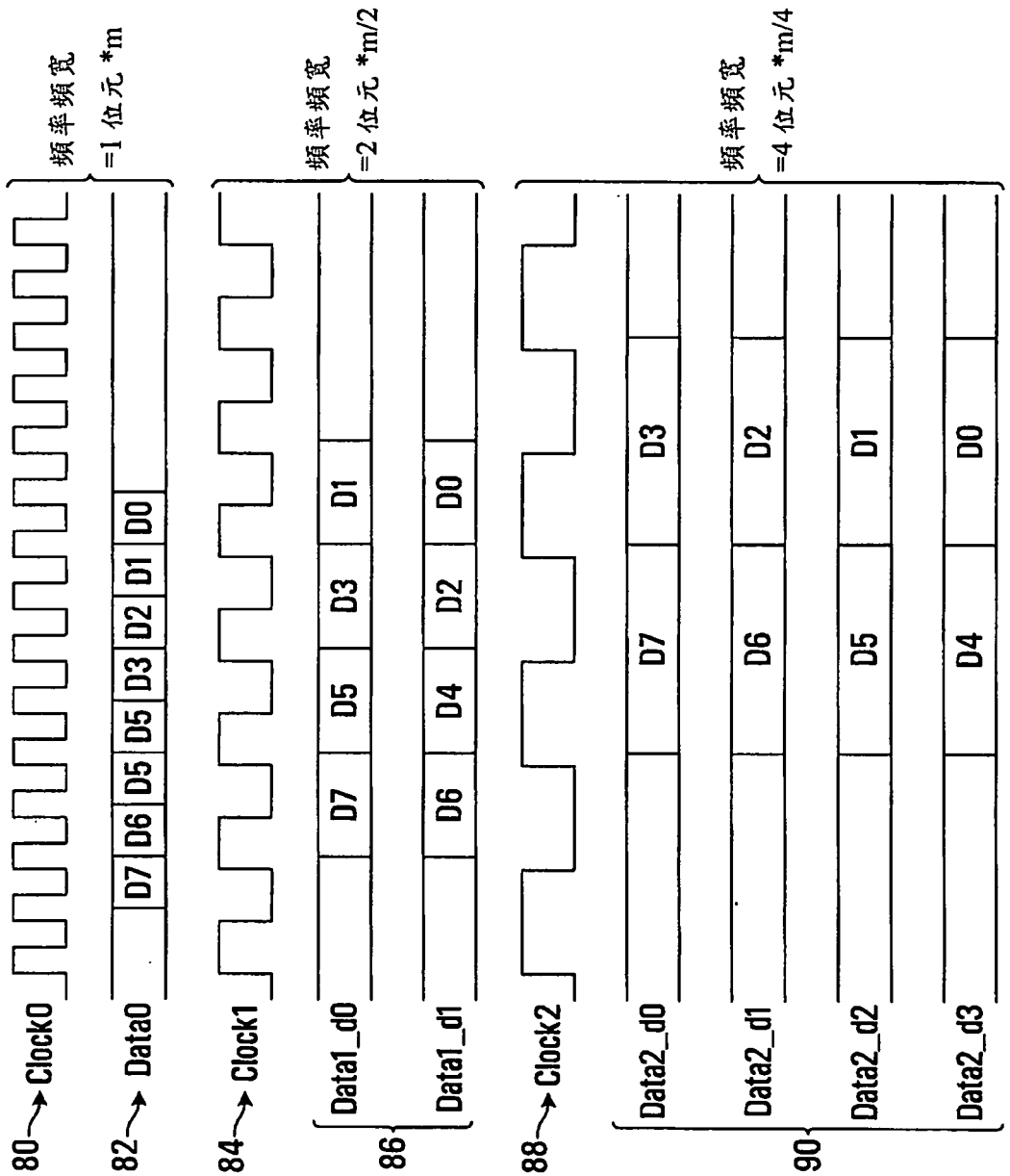

80
Clock0
頻率頻寬
=1 位元 *m
82
Data0
D7
D6
D5
D4
D3
D2
D1
D0
84
Clock1
頻率頻寬
=2 位元 *m/2
Data1_d0
D7
D5
D3
D1
86
Data1_d1
D6
D4
D2
D0
88
Clock2
頻率頻寬
=4 位元 *m/4
Data2_d0
D7
D3
Data2_d1
D6
D2
Data2_d2
D5
D1
90
Data2_d3
D4
D0

圖 5

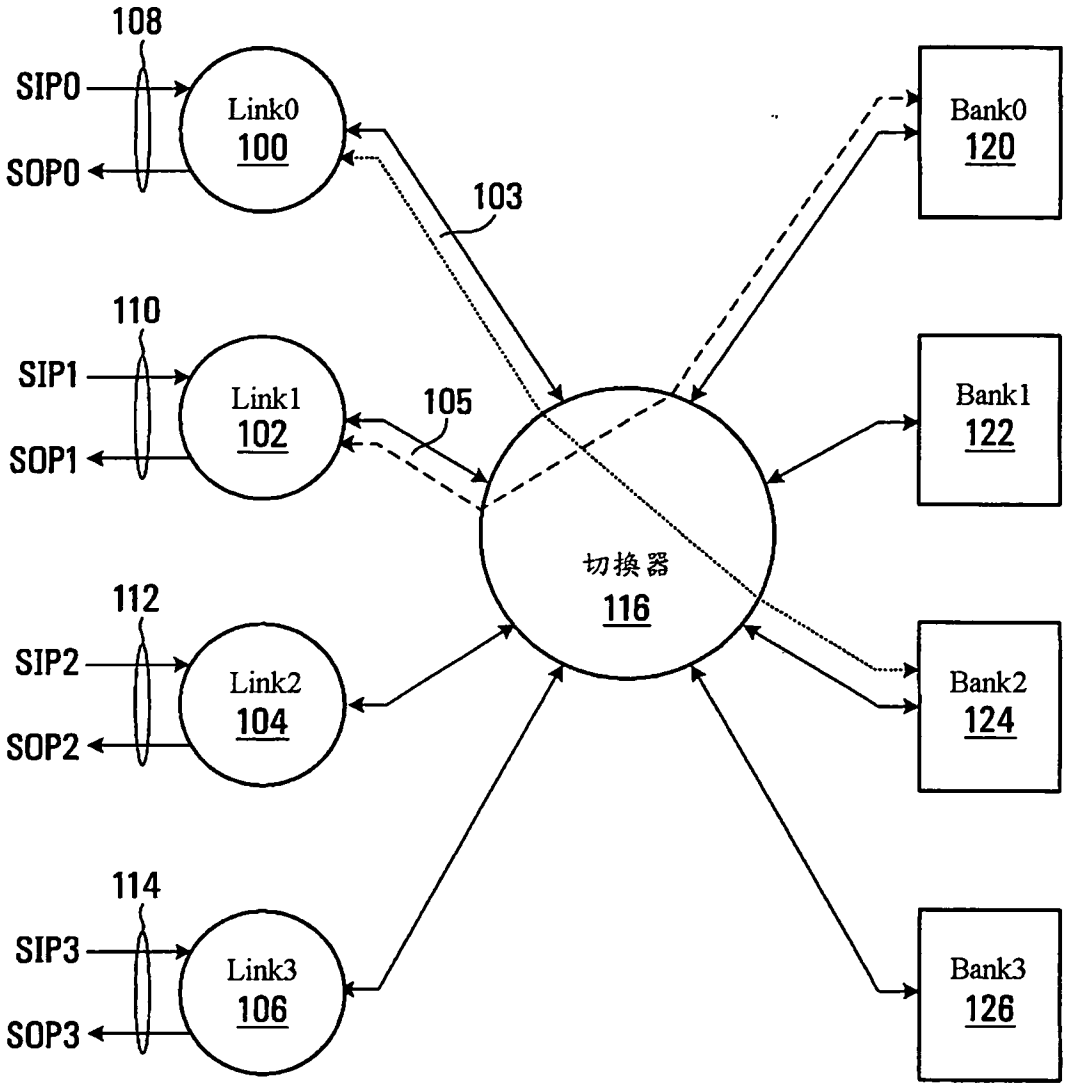

108
SIP0
SOP0
Link0
100
103
Bank0
120
110
SIP1
SOP1
Link1
102
105
Bank1
122
切換器
116
112
SIP2
SOP2
Link2
104
Bank2
124
114
SIP3
SOP3
Link3
106
Bank3
126

圖 6

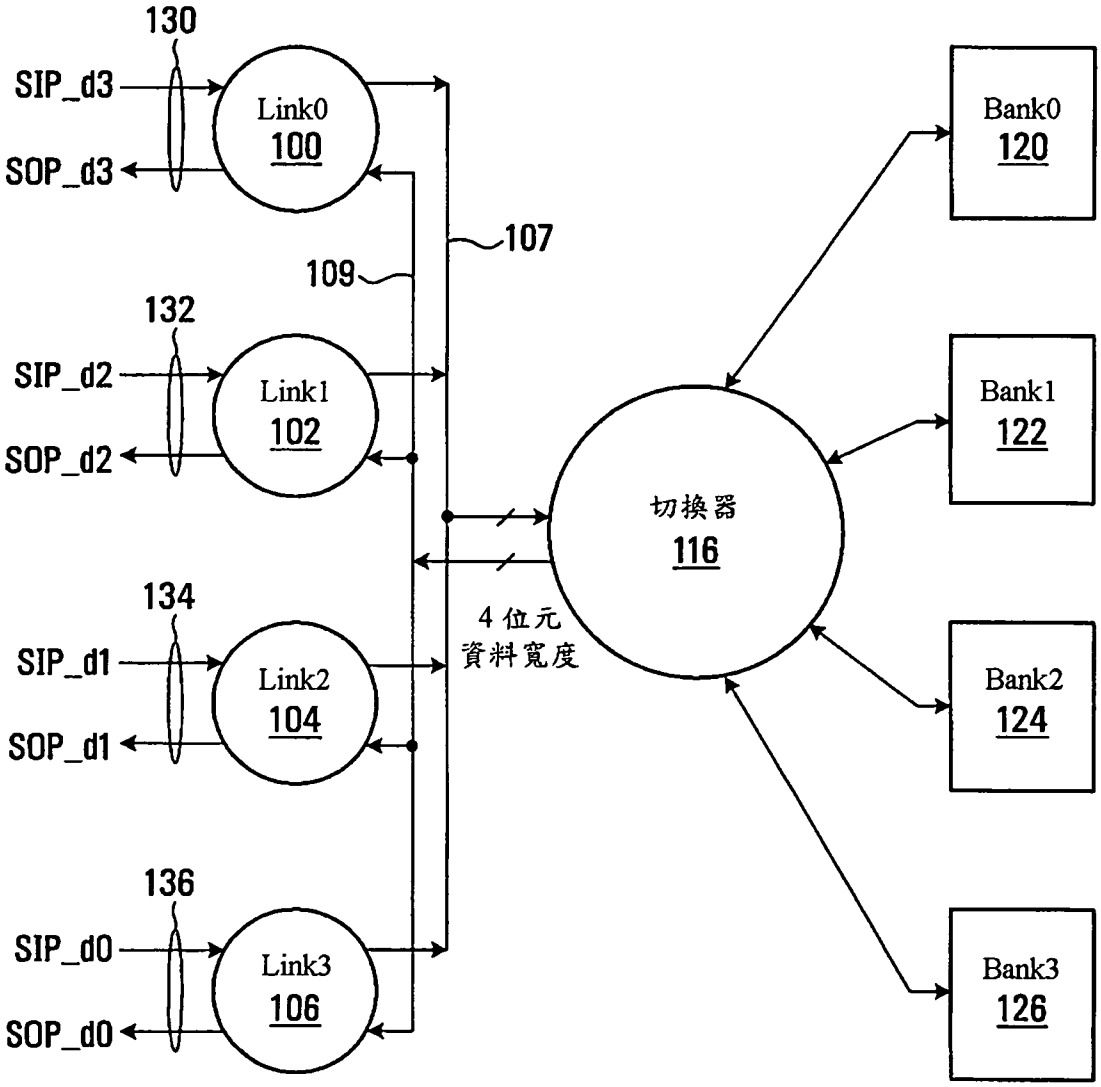

130
SIP_d3
SOP_d3
Link0
100
107
109
132
SIP_d2
SOP_d2
Link1
102
134
SIP_d1
SOP_d1
Link2
104
136
SIP_d0
SOP_d0
Link3
106
4 位元
資料寬度
切換器
116
Bank0
120
Bank1
122
Bank2
124
Bank3
126

圖 7

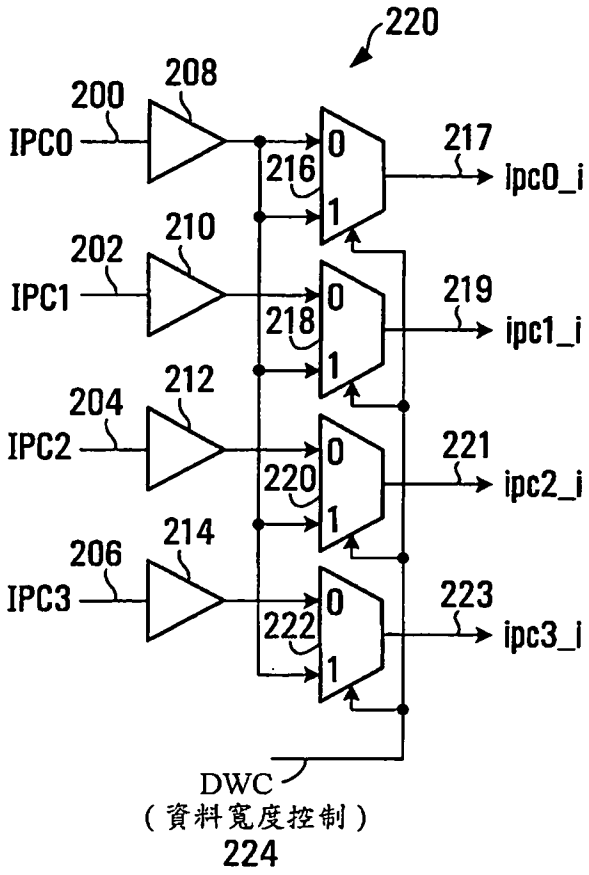

220
208
200
IPC0
216
0
1
217
ipc0_i
210
202
IPC1
218
0
1
219
ipc1_i
212
204
IPC2
220
0
1
221
ipc2_i
214
206
IPC3
222
0
1
223
ipc3_i
DWC
(資料寬度控制)
224

圖 8A

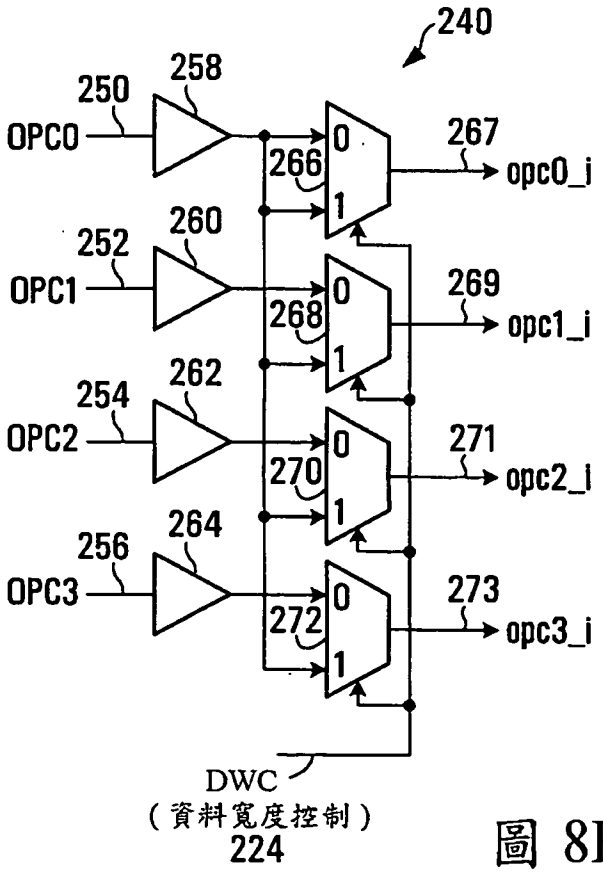

240
258
250
OPC0
266
0
1
267
opc0_i
260
252
OPC1
268
0
1
269
opc1_i
262
254
OPC2
270
0
1
271
opc2_i
264
256
OPC3
272
0
1
273
opc3_i
DWC
(資料寬度控制)
224

圖 8B

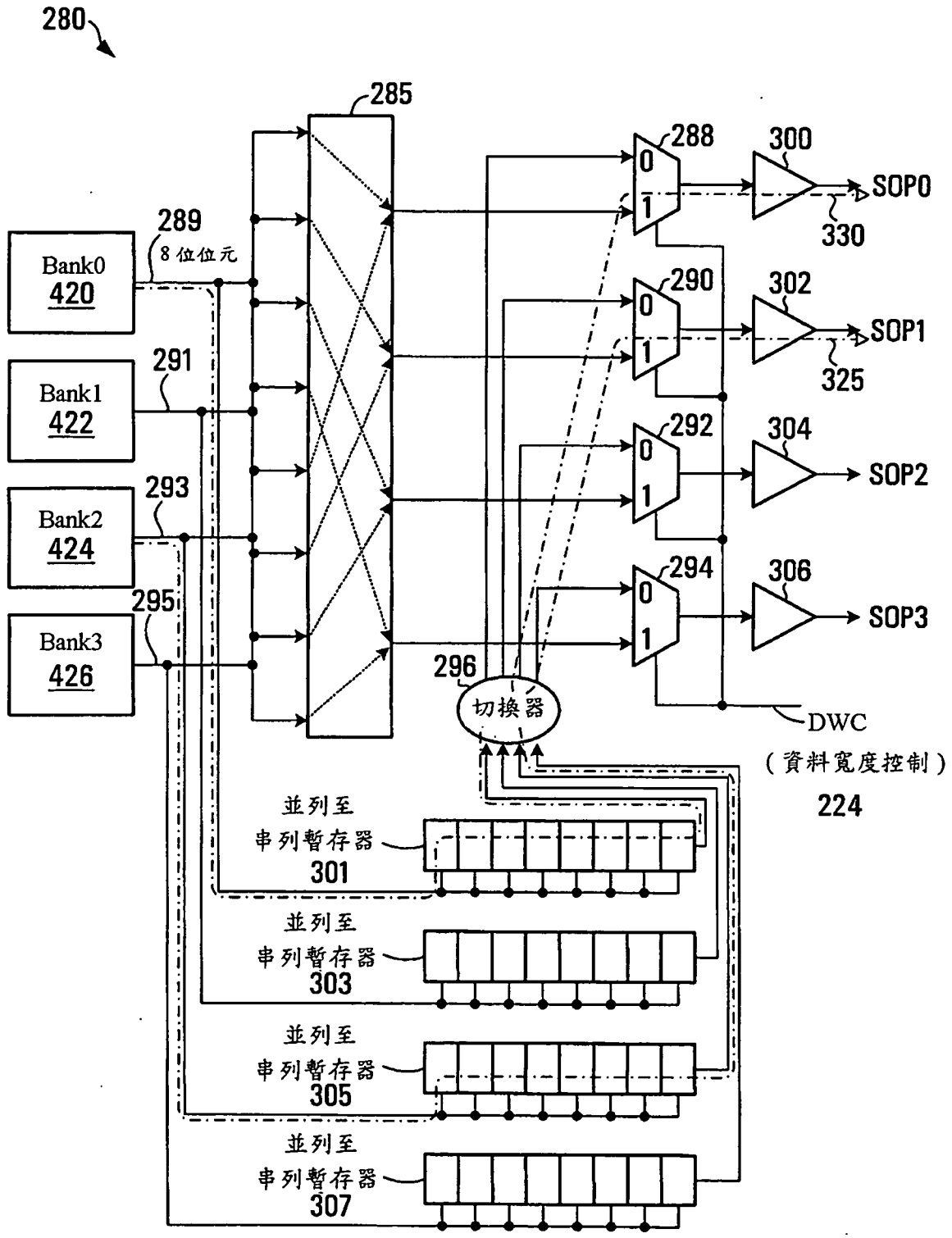

280
285
288
300
SOP0
330
289
8位位元
Bank0
420
290
302
SOP1
325
291
Bank1
422
292
304
SOP2
293
Bank2
424
294
306
SOP3
295
Bank3
426
296
切換器
DWC
(資料寬度控制)
224
並列至
串列暫存器
301
並列至
串列暫存器
303
並列至
串列暫存器
305
並列至
串列暫存器
307

圖 8C

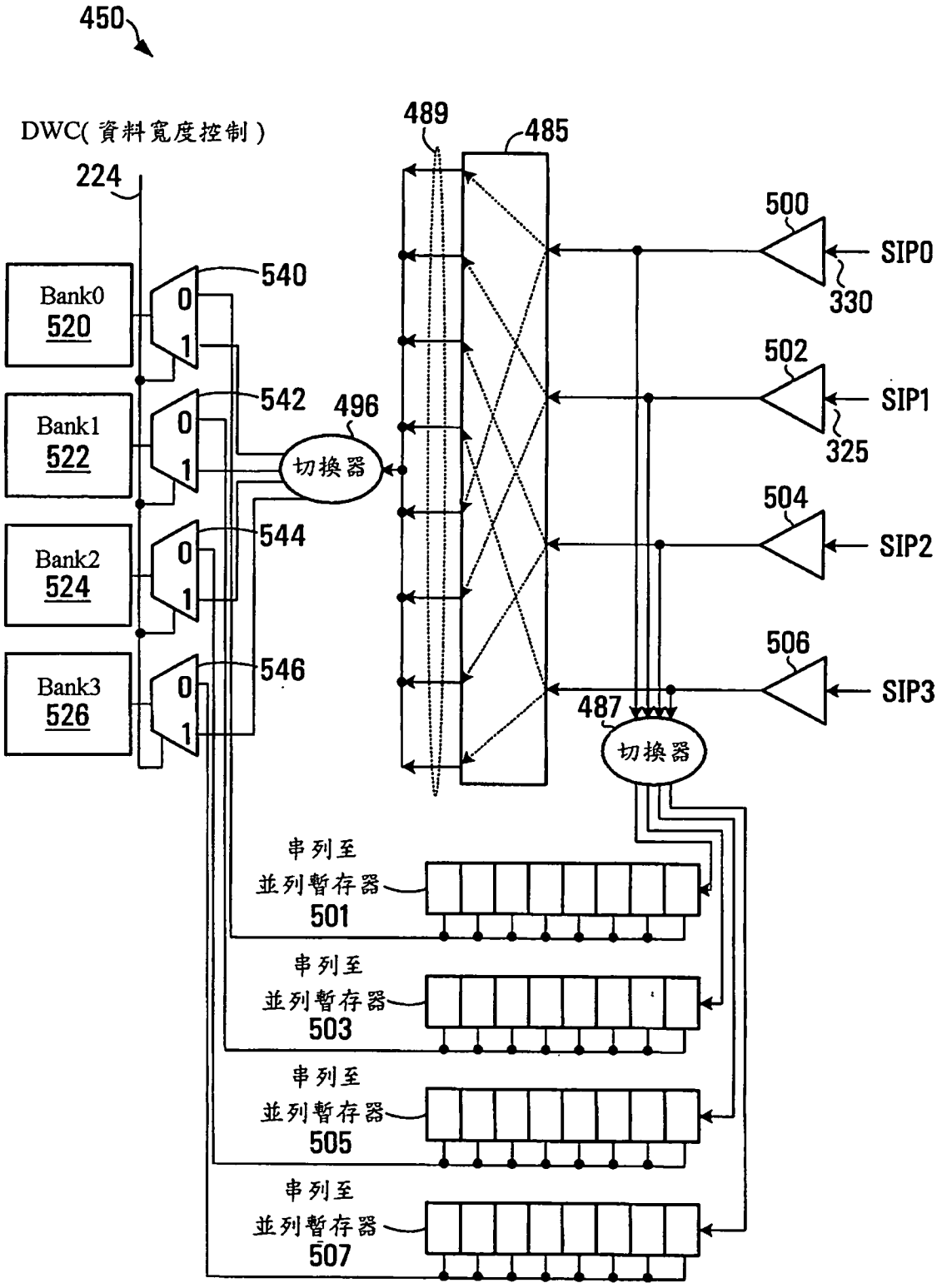

450
DWC(資料寬度控制)
224
489
485
500
SIP0
330
502
SIP1
325
504
SIP2
506
SIP3
Bank0
520
Bank1
522
Bank2
524
Bank3
526
540
542
544
546
496
切換器
487
切換器
串列至
並列暫存器
501
串列至
並列暫存器
503
串列至
並列暫存器
505
串列至
並列暫存器
507

圖 8D

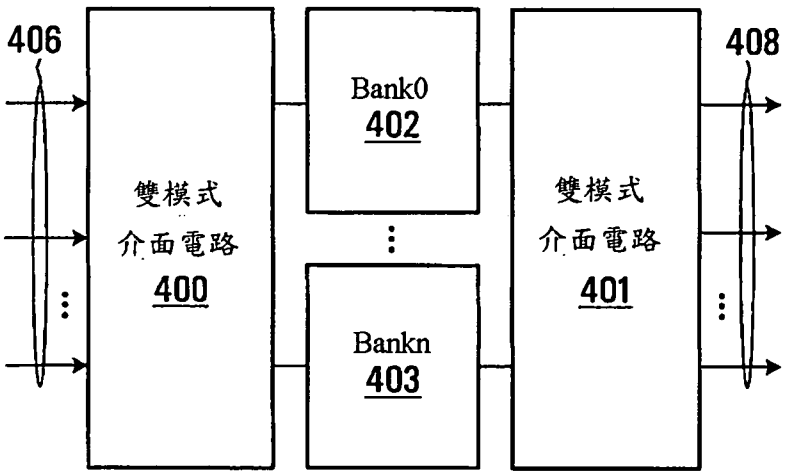


圖 9