

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 03819360.4

[45] 授权公告日 2008 年 11 月 26 日

[11] 授权公告号 CN 100438071C

[22] 申请日 2003.7.28 [21] 申请号 03819360.4

[30] 优先权

[32] 2002. 8. 16 [33] US [31] 10/219,190

[86] 国际申请 PCT/US2003/023558 2003. 7. 28

[87] 国际公布 WO2004/017419 英 2004. 2. 26

[85] 进入国家阶段日期 2005. 2. 16

[73] 专利权人 半导体元件工业有限责任公司

地址 美国亚利桑那

[72] 发明人 戈登·M·格里芙娜

[56] 参考文献

US6268626B1 2001. 7. 31

CN1226753A 1999. 8. 25

US6110783A 2000. 8. 29

JP6-163906A 1994. 6. 10

审查员 张 健

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

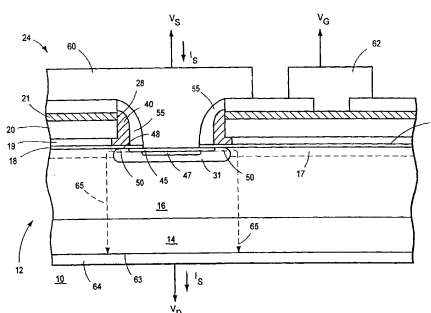
权利要求书 2 页 说明书 6 页 附图 5 页

[54] 发明名称

具有自对准结构的垂直栅半导体器件

[57] 摘要

晶体管(10)被形成在其顶部表面(48)形成有底座结构(24)的半导体衬底(12)中。导电材料(40)沿底座结构的侧表面(28)被淀积为自对准晶体管源区(45)的边沿。介质衬垫(55)沿导电材料的侧表面(49)被形成为自对准源区的接触区(56)。晶体管的本体区(31)被自对准于底座结构的侧壁。在一个实施方案中,底座的侧壁包含其基底处的凹陷部分。



1. 一种晶体管，它包含：

具有用来形成底座结构的顶部表面的衬底；

沿底座结构侧表面设置以便确定衬底内第一导电电极的边沿的导电材料；以及

沿导电材料的侧表面形成以便确定第一导电电极的接触区的介质衬垫，

其中所述第一导电电极是指承载通过该晶体管的电流的元件。

2. 根据权利要求 1 所述的晶体管，其中，衬底包括：

半导体层；以及

形成在半导体层上以便支持底座结构、导电材料、以及介质衬垫的第一介质层。

3. 根据权利要求 2 所述的晶体管，其中，介质衬垫的侧表面在第一介质层中确定一个暴露半导体层以便形成接触区的窗口。

4. 根据权利要求 1 所述的晶体管，其中，衬底被形成为具有本体区，此本体区具有由底座结构的侧表面确定的边沿。

5. 根据权利要求 4 所述的晶体管，其中，导电材料使本体区反型，以便在衬底顶部表面处形成沟道。

6. 根据权利要求 5 所述的晶体管，还包含形成在衬底的与所述顶部表面相对的表面处的晶体管另一导电电极。

7. 根据权利要求 1 所述的晶体管，其中，底座结构包括：

形成在衬底顶部表面上的第二介质层；

形成在第二介质层上的第三介质层；以及

第三介质层上的由导电材料形成的导电层。

8. 根据权利要求 7 所述的晶体管，其中，导电材料包括多晶硅。

9. 一种半导体器件，它包含：

衬底，其具有用来对该衬底内的源区进行掺杂以及形成半导体器件的沟道的顶部表面；

形成在顶部表面上的介质底座;

沿介质底座的侧表面形成以便确定源区的边沿的控制电极;以及
沿控制电极的侧表面形成以便确定源区的接触区的介质衬垫。

10. 一种半导体器件, 它包含:

衬底;

设置在第一表面上以便在衬底内垂直于第一表面的第二表面处
确定半导体器件的导电电极的第一导电材料; 以及

形成在平行于第一表面延伸的第一导电材料表面上以便确定导
电电极的接触区的介质衬垫,

其中所述导电电极是指承载通过该半导体器件的电流的元件。

具有自对准结构的垂直栅半导体器件

发明的背景

本发明一般涉及到半导体器件，更确切地说是涉及到垂直栅晶体管。

对具有较高性能水平和较低制造成本的半导体器件，一直存在着需求。例如，开关调节器的制造厂家要求更有效的功率 MOSFET 晶体管来转换产生被调节的输出电压的电感器电流。利用具有较短沟道的晶体管来提供降低调节器开关损耗的较高的频率响应，得到了较高的效率。

然而，为了提供降低开关损耗所必须的较短的沟道，如果不是全部也是大多数先前的高频功率晶体管，都要求能够分辨小特征尺寸的先进光刻设备。一些先前的高频晶体管被制作成具有垂直栅结构，其中，沟道长度被淀积的栅电极的厚度确定，而不是被光刻设备的特征尺寸确定。此方法降低了对昂贵的光刻设备的需要，这就降低了器件制作的成本。但先前的垂直栅器件要求大量的掩蔽步骤以及复杂的加工步骤程序，这降低了管芯的成品率，从而提高了器件的制造成本。

因此，对于工作于高频和高效率下且能够以简单的加工步骤程序被制作以避免对昂贵制造设备的需要的具有短沟道的半导体器件，存在着需求。

附图的简要说明

图 1 是半导体器件在第一制造步骤之后的剖面图；

图 2 是半导体器件在第二制造步骤之后的剖面图；

图 3 是半导体器件在第三制造步骤之后的剖面图；

图 4 是半导体器件在第四制造步骤之后的剖面图；而

图 5 是半导体器件的俯视图，示出了器件布局的特点。

附图的详细描述

在各个附图中，参考号相同的元件具有相似的功能。如此处所用的那样，术语电流承载或导电电极指的是承载通过器件的电流的一种器件元件，例如场效应晶体管的源或漏或者双极晶体管的发射极或收集极。

图 1 是用半导体衬底 12 在第一加工阶段之后形成的半导体器件 10 的单元的剖面图。在一个实施方案中，半导体器件 10 用作工作于 1 安培以上电流下的开关金属氧化物半导体场效应晶体管。

基底层 14 被形成为厚度约为 250 微米。在一个实施方案中，基底层 14 被重掺杂成具有 n 型导电性，且电阻率约为 0.01 欧姆厘米，以便为半导体器件 10 提供低的开态电阻。在一个实施方案中，基底层 14 包含单晶硅。

外延层 16 被生长在基底层 14 上，厚度约为 3 微米。在一个实施方案中，外延层 16 包含单晶硅，此单晶硅被掺杂成 n 型导电性，且掺杂浓度约为每立方厘米 3.0×10^{16} 原子。

满铺 n 型注入被施加到衬底 12，以便产生区域 17，此区域 17 的掺杂浓度约为每立方厘米 1.0×10^{17} 原子，以便防止由漏夹断造成的低压击穿。在一个实施方案中，区域 17 被形成为深度约为 0.5 微米。

栅介质层 18 被形成在外延层 16 上，厚度约为 350 埃。在一个实施方案中，介质层 18 由热生长的二氧化硅形成。

介质层 19 被形成在介质层 18 上，厚度约为 1500 埃。在一个实施方案中，介质层 19 包含氮化硅。

介质层 20 被形成在介质层 19 上，厚度约为 6000 埃。在一个实施方案中，介质层 20 由原硅酸四乙酯 (TEOS) 工艺形成，以便形成淀积的二氧化硅。

导电的半导体层 21 被淀积在介质层 20 上，厚度约为 1800 埃。在一个实施方案中，半导体层 21 包含重掺杂的多晶硅，以便提供低电阻。半导体层 21 可以包括铂、钨、或钛硅化物或相似材料的膜，以便

提供甚至更低的电阻。

介质层 22 被形成在半导体层 21 上，厚度约为 4000 埃。在一个实施方案中，介质层 22 由 TEOS 工艺形成成为淀积的二氧化硅。

衬底 12 的表面 29 在第一光抗蚀剂步骤中被图形化，此第一光抗蚀剂步骤掩蔽一系列相继清除介质层 22、半导体层 21、以及介质层 19 和 18 的暴露部分的标准腐蚀步骤，从而形成凸起的底座结构 24。邻近底座结构 24 的凹陷区域 34 由典型地被依赖于后续膜厚度和所希望的击穿电压的大约 2-3 微米范围的距离分隔开的垂直壁或表面 28 界定。

垂直壁 28 被用来掩蔽或确定进入到衬底 12 本体区 31 中的注入剂，如下所述，此本体区反型形成半导体器件 10 的沟道。因此，本体区 31 被自对准于垂直壁 28。

然后进行各向同性的氮化硅腐蚀，以便钻蚀介质层 19，使其垂直表面 32 相对于垂直壁 28 凹陷。以这种方式使表面 32 凹陷确保了形成在本体区 31 中的沟道（未示出）延伸到本体区 31 的边界或边沿 33，使沟道电流能够流入到外延层 16 中。使垂直表面 32 凹陷还借助于增大其沟道长度而提高了半导体器件 10 的工作电压。在一个实施方案中，介质层 19 被凹陷的距离约为 0.1 微米。

如所示，半导体层 35 被淀积在衬底 12 上，厚度约为 4000 埃。半导体层 35 典型地被掺杂到具有与半导体层 21 相同的导电类型和低的电阻。注意，半导体层 21 和 35 沿垂直壁 28 被彼此电耦合。

图 2 是半导体器件 10 在第二制造阶段之后的剖面图。对半导体层 35 进行各向异性腐蚀，以便形成邻近底座结构 24 的用作垂直栅 40 的衬垫。垂直栅指的是由淀积在第一表面上的栅材料形成以便控制形成在垂直于第一表面的第二表面上的导电沟道的控制电极。在半导体器件 10 的情况下，沟道 50 被形成在本体区 31 的被认为水平表面的表面 48 处。控制电极膜，亦即半导体层 35，沿垂直于表面 48 的壁 28 因而被称为垂直壁 28 淀积。结果，沟道长度被垂直栅 40 的膜厚度决定。因此，施加到垂直栅 40 的控制信号使本体区 31 在顶部表面处反

型，从而形成长度大约等于半导体层 35 的厚度的沟道 50。

一旦垂直栅 40 被形成，薄的热氧化物就被生长在暴露的半导体表面上，以便防止沾污或静电荷在后续加工过程中通过垂直栅 40 的表面积累。在一个实施方案中，此工艺步骤导致大约 100 埃的二氧化硅被生长在垂直栅 40 上。

注意，借助于省略凹陷介质层 19 的腐蚀步骤而腐蚀介质层 18 以直接在本体区 31 上淀积半导体层 35，能够制作以垂直栅 40 用作基极电极的双极晶体管。在各向异性地腐蚀半导体层 35 之后，垂直栅 40 被电耦合到本体区 31，以便形成双极晶体管的基极。后续的加工如下所述，以源和漏分别用作双极晶体管的发射极和收集极。

在第二光抗蚀剂步骤中，如所示，介质层 22 被图形化和腐蚀，以便形成栅接触 54。

然后对半导体器件 10 进行满铺注入，以便形成由垂直栅 40 确定即自对准于垂直栅 40 的源区 45。此满铺注入还对栅接触 54 进行掺杂以降低其接触电阻。在一个实施方案中，源区具有 n 型导电性，且掺杂浓度约为每立方厘米 10^{19} - 10^{20} 原子。

注意，源区 45 确定了沟道 50 的一端，且本体区 31 的边界 33 确定了另一端。由于边界 33 自对准于垂直壁 28，且源区 45 自对准于垂直栅 40，故沟道 50 的长度基本上决定于垂直栅 40 的膜厚度。在一个实施方案中，沟道 50 的有效长度约为 0.4 微米，而用于此处的光刻工艺的最小特征尺寸可以大到大约 3 微米。因此，用价格更低的光刻设备形成了短沟道，从而以降低了的成本提供了高频性能。而且，由于与用掩蔽方法确定的表面特征的尺寸相比能够更精确地控制膜的厚度，故性能更为一致。

图 3 示出了集成电路 10 在第三制造阶段之后的剖面图。介质材料被淀积在半导体衬底 12 上，并被各向异性地腐蚀，以便产生邻近垂直栅 40 的侧壁 49 的介质衬垫 55。此介质材料最好被淀积成膜厚度大于半导体层 35 的厚度，以便确保介质衬垫 55 在形貌步骤中的减薄不导致在各向异性腐蚀步骤中暴露垂直栅 40。例如，在半导体层 35 的

厚度约为 4000 埃的实施方案中，用来形成衬垫 55 的介质材料的厚度约为 5000 埃。各向异性腐蚀还从介质层 18 的暴露部分清除了介质材料，从而在源区 45 上确定自对准于介质衬垫 55 的源接触 56。

如所示，衬垫 55 还被用来掩蔽产生源区 45 下方的增强区 47 的 p 型满铺注入步骤。增强区 47 在半导体器件 10 的所有区域中提供了保持本体区 31 处于恒定电位的低阻通路。在一个变通实施方案中，利用额外的光掩蔽步骤阻挡源注入剂进入到选定区域中，可以将增强区 47 形成在表面 48 的选定区域中。

图 4 是半导体器件 10 在第四制造阶段之后的剖面图。

标准的半导体金属膜被淀积在衬底 12 的表面上。在一个实施方案中，薄的铂层被淀积并被退火，从而形成硅化铂层，此硅化铂层提供了到暴露在栅接触 54 和源接触 56 中的半导体材料的低阻电连接。钛层被形成到厚度为 120 埃，随之以 800 埃的氮化钛势垒层。最后，淀积厚度为 3-4 微米的铝层。

第三光抗蚀剂步骤被用来对金属膜进行图形化，以便形成源端子 60 和栅端子 62。相似的满铺金属膜被淀积在衬底 12 的底部表面 63 上，以便形成厚度为 3-4 微米的漏端子 64。

钝化层（未示出）被淀积并被图形化，以便产生完成的器件。注意，可以包括额外的掩蔽步骤，以便提供额外的或不同的特征。例如，借助于在与源电极/端子相同的表面上图形化漏电极和/或端子，可以用一种额外的光掩蔽步骤来形成作为横向或平面器件而不是垂直器件的半导体器件 10。作为另一例子，对于高电压应用，额外的光掩模可以被用来图形化半导体器件 10 周围的场成形区。

参照其标准的工作模式，能够理解半导体器件 10 的垂直结构。假设源端子 60 工作于 0V 的电位 V_S 下，栅端子 62 接收一个大于半导体器件 10 的导电阈值的控制电压 $V_G=2.5V$ ，且漏端子 64 工作于漏电位 $V_D=5.0V$ 下。 V_G 和 V_S 的数值使本体区 31 在垂直栅 40 下方反型，从而形成沟道 50，将源区 45 电连接到外延层 16。器件电流 I_S 一般如所示沿虚线 65，从源端子 60 绕道通过源区 45、沟道 50、区域 17、外

延区 16、以及基底层 14 流到漏端子 64。因此，电流 I_s 垂直地流过衬底 12，从而产生低的开态低阻。在一个实施方案中， $I_s = 1.0 \text{ A}$ 。

图 5 示出了半导体器件 10 的简化俯视图，示出了垂直栅晶体管布局的一些选定的特征。在此实施方案中，底座结构 24 被形成在衬底 12 的大部分中心区域上，此衬底具有排列成多个行的用来与衬底 12 中心处大区域中的源端子 60 接触以便提供低的开态电阻的源接触 56。栅端子 62 被形成为如所示环绕源端子 60，并在栅接触 54 处接触半导体层 21，以便保持垂直栅 40 处于恒定的电位。

在半导体器件 10 是高电压器件的实施方案中，利用额外的光掩模步骤，场终止结构被形成在衬底 12 外围部分周围。此场终止结构对由施加到漏端子 64 的高电压引起的电场进行定形，以便防止局部击穿，此局部击穿会降低半导体器件 10 的规定性能。

总之，本发明提供了一种具有垂直栅的半导体器件来提供快速的开关速度和高频性能。底座结构被形成在衬底的顶部表面上。导电材料沿底座结构的侧表面被安置为自对准半导体器件源电极的边沿。介质衬垫沿导电材料的侧表面被形成为自对准源电极的接触区。用单个光掩蔽步骤来形成底座结构，且栅、源、以及源接触被相继自对准于底座结构的侧表面即垂直壁。因此，在晶体管被制作成在衬底底部表面上具有漏端子的垂直功率器件的实施方案中，能够仅仅用包括形成栅接触、金属化、以及钝化层的 4 个光掩蔽步骤来制造此晶体管。可以增加一个或多个掩蔽步骤来形成高电压工作的场终止或顶部表面漏端子，以便构成作为平面器件的晶体管。

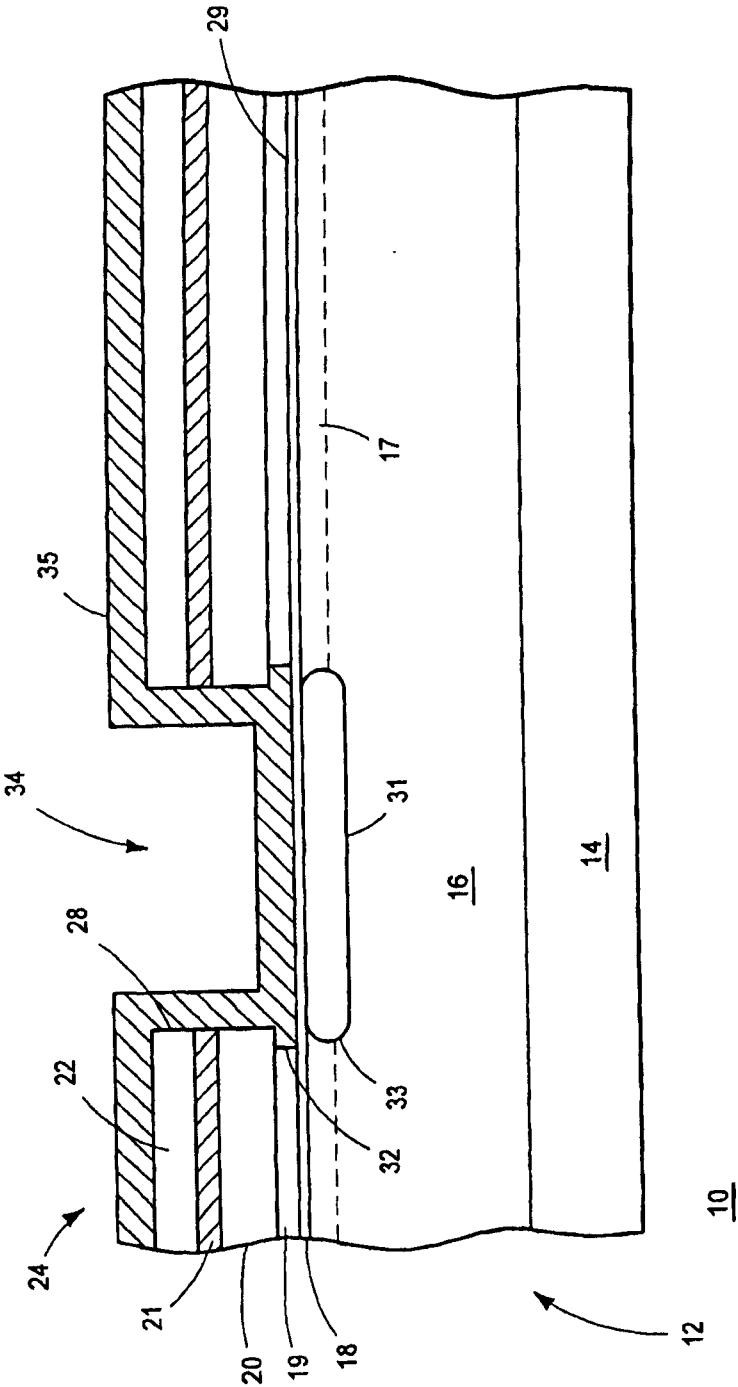


图 1

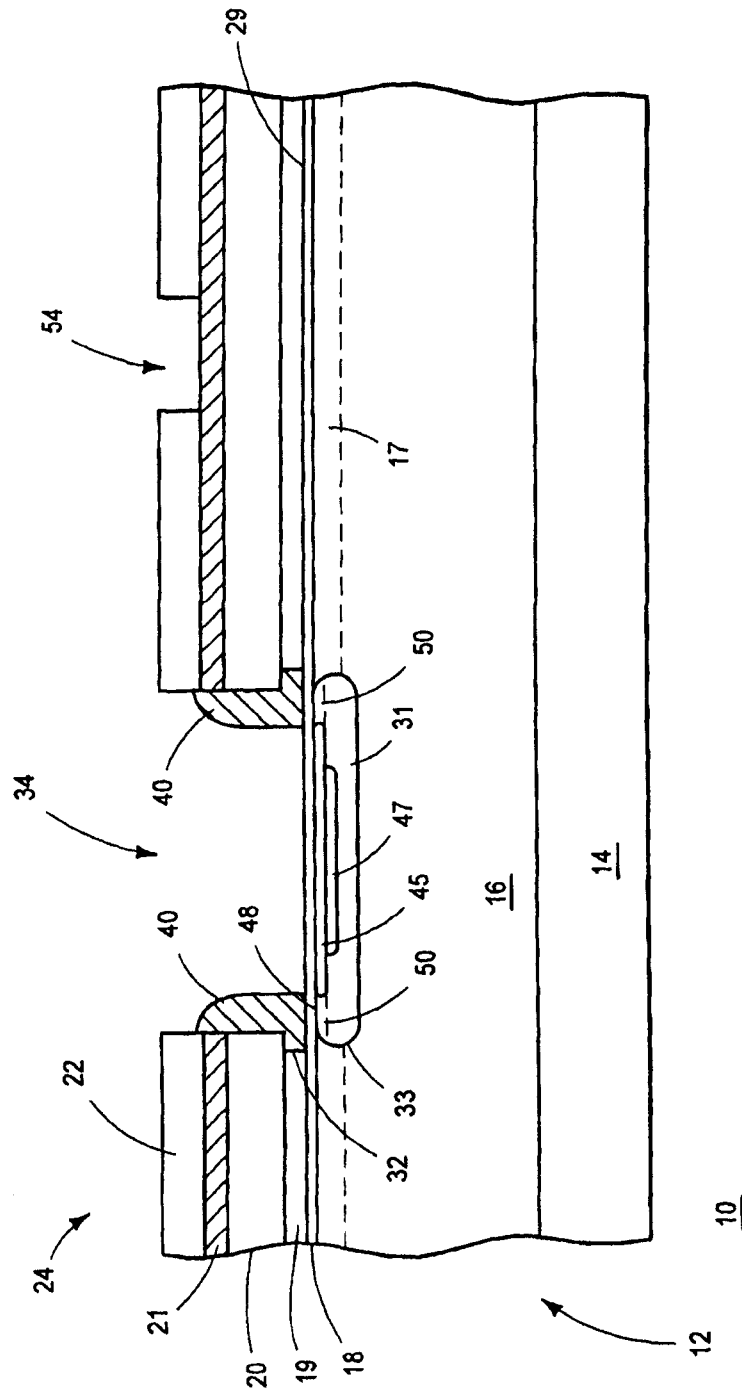


图 2

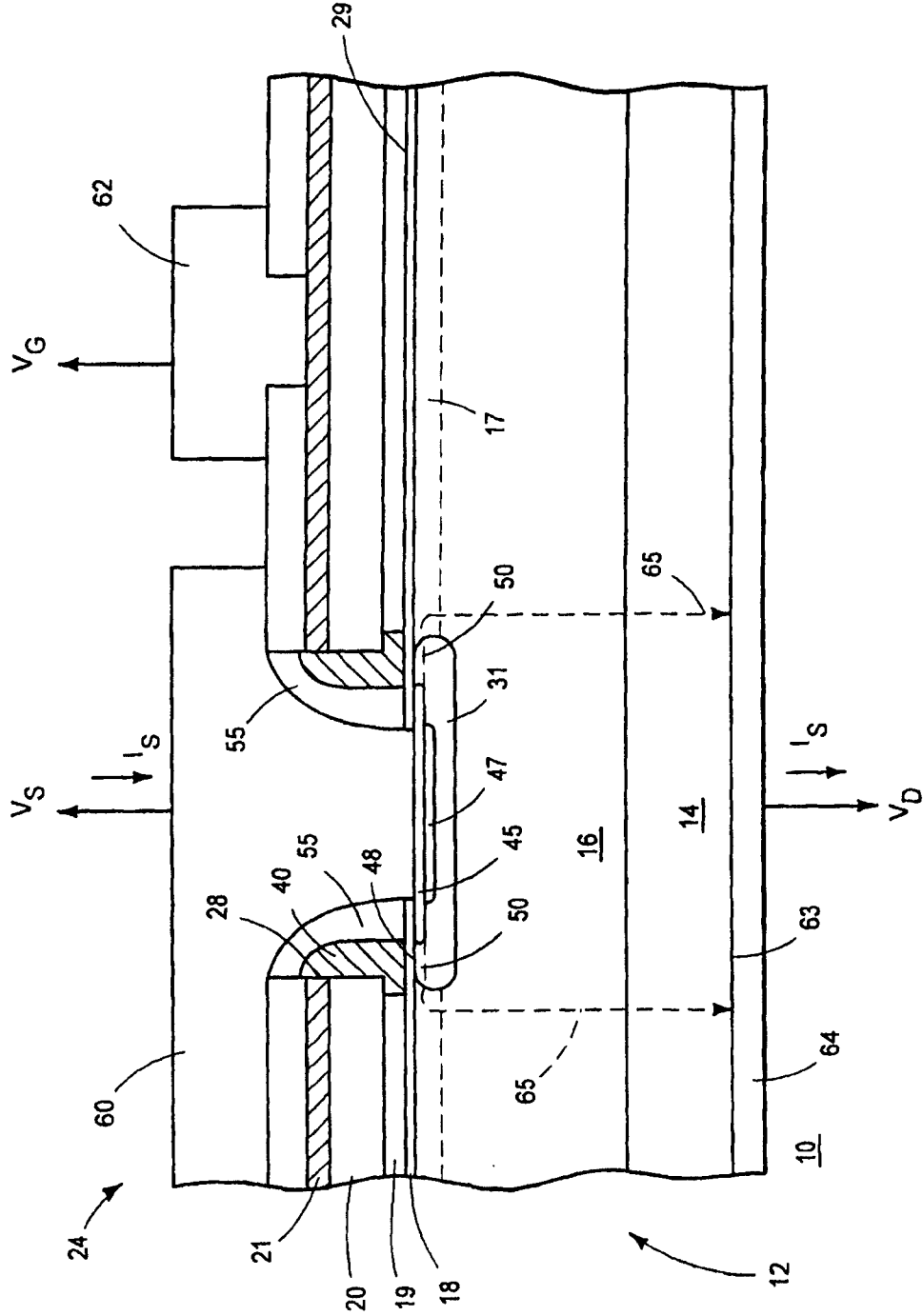


图 4

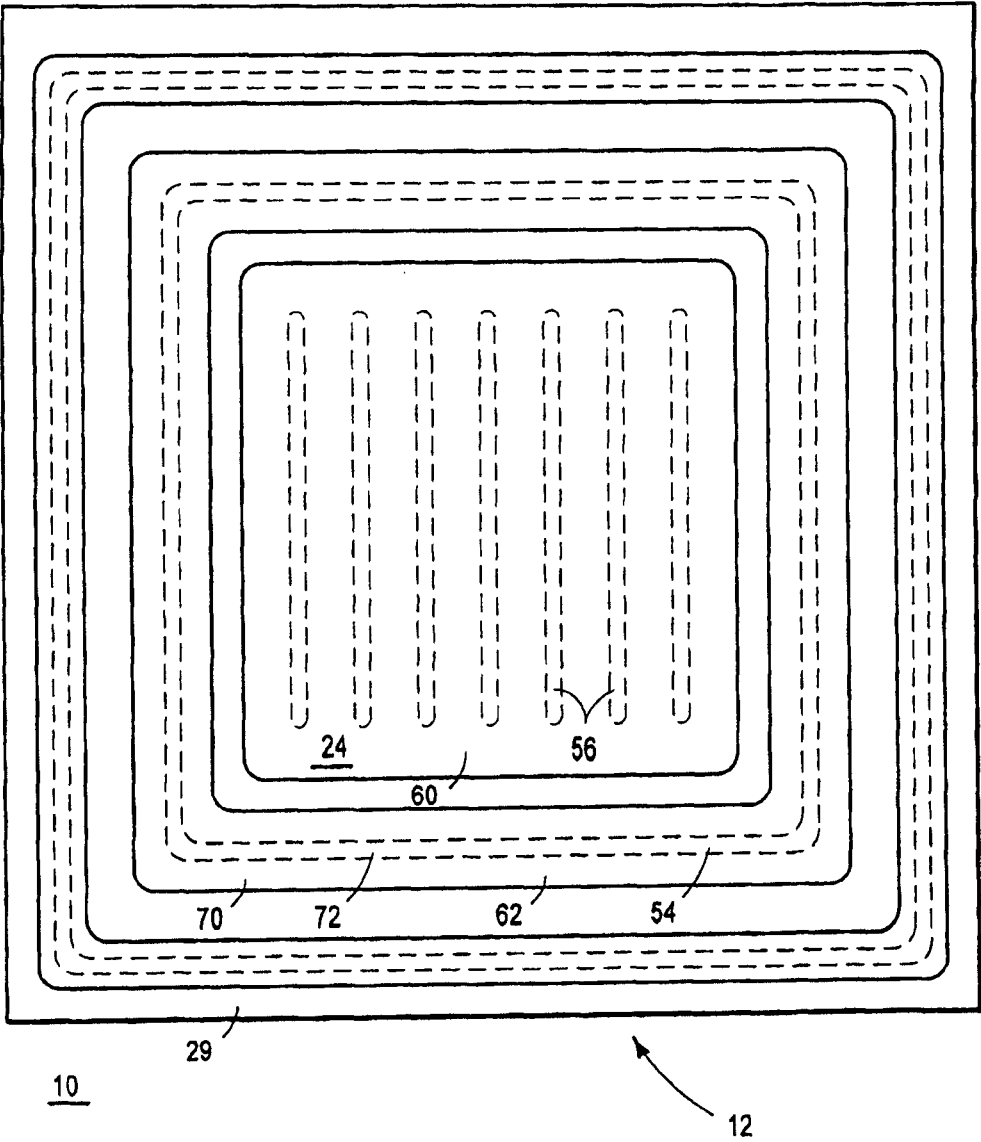


图 5