

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月7日(07.05.2020)



(10) 国際公開番号

WO 2020/090551 A1

(51) 国際特許分類:

G05F 1/56 (2006.01)

(21) 国際出願番号: PCT/JP2019/041354

(22) 国際出願日: 2019年10月21日(21.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-205811 2018年10月31日(31.10.2018) JP

特願 2019-075510 2019年4月11日(11.04.2019) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 田古部 勲 (TAKOBE Isao); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 山口 雄平 (YAMAGUCHI

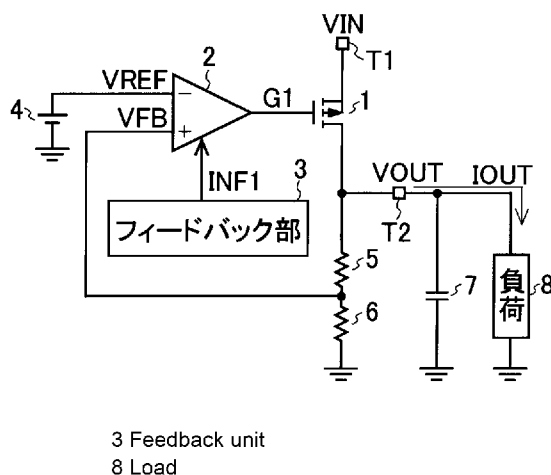
Yuhei); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 渡邊 幸啓 (WATANABE Yukihiro); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 橋口 慎吾 (HASHIGUCHI Shingo); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: LINEAR POWER SUPPLY CIRCUIT

(54) 発明の名称: リニア電源回路



(57) Abstract: A linear power supply circuit according to the present invention is provided with: an output transistor provided between an input end to which an input voltage is applied and an output end to which an output voltage is applied; a driver for driving the output transistor; and a feedback unit for feeding, back to the driver, information about an output electrical current that is output from the output end. The driver drives the output transistor on the basis of the difference between a voltage based on the output voltage and a reference voltage, as well as the information.

(57) 要約: リニア電源回路は、入力電圧が印加される入力端と出力電圧が印加される出力端との間に設けられた出力トランジスタと、前記出力トランジスタを駆動するドライバと、前記出力端から出力される出力電流に関する情報を前記ドライバにフィードバックするフィードバック部と、を備える。前記ドライバは、前記出力電圧に基づく電圧と基準電圧との差、及び、前記情報に基づいて前記出力トランジスタを駆動する。

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称： リニア電源回路

技術分野

[0001] 本発明は、リニア電源回路に関する。

背景技術

[0002] LDO [low drop out] などのリニア電源回路は様々なデバイスの電源手段として用いられている。

[0003] なお、上記に関連する従来技術の一例としては、特許文献1を挙げることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2003-84843号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1で提案されているリニアレギュレータでは、調整出力電圧（リニアレギュレータの出力電圧）に関する情報を増幅器にフィードバックするため、当該増幅器の各所で位相遅れが発生する。そのため、特許文献1で提案されているリニアレギュレータでは、所望の周波数特性を得ることが困難であり、出力コンデンサによる位相補償を補完する位相補償回路の追加、出力コンデンサの大型化等の対策が必要になる。

[0006] 本発明は、上記の状況に鑑み、所望の周波数特性を容易に得ることができるリニア電源回路を提供することを目的とする。

課題を解決するための手段

[0007] 上記目的を達成するために、本発明に係るリニア電源回路は、入力電圧が印加される入力端と出力電圧が印加される出力端との間に設けられた出力トランジスタと、前記出力トランジスタを駆動するドライバと、前記出力端から出力される出力電流に関する情報を前記ドライバにフィードバックするフ

ィードバック部と、を備え、前記ドライバは、前記出力電圧に基づく電圧と基準電圧との差、及び、前記情報に基づいて前記出力トランジスタを駆動する構成（第１の構成）とする。

[0008] また、上記第１の構成であるリニア電源回路において、前記ドライバは、前記出力電圧に基づく電圧と前記基準電圧との差に応じた電圧を出力する差動増幅器を備え、前記フィードバック部は、前記差動増幅器の出力から前記出力端までの第１経路の第１所定位置に前記情報をフィードバックする構成（第２の構成）であってもよい。

[0009] また、上記第２の構成であるリニア電源回路において、前記ドライバは、前記差動増幅器の出力に基づく電圧を電流に変換して出力する変換器と、前記変換器の出力を電流増幅する電流増幅器と、をさらに備え、前記フィードバック部は、前記電流増幅器に前記情報をフィードバックする構成（第３の構成）であってもよい。

[0010] また、上記第３の構成であるリニア電源回路において、前記フィードバック部は、前記電流増幅器の入力から前記出力端までの第２経路の第２所定位置から前記情報を取得し、前記第２所定位置は前記第１所定位置よりも前記出力端側に位置する構成（第４の構成）であってもよい。

[0011] また、上記第４の構成であるリニア電源回路において、前記電流増幅器は、電流シンク型カレントミラー回路と電流ソース型カレントミラー回路とをそれぞれ複数備え、いずれかの前記電流シンク型カレントミラー回路の入力側が前記第１所定位置であり、前記フィードバック部は、前記情報に応じた電流を前記第１所定位置から引き抜き、前記フィードバック部によって前記第１所定位置から引き抜かれる電流と、入力側が前記第１所定位置である前記電流シンク型カレントミラー回路によって前記第１所定位置から引き抜かれる電流との合成電流の最大値は、前記変換器の出力に依存しない構成（第５の構成）であってもよい。

[0012] また、上記第５の構成であるリニア電源回路において、位相補償を行う位相補償部をさらに備え、前記位相補償部は、前記第１所定位置から前記第２

所定位置までの間以外に位置する構成（第 6 の構成）であってもよい。

[0013] また、上記第 2 ～第 6 いずれかの構成であるリニア電源回路において、前記ドライバは、前記差動増幅器の出力が一端に印加されグランド電位が他端に印加される容量をさらに備え、前記差動増幅器の電源電圧が前記出力電圧に基づく電圧である構成（第 7 の構成）であってもよい。

[0014] また、上記第 3 ～第 6 いずれかの構成であるリニア電源回路において、前記ドライバは、前記差動増幅器の出力が一端に印加されグランド電位が他端に印加される容量をさらに備え、前記差動増幅器の電源電圧が前記出力電圧に基づく電圧であり、前記変換器の電源電圧が前記出力電圧に基づく電圧であり、前記電流増幅器の電源電圧が定電圧である構成（第 8 の構成）であってもよい。

[0015] また、上記第 3 ～第 6 いずれかの構成であるリニア電源回路において、前記ドライバは、前記差動増幅器の出力が一端に印加され前記出力電圧に基づく電圧が他端に印加される容量をさらに備え、前記差動増幅器の電源電圧が第 1 定電圧であり、前記電流増幅器の電源電圧が第 2 定電圧である、又は、前記差動増幅器の電源電圧及び前記電流増幅器の電源電圧が前記入力電圧である、のいずれかである構成（第 9 の構成）であってもよい。

[0016] また、上記第 8 又は第 9 の構成であるリニア電源回路において、前記差動増幅器の耐圧は、前記電流増幅器の耐圧より低い構成（第 10 の構成）であってもよい。

[0017] また、上記第 8 ～第 10 いずれかの構成であるリニア電源回路において、前記差動増幅器のゲインは、前記電流増幅器のゲインより小さい構成（第 11 の構成）であってもよい。

[0018] また、上記第 1 の構成であるリニア電源回路において、前記ドライバの出力段がプッシュプル形式である構成（第 12 の構成）であってもよい。

[0019] また、上記第 1 ～第 12 いずれかの構成であるリニア電源回路において、前記フィードバック部は、前記情報を前記ドライバに電流の負帰還させる構成（第 13 の構成）であってもよい。

[0020] また、本発明に係る車両は、上記第１～第１３いずれかの構成であるリニア電源回路を備える構成（第１４の構成）とする。

発明の効果

[0021] 本発明によれば、リニア電源回路において所望の周波数特性を容易に得ることができる。

図面の簡単な説明

- [0022] [図１]一実施形態に係るリニア電源回路の構成を示す図
[図２]図１に示すリニア電源回路の第１構成例を示す図
[図３]電流増幅器及びフィードバック部の一構成例を示す図
[図４]フィードバック部の他の配置例を示す図
[図５]フィードバック部のさらに他の配置例を示す図
[図６Ａ]図１に示すリニア電源回路の第２構成例を示す図
[図６Ｂ]電流増幅器の他の構成例を示す図
[図７Ａ]車両の外観図
[図７Ｂ]電源ＩＣとマイクロコンピュータとの接続状態を示す図
[図８]リニア電源回路の変形例を示す図
[図９]リニア電源回路の他の変形例を示す図

発明を実施するための形態

[0023] ＜１．一実施形態＞

図１は、一実施形態に係るリニア電源回路の構成を示す図である。図１に示すリニア電源回路は、入力端Ｔ１と、出力端Ｔ２と、出力トランジスタ１と、ドライバ２と、フィードバック部３と、基準電圧生成部４と、抵抗５及び６と、を備える。

[0024] 図１に示すリニア電源回路には出力コンデンサ７及び負荷８が外付けされる。具体的には、出力コンデンサ７及び負荷８が外付けで出力端Ｔ２に並列接続される。図１に示すリニア電源回路は、入力電圧 V_{IN} を降圧して出力電圧 V_{OUT} を生成し、出力電圧 V_{OUT} を負荷８に供給する。

[0025] 出力トランジスタ１は、入力電圧 V_{IN} が印加される入力端Ｔ１と出力電

圧 V_{OUT} が印加される出力端 T_2 との間に設けられる。

- [0026] ドライバ2は、出力トランジスタ1を駆動する。具体的には、ドライバ2は、出力トランジスタ1のゲートにゲート信号 G_1 を供給して出力トランジスタ1を駆動する。出力トランジスタ1の導通度（裏を返せばオン抵抗値）はゲート信号 G_1 によって制御される。なお、図1に示す構成では、出力トランジスタ1として、PMOSFET [P-channel type MOSFET] が用いられている。従って、ゲート信号 G_1 が低いほど、出力トランジスタ1の導通度が高くなり、出力電圧 V_{OUT} が上昇する。逆に、ゲート信号 G_1 が高いほど、出力トランジスタ1の導通度が低くなり、出力電圧 V_{OUT} が低下する。ただし、出力トランジスタ1としては、PMOSFETに代えて、NMOSFETを用いてもよいし、バイポーラトランジスタを用いてもよい。
- [0027] フィードバック部3は、出力端 T_2 から出力される出力電流 I_{OUT} に関する情報 INF_1 をドライバ2に電流の負帰還する。
- [0028] 基準電圧生成部4は基準電圧 V_{REF} を生成する。抵抗5及び6は、出力電圧 V_{OUT} の分圧である帰還電圧 V_{FB} を生成する。ただし、出力電圧 V_{OUT} がドライバ2の入力ダイナミックレンジに収まっていれば、抵抗5及び6を設けずに出力電圧 V_{OUT} そのものを帰還電圧 V_{FB} として用い、出力電圧 V_{OUT} をドライバ2に直接入力しても構わない。
- [0029] ドライバ2の非反転入力端（+）に帰還電圧 V_{FB} が印加され、ドライバ2の反転入力端（-）に基準電圧 V_{REF} が印加される。ドライバ2は、帰還電圧 V_{FB} と基準電圧 V_{REF} との差分値 ΔV （ $=V_{FB}-V_{REF}$ ）、及び、情報 INF_1 に基づいて出力トランジスタ1を駆動する。ドライバ2は、差分値 ΔV が大きいほどゲート信号 G_1 を高くし、逆に、差分値 ΔV が小さいほどゲート信号 G_1 を低くする。さらに、ドライバ2は、情報 INF_1 に基づき、出力電流 I_{OUT} が大きいほどゲート信号 G_1 を高くし、逆に、出力電流 I_{OUT} が小さいほどゲート信号 G_1 を低くする。
- [0030] 図1に示すリニア電源回路によると、フィードバック部3が情報 INF_1 を取得した箇所からフィードバック部3が情報 INF_1 をフィードバックし

た箇所までの位相特性が周波数特性に及ぼす影響をフィードバック量によって調整できるので、所望の周波数特性を容易に得ることができる。

[0031] < 2. 第 1 構成例 >

図 2 は、図 1 に示すリニア電源回路の第 1 構成例を示す図である。図 2 において図 1 と同一の部分には同一の符号を付し詳細な説明を省略する。

[0032] 本構成例では、ドライバ 2 は、差動増幅器 21 と、容量 22 と、PMOSFET 23 と、電流増幅器 24 と、PMOSFET 25 と、を備える。

[0033] 差動増幅器 21 は、帰還電圧 V_{FB} と基準電圧 V_{REF} との差に応じた電圧を出力する。差動増幅器 21 の電源電圧は出力電圧 V_{OUT} である。すなわち、差動増幅器 21 は、出力電圧 V_{OUT} とグランド電位との間の電圧で駆動する。なお、差動増幅器 21 の電源電圧として、出力電圧 V_{OUT} の代わりに、出力電圧 V_{OUT} より低い電圧であって出力電圧 V_{OUT} に依存する電圧を用いてもよい。

[0034] 差動増幅器 21 の耐圧は、電流増幅器 24 の耐圧より低い。また差動増幅器 21 のゲインは、電流増幅器 24 のゲインより小さい。これにより、差動増幅器 21 の小型化を図ることができる。

[0035] 容量 22 の一端に差動増幅器 21 の出力が印加され、容量 22 の他端にグランド電位が印加される。

[0036] PMOSFET 23 のソースに出力電圧 V_{OUT} が印加され、PMOSFET 23 のゲートに差動増幅器 21 の出力に基づく電圧（差動増幅器 21 と容量 22 との接続ノード電圧）が印加される。PMOSFET 23 は、差動増幅器 21 の出力に基づく電圧を電流に変換してドレインから出力する。差動増幅器 21 と容量 22 との接続ノードが高周波帯域でグランド接地になるため、ドライバ 2 の高速応答を実現することができる。

[0037] 電流増幅器 24 は、PMOSFET 23 のドレインから出力される電流 I_a を電流増幅する。電流増幅器 24 の電源電圧は定電圧 V_{REG} である。すなわち、電流増幅器 24 は、定電圧 V_{REG} とグランド電位との間の電圧で駆動する。

- [0038] フィードバック部3は、差動増幅器21の出力から出力端T2までの第1経路の第1所定位置に情報INF1をフィードバックする。図2に示す構成例では、フィードバック部3は、電流増幅器24に情報INF1をフィードバックする。したがって、電流増幅器24は、PMOSFET23のドレインから出力される電流I_a、及び、情報INF1に基づく電流I_bを出力する。
- [0039] PMOSFET25は、出力トランジスタ1とともにカレントミラー回路を構成している。PMOSFET25は、電流増幅器24から出力される電流I_bを電圧に変換して出力トランジスタ1のゲートに供給する。
- [0040] 図3は、電流増幅器24及びフィードバック部3の一構成例を示す図である。電流増幅器24は、電流シンク型カレントミラー回路CM__1、CM__2、・・・、及びCM__nと、電流ソース型カレントミラー回路CM__3、・・・、及びCM__n-1（ただしCM__n-1は図3において不図示）と、を備える。電流シンク型カレントミラー回路CM__1及び定電流I₁を流す定電流源CS1と電流シンク型カレントミラー回路CM__nとの間において電流増幅器24の入力から出力に向かって、電流シンク型カレントミラー回路と電流ソース型カレントミラー回路とが交互に配置される。各カレントミラー回路で発生するポールをできるだけ低帯域に寄らないようにするために、各カレントミラー回路のミラー比（入力側トランジスタのサイズに対する出力側トランジスタのサイズ）は5以下であることが好ましい。
- [0041] フィードバック部3として機能するNMOSFET31は、差動増幅器21の入力から出力端T2までの第2経路の第2所定位置から情報INF1を取得する。なお、第2所定位置は上記の第1所定位置よりも出力端T2側に位置する。図3に示す構成例では、NMOSFET31はカレントミラー回路CM__nから情報INF1を取得する。本例では、情報INF1は、電流I_bに関する情報である。PMOSFET25及び出力トランジスタ1によって構成されるカレントミラー回路は、電流I_bに応じた出力電流I_{OUT}を生成しているので、情報INF1は、出力電流I_{OUT}に関する情報であ

る。NMOSFET 31は、情報INF1を電流シンク型カレントミラー回路CM__1と定電流源CS1との接続ノードにフィードバックする。

[0042] 図2及び図3の構成例において、差動増幅器21及びPMOSFET 23によって構成されるトランスコンダクタンスアンプのトランスコンダクタンスを g_m とし、電流増幅器24のゲインを A とし、フィードバック部3による電流帰還率を K とする。PMOSFET 25及び出力トランジスタ1によって構成されるカレントミラー回路のミラー比は1としている。なお、電流帰還率 K はカレントミラー回路CM__nの出力側トランジスタとNMOSFET 31とのサイズ比によって定まる。さらに、帰還電圧 V_{FB} の変動を ΔV_{FB} とし、出力電流 I_{OUT} の変動を ΔI_{OUT} とすると、上記トランスコンダクタンスアンプと電流増幅器24との接続ノードにおいて下記(1)式が成り立つ。

$$A(g_m \Delta V_{FB} - K \Delta I_{OUT}) = I_{OUT} \quad \dots (1)$$

[0043] 上記(1)式を変形すると、次のようになる。

[数1]

$$\Delta V_{FB} = \frac{(K \cdot A + 1)}{A \cdot g_m} \Delta I_{OUT}$$

$A \gg K$ であれば

$$\Delta V_{FB} = \frac{K}{g_m} \Delta I_{OUT}$$

[0044] すなわち、ゲイン A が電流帰還率 K に対して十分大きければ、帰還電圧 V_{FB} の変動 ΔV_{FB} が電流増幅器24及び出力トランジスタ1の位相特性に影響されずに、リニア電源回路の出力に伝わる。出力電流 I_{OUT} の変動 ΔI_{OUT} と、出力コンデンサ7及び負荷8によって構成される並列回路のインピーダンスとの積が出力電圧 V_{OUT} の変動 ΔV_{OUT} になるため、出力コンデンサ7及び負荷8によって構成される並列回路のポールのみで位相補償を完結することができ、出力コンデンサ7の小型化を図ることができる。

[0045] 上記の説明では、ゲイン A を電流帰還率 K に対して十分大きくすることで

、カレントミラー回路CM__1の位相特性を除く電流増幅器24の位相特性がリニア電源回路の周波数特性に及ぼす影響を完全に無くしている。しかしながら、上記の説明とは異なり、電流増幅器24のゲインAをある程度小さくすることで、カレントミラー回路CM__1の位相特性を除く電流増幅器24の位相特性がリニア電源回路の周波数特性に影響を及ぼすことを不完全に抑制するようにしてもよい。

[0046] 図3に示す電流増幅器24及びフィードバック部3は、リニア電源回路の過電流保護回路としても機能する。

[0047] 図3では、電流シンク型カレントミラー回路CM__2の入力側が上記の第1所定位置である。以下、上記の第1所定位置を接続ノードn1と称す。

[0048] フィードバック部3は、情報INF1に応じた電流Ixを接続ノードn1から引き抜く。電流シンク型カレントミラー回路CM__2は、電流シンク型カレントミラー回路CM__2の入力側トランジスタのドレイン電流である電流Iyを接続ノードn1から引き抜く。

[0049] 電流Iaが零であるとき、電流Ixと電流Iyとの合成電流は最大となる。電流Ixと電流Iyとの合成電流の最大値は電流I1と等しい。つまり、下記(2)式が成り立つ。

$$I_x + I_y \leq I_1 \quad \cdots (2)$$

[0050] そして、電流Ix及び電流Iyのいずれも電流Ibに略比例するので、上記(2)式、次のようになる。

$$I_b \leq I_1 / C \quad (Cは定数)$$

[0051] したがって、負荷の状態によって電流Ibが増大しようとしても、電流Ibの増大には制限がかかる。すなわち、電流Ibに対して過電流保護がかかる。

[0052] 上記の第1所定位置は図3に示す位置よりも出力端T2側に位置してもよい。例えば、図4に示す構成例のようにNMOSFET31が情報INF1をカレントミラー回路CM__3とカレントミラー回路CM__4(図4において不図示)との接続ノードにフィードバックしてもよい。なお、図4に示す

構成例では、カレントミラー回路CM__2及びCM__3の位相特性がリニア電源回路の周波数特性に及ぼす影響を電流帰還によって抑制することはできない点に留意して、リニア電源回路の周波数特性を設計するとよい。図4に示す構成例も図3に示す構成例と同様にリニア電源回路の過電流保護回路としても機能する。

[0053] 上記の第2所定位置は図3に示す位置よりも電流増幅器24の入力側に位置してもよい。例えば、図5に示す構成例のようにNMOSFET31が情報INF1をカレントミラー回路CM__n-2から取得してもよい。なお、図5に示す構成例では、カレントミラー回路CM__n-1及びCM__nの位相特性がリニア電源回路の周波数特性に及ぼす影響を電流帰還によって抑制することはできない点に留意して、リニア電源回路の周波数特性を設計するとよい。図5に示す構成例も図3に示す構成例と同様にリニア電源回路の過電流保護回路としても機能する。

[0054] なお、位相補償を行う位相補償部をリニア電源回路が備える場合、上記の第1所定位置から上記の第2所定位置までの間以外に位相補償部を設けるとよい。このような配置により、位相補償部は電流帰還の影響を受けずに所望の位相補償を行うことができる。

[0055] <3. 第2構成例>

図6Aは、図1に示すリニア電源回路の第2構成例を示す図である。図6Aにおいて図1及び図2と同一の部分には同一の符号を付し詳細な説明を省略する。

[0056] 本構成例では、ドライバ2は、差動増幅器21'と、容量22'と、NMOSFET23'と、電流増幅器24と、PMOSFET25と、を備える。

[0057] 差動増幅器21'は、帰還電圧VFBと基準電圧VREFとの差に応じた電圧を出力する。差動増幅器21'の電源電圧は第1定電圧VREG1である。すなわち、差動増幅器21'は、第1定電圧VREG1とグランド電位との間の電圧で駆動する。

- [0058] 差動増幅器 2 1' の耐圧は、電流増幅器 2 4 の耐圧より低い。また差動増幅器 2 1' のゲインは、電流増幅器 2 4 のゲインより小さい。これにより、差動増幅器 2 1' の小型化を図ることができる。
- [0059] 容量 2 2' の一端に差動増幅器 2 1' の出力が印加され、容量 2 2' の他端に出力電圧 V_{OUT} が印加される。なお、出力電圧 V_{OUT} の代わりに、出力電圧 V_{OUT} に依存する電圧を容量 2 2 の他端に印加してもよい。
- [0060] NMOSFET 2 3' のソースにグランド電位が印加され、NMOSFET 2 3' のゲートに差動増幅器 2 1' の出力に基づく電圧（差動増幅器 2 1' と容量 2 2' との接続ノード電圧）が印加される。NMOSFET 2 3' は、差動増幅器 2 1' の出力に基づく電圧を電流に変換してドレインから出力する。差動増幅器 2 1' と容量 2 2' との接続ノードが高周波帯域で出力電圧 V_{OUT} 接地になるため、ドライバ 2 の高速応答を実現することができる。
- [0061] 電流増幅器 2 4 は、NMOSFET 2 3' のドレインから出力される電流 I_a を電流増幅する。電流増幅器 2 4 の電源電圧は第 2 定電圧 V_{REG2} である。すなわち、電流増幅器 2 4 は、第 2 定電圧 V_{REG2} とグランド電位との間の電圧で駆動する。第 1 定電圧 V_{REG1} と第 2 定電圧 V_{REG2} とは同一の値であってもよく、互いに異なる値であってもよい。本構成例では、電流増幅器 2 4 から NMOSFET 2 3' に向かって電流 I_a が流れるので、電流増幅器 2 4 を例えば図 6 B に示す回路構成にすればよい。
- [0062] 図 1 に示すリニア電源回路の第 2 構成例は、図 1 に示すリニア電源回路の第 1 構成例と同様の効果を奏する。また、図 1 に示すリニア電源回路の第 2 構成例は、出力電圧 V_{OUT} の設定値が低い場合でも差動増幅器 2 1' の動作を確保することができる。なお、低電圧を入力電圧 V_{IN} として用いる場合は、第 1 定電圧 V_{REG1} の代わりに入力電圧 V_{IN} を差動増幅器 2 1' の電源電圧として用い、第 2 定電圧 V_{REG2} の代わりに入力電圧 V_{IN} を電流増幅器 2 4 の電源電圧として用いてもよい。
- [0063] < 4. 用途 >

図7Aは、車両Xの外観図である。本構成例の車両Xは、不図示のバッテリーから出力される電圧の供給を受けて動作する種々の電子機器X11～X18を搭載している。なお、本図における電子機器X11～X18の搭載位置は、図示の便宜上、実際とは異なる場合がある。

[0064] 電子機器X11は、エンジンに関連する制御（インジェクション制御、電子スロットル制御、アイドリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など）を行うエンジンコントロールユニットである。

[0065] 電子機器X12は、H I D [high intensity discharged lamp] やD R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

[0066] 電子機器X13は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

[0067] 電子機器X14は、車両Xの運動に関連する制御（A B S [anti-lock brake system] 制御、E P S [electric power steering] 制御、電子サスペンション制御など）を行う制動ユニットである。

[0068] 電子機器X15は、ドアロックや防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

[0069] 電子機器X16は、ワイパー、電動ドアミラー、パワーウィンドウ、ダンパー（ショックアブソーバー）、電動サンルーフ、及び、電動シートなど、標準装備品やメーカーオプション品として、工場出荷段階で車両Xに組み込まれている電子機器である。

[0070] 電子機器X17は、車載A／V [audio/visual] 機器、カーナビゲーションシステム、及び、E T C [electronic toll collection system] など、ユーザオプション品として任意で車両Xに装着される電子機器である。

[0071] 電子機器X18は、車載ブローア、オイルポンプ、ウォーターポンプ、バッテリー冷却ファンなど、高耐圧系モータを備えた電子機器である。

[0072] なお、先に説明したリニア電源回路は、電子機器X11～X18のいずれにも組み込むことが可能である。

[0073] 図7Bは、電源IC（半導体集積回路装置）9とマイクロコンピュータ（負荷）8との接続状態を示す図である。電源IC（半導体集積回路装置）9の外部ピンP1とマイクロコンピュータ（負荷）8の外部ピンP2とが互いに接続されている。外部ピンP1は出力電圧VOUTを外部出力するためのピンであり、外部ピンP2は電源電圧を外部から入力するためのピンである。

[0074] 外部ピンP1及び外部ピンP2には、電源IC（半導体集積回路装置）9及びマイクロコンピュータ（負荷）8の外付け部品である出力コンデンサ7が接続される。電源IC（半導体集積回路装置）9が先に説明したリニア電源回路を備える半導体集積回路装置である場合、出力コンデンサ7の静電容量を例えば100nF程度まで小さくすることができる。

[0075] 一方、電源IC（半導体集積回路装置）9が従来のリニア電源回路を備える半導体集積回路装置である場合、出力コンデンサ7の静電容量を例えば1 μ F程度にする必要があり、その上マイクロコンピュータ（負荷）8の外付け部品として、出力コンデンサ7とは別に100nF程度のコンデンサを外部ピンP1及び外部ピンP2に接続する必要がある。

[0076] したがって、電源IC（半導体集積回路装置）9を先に説明したリニア電源回路を備える半導体集積回路装置にすることで、マイクロコンピュータ（負荷）8の電源に関する設計が容易になる。

[0077] <変形例>

上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

[0078] 上述した第1構成例及び第2構成例は、出力トランジスタ1がカレントミラー回路の一部である構成であったが、例えば図8～図9に示すようにドライバ2の出力段がプッシュプル形式であってもよい。図8に示す構成では、フィードバック部3が出力電流IOUTに応じた電圧V3をドライバ2の出

力 V_2 にフィードバックする。これにより、出力トランジスタ1の寄生容量に起因する低帯域のポールの発生を抑制することができる。図9に示す構成では、PMOSFET3Aと抵抗3BとNMOSFET3Cとによってフィードバック部3が構成され、出力トランジスタ1とともにカレントミラー回路を構成するPMOSFET3Aから出力される電流に比例する電圧によってNMOSFET3Cのドレイン電流が定まる。そして、ドライバ2の出力段の第2トランジスタ（ドライバ2の出力端子とグランド電位との間に設けられるトランジスタ）のゲートからNMOSFET3Cのドレイン電流が引き抜かれる。これにより、出力トランジスタ1の寄生容量に起因する低帯域のポールの発生を抑制することができる。図9に示す構成では、フィードバック部3が出力電流 I_{OUT} に関する情報をドライバ2の出力段にフィードバックしたが、ドライバ2の入力端子から出力段までの間に出力電流 I_{OUT} に関する情報をフィードバックしてもよい。

符号の説明

- [0079]
- 1 出力トランジスタ
 - 2 ドライバ
 - 3 フィードバック部
 - 21、21' 差動増幅器
 - 22、22' 容量
 - 23 PMOSFET（変換器の一例）
 - 23' NMOSFET（変換器の他の例）
 - 24 電流増幅器
 - X 車両

請求の範囲

- [請求項1] 入力電圧が印加される入力端と出力電圧が印加される出力端との間に設けられた出力トランジスタと、
前記出力トランジスタを駆動するドライバと、
前記出力端から出力される出力電流に関する情報を前記ドライバにフィードバックするフィードバック部と、
を備え、
前記ドライバは、前記出力電圧に基づく電圧と基準電圧との差、及び、前記情報に基づいて前記出力トランジスタを駆動する、リニア電源回路。
- [請求項2] 前記ドライバは、前記出力電圧に基づく電圧と前記基準電圧との差に応じた電圧を出力する差動増幅器を備え、
前記フィードバック部は、前記差動増幅器の出力から前記出力端までの第1経路の第1所定位置に前記情報をフィードバックする、請求項1に記載のリニア電源回路。
- [請求項3] 前記ドライバは、前記差動増幅器の出力に基づく電圧を電流に変換して出力する変換器と、前記変換器の出力を電流増幅する電流増幅器と、をさらに備え、
前記フィードバック部は、前記電流増幅器に前記情報をフィードバックする、請求項2に記載のリニア電源回路。
- [請求項4] 前記フィードバック部は、前記電流増幅器の入力から前記出力端までの第2経路の第2所定位置から前記情報を取得し、
前記第2所定位置は前記第1所定位置よりも前記出力端側に位置する、請求項3に記載のリニア電源回路。
- [請求項5] 前記電流増幅器は、電流シンク型カレントミラー回路と電流ソース型カレントミラー回路とをそれぞれ複数備え、
いずれかの前記電流シンク型カレントミラー回路の入力側が前記第1所定位置であり、

前記フィードバック部は、前記情報に応じた電流を前記第 1 所定位置から引き抜き、

前記フィードバック部によって前記第 1 所定位置から引き抜かれる電流と、入力側が前記第 1 所定位置である前記電流シンク型カレントミラー回路によって前記第 1 所定位置から引き抜かれる電流との合成電流の最大値は、前記変換器の出力に依存しない、請求項 4 に記載のリニア電源回路。

[請求項6] 位相補償を行う位相補償部をさらに備え、

前記位相補償部は、前記第 1 所定位置から前記第 2 所定位置までの間以外に位置する、請求項 4 又は請求項 5 に記載のリニア電源回路。

[請求項7] 前記ドライバは、前記差動増幅器の出力が一端に印加されグランド電位が他端に印加される容量をさらに備え、

前記差動増幅器の電源電圧が前記出力電圧に基づく電圧である、請求項 2 ～ 6 のいずれか一項に記載のリニア電源回路。

[請求項8] 前記ドライバは、前記差動増幅器の出力が一端に印加されグランド電位が他端に印加される容量をさらに備え、

前記差動増幅器の電源電圧が前記出力電圧に基づく電圧であり、

前記変換器の電源電圧が前記出力電圧に基づく電圧であり、

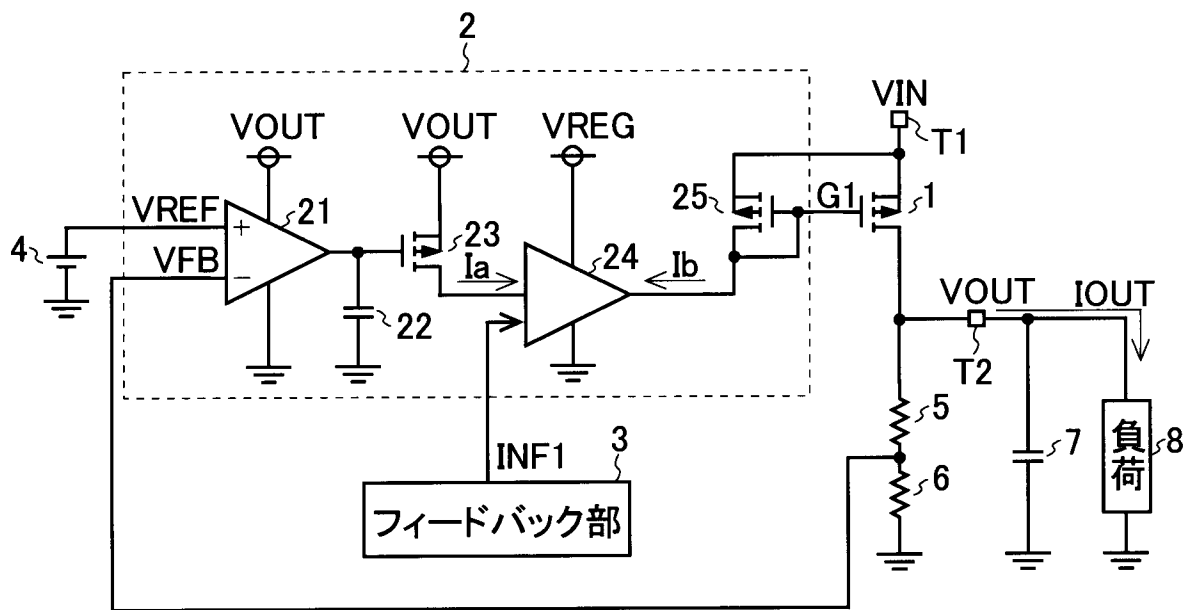
前記電流増幅器の電源電圧が定電圧である、請求項 3 ～ 6 のいずれか一項に記載のリニア電源回路。

[請求項9] 前記ドライバは、前記差動増幅器の出力が一端に印加され前記出力電圧に基づく電圧が他端に印加される容量をさらに備え、

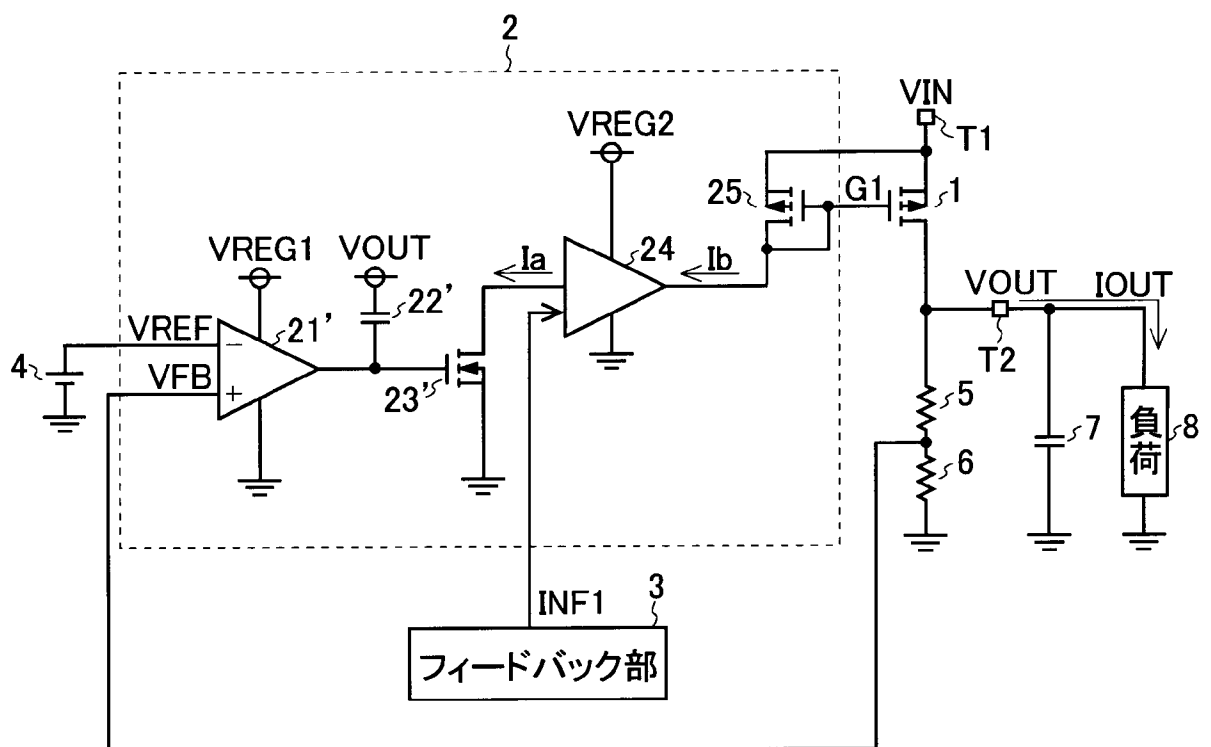
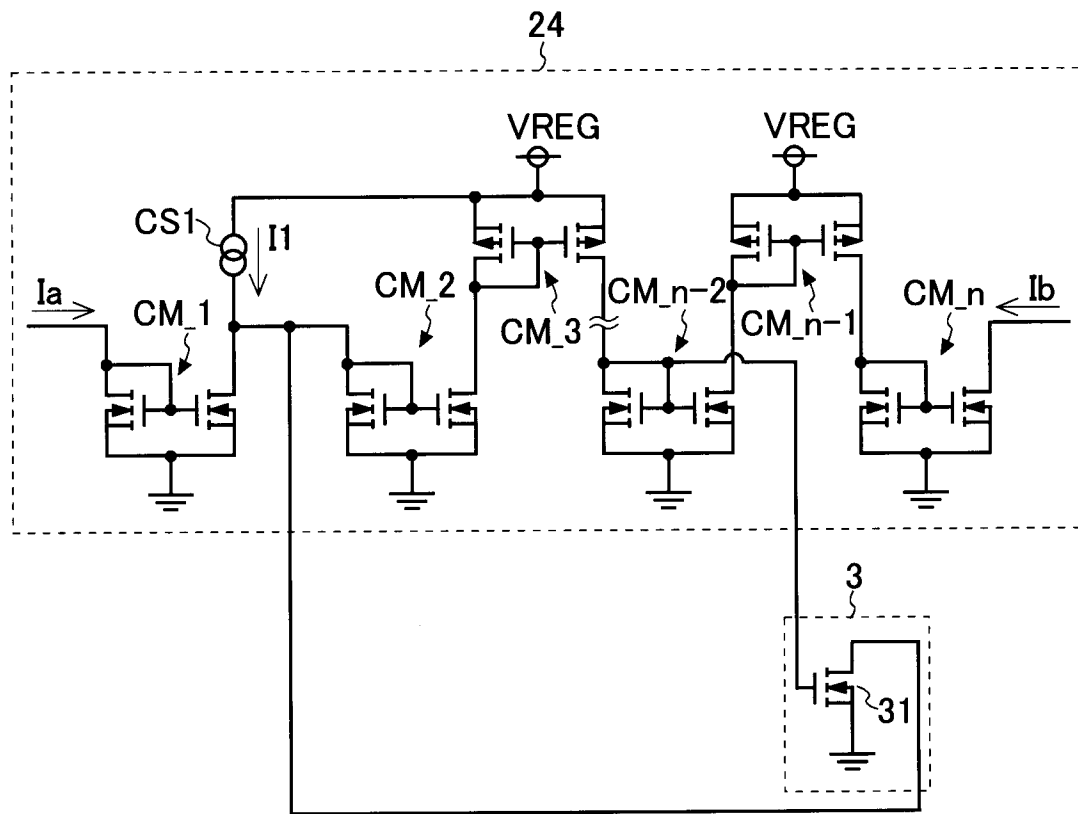
前記差動増幅器の電源電圧が第 1 定電圧であり、前記電流増幅器の電源電圧が第 2 定電圧である、又は、前記差動増幅器の電源電圧及び前記電流増幅器の電源電圧が前記入力電圧である、のいずれかである、請求項 3 ～ 6 のいずれか一項に記載のリニア電源回路。

[請求項10] 前記差動増幅器の耐圧は、前記電流増幅器の耐圧より低い、請求項 8 又は請求項 9 に記載のリニア電源回路。

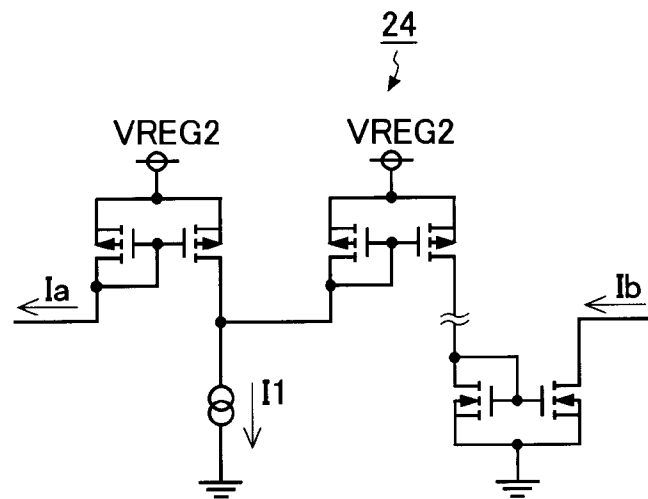
- [請求項11] 前記差動増幅器のゲインは、前記電流増幅器のゲインより小さい、請求項8～10のいずれか一項に記載のリニア電源回路。
- [請求項12] 前記ドライバの出力段がプッシュプル形式である、請求項1に記載のリニア電源回路。
- [請求項13] 前記フィードバック部は、前記情報を前記ドライバに電流の負帰還させる、請求項1～12のいずれか一項に記載のリニア電源回路。
- [請求項14] 請求項1～13のいずれか一項に記載のリニア電源回路を備える、車両。



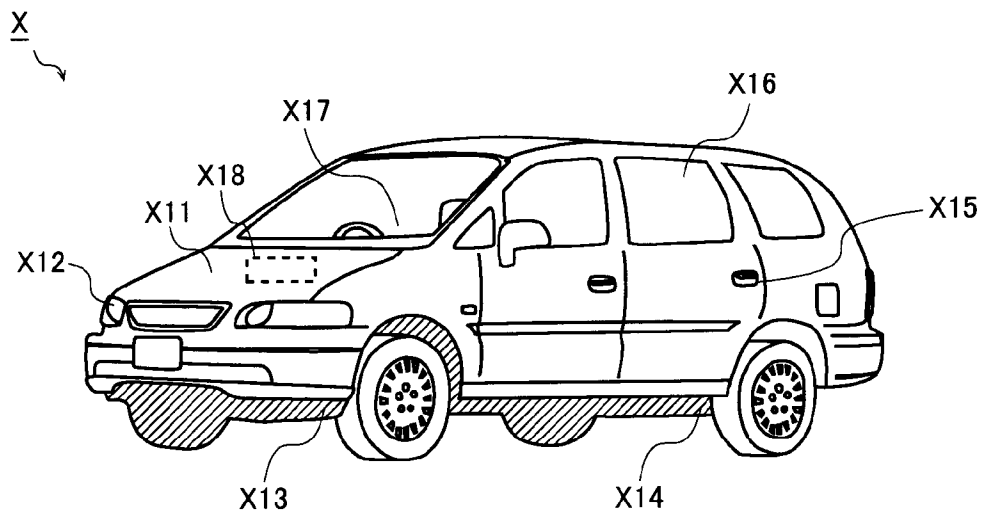
[illegible]



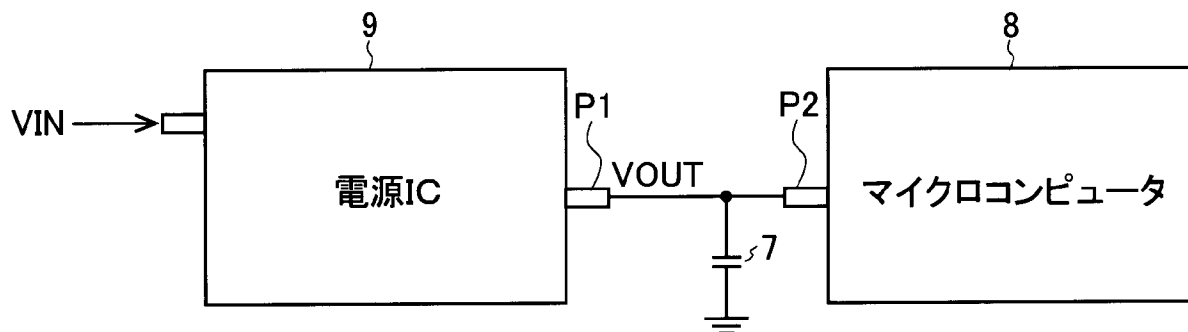
[図6B]



[図7A]



[図7B]



The diagram shows a current source circuit. An operational amplifier (2) has its non-inverting input (+) connected to a reference voltage VREF and its inverting input (-) connected to a feedback voltage VFB. The output of the op-amp (V2) is connected to the gate of a MOSFET (T1). The source of T1 is connected to ground through a resistor (5) and a capacitor (6). The drain of T1 is connected to a load (8) and a feedback network (3) labeled 'フィードバック部'. The feedback network (3) is connected to the inverting input of the op-amp. The output voltage is VOUT and the output current is IOUT. The gate voltage of T1 is V2 and the source voltage is V3. The gate-source voltage is G1 (= V2 - V3). The input voltage is VIN and the input current is IIN.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/041354

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G05F1/56 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2012-53580 A (FUJITSU TEN LTD.) 15 March 2012, abstract, paragraphs [0020]-[0032], fig. 2 (Family: none)	1, 2, 12, 13 14
X	JP 2001-282372 A (SEIKO INSTRUMENTS INC.) 12 October 2001, abstract, paragraphs [0015]-[0025], fig. 1-3 & US 2001/0028240 A1, abstract, paragraphs [0018]-[0026], fig. 1-3 & KR 2001-0095164 A & CN 1320852 A	1, 2



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 December 2019 (19.12.2019)

Date of mailing of the international search report
07 January 2020 (07.01.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/041354

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-149245 A (DENSO CORP.) 24 May 2002, paragraphs [0028]-[0049], fig. 1-4 & US 2002/0057079 A1, paragraphs [0053]-[0080], fig. 6-10	14
A	JP 2013-37469 A (SEIKO INSTRUMENTS INC.) 21 February 2013 & US 2013/0033247 A1 & CN 102915065 A & KR 10-2013-0016083 A	1-14
A	JP 2013-149147 A (TOYOTA MOTOR CORP.) 01 August 2013 (Family: none)	1-14
A	JP 2009-277233 A (RICOH CO., LTD.) 26 November 2009 & CN 101581947 A	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G05F1/56 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2012-53580 A (富士通テン株式会社) 2012.03.15, 【要約】, 【0020】 - 【0032】, 図2 (ファミリーなし)	1, 2, 12, 13 14
X	JP 2001-282372 A (セイコーインスツルメンツ株式会社) 2001.10.12, 【要約】, 【0015】 - 【0025】, 図1-3 & US 2001/0028240 A1, ABSTRACT, [0018]-[0026], figures 1-3 & KR 2001-0095164 A & CN 1320852 A	1, 2

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

19.12.2019

国際調査報告の発送日

07.01.2020

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗栖 正和

5G

3987

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-149245 A (株式会社デンソー) 2002. 05. 24, 【 0 0 2 8 】 - 【 0 0 4 9 】 , 図 1 - 4 & US 2002/0057079 A1, [0053]-[0080], figures 6-10	14
A	JP 2013-37469 A (セイコーインスツル株式会社) 2013. 02. 21, & US 2013/0033247 A1 & CN 102915065 A & KR 10-2013-0016083 A	1-14
A	JP 2013-149147 A (トヨタ自動車株式会社) 2013. 08. 01, (ファミリーなし)	1-14
A	JP 2009-277233 A (株式会社リコー) 2009. 11. 26, & CN 101581947 A	1-14