



(12) 发明专利

(10) 授权公告号 CN 102971754 B

(45) 授权公告日 2016. 06. 22

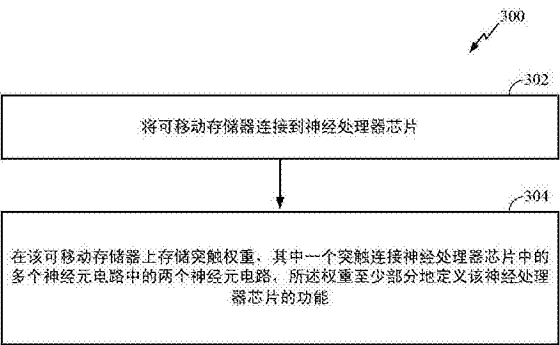
(21) 申请号 201180033657. 2
(22) 申请日 2011. 07. 07
(30) 优先权数据
12/831, 484 2010. 07. 07 US
(85) PCT国际申请进入国家阶段日
2013. 01. 07
(86) PCT国际申请的申请数据
PCT/US2011/043254 2011. 07. 07
(87) PCT国际申请的公布数据
W02012/006468 EN 2012. 01. 12
(73) 专利权人 高通股份有限公司
地址 美国加利福尼亚
(72) 发明人 V·阿帕林
(74) 专利代理机构 永新专利商标代理有限公司
72002
代理人 张立达 王英
(51) Int. Cl.
G06N 3/063(2006. 01)

(56) 对比文件
US 2009/0240642 A1, 2009. 09. 24,
US 2009/0240642 A1, 2009. 09. 24,
US 5299286 A, 1994. 03. 29,
CN 1826594 A, 2006. 08. 30,
W0 2009/113993 A1, 2009. 09. 17,
审查员 王国海

权利要求书2页 说明书7页 附图4页

(54) 发明名称
用于神经处理器中的可替代突触权重存储的方法和系统

(57) 摘要
本发明的某些实施例支持用于将突触权重单独地从神经处理器芯片存储到可替代存储器的技术。该可替代突触存储器给予神经处理器唯一的功能, 并且提高其灵活性以支持多种多样的应用。此外, 该可替代突触存储器可以为使用的存储器类型提供更多的选择, 并可以减少整个神经处理器芯片的面积和实施成本。



1. 一种用于实现神经系统的电子电路,包括:

具有多个神经元电路和至少一个突触的神经处理器芯片,其中所述至少一个突触连接了一对神经元电路;以及

连接到所述神经处理器芯片的、存储所述至少一个突触的权重的可移动存储器,其中所述权重至少部分地定义了所述神经处理器芯片的功能,其中,在所述可移动存储器中存储所述权重之前,所述权重是针对所述一对神经元电路进行了训练的,对进行了训练的权重的值进行复制并且存储在连接到另一个神经处理器芯片的另一个可移动存储器中,并且所述另一个神经处理器芯片至少部分地基于所述权重的值来执行所述神经处理器芯片的所述功能,其中,所述可移动存储器通过与所述可移动存储器分开的接口电路连接到所述神经处理器芯片。

2. 根据权利要求1所述的用于实现神经系统的电子电路,其中:

所述接口电路将所述权重从所述神经处理器芯片运送到所述可移动存储器并且从所述可移动存储器运送到所述神经处理器芯片。

3. 根据权利要求1所述的用于实现神经系统的电子电路,其中,所述神经处理器芯片包括用于存储所述权重中的至少一部分的本地存储器。

4. 根据权利要求1所述的用于实现神经系统的电子电路,其中:

使用相比所述可移动存储器存储了所述权重的不同值的另一个可移动存储器来替代所述可移动存储器,并且

所述权重的值至少部分地定义了所述神经处理器芯片的另一个功能。

5. 根据权利要求1所述的用于实现神经系统的电子电路,其中,所述可移动存储器包括非易失性存储器设备。

6. 一种用于实现神经系统的方法,包括:

将可移动存储器连接到神经处理器芯片;

针对所述神经处理器芯片的多个神经元电路中的两个神经元电路对突触权重进行训练;

在所述可移动存储器上存储进行了训练的突触权重,其中,突触连接了所述神经处理器芯片的所述多个神经元电路中的所述两个神经元电路,并且其中,所述权重至少部分地定义了所述神经处理器芯片的功能;

使用与所述可移动存储器分开的接口电路将所述可移动存储器连接到所述神经处理器芯片;以及

将进行了训练的权重的值复制到连接至另一个神经处理器芯片的另一个可移动存储器上,其中,所述另一个神经处理器芯片至少部分地基于所述权重的值来执行所述神经处理器芯片的功能。

7. 根据权利要求6所述的用于实现神经系统的方法,还包括:

通过所述接口电路,从所述神经处理器芯片向所述可移动存储器传送所述权重并且从所述可移动存储器向所述神经处理器芯片传送所述权重。

8. 根据权利要求6所述的用于实现神经系统的方法,还包括:

在所述神经处理器芯片中的本地存储器上存储所述突触权重中的至少一部分。

9. 根据权利要求6所述的用于实现神经系统的方法,还包括:

使用相比所述可移动存储器存储了所述权重的不同值的另一个可移动存储器来替代所述可移动存储器，

其中，所述权重的值至少部分地定义了所述神经处理器芯片的另一个功能。

10. 根据权利要求6所述的用于实现神经系统的方法，其中，所述可移动存储器包括非易失性存储器设备。

11. 一种用于实现神经系统的装置，包括：

用于将可移动存储器连接到神经处理器芯片的模块；以及

用于针对所述神经处理器芯片的多个神经元电路中的两个神经元电路对突触权重进行训练的模块；

用于在所述可移动存储器上存储进行了训练的突触权重的模块，其中，突触连接了所述神经处理器芯片的所述多个神经元电路中的所述两个神经元电路，并且其中，所述权重至少部分地定义了所述神经处理器芯片的功能；

用于使用与所述可移动存储器分开的接口电路将所述可移动存储器连接到所述神经处理器芯片的模块；以及

用于将进行了训练的权重的值复制到连接至另一个神经处理器芯片的另一个可移动存储器上的模块，其中，所述另一个神经处理器芯片至少部分地基于所述权重的值来执行所述神经处理器芯片的功能。

12. 根据权利要求11所述的用于实现神经系统的装置，还包括：

用于通过所述接口电路，从所述神经处理器芯片向所述可移动存储器传送所述权重并且从所述可移动存储器向所述神经处理器芯片传送所述权重的模块。

13. 根据权利要求11所述的用于实现神经系统的装置，还包括：

用于在所述神经处理器芯片中的本地存储器上存储所述突触权重中的至少一部分的模块。

14. 根据权利要求11所述的用于实现神经系统的装置，还包括：

用于使用相比所述可移动存储器存储了所述权重的不同值的另一个可移动存储器来替代所述可移动存储器的模块，

其中，所述权重的值至少部分地定义了所述神经处理器芯片的另一个功能。

15. 根据权利要求11所述的用于实现神经系统的装置，其中，所述可移动存储器包括非易失性存储器设备。

用于神经处理器中的可替代突触权重存储的方法和系统

技术领域

[0001] 概括地说,本发明的某些实施例涉及神经系统工程,具体地说,本发明的某些实施例涉及用于将突触权重单独地从神经处理器芯片存储到可替代存储器的方法。

背景技术

[0002] 神经处理器的功能取决于对神经元之间的连接的强度进行控制的突触权重。通常,这些突触权重存储在非易失性、片上存储器中,以便在处理器断电之后保持该处理器功能。

[0003] 使该存储器位于与神经处理器同一芯片上,限制了神经处理器功能和灵活性。此外,片上突触存储器限制了对于可以使用的非易失性存储器类型的选择,以及增加了整个芯片的面积和实施成本。

发明内容

[0004] 本发明的某些实施例提供了一种电子电路。该电子电路通常包括:具有多个神经元电路和突触的神经处理器芯片,其中,每一个突触连接了一对所述神经元电路;以及连接到所述神经处理器芯片的、存储所述突触的权重的可移动存储器,其中,所述权重确定了所述神经处理器芯片的功能。

[0005] 本发明的某些实施例提供了一种用于实现神经系统的方法。该方法通常包括:使用可移动存储器来存储突触的权重,其中,每一个突触连接神经处理器芯片的多个神经元电路中的两个神经元电路,并且其中,所述权重确定了所述神经处理器芯片的功能;以及将所述可移动存储器连接到所述神经处理器芯片。

[0006] 本发明的某些实施例提供了一种用于实现神经系统的装置。该装置通常包括:用于使用可移动存储器来存储突触的权重的模块,其中,每一个突触连接了神经处理器芯片的多个神经元电路中的两个神经元电路,并且其中,所述权重确定了所述神经处理器芯片的功能;用于将所述可移动存储器连接到所述神经处理器芯片的模块。

附图说明

[0007] 为了详细地理解本发明的上述各个特征的实现方式,本申请针对上面的简要概括参考一些实施例给出了更具体的描述,这些实施例中的一些在附图中给予了说明。但是,应当注意的是,由于本发明的描述准许其它等同的有效实施例,因此这些附图仅仅描绘了本发明的某些典型实施例,其不应被认为限制本发明的保护范围。

[0008] 图1根据本发明的某些实施例描绘了一种示例性神经系统。

[0009] 图2根据本发明的某些实施例,描绘了与外部突触权重存储器接口的神经处理器的示例。

[0010] 图3A根据本发明的某些实施例,描绘了用于在神经处理器之外实现突触权重存储器的示例操作。

[0011] 图3B描绘了能够执行图3A中所示的操作的示例性组件。

[0012] 图4根据本发明的某些实施例,描绘了可以用于实现外部突触权重存储器的非易失性存储器的示例。

具体实施方式

[0013] 下面结合附图更全面地描述本发明的各个实施例。但是,本发明可以以多种不同的形式实现,并且其不应被解释为受限于贯穿本发明给出的任何特定结构或功能。相反,提供这些实施例只是使得本发明变得透彻和完整,并将向本领域的普通技术人员完整地传达本发明的保护范围。根据本申请内容,本领域普通技术人员应当理解的是,本发明的保护范围旨在覆盖本申请所公开内容的任何实施例,无论其是独立实现的还是结合本发明的任何其它实施例实现的。例如,使用本申请阐述的任意数量的实施例可以实现装置或可以实现方法。此外,本发明的保护范围旨在覆盖这种装置或方法,这种装置或方法可以通过使用其它结构、功能、或者除本申请阐述的本发明的各个实施例的结构和功能或不同于本申请阐述的本发明的各个实施例的结构和功能来实现。应当理解的是,本申请所公开内容的任何实施例可以通过本发明的一个或多个组成部分来体现。

[0014] 本申请使用的“示例性的”一词意味着“用作例子、例证或说明”。本申请中描述为“示例性”的任何实施例不应被解释为比其它实施例更优选或更具优势。

[0015] 虽然本申请描述了一些特定的实施例,但是这些实施例的多种变型和排列也落入本发明的保护范围之内。虽然提及了优选的实施例的一些利益和优点,但是本发明的保护范围并不受到特定的利益、用途或对象的限制。相反,本发明的实施例旨在广泛地适用于不同的技术、系统配置、网络和协议,其中的一些通过示例的方式在附图和优选实施例的下文描述中进行了说明。说明书和附图仅仅是对本发明的说明而不是限制,本发明的保护范围由所附权利要求书及其等同物进行界定。

[0016] 示例性神经系统

[0017] 图1根据本发明的某些实施例,描绘了具有多层神经元的示例性神经系统100。神经系统100可以包括通过突触连接的网络104连接到另一层的神经元106的一层神经元102。为了简单起见,在图1中仅示出了两层的神经元,但在典型的神经系统中可以存在更多层的神经元。

[0018] 如图1中所示,层102中的每一个神经元可以接收由前一层(图1中没有示出)的多个神经元所生成的输入信号108。信号108可以表示层102神经元的输入电流。该电流可以在神经元膜上累积,以便对膜电位进行充电。当膜电位达到其门限电平时,神经元可以激发(fire),并且生成要向下一层的神经元(例如,层106)传送的输出尖峰(spike)。

[0019] 可以通过突触连接的网络(或者简单的“突触”)104,实现尖峰从一个层的神经元向另一层的神经元的传送,如图1中所示。突触104可以从层102神经元接收输出信号(即,尖峰),根据可调整的突触权重 $w_1^{(i,i+1)}, \dots, w_P^{(i,i+1)}$ (其中P是层102和106的神经元之间的突触连接的全部数量)对这些信号进行调整,并将调整后的信号作为层106神经元的输入信号进行组合。层106中的每一个神经元可以基于相应的组合的输入信号来产生输出尖峰110。随后,可以使用突触连接的另一个网络(图1中没有示出)将输出尖峰110传送到另一层的神

神经元。

[0020] 神经系统100可以通过神经处理器进行模拟仿真,并用于很大范围的应用之中,例如,模式识别、机器学习和运动控制。可以将神经系统100的每一个神经元实现成神经处理器芯片中的一个神经元电路。可以在作为电容的神经元电路中实现用于充电到门限电平以发起输出尖峰的神经元膜,其中电容对流经其的电流进行累积。为了充分减少神经元电路的面积,可以将具有纳米特征大小的忆阻器(memristor)元件作为替代电容的积分器件来使用。通过应用该方法,非常大规模的神经系统硬件的有效实施可能是可行的。

[0021] 模拟仿真神经系统100的神经处理器的功能可以取决于突触连接的权重,其中该权重可以控制神经元之间的连接的强度。可以将突触权重存储在非易失性存储器中,以便在处理器断电之后保持其功能。但是,使该存储器与神经处理器位于同一芯片上,可能限制了处理器功能和灵活性。此外,片上突触存储器可能限制了对于正在使用的非易失性存储器类型的选择,并且可能增加了整个芯片的面积和实施成本。

[0022] 本发明的某些实施例支持在与主神经处理器芯片分开的外部芯片上实现突触权重存储器。可以独立于神经处理器芯片,将突触权重存储器单独地封装成可替代的可移动存储器。这可以向神经处理器提供不同的功能,其中具体的功能可以是基于当前连接到该神经处理器的可移动存储器中存储的突触权重。

[0023] 具有外部突触存储器的示例性神经形态体系结构

[0024] 图2根据本发明的某些实施例,描绘了神经形态体系结构200的示例。可以将突触存储器206实现成单独的和外部的可移动存储器,其可以通过接口电路204连接到神经处理器202。神经处理器202可以模拟仿真图1中所示的神经系统100。其可以包括很大数量的神经元电路和突触连接。接口204可以包括连接神经处理器芯片202和外部突触可移动存储器206的总线。可以将该接口总线设计为运送两个方向上的突触权重数据,以及诸如“存储器写”、“存储器读”和“地址”之类的命令。

[0025] 为了支持神经系统工程应用,神经处理器202可能通常例如包括,每一神经元具有大约100个突触的大约10,000个神经元电路,这使神经处理器202中的突触的全部数量达到近似 10^6 。每一个突触连接的强度可以与根据期望的精度来使用某个数量的比特所表示的权重相关联。一般情况下,每一突触权重可能需要多达十比特,以便为多种多样的应用提供足够的精度。例如,如果使用十比特来表示每一权重,则对于具有近似 10^6 个突触的神经处理器来说,可能需要近似10M比特的存储器来存储突触权重。

[0026] 在最近的未来期望充分地增加神经处理器中的神经元和突触的数量,以便支持甚至更复杂的神经系统工程应用。所需要的突触权重存储器的大小可以与10M比特相比更大。将较大的突触存储器实现成神经处理器之外的可移动存储器,可以提供神经处理器和突触存储器的更高效管芯(die)使用。此外,可以根据这些单独的芯片的需要来唯一地调整神经处理器和存储器的制造过程,以便提供更佳的性能和更低的成本。

[0027] 如上所述,神经处理器202的功能可以取决于神经元电路之间的突触连接的权重。为了神经处理器202能够执行特定的应用,可能需要首先在该神经处理器中执行突触权重的训练。在该训练过程期间,可以通过接口204对突触权重进行存储并且装载到外部存储器206/从外部存储器206装载。一旦完成了学习过程,则可以将所有进行了训练的突触权重完全地存储到外部存储器芯片206。

[0028] 对于多种应用来说,神经处理器中的权重训练过程的持续时间可以持续较长的时间。但是,一旦将进行了训练的突触权重完全地存储在外部可移动存储器206中,则可以快速地将它们复制到另一个可移动存储器上。用此方式,可以简单地将神经处理器202的功能从一个存储器芯片“克隆”到另一个。随后,可以完全地避免在另一个神经处理器芯片中进行该耗费时间和功率的权重训练过程,并且其它神经处理器芯片可能能够在无需执行该权重训练的情况下,执行与神经处理器202相同的功能。

[0029] 在本发明公开内容的一个实施例中,可以将外部存储器206实现成可替代的可移动存储器。相同的神经处理器202根据连接到其的突触可移动存储器,可以具有不同的功能。可替代的可移动存储器可以在用户之间共享,并且可以在不同的可移动存储器中存储不同功能(即,相同突触的不同权重值)的库。可以完全独立于神经处理器202来设计这些具有不同功能的突触可移动存储器。

[0030] 在本发明公开内容的另一个实施例中,可以在神经处理器芯片202中实现具有临时数据(例如,具有突触权重中的一部分)的本地工作存储器,以提供更快速的处理器操作。在前述的权重训练过程期间,也可以使用本地存储器。另一方面,包括所有进行了训练的突触权重(它们用于完全地确定处理器功能)的永久性存储器可以在外部并实现成单独的存储器芯片306。

[0031] 图3A根据本发明的某些实施例,描绘了用于在神经处理器芯片的外部实现突触可移动存储器的示例操作300。在302,可以将可移动存储器连接到神经处理器芯片。在304,该可移动存储器可以用于存储突触权重,其中每一个突触可以连接该神经处理器芯片的多个神经元电路中的两个神经元电路,并且其中,这些权重可以至少部分地定义该神经处理器芯片的功能。

[0032] 神经处理器和突触存储器芯片的示例性实现

[0033] 在下面文本中给出了与神经处理器芯片202和外部的突触存储器芯片206有关的实现细节。这些实现估计是基于神经处理器202包括近似 10^4 个神经元,以用于支持各种今天的神经系统应用的示例性情况。

[0034] 如果将忆阻器元件使用成替代电容的积分器件以模仿神经元膜的话,则对于今天的互补金属氧化物半导体(CMOS)技术来说,一个神经元电路的实现面积可能具有 $32 \times 32 \mu\text{m}^2$ 的量级。该神经元电路实现可以对于神经处理器芯片202中的所有神经元导致近似 10mm^2 的面积成本。

[0035] 一般情况下,每一神经元可能存在大约100个突触,其对于包括 10^4 个神经元电路的示例性处理器来说,可能对应于近似 10^6 个突触。如果每一个突触是基于纳米特征大小的忆阻器元件来实现的话,则对于今天的CMOS技术来说,每一突触的实现面积可能具有 $10 \times 10 \mu\text{m}^2$ 的量级。对于包括 10^4 个神经元电路的示例性神经处理器202中的所有突触来说,这可以导致近似 100mm^2 的面积成本。因此,神经处理器芯片202的全部芯片面积可以近似等于 110mm^2 (例如, $10.5\text{mm} \times 10.5\text{mm}$ 的芯片面积)。

[0036] 神经元的最快速激发速率可以等于每5ms一个尖峰。所有神经元的大约10%的最大值(或者在该示例性情况下,近似1000个神经元电路)可以在任何给定的5ms时间周期中同时地发起尖峰。因此,可能需要每5ms通过接口204将最大数为 10^5 个的突触权重从突触权重存储器206读取到神经处理器202中。换言之,如果一次只能从外部存储器206向神经处理

器202装载一个突触权重的话,则可能需要每50ns读取一个突触权重。

[0037] 另一方面,可以基于报答(reward)信号到达时可能需要更新的符合条件的突触的数量,来确定存储器写时间。在最坏情况下,存储器写时间可以等于存储器读时间。如上所述,可能通常需要突触存储器芯片206存储近似 10^6 个突触权重。如果每一突触权重使用例如六比特,则可能需要总共6M比特的存储器容量。

[0038] 磁阻随机存取存储器(MRAM)和电阻随机存取存储器(RRAM)表示今天的最快速的非易失性存储器。这些存储器可以允许小于10ns的读/写时间,以及大于6M或者10M比特的容量,这使它们适合用作为外部突触权重存储器。

[0039] 图4根据本发明的某些实施例,描绘了具有可以用于外部突触存储器206的非易失性存储器的示例的图400。非易失性存储器类型的多种选项包括:闪存(flash)、铁电体(ferroelectric)、磁性隧道连接(magnetic tunnel junction)、自旋转移力矩(spin-transfer torque)装置、相变存储器、电阻/忆阻开关等等。所有这些选项都表示外部突触存储器206的可能候选者。

[0040] 图400的一部分402可以与本地工作的片上存储器的操作区域相对应,其可以存储突触权重的一部分以用于快速的处理器操作。可以从图4中观测到,铁电随机存取存储器(FeRAM)、磁阻随机存取存储器(MRAM)、静态随机存取存储器(SRAM)、动态随机存取存储器(DRAM)和相变随机存取存储器(PRAM)可以表示用于工作的片上存储器的可能候选者。另一方面,如图4中所示,对于作为本地片上工作的存储器使用来说,电阻随机存取存储器(RRAM)可能太大和太昂贵。

[0041] 应当注意,PRAM、FeRAM和MRAM存储器都是不需要在写入操作之前对数据进行擦除的非易失性存储器。但是,RRAM存储器是需要进行擦除的非易失性存储器。另一方面,DRAM和SRAM表示易失性存储器的示例。

[0042] 图400的一部分404可以与用于存储所有突触权重的外部存储器的操作区域相对应,其中这些突触权重与同外部存储器交互的神经处理器执行的应用相关联。可以从图4中观测到,NAND闪存、NOR闪存和PRAM可以是该外部突触存储器的可能选项。虽然NAND闪存和NOR闪存是需要进行擦除的非易失性存储器,但PRAM是不需要在写入之前进行擦除的非易失性RAM的示例。

[0043] 上文所述方法的各种操作可以由能够执行相应功能的任何适当单元来执行。这些单元可以包括各种硬件和/或软件组件和/或模块,其包括但不限于:电路、专用集成电路(ASIC)或者处理器。通常,在附图中示出有操作的地方,这些操作具有相对应的配对的具有相似编号的功能模块组件。例如,图3A中示出的操作300与图3B中示出的组件300A、302A和304A相对应。

[0044] 如本申请所使用的,术语“确定”涵盖很多种动作。例如,“确定”可以包括计算、运算、处理、推导、研究、查询(例如,查询表、数据库或其它数据结构)、断定等等。此外,“确定”还可以包括接收(例如,接收信息)、存取(例如,存取存储器中的数据)等等。此外,“确定”还可以包括解析、选定、选择、建立等等。

[0045] 如本申请所使用的,指代一个列表项“中的至少一个”的短语是指这些项的任意组合,其包括单数成员。举例而言,“a、b或c中的至少一个”旨在覆盖:a、b、c、a-b、a-c、b-c和a-b-c。

[0046] 用于执行本申请所述功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列信号(FPGA)或其它可编程逻辑器件(PLD)、分立门或者晶体管逻辑器件、分立硬件组件或者其任意组合,可以实现或执行结合本申请所公开内容描述的各种示例性的逻辑框图、模块和电路。通用处理器可以是微处理器,或者,该处理器也可以是任何商业可用处理器、控制器、微控制器或者状态机。处理器还可以实现为计算设备的组合,例如,DSP和微处理器的组合、多个微处理器、一个或多个微处理器与DSP内核的结合,或者任何其它此种结构。

[0047] 结合本申请所公开内容描述的方法的步骤或者算法可直接体现在硬件、由处理器执行的软件模块或二者组合中。软件模块可以位于本领域已知的任何形式的存储介质中。可以使用的一些示例性存储介质包括:随机存取存储器(RAM)、只读存储器(ROM)、闪存、EPROM存储器、EEPROM存储器、寄存器、硬盘、移动磁盘、CD-ROM等等。软件模块可以包括单一指令或多个指令,并且可以分布在不同的代码段上、分布在不同的程序中和分布在多个存储介质中。存储介质可以耦接至处理器,从而使处理器能够从该存储介质读取信息,且可向该存储介质写入信息。或者,存储介质也可以是处理器的组成部分。

[0048] 本申请所公开方法包括实现所述方法的一个或多个步骤或动作。在不脱离本发明保护范围的基础上,这些方法步骤和/或动作可以相互交换。换言之,除非指定特定顺序的步骤或动作,否则在不脱离本发明保护范围的基础上,可以修改特定步骤和/或动作的顺序和/或使用。

[0049] 本申请所述功能可以用硬件、软件、固件或其任意组合来实现。当使用软件实现时,可以将这些功能作为一个或多个指令存储在计算机可读介质中。存储介质可以是计算机能够存取的任何可用介质。通过示例的方式而不是限制的方式,这种计算机可读介质可以包括RAM、ROM、EEPROM、CD-ROM或其它光盘存储、磁盘存储介质或其它磁存储设备、或者能够用于携带或存储具有指令或数据结构形式的期望的程序代码并能够由计算机进行存取的任何其它介质。如本申请所使用的,盘(disk)和碟(disc)包括压缩光碟(CD)、激光影碟、光碟、数字通用光碟(DVD)、软盘和蓝光[®]光碟,其中盘通常磁性地复制数据,而碟则用激光来光学地复制数据。

[0050] 因此,本发明的某些实施例包括用于执行本申请所示的操作的计算机程序产品。例如,这种计算机程序产品可以包括在其上有存储(和/或编码的)的指令的计算机可读介质,可以由一个或多个处理器执行这些指令以实现本申请所描述的这些操作。对于某些实施例而言,计算机程序产品可以包括封装材料。

[0051] 此外,软件或指令还可以在传输介质上进行传输。例如,如果软件是使用同轴电缆、光纤光缆、双绞线、数字用户线(DSL)或者诸如红外线、无线和微波之类的无线技术从网站、服务器或其它远程源传输的,那么同轴电缆、光纤光缆、双绞线、DSL或者诸如红外线、无线和微波之类的无线技术包括在传输介质的定义中。

[0052] 此外,应当理解的是,用于执行本申请所述方法和技术的模块和/或其它适当单元可以通过用户终端和/或基站按需地进行下载和/或获得。例如,这种设备可以耦接至服务器,以便有助于实现传送执行本申请所述方法的单元。或者,本申请所述的各种方法可以通过存储单元(例如,RAM、ROM、诸如压缩光盘(CD)或软盘之类的物理存储介质等等)来提供,使得用户终端和/或基站将存储单元耦接至或提供给该设备时,可以获得各种方法。此外,

还可以使用向设备提供本申请所述方法和技术的任何其它适当技术。

[0053] 应当理解的是,本发明并不受限于上文示出的精确配置和组件。在不脱离本发明保护范围基础上,可以对上文所述方法和装置的排列、操作和细节做出各种修改、改变和变化。

[0054] 虽然上述内容是针对于本发明的一些实施例,但可以在不脱离本发明的基本范围的基础上,设计出本发明的其它和另外实施例,并且本发明的保护范围由所附的权利要求进行界定。

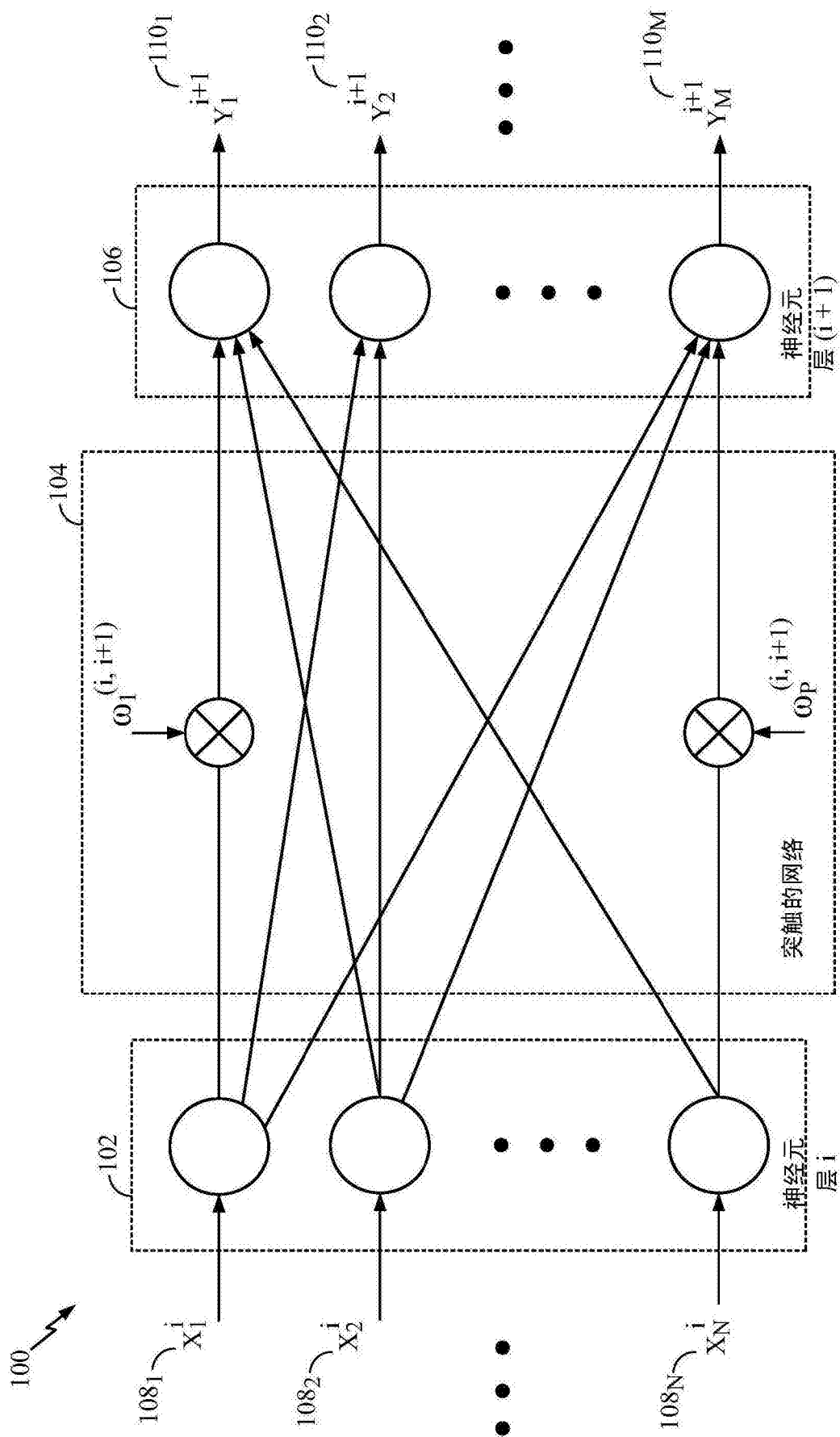


图1

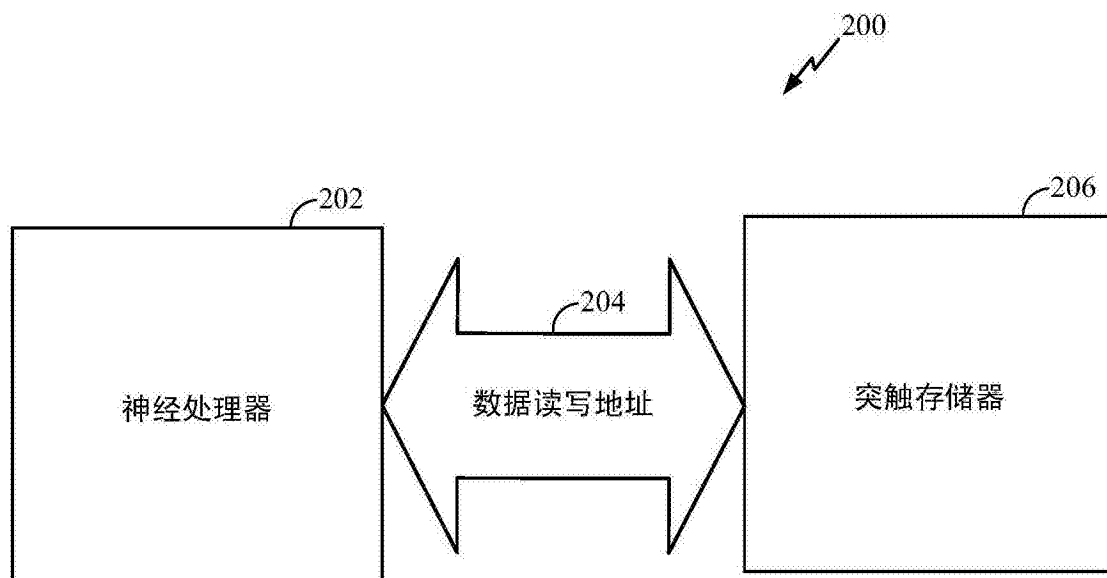


图2

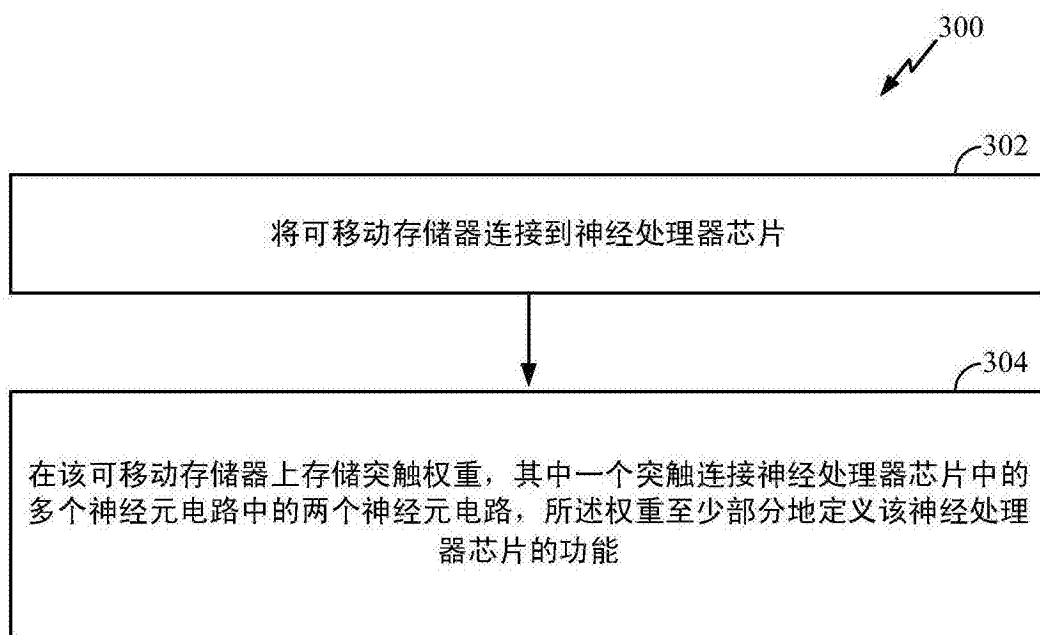


图3A

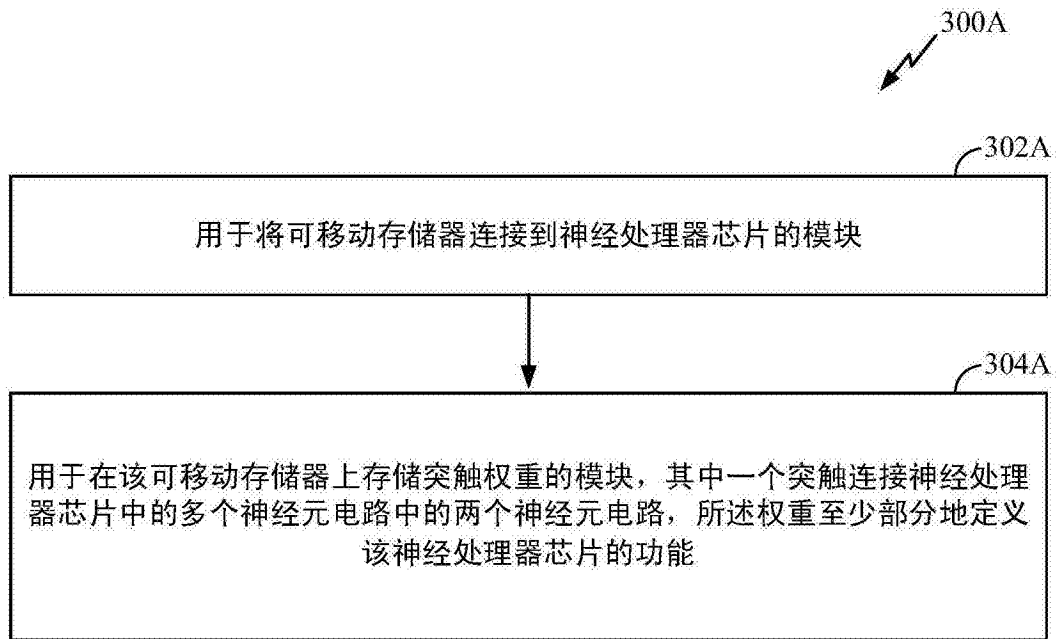


图3B

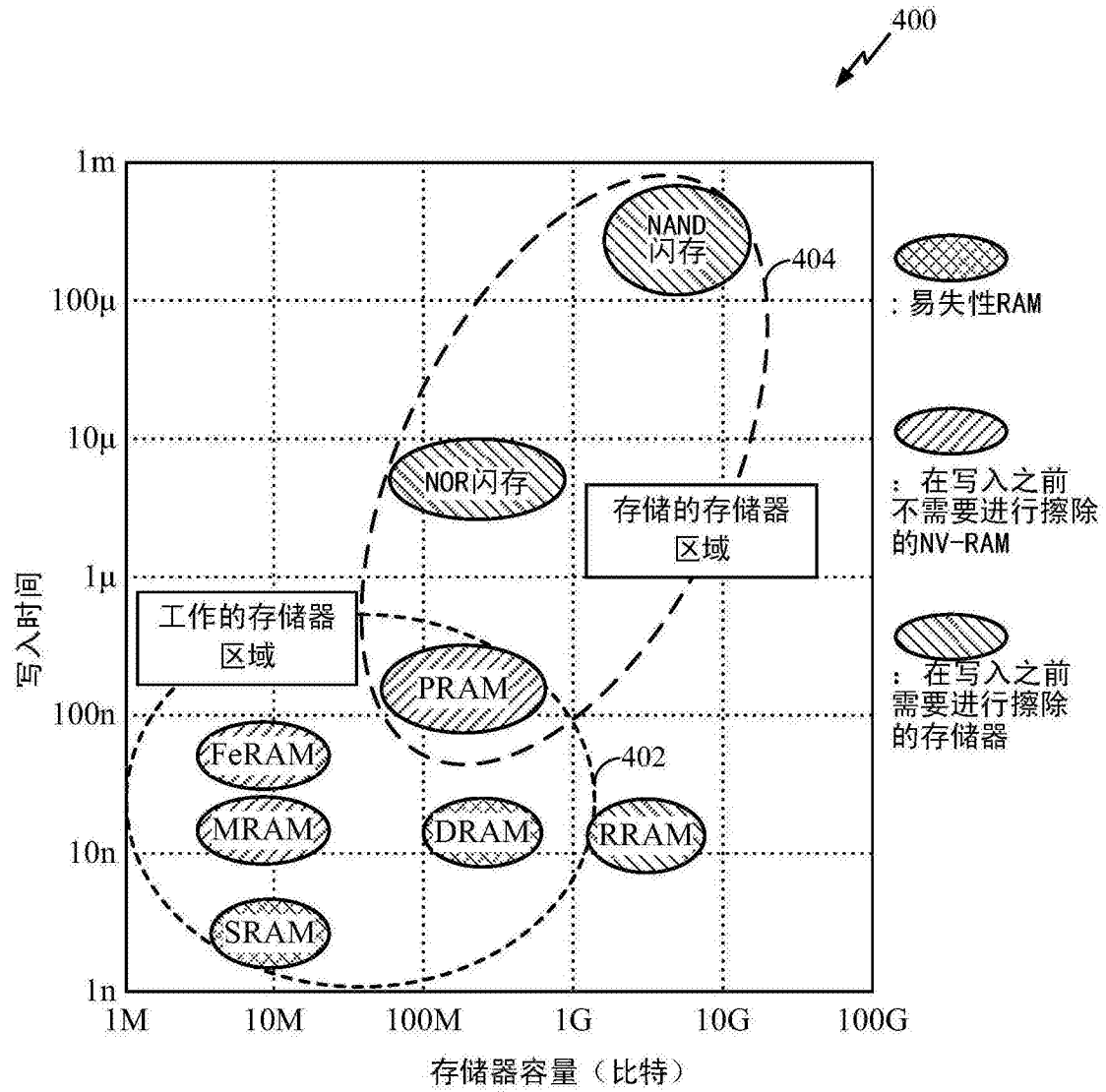


图4