

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7577895号
(P7577895)

(45)発行日 令和6年11月5日(2024.11.5)

(24)登録日 令和6年10月25日(2024.10.25)

(51)国際特許分類	F I			
H 0 1 L 21/338 (2006.01)	H 0 1 L	29/80	L	
H 0 1 L 29/812 (2006.01)	H 0 1 L	29/80	E	
H 0 1 L 29/778 (2006.01)	H 0 1 L	29/80	H	
H 0 1 L 29/06 (2006.01)	H 0 1 L	29/06	3 0 1 M	

請求項の数 17 (全37頁)

(21)出願番号	特願2024-511457(P2024-511457)	(73)特許権者	520133916 ヌヴォンテクノロジージャパン株式会社 京都府長岡京市神足焼町1番地
(86)(22)出願日	令和5年2月22日(2023.2.22)	(74)代理人	100109210 弁理士 新居 広守
(86)国際出願番号	PCT/JP2023/006448	(74)代理人	100137235 弁理士 寺谷 英作
(87)国際公開番号	WO2023/189037	(74)代理人	100131417 弁理士 道坂 伸一
(87)国際公開日	令和5年10月5日(2023.10.5)	(72)発明者	西尾 明彦 日本国富山県魚津市東山800番地 ア ットフィールズテクノロジー株式会社社内
審査請求日	令和6年6月21日(2024.6.21)	(72)発明者	川島 克彦 日本国京都府長岡京市神足焼町1番地 最終頁に続く
(31)優先権主張番号	63/324,957		
(32)優先日	令和4年3月29日(2022.3.29)		
(33)優先権主張国・地域又は機関	米国(US)		
早期審査対象出願			

(54)【発明の名称】 電力増幅半導体装置

(57)【特許請求の範囲】

【請求項1】

複数の単位HEMT(High Electron Mobility Transistor)が並列接続された電力増幅半導体装置であって、

基板と、

前記基板の表面上に設けられ、前記複数の単位HEMTを含む半導体層と、

前記半導体層上に設けられ、前記単位HEMTのソース電極、ドレイン電極、およびゲート電極を含む接続層と、

前記接続層上に設けられ、前記ソース電極、前記ドレイン電極、および前記ゲート電極に配線層の第一部分を介して接続されたソースパッド、ドレインパッド、およびゲートパッドを含む端子層と、

前記基板の裏面上に設けられ、前記ソース電極と同電位のソース電位に設定された裏面電極と、

前記基板を貫通し、前記ソース電位に設定された前記配線層の第二部分であるシールド配線層を内壁上に有する基板ビアと、を備え、

前記ドレイン電極、および前記ゲート電極は、前記単位HEMTに対応してそれぞれ複数あり、

前記複数の前記ドレイン電極が前記配線層の第三部分で集合接続配線されたドレイン集約部と、

前記複数の前記ゲート電極が前記配線層の第四部分で集合接続配線されたゲート集約部

10

20

と、を有し、

前記基板の平面視で、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方は、前記基板ビアで周囲を囲まれている

電力増幅半導体装置。

【請求項 2】

前記半導体層を貫通し、前記シールド配線層を内壁上に有する半導体層ビアを備え、

前記平面視で、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方は、前記半導体層ビアで周囲を囲まれている

請求項 1 に記載の電力増幅半導体装置。

【請求項 3】

前記基板の表面に対する垂直方向の前記接続層の位置において、

前記平面視で、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方は、前記シールド配線層で周囲を囲まれている

請求項 1 または 2 に記載の電力増幅半導体装置。

【請求項 4】

前記平面視で、前記ドレインパッド、および前記ゲートパッドの何れか一方または両方は、前記シールド配線層で周囲を囲まれている

請求項 1 または 2 に記載の電力増幅半導体装置。

【請求項 5】

前記平面視で、前記基板ビアの開口部輪郭は第 1 不連続部を有する

請求項 1 または 2 に記載の電力増幅半導体装置。

【請求項 6】

前記平面視で、前記周囲は、多重列に配置された前記基板ビアにより囲まれており、

前記多重列に配置された前記基板ビアの外側位置から内部中央位置を見たときに、各列の前記第 1 不連続部同士が互いに重ならないように前記多重列に含まれる前記基板ビアが配置されている

請求項 5 に記載の電力増幅半導体装置。

【請求項 7】

前記平面視で、前記半導体層ビアの開口部輪郭は第 2 不連続部を有する

請求項 2 に記載の電力増幅半導体装置。

【請求項 8】

前記平面視で、前記周囲は、多重列に配置された前記半導体層ビアにより囲まれており、

前記多重列に配置された前記半導体層ビアの外側位置から内部中央位置を見たときに、各列の前記第 2 不連続部同士が互いに重ならないように前記多重列に含まれる前記半導体層ビアが配置されている

請求項 7 に記載の電力増幅半導体装置。

【請求項 9】

前記平面視で、前記基板ビアの開口部輪郭は、複数の屈曲部または複数の分岐部を有する

請求項 6 に記載の電力増幅半導体装置。

【請求項 10】

前記平面視で、前記半導体層ビアの開口部輪郭は、複数の屈曲部または複数の分岐部を有する

請求項 8 に記載の電力増幅半導体装置。

【請求項 11】

前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方の前記周囲を囲う前記シールド配線層は、前記平面視で、前記端子層から前記基板までの間に、前記シールド配線層が連続配置される領域と連続配置されない領域とを有する

請求項 1、2、7、8、10 のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 12】

前記シールド配線層に接続されたシールドパッドを有し、

	10
	20
	30
	40
	50

前記平面視で、前記シールドパッドのパッド領域は、前記基板ビアの開口領域と重ならない

請求項 1、2、7、8、10 のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 13】

前記シールド配線層は、前記接続層に設けられた第 1 シールド配線層と、前記端子層に設けられた第 2 シールド配線層とを含み、

前記平面視で、前記第 1 シールド配線層と前記第 2 シールド配線層とは、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方の前記周囲を囲う部分において、互いに配線幅が異なる

請求項 1、2、7、8、10 のいずれか 1 項に記載の電力増幅半導体装置。

10

【請求項 14】

前記平面視で、前記ドレイン集約部および前記ゲート集約部は、前記基板ビアで周囲を囲まれている

請求項 1、2、7、8、10 のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 15】

前記平面視で、前記ドレイン集約部および前記ゲート集約部は、前記半導体層ビアで周囲を囲まれている

請求項 2 に記載の電力増幅半導体装置。

【請求項 16】

前記平面視で、前記ドレイン集約部および前記ゲート集約部は、前記シールド配線層で周囲を囲まれている

20

請求項 1、2、7、8、10、15 のいずれか 1 項に記載の電力増幅半導体装置。

【請求項 17】

前記平面視で、前記ドレインパッドおよび前記ゲートパッドは、前記シールド配線層で周囲を囲まれている

請求項 1、2、7、8、10、15 のいずれか 1 項に記載の電力増幅半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電力増幅半導体装置に関する。

30

【背景技術】

【0002】

III-V 族系半導体、特にヒ素系の GaAs や AlGaAs、窒化物系の GaN や AlGaN は、AlGaAs/GaAs、AlGaN/GaN 等のヘテロ構造を容易に形成することが可能である。III 族窒化物半導体の場合は、バンドギャップの差に加えて、イオン半径の違いによる自発分極や AlGaN と GaN の格子定数差から発生するピエゾ分極による固定電荷により、AlGaAs/GaAs の GaAs 側、AlGaN/GaN 界面の GaN 層側に高移動度、かつ高濃度な電子のチャネル（二次元電子ガス、2DEG、Dimensional Electron Gas）を発生させることができる。この二次元電子ガスチャネルを制御することにより高電子移動度トランジスタ（HEMT、High Electron Mobility Transistor）を形成することが可能となる。この高移動度による高速動作を活かし、増幅アンプやスイッチング素子といった高周波用デバイスとしての応用が広がっている。

40

【0003】

近年は、特に携帯電話用基地局向けに高周波増幅アンプとしての実用化が進んでおり、携帯電話の通信世代の進化とともに、さらなる動作周波数の上昇および、出力電力の向上が期待されている。このような半導体装置をフリップチップ実装することで、より高周波な環境下でのチップ実装の自由度を上げ、高周波増幅アンプの多機能化を実現することが期待されている。

【0004】

50

一方、動作周波数の上昇や出力電力の向上は、高周波増幅アンプとして用いられるデバイス自身から発生するノイズ信号の増加につながる。そのため、ノイズ信号の影響を抑制するための種々の検討が行われている（例えば、特許文献1を参照）。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2004-260082号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に記載の従来技術では、チップの電極パッドから発生するノイズ信号に対しての対策しかできておらず、ノイズ信号の影響を抑制することに対して改善の余地がある。

【0007】

そこで、本開示は、従来よりもノイズ信号の影響を抑制することができる電力増幅半導体装置を提供する。

【課題を解決するための手段】

【0008】

本開示の一態様に係る電力増幅半導体装置は、複数の単位HEMT(High Electron Mobility Transistor)が並列接続された3GHz以上の周波数で動作する電力増幅半導体装置であって、基板と、前記基板の表面上に設けられ、前記複数の単位HEMTを含む半導体層と、前記半導体層上に設けられ、前記単位HEMTのソース電極、ドレイン電極、およびゲート電極を含む接続層と、前記接続層上に設けられ、前記ソース電極、前記ドレイン電極、および前記ゲート電極に配線層の第一部分を介して接続されたソースパッド、ドレインパッド、およびゲートパッドを含む端子層と、前記基板の裏面上に設けられ、前記ソース電極と同電位のソース電位に設定された裏面電極と、前記基板を貫通し、前記ソース電位に設定された前記配線層の第二部分であるシールド配線層を内壁上に有する基板ビアと、を備え、前記ドレイン電極、および前記ゲート電極は、前記単位HEMTに対応してそれぞれ複数あり、前記複数の前記ドレイン電極が前記配線層の第三部分で集合接続配線されたドレイン集約部と、前記複数の前記ゲート電極が前記配線層の第四部分で集合接続配線されたゲート集約部と、を有し、前記基板の平面視で、前記ドレイン集約部、および前記ゲート集約部の何れか一方または両方は、前記基板ビアで周囲を囲まれている。

【発明の効果】

【0009】

本開示の一態様によれば、従来よりもノイズ信号の影響を抑制することができる電力増幅半導体装置を実現することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、実施の形態1に係る電力増幅半導体装置の構成を示す図である。

【図2】図2は、実施の形態1の変形例に係る電力増幅半導体装置における基板ビアおよび半導体層ビアの配置例を示す平面図である。

【図3】図3は、実施の形態2に係る電力増幅半導体装置の構成を示す図である。

【図4】図4は、実施の形態3に係る電力増幅半導体装置の構成を示す図である。

【図5】図5は、実施の形態3の変形例に係る電力増幅半導体装置の構成を示す図である。

【図6】図6は、実施の形態4に係る電力増幅半導体装置の構成を示す平面図である。

【図7】図7は、実施の形態4に係る電力増幅半導体装置における基板ビアおよび半導体層ビアの配置例を示す平面図である。

【図8A】図8Aは、実施の形態4の変形例に係る電力増幅半導体装置における基板ビアおよび半導体層ビアの配置例の第1例を示す平面図である。

10

20

30

40

50

【図 8 B】図 8 B は、実施の形態 4 の変形例に係る電力増幅半導体装置における基板ビアおよび半導体層ビアの配置例の第 2 例を示す平面図である。

【図 9】図 9 は、実施の形態 5 に係る電力増幅半導体装置における基板ビアおよびパンプ開口部の配置例を示す平面図である。

【図 10】図 10 は、図 9 の各切断線で切断した、実施の形態 5 に係る電力増幅半導体装置の断面図である。

【図 11 A】図 11 A は、実施の形態 5 の変形例 1 に係る電力増幅半導体装置における基板ビアおよびパンプ開口部の配置例の第 1 例を示す平面図である。

【図 11 B】図 11 B は、実施の形態 5 の変形例 1 に係る電力増幅半導体装置における基板ビアおよびパンプ開口部の配置例の第 2 例を示す平面図である。

10

【図 11 C】図 11 C は、実施の形態 5 の変形例 1 に係る電力増幅半導体装置における基板ビアおよびパンプ開口部の配置例の第 3 例を示す平面図である。

【図 11 D】図 11 D は、実施の形態 5 の変形例 1 に係る電力増幅半導体装置における基板ビアおよびパンプ開口部の配置例の第 4 例を示す平面図である。

【図 12】図 12 は、実施の形態 5 の変形例 2 に係る電力増幅半導体装置の構成を示す図である。

【図 13】図 13 は、実施の形態 5 の変形例 3 に係る電力増幅半導体装置の構成を示す図である。

【図 14】図 14 は、実施の形態 5 の変形例 4 に係る電力増幅半導体装置の構成を示す図である。

20

【図 15】図 15 は、実施の形態 5 の変形例 5 に係る電力増幅半導体装置の構成を示す図である。

【図 16】図 16 は、実施の形態 6 に係る電力増幅半導体装置の構成を示す平面図である。

【図 17】図 17 は、実施の形態 6 の変形例に係る電力増幅半導体装置の構成の第 1 例を示す平面図である。

【図 18】図 18 は、実施の形態 6 の変形例に係る電力増幅半導体装置の構成の第 2 例を示す平面図である。

【図 19】図 19 は、実施の形態 6 の変形例に係る電力増幅半導体装置の構成の第 3 例を示す平面図である。

【図 20 A】図 20 A は、実施の形態 1 に係る電力増幅半導体装置の製造方法を説明するための第 1 の断面図である。

30

【図 20 B】図 20 B は、実施の形態 1 に係る電力増幅半導体装置の製造方法を説明するための第 2 の断面図である。

【図 20 C】図 20 C は、実施の形態 1 に係る電力増幅半導体装置の製造方法を説明するための第 3 の断面図である。

【図 20 D】図 20 D は、実施の形態 1 に係る電力増幅半導体装置の製造方法を説明するための第 4 の断面図である。

【図 21】図 21 は、各実施の形態に係る電力増幅半導体装置が実装された実装基板を示す断面図である。

【発明を実施するための形態】

40

【0011】

本開示は、電力増幅半導体装置に関し、特にフリップチップ実装をした半導体装置において、外部からのノイズ影響や、自チップ内での自己発振、ならびに周辺チップへのノイズ影響を抑制することが可能な、チップ構造に関する。

【0012】

「背景技術」で記載したように、動作周波数の上昇や出力電力の向上は、高周波増幅アンプとして用いられるデバイス自身から発生するノイズ信号の増加につながる。そのため、動作中のデバイスから発生するノイズ信号は周辺の部品に対して影響を与えてしまい、自己発振等の問題を引き起こしてしまう可能性があり、ノイズ信号の抑制がフリップチップ実装の高周波増幅アンプとして不可欠である。しかしながら、特許文献 1 の技術は、チ

50

ップの側面から発生するノイズ信号が周辺の部品へ影響を及ぼすことへの対策については開示されていない。また、特許文献1の技術は、周辺部品から受けるノイズ信号を回避するという点でも対策が不十分である。

【0013】

そこで、本開示では、トランジスタの活性領域ならびに各端子の周辺をバンプと基板ビア構造と裏面電極とによって接地電位で覆うことで、トランジスタ自身の発生ノイズの抑制と、外部部品からのノイズの影響の回避（抑制）との両方を実現することができる電力増幅半導体装置を提供する。

【0014】

以下、本開示の実施形態について、図面を参照しながら説明する。なお、以下に説明する実施形態は、いずれも本開示の好ましい一具体例を示すものである。したがって、以下の実施形態で示される、数値、形状、材料、構成要素、構成要素の配置位置および接続形態、並びに、ステップ（工程）およびステップ（工程）の順序などは、一例であって本開示を限定する主旨ではない。よって、以下の実施の形態における構成要素のうち、本開示の最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

10

【0015】

また、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、各図において縮尺などは必ずしも一致していない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

20

【0016】

また、本明細書および図面において、X軸、Y軸およびZ軸は、右手系の三次元直交座標系の三軸を示している。各実施の形態では、Z軸方向を電力増幅半導体装置の各層の積層方向としている。また、本明細書において、「平面視」とは、電力増幅半導体装置の積層方向（Z軸方向）に沿って電力増幅半導体装置を見ることを意味する。

【0017】

また、本明細書において、平行、直交などの要素間の関係性を示す用語、および、矩形などの要素の形状を示す用語、並びに、数値、および、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数%程度（あるいは、10%程度）の差異をも含むことを意味する表現である。

30

【0018】

また、本明細書において、「〇〇上（例えば、基板上）」、「上方」および「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）および下方向（鉛直下方）を指すものではなく、積層構成における積層順を基に相対的な位置関係により規定される用語として用いる。また、「〇〇上（例えば、基板上）」、「上方」および「下方」という用語は、2つの構成要素が互いに間隔をあけて配置されて2つの構成要素の間に別の構成要素が存在する場合のみならず、2つの構成要素が互いに接する状態で配置される場合にも適用される。

【0019】

（実施の形態1）

40

[1-1. 電力増幅半導体装置の構成]

まず、実施の形態1に係る電力増幅半導体装置100について、図1を用いて説明する。図1は、実施の形態1に係る電力増幅半導体装置100の構成を示す図である。図1の(a)は、電力増幅半導体装置100の平面図を示し、図1の(b)は、図1の(a)のIb-Ib切断線で切断した、実施の形態1に係る電力増幅半導体装置100の断面図を示し、図1の(c)は、図1の(a)のIc-Ic切断線で切断した、実施の形態1に係る電力増幅半導体装置100の断面図を示す。電力増幅半導体装置100は、複数の単位HEMT(High Electron Mobility Transistor)が並列接続された高周波で動作する半導体装置(半導体チップ)である。高周波とは、例えば、3GHz以上の周波数を意味するが、これに限定されない。高周波とは、電波であり、

50

例えば、ミリ波、電磁波を含む。なお、単位HEMTは、ソース電極301（フィンガー電極）、ドレイン電極302（フィンガー電極）およびゲート電極303（フィンガー電極）をそれぞれ1つ含む。

【0020】

図1の(a)～(c)に示すように、電力増幅半導体装置100は、基板101と、半導体エピタキシャル層102と、第1絶縁層201と、第2絶縁層202と、第3絶縁層203と、第4絶縁層204と、第5絶縁層205と、ソース電極301と、ドレイン電極302と、ゲート電極303と、フィールドプレート電極304と、活性領域401と、非活性領域402と、第1配線層501と、第2配線層502と、シールド配線層503と、電極-配線間開口接続部601と、配線-配線間開口接続部602と、ビア-配線間開口接続部603と、ソース集約部701と、ドレイン集約部702と、ゲート集約部703と、ソースパンプ開口部801と、ドレインパンプ開口部802と、ゲートパンプ開口部803と、シールドパンプ開口部804と、基板ビア901と、半導体層ビア902と、裏面電極103とを備える。

10

【0021】

なお、本実施の形態では、半導体エピタキシャル層102の上に設けられる第1絶縁層201、第2絶縁層202、第3絶縁層203および第4絶縁層204に形成される金属層により、単位HEMTを構成するソース電極301、ドレイン電極302およびゲート電極303を含む接続層L1が形成される。また、本実施の形態では、接続層L1上に設けられる第5絶縁層205に形成される金属層により、ソース電極301、ドレイン電極302およびゲート電極303にそれぞれ配線層の一部で接続されたソースパッド701a、ドレインパッド702a、およびゲートパッド703aを含む端子層L2が形成される。

20

【0022】

基板101は、例えば、Siからなる基板である。基板101の第1主面（表面）には半導体エピタキシャル層102が形成され、第1主面と背向する第2主面（裏面）には裏面電極103が形成される。基板101は、Siからなる基板に限らず、サファイア（Sapphire）、SiC、GaN、AlN等からなる基板であってもよい。

【0023】

半導体エピタキシャル層102は、基板101の表面上に形成され、複数の単位HEMTを形成するための層である。半導体エピタキシャル層102は、複数の単位HEMTを含む層であるとも言える。半導体エピタキシャル層102は、半導体層の一例である。

30

【0024】

半導体エピタキシャル層102は、例えば厚さ2 μ mのAlNおよびAlGaNの複数の積層構造からなる窒化物半導体層である。半導体エピタキシャル層102は、層内にトランジスタのキャリアとなる二次元電子ガス層（図示しない）を有している。トランジスタのキャリア形成は、イオン注入やエピ層形成条件によるドーピングによってされていてもよい。また、半導体エピタキシャル層102は、その他に、GaN、InGaN、InAlGaN、Si、SiC、GaAs、AlGaAs、InGaAs、InP、InNといった半導体材料によって構成されていてもよい。

40

【0025】

裏面電極103は、基板101の裏面上に設けられ、ソース電極301と同電位のソース電位に設定されている。裏面電極103は、基板101の裏面を覆うベタパターン（実質的に隙間なく一様に連続する面状（すなわちベタ状）のパターン）状の電極であり、例えば、裏面側の全域を覆う。裏面電極103は、例えば、Ti、Al、W、Ta、Cu、Ni、Au、Sn、Ag等のいずれか、または、少なくとも1つを含む合金であってもよい。また、裏面電極103は、単層構造からなる単層電極膜であってもよいし、複数の金属層を積層した積層構造からなる多層電極膜であってもよい。なお、ソース電位に設定されるとは、ソース電位が供給されることを意味する。

【0026】

50

第1絶縁層201は、半導体エピタキシャル層102の上に形成される。第1絶縁層201は、例えば厚さ30nmのSiNによって構成される。なお、第1絶縁層201は、SiN、SiO₂、SiON、SiC、C(ダイヤモンド)、AlN、Al₂O₃の少なくとも1つを含んで構成されてもよい。

【0027】

ソース電極301およびドレイン電極302は、第1絶縁層201を開口して半導体エピタキシャル層102の上に対向するように設けられている。ソース電極301およびドレイン電極302は、例えば、Ti膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。ソース電極301およびドレイン電極302は、例えば、Ti、Al、Ni、Au、Ta、W、Pd、Cu等のいずれか、または、少なくとも1つを含む合金であってもよい。また、ソース電極301およびドレイン電極302は、単層構造からなる単層電極膜であってもよい。

10

【0028】

また、ソース電極301およびドレイン電極302は、半導体エピタキシャル層102内に形成されたトランジスタのキャリアと電気的にオーミック接続されている。

【0029】

また、ドレイン電極302は、単位HEMTに対応して複数設けられる。

【0030】

ゲート電極303は、半導体エピタキシャル層102の上であって、ソース電極301とドレイン電極302との間に設けられている。ゲート電極303は、例えば、Ni膜とAu膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。ゲート電極303は、例えば、Ti、TiN、Ta、Ta₂N₅、W、Ni、Pd、Au、Al、Cu等のいずれか、または、少なくとも1つを含む合金であってもよい。また、ゲート電極303は、単層構造からなる単層電極膜であってもよい。

20

【0031】

ゲート電極303は、半導体エピタキシャル層102内に形成されたキャリアに対して、ゲート電極303に印加される電圧もしくは電流によって、ソース電極301 - ドレイン電極302間に流れる電流を制御する機能を有するもので、第1絶縁層201を開口したショットキー接合型であってもよいし、第1絶縁層201を開口しないMetal-Insulator-SemiconductorのいわゆるMIS構造を形成するものであってもよい。また、ゲート電極303は、単位HEMTに対応して複数設けられる。

30

【0032】

第2絶縁層202は、ソース電極301、ドレイン電極302、およびゲート電極303の上に設けられており、例えば、厚さが150nmのSiNまたはSiO₂によって構成される。なお、第2絶縁層202は、SiN、SiO₂、SiON、SiC、C(ダイヤモンド)、AlN、Al₂O₃の少なくとも1つを含んで構成されてもよい。

【0033】

フィールドプレート電極304は、第2絶縁層202の上に、平面視においてゲート電極303のソース電極301側端よりもドレイン電極302側(X軸プラス側)に、平面視で見たときのゲート電極303の長辺方向(Y軸方向)と平行に設けられている。フィールドプレート電極304は、例えば、Ti膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。フィールドプレート電極304は、例えば、Ti、TiN、Ta、Ta₂N₅、W、Ni、Pd、Au、Al、Cu等のいずれか、または、少なくとも1つを含む合金であってもよい。また、フィールドプレート電極304は、単層構造からなる単層電極膜であってもよい。

40

【0034】

なお、フィールドプレート電極304は、図1ではソース電極301と同電位になるように接続されているが、ゲート電極303と同電位になるように接続されていてもよい。

【0035】

第3絶縁層203は、フィールドプレート電極304の上に設けられており、例えば厚

50

さが300nmのSiNまたはSiO₂によって構成される。なお、第3絶縁層203は、SiN、SiO₂、SiON、SiC、C(ダイヤモンド)、AlN、Al₂O₃の少なくとも1つを含んで構成されてもよい。

【0036】

第1配線層501は、第3絶縁層203の上に設けられており、各電極を接続する金属層である。第1配線層501は、例えばTi膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。第1配線層501は、Al、Au、Cu、Ti、W、Ta等の少なくとも1つにより構成されてもよい。

【0037】

電極 - 配線間開口接続部601は、ソース電極301と第1配線層501、ドレイン電極302と第1配線層501、ゲート電極303と第1配線層501およびフィールドプレート電極304と第1配線層501、それぞれの接続のために第2絶縁層202および第3絶縁層203を開口したものである。

10

【0038】

第4絶縁層204は第1配線層501の上に設けられており、例えば厚さが数μm(例えば、1μm)のSiNまたはSiO₂によって構成される。第4絶縁層204は、SiN、SiO₂、SiON、SiC、C(ダイヤモンド)、AlN、Al₂O₃の少なくとも1つを含んで構成されてもよい。

【0039】

第2配線層502は、第4絶縁層204の上に設けられており、たとえば、Ti膜とAl膜とを順に積層した積層構造からなる多層電極膜であるが、これに限らない。第2配線層502は、Al、Au、Cu、Ti、W、Ta等の少なくとも1つにより構成されてもよい。また、第2配線層502は、第1配線層501と同じ金属により構成されてもよいし、第2配線層502と異なる金属により構成されてもよい。

20

【0040】

配線 - 配線間開口接続部602は、第1配線層501と第2配線層502との接続のために第4絶縁層204を開口したものである。

【0041】

ソース集約部701は、第1配線層501および第2配線層502にてソース電極301の電位を、電極 - 配線間開口接続部601および配線 - 配線間開口接続部602を介して集約したものである。ソース集約部701では、複数のソース電極301が集合接続配線される。つまり、ソース集約部701は、複数のソース電極301のそれぞれと電氣的に接続されており、当該複数のソース電極301のそれぞれに同電位を供給可能である。本実施の形態では、ソース集約部701は、活性領域401内にて、第1配線層501と第2配線層502とで、電極 - 配線間開口接続部601および配線 - 配線間開口接続部602を介して、ソース電極301とフィールドプレート電極304とを集約する。

30

【0042】

また、ソース集約部701は、接続層L1上に設けられ、ソース電極301、ドレイン電極302およびゲート電極303にそれぞれ配線層の一部で接続されたソースパッド701aを有する。ソースパッド701aは、ソース集約部701のうち、第5絶縁層205に形成された開口であるソースバンプ開口部801により露出した部分であり、ソースバンプ開口部801内に配置されたバンプ金属により、チップ外部の実装基板または半導体パッケージと電氣的に接続する箇所である。

40

【0043】

ドレイン集約部702は、第1配線層501および第2配線層502にてドレイン電極302の電位を、電極 - 配線間開口接続部601および配線 - 配線間開口接続部602を介して集約したものである。ドレイン集約部702では、複数のドレイン電極302が配線層の一部で集合接続配線される。つまり、ドレイン集約部702は、複数のドレイン電極302のそれぞれと電氣的に接続されており、当該複数のドレイン電極302のそれぞれに同電位を供給可能である。

50

【 0 0 4 4 】

また、ドレイン集約部 7 0 2 は、ソース集約部 7 0 1 から活性領域 4 0 1 内のゲート電極 3 0 3 の長辺方向と平行な方向（Y 軸方向）の非活性領域 4 0 2 内にて、第 1 配線層 5 0 1 と第 2 配線層 5 0 2 とで、電極 - 配線間開口接続部 6 0 1 および配線 - 配線間開口接続部 6 0 2 を介して、ドレイン電極 3 0 2 を集約したものである。

【 0 0 4 5 】

また、ドレイン集約部 7 0 2 は、接続層 L 1 上に設けられ、ソース電極 3 0 1、ドレイン電極 3 0 2 およびゲート電極 3 0 3 にそれぞれ配線層の一部で接続されたドレインパッド 7 0 2 a を有する。ドレインパッド 7 0 2 a は、ドレイン集約部 7 0 2 のうち、第 5 絶縁層 2 0 5 に形成された開口であるドレインバンプ開口部 8 0 2 により露出した部分であり、ドレインバンプ開口部 8 0 2 内に配置されたバンプ金属により、チップ外部の実装基板と電氣的に接続する箇所である。

10

【 0 0 4 6 】

ゲート集約部 7 0 3 は、第 1 配線層 5 0 1 および第 2 配線層 5 0 2 にてゲート電極 3 0 3 の電位を、電極 - 配線間開口接続部 6 0 1 および配線 - 配線間開口接続部 6 0 2 を介して集約したものである。ゲート集約部 7 0 3 では、複数のゲート電極 3 0 3 が配線層の一部で集合接続配線される。つまり、ゲート集約部 7 0 3 は、複数のゲート電極 3 0 3 のそれぞれと電氣的に接続されており、当該複数のゲート電極 3 0 3 のそれぞれに同電位を供給可能である。

【 0 0 4 7 】

また、ゲート集約部 7 0 3 は、ソース集約部 7 0 1 からドレイン集約部 7 0 2 と反対の Y 軸方向の非活性領域 4 0 2 内にて、第 1 配線層 5 0 1 と第 2 配線層 5 0 2 とで、電極 - 配線間開口接続部 6 0 1 および配線 - 配線間開口接続部 6 0 2 を介して、ゲート電極 3 0 3 を集約したものである。

20

【 0 0 4 8 】

また、ゲート集約部 7 0 3 は、接続層 L 1 上に設けられ、ソース電極 3 0 1、ドレイン電極 3 0 2 およびゲート電極 3 0 3 にそれぞれ配線層の一部で接続されたゲートパッド 7 0 3 a を有する。ゲートパッド 7 0 3 a は、ゲート集約部 7 0 3 のうち、第 5 絶縁層 2 0 5 に形成された開口であるゲートバンプ開口部 8 0 3 により露出した部分であり、ゲートバンプ開口部 8 0 3 内に配置されたバンプ金属により、チップ外部の実装基板と電氣的に接続する箇所である。

30

【 0 0 4 9 】

なお、ソース集約部 7 0 1、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 の平面視形状は矩形であるが、これに限定されない。

【 0 0 5 0 】

第 5 絶縁層 2 0 5 は、第 2 配線層 5 0 2 の上に設けられており、例えば厚さが 8 0 0 n m の SiN の上に厚さが 6 μ m の有機樹脂膜が積層されたものである。なお、第 5 絶縁層 2 0 5 は、SiN、SiO₂、SiON、SiC、C（ダイヤモンド）、AlN、Al₂O₃ の少なくとも 1 つを含んで構成されてもよい。

【 0 0 5 1 】

第 5 絶縁層 2 0 5 には、第 5 絶縁層 2 0 5 を開口してソース集約部 7 0 1 を露出させたソースバンプ開口部 8 0 1 と、第 5 絶縁層 2 0 5 を開口してドレイン集約部 7 0 2 を露出させたドレインバンプ開口部 8 0 2 と、第 5 絶縁層 2 0 5 を開口してゲート集約部 7 0 3 を露出させたゲートバンプ開口部 8 0 3 とが形成されている。

40

【 0 0 5 2 】

シールド配線層 5 0 3 は、ノイズに対するシールド（電磁シールド）として機能し、第 1 配線層 5 0 1 と第 2 配線層 5 0 2 とで構成される。シールド配線層 5 0 3 は、ソース電極 3 0 1 と同電位の配線層である。シールド配線層 5 0 3 は、基板 1 0 1 の表面に対する垂直方向（Z 軸方向）の接続層の位置において、平面視で、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 の少なくとも一方の周囲を囲むように設けられる。また、シールド配

50

線層 503 は、平面視で、ドレインパッド 702 a およびゲートパッド 703 a の少なくとも一方の周囲を囲むように設けられる。

【0053】

ビア - 配線間開口接続部 603 は、第 1 絶縁層 201 と第 2 絶縁層 202 と第 3 絶縁層 203 とを開口して、第 1 配線層 501 と半導体層ビア 902 とを接続する。

【0054】

シールドバンプ開口部 804 は、第 5 絶縁層 205 を開口してシールド配線層 503 を露出させる部分であり、シールドバンプ開口部 804 内に配置されたバンプ金属により、チップ外部の実装基板の接地電位と電氣的に接続する箇所である。

【0055】

基板ビア 901 は、平面視で、ドレイン集約部 702 およびゲート集約部 703 の少なくとも一方の周囲（例えば、四方）を囲むように配置され、本実施の形態では、非活性領域 402 内にて、ゲート集約部 703 を囲むように配置される。基板ビア 901 は、基板 101 を開口して、裏面電極 103 に到達する貫通孔であり、ソース電位に設定された配線層の一部であるシールド配線層（例えば、第 1 配線層 501 および第 2 配線層 502 の少なくとも一方）を内壁上に含んで構成される。基板ビア 901 の平面視形状は、例えば矩形形状であるが、これに限定されない。また、基板ビア 901 は、例えば、複数配置される。

【0056】

図 1 の (a) に示すように、シールド配線層 503 の下の基板ビア 901 は、不連続に配置されている。平面視で、基板ビア 901 の開口部輪郭は不連続部 911 を有する。言い換えると、基板ビア 901 は、ゲート集約部 703 を連続して囲むように配置されていない。例えば、ゲート集約部 703 の周囲において、基板ビア 901 と不連続部 911 とが交互に配置される。なお、不連続部 911 は、少なくとも 1 箇所設けられていけばよい。

【0057】

半導体層ビア 902 は、平面視で、ドレイン集約部 702 およびゲート集約部 703 の少なくとも一方の周囲を囲むように配置され、本実施の形態では、半導体エピタキシャル層 102 を貫通し、シールド配線層 503 を内壁上に有する。半導体層ビア 902 は、半導体エピタキシャル層 102 を開口して基板 101 に到達する貫通孔である。本実施の形態では、半導体層ビア 902 は、ゲート集約部 703 の周囲を囲む環状に形成される。また、半導体層ビア 902 は、例えば、複数配置される。

【0058】

上記のように構成される電力増幅半導体装置 100 は、半導体エピタキシャル層 102 内に形成される二次元電子ガス層を有する活性領域 401 と、二次元電子ガス層を有しない領域である非活性領域 402 とに区分されている。

【0059】

活性領域 401 は、平面視において二次元電子ガス層が存在する領域（基板 101 上の領域）である。活性領域 401 内に、ソース電極 301、ドレイン電極 302 およびゲート電極 303 を少なくとも含む HEMT（高周波増幅用アンパ）が形成される。

【0060】

非活性領域 402 は、活性領域 401 の外側の基板 101 上の領域であり、二次元電子ガス層が存在しない領域である。非活性領域 402 は、例えば He、B、H、F および Fe のいずれかを含む分子を注入することにより形成されてもよい。なお、二次元電子ガス層が存在しないとは、電子が完全に存在しないことに加えて、実質的に電子が存在しないことを含む。

【0061】

[1 - 2 . 効果など]

以上のように実施の形態 1 に係る電力増幅半導体装置 100 は、複数の単位 HEMT（High Electron Mobility Transistor）が並列接続された 3 GHz 以上の周波数で動作する電力増幅半導体装置であって、基板 101 と、基板 1

10

20

30

40

50

01の表面上に設けられ、複数の単位HEMTを含む半導体エピタキシャル層102(半導体層の一例)と、半導体エピタキシャル層102上に設けられ、単位HEMTのソース電極301、ドレイン電極302、およびゲート電極303を含む接続層L1と、接続層L1上に設けられ、ソース電極301、ドレイン電極302、およびゲート電極303に配線層の第一部分を介して接続されたソースパッド701a、ドレインパッド702a、およびゲートパッド703aを含む端子層L2と、基板101の裏面上に設けられ、ソース電極301と同電位のソース電位に設定された裏面電極103と、基板101を貫通し、ソース電位に設定された配線層の第二部分であるシールド配線層503を内壁上に有する基板ビア901と、を備え、ドレイン電極302、およびゲート電極303は、単位HEMTに対応してそれぞれ複数あり、複数のドレイン電極302が配線層の第三部分で集合接続配線されたドレイン集約部702と、複数のゲート電極303が配線層の第四部分で集合接続配線されたゲート集約部703と、を有し、基板101の平面視で、ドレイン集約部702、およびゲート集約部703の何れか一方または両方は、基板ビア901で周囲を囲まれている。

10

【0062】

これにより、ゲート集約部703を囲むように基板ビア901が配置される場合、基板101を透過してゲート集約部703に受信されるノイズを抑制することができる。また、ドレイン集約部702を囲むように基板ビア901が配置される場合、基板101を透過して、ドレイン集約部702より放射されるノイズを抑制することができ、ゲート集約部703へのノイズ伝達、または、電力増幅半導体装置100の外部の部品へのノイズ放射を抑制することができる。よって、電力増幅半導体装置100は、従来よりもノイズ信号の影響を抑制することができる。

20

【0063】

また、半導体エピタキシャル層102を貫通し、シールド配線層503を内壁上に有する半導体層ビア902を備え、平面視で、ドレイン集約部702、およびゲート集約部703の何れか一方または両方は、半導体層ビア902で周囲を囲まれていてもよい。

【0064】

これにより、ゲート集約部703を囲むように半導体層ビア902が配置される場合、半導体エピタキシャル層102を透過してゲート集約部703に受信されるノイズを抑制することができる。また、ドレイン集約部702を囲むように半導体層ビア902が配置される場合、半導体エピタキシャル層102を透過してドレイン集約部702より放射されるノイズを抑制することができ、ゲート集約部703へのノイズ伝達、または、電力増幅半導体装置100の外部の部品へのノイズ放射を抑制することができる。よって、電力増幅半導体装置100は、従来よりもノイズ信号の影響をより抑制することができる。

30

【0065】

また、基板101の表面に対する垂直方向の接続層L1の位置において、平面視で、ドレイン集約部702、およびゲート集約部703の何れか一方または両方は、シールド配線層503で周囲を囲まれていてもよい。

【0066】

これにより、ゲート集約部703を囲むようにシールド配線層503が配置される場合、第1絶縁層201から第4絶縁層204を透過してゲート集約部703に受信されるノイズを抑制することができる。また、ドレイン集約部702を囲むようにシールド配線層503が配置される場合、第1絶縁層201から第4絶縁層204を透過して、ドレイン集約部702より放射されるノイズを抑制することができ、ゲート集約部703へのノイズ伝達、または、電力増幅半導体装置100の外部の部品へのノイズ放射を抑制することができる。よって、電力増幅半導体装置100は、従来よりもノイズ信号の影響をさらに抑制することができる。

40

【0067】

また、平面視で、ドレインパッド702a、およびゲートパッド703aの何れか一方または両方は、シールド配線層503で周囲を囲まれていてもよい。

50

【 0 0 6 8 】

これにより、ゲート集約部 7 0 3 を囲むようにシールドバンプ開口部 8 0 4 が配置される場合、シールドバンプ開口部 8 0 4 内に配置されたバンプ金属がゲート集約部 7 0 3 を囲むため、第 5 絶縁層 2 0 5 を透過してゲート集約部 7 0 3 に受信されるノイズを抑制することができる。また、ドレイン集約部 7 0 2 を囲むようにシールドバンプ開口部 8 0 4 が配置される場合、シールドバンプ開口部 8 0 4 内に配置されたバンプ金属がドレイン集約部 7 0 2 を囲むため、第 5 絶縁層 2 0 5 を透過して、ドレイン集約部 7 0 2 より放射されるノイズを抑制することができ、ゲート集約部 7 0 3 へのノイズ伝達、または、電力増幅半導体装置 1 0 0 の外部の部品へのノイズ放射を抑制することができる。よって、電力増幅半導体装置 1 0 0 は、従来よりもノイズ信号の影響をさらに抑制することができる。

10

【 0 0 6 9 】

また、平面視で、基板ビア 9 0 1 の開口部輪郭は不連続部 9 1 1 (第 1 不連続部の一例) を有してもよい。

【 0 0 7 0 】

これにより、シールド配線層 5 0 3 の下の基板ビア 9 0 1 が不連続に配置されるので、ゲート集約部 7 0 3 もしくはドレイン集約部 7 0 2 を基板ビア 9 0 1 が囲む際に、ゲート集約部 7 0 3 およびドレイン集約部 7 0 2 の基板 1 0 1 からの脱落を防止することができる。

【 0 0 7 1 】

(実施の形態 1 の変形例)

以下では、実施の形態 1 の変形例に係る電力増幅半導体装置について、図 2 を参照しながら説明する。図 2 は、実施の形態 1 の変形例に係る電力増幅半導体装置における基板ビア 9 0 1 および半導体層ビア 9 0 2 の配置例を示す平面図である。なお、以下では、実施の形態 1 との相違点を中心に説明し、実施の形態 1 と同一または類似の内容については説明を省略または簡略化する。本変形例に係る電力増幅半導体装置は、半導体層ビア 9 0 2 の配置が実施の形態 1 に係る電力増幅半導体装置 1 0 0 と相違する。

20

【 0 0 7 2 】

図 2 に示すように、本変形例に係る電力増幅半導体装置では、シールド配線層 5 0 3 の下の半導体層ビア 9 0 2 が、基板ビア 9 0 1 と同様、不連続に配置されている。平面視で、半導体層ビア 9 0 2 の開口部輪郭は不連続部 9 1 2 を有する。言い換えると、半導体層ビア 9 0 2 は、ゲート集約部 7 0 3 を連続して囲むように配置されていない。例えば、半導体層ビア 9 0 2 と基板ビア 9 0 1 とが対応し、不連続部 9 1 2 と不連続部 9 1 1 とが対応するように配置されてもよい。例えば、平面視において、半導体層ビア 9 0 2 と基板ビア 9 0 1 との少なくとも一部が重なり、不連続部 9 1 2 と不連続部 9 1 1 との少なくとも一部が重なるように配置されてもよい。

30

【 0 0 7 3 】

また、平面視で、半導体層ビア 9 0 2 の開口部輪郭は不連続部 9 1 2 (第 2 不連続部の一例) を有する。

【 0 0 7 4 】

これにより、ゲート集約部 7 0 3 およびドレイン集約部 7 0 2 の基板 1 0 1 からの脱落を防止することができる。また、シールドバンプ開口部 8 0 4 が不連続に配置されるので、ボールバンプのような連続的なパターン配置ができないバンプを使用することができるようになる。

40

【 0 0 7 5 】

(実施の形態 2)

[2 - 1 . 電力増幅半導体装置の構成]

次に、実施の形態 2 に係る電力増幅半導体装置 2 0 0 について、図 3 を用いて説明する。なお、本実施の形態では、実施の形態 1 と共通の構成要素については、その詳細な説明を省略する。図 3 は、実施の形態 2 に係る電力増幅半導体装置 2 0 0 の構成を示す図である。図 3 の (a) は、電力増幅半導体装置 2 0 0 の平面図を示し、図 3 の (b) は、図 3

50

の (a) の I I I b - I I I b 切断線で切断した、実施の形態 2 に係る電力増幅半導体装置 2 0 0 の断面図を示し、図 3 の (c) は、図 3 の (a) の I I I c - I I I c 切断線で切断した、実施の形態 2 に係る電力増幅半導体装置 2 0 0 の断面図を示す。また、電力増幅半導体装置 2 0 0 は、ドレイン集約部 7 0 2 を囲むように配置される点において、実施の形態 1 に係る電力増幅半導体装置 1 0 0 と相違する。

【 0 0 7 6 】

図 3 に示すように、電力増幅半導体装置 2 0 0 は、基板 1 0 1 の裏面に形成された裏面電極 1 0 3 と、非活性領域 4 0 2 内にて、ドレイン集約部 7 0 2 を囲むように配置された、基板 1 0 1 を開口して裏面電極 1 0 3 に到達する基板ビア 9 0 1、および半導体エピタキシャル層 1 0 2 を開口して基板 1 0 1 に到達する半導体層ビア 9 0 2 と、第 1 絶縁層 2 0 1 と第 2 絶縁層 2 0 2 と第 3 絶縁層 2 0 3 とを開口して、第 1 配線層 5 0 1 と半導体層ビア 9 0 2 とを接続する、ビア - 配線間開口接続部 6 0 3 と、第 1 配線層 5 0 1 と第 2 配線層 5 0 2 とで構成されたシールド配線層 5 0 3 と、第 5 絶縁層 2 0 5 を開口してシールド配線層 5 0 3 を露出させた、シールドバンプ開口部 8 0 4 とを備える。

10

【 0 0 7 7 】

このように、基板ビア 9 0 1、半導体層ビア 9 0 2 およびシールド配線層 5 0 3 は、平面視において、ドレイン集約部 7 0 2 を囲むように配置されてもよい。なお、基板ビア 9 0 1、半導体層ビア 9 0 2 およびシールド配線層 5 0 3 の少なくとも一方がドレイン集約部 7 0 2 を囲むように配置されていけばよい。

【 0 0 7 8 】

これにより、基板 1 0 1 を透過してゲート集約部 7 0 3 に受信されるノイズ、および、基板 1 0 1 を透過して、ドレイン集約部 7 0 2 より放射されるノイズのそれぞれを抑制することができる。

20

【 0 0 7 9 】

(実施の形態 3)

[3 - 1 . 電力増幅半導体装置の構成]

次に、実施の形態 3 に係る電力増幅半導体装置 3 0 0 について、図 4 を用いて説明する。図 4 は、実施の形態 3 に係る電力増幅半導体装置 3 0 0 の構成を示す図である。図 4 の (a) は、電力増幅半導体装置 3 0 0 の平面図を示し、図 4 の (b) は、図 4 の (a) の I V b - I V b 切断線で切断した、実施の形態 3 に係る電力増幅半導体装置 3 0 0 の断面図を示し、図 4 の (c) は、図 4 の (a) の I V c - I V c 切断線で切断した、実施の形態 3 に係る電力増幅半導体装置 3 0 0 の断面図を示す。また、電力増幅半導体装置 3 0 0 は、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 のそれぞれを囲むように基板ビア 9 0 1 などが配置される点において、実施の形態 1 に係る電力増幅半導体装置 1 0 0 と相違する。

30

【 0 0 8 0 】

図 4 に示すように、電力増幅半導体装置 3 0 0 は、基板 1 0 1 の裏面に形成された裏面電極 1 0 3 と、非活性領域 4 0 2 内にて、ゲート集約部 7 0 3 およびドレイン集約部 7 0 2 を囲むように配置された、基板 1 0 1 を開口して裏面電極 1 0 3 に到達する基板ビア 9 0 1、および半導体エピタキシャル層 1 0 2 を開口して基板 1 0 1 に到達する半導体層ビア 9 0 2 と、第 1 絶縁層 2 0 1 と第 2 絶縁層 2 0 2 と第 3 絶縁層 2 0 3 とを開口して、第 1 配線層 5 0 1 と半導体層ビア 9 0 2 とを接続する、ビア - 配線間開口接続部 6 0 3 と、第 1 配線層 5 0 1 と第 2 配線層 5 0 2 とで構成されたシールド配線層 5 0 3 と、第 5 絶縁層 2 0 5 を開口してシールド配線層 5 0 3 を露出させた、シールドバンプ開口部 8 0 4 とを備える。

40

【 0 0 8 1 】

基板ビア 9 0 1、半導体層ビア 9 0 2 およびシールド配線層 5 0 3 は、平面視において、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 のそれぞれを囲むように配置されてもよい。なお、基板ビア 9 0 1、半導体層ビア 9 0 2 およびシールド配線層 5 0 3 の少なくとも 1 つがドレイン集約部 7 0 2 およびゲート集約部 7 0 3 を囲むように配置されていれ

50

ばよい。

【 0 0 8 2 】

[3 - 2 . 効果など]

以上のように実施の形態 3 に係る電力増幅半導体装置 3 0 0 は、平面視で、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 が、基板ビア 9 0 1 で周囲を囲まれていてもよい。

【 0 0 8 3 】

これにより、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 を囲むように基板ビア 9 0 1 が配置されるので、基板 1 0 1 を透過して、ゲート集約部 7 0 3 へのノイズ受信の抑制と、ドレイン集約部 7 0 2 からのノイズ放出の抑制とを実現することができる。ノイズ放出の抑制は、電力増幅半導体装置 3 0 0 の外部の部品へのノイズ放射の抑制につながる。

10

【 0 0 8 4 】

また、平面視で、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 は、半導体層ビア 9 0 2 で周囲を囲まれていてもよい。

【 0 0 8 5 】

これにより、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 を囲むように半導体層ビア 9 0 2 が配置されるので、半導体エピタキシャル層 1 0 2 を透過して、ゲート集約部 7 0 3 へのノイズ受信の抑制と、ドレイン集約部 7 0 2 からのノイズ放出の抑制とを実現することができる。

【 0 0 8 6 】

また、平面視で、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 は、シールド配線層 5 0 3 で周囲を囲まれていてもよい。

20

【 0 0 8 7 】

これにより、ゲート集約部 7 0 3 およびドレイン集約部 7 0 2 を囲むようにシールド配線層 5 0 3 が配置されるので、第 1 絶縁層 2 0 1 から第 4 絶縁層 2 0 4 を透過して、ゲート集約部 7 0 3 へのノイズ受信の抑制と、ドレイン集約部 7 0 2 からのノイズ放出の抑制とを実現することができる。

【 0 0 8 8 】

また、平面視で、ドレインパッド 7 0 2 a およびゲートパッド 7 0 3 a は、シールド配線層 5 0 3 で周囲を囲まれていてもよい。

【 0 0 8 9 】

これにより、ゲート集約部 7 0 3 およびドレイン集約部 7 0 2 を囲むようにシールドバンプ開口部 8 0 4 が配置されるので、シールドバンプ開口部 8 0 4 内に配置されたバンプ金属がゲート集約部 7 0 3 およびドレイン集約部 7 0 2 を囲むため、第 5 絶縁層 2 0 5 を透過して、ゲート集約部 7 0 3 へのノイズ受信の抑制と、ドレイン集約部 7 0 2 からのノイズ放出の抑制とを実現することができる。

30

【 0 0 9 0 】

(実施の形態 3 の変形例)

以下では、実施の形態 3 の変形例に係る電力増幅半導体装置について、図 5 を用いて説明する。図 5 は、実施の形態 3 の変形例に係る電力増幅半導体装置 4 0 0 の構成を示す図である。図 5 の (a) は、電力増幅半導体装置 4 0 0 の平面図を示し、図 5 の (b) は、図 5 の (a) の V b - V b 切断線で切断した、実施の形態 3 の変形例に係る電力増幅半導体装置 4 0 0 の断面図を示し、図 5 の (c) は、図 5 の (a) の V c - V c 切断線で切断した、実施の形態 3 の変形例に係る電力増幅半導体装置 4 0 0 の断面図を示す。また、電力増幅半導体装置 4 0 0 は、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 に加えてソース集約部 7 0 1 を囲むように基板ビア 9 0 1 などが配置される点において、実施の形態 3 に係る電力増幅半導体装置 3 0 0 と相違する。

40

【 0 0 9 1 】

図 5 に示すように、基板ビア 9 0 1、半導体層ビア 9 0 2 およびシールド配線層 5 0 3 は、平面視において、ソース集約部 7 0 1、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 のそれぞれを囲むように配置されてもよい。

50

【 0 0 9 2 】

これにより、実施の形態 3 に係る電力増幅半導体装置 4 0 0 と同様の効果を奏する。

【 0 0 9 3 】

(実施の形態 4)

[4 - 1 . 電力増幅半導体装置の構成]

次に、実施の形態 4 に係る電力増幅半導体装置について、図 6 および図 7 を用いて説明する。図 6 は、実施の形態 4 に係る電力増幅半導体装置 5 0 0 の構成を示す平面図である。図 7 は、実施の形態 4 に係る電力増幅半導体装置 5 0 0 における基板ビア 9 0 1 および半導体層ビア 9 0 2 の配置例を示す平面図である。

【 0 0 9 4 】

電力増幅半導体装置 5 0 0 は、基板ビア 9 0 1 および半導体層ビア 9 0 2 のそれぞれが二重に形成される点において、実施の形態 3 の変形例に係る電力増幅半導体装置 4 0 0 と相違する。なお、以下では、実施の形態 3 の変形例に係る電力増幅半導体装置 4 0 0 を用いて本実施の形態に係る基板ビア 9 0 1 および半導体層ビア 9 0 2 の配置例について説明するが、上記の各実施の形態および各変形例においても、本実施の形態に係る基板ビア 9 0 1 および半導体層ビア 9 0 2 の配置例を適用可能である。

【 0 0 9 5 】

図 6 に示すように、電力増幅半導体装置 5 0 0 は、平面視で、複数の基板ビア 9 0 1 が 2 以上の基板ビア列を形成するように配置される。平面視で、ソース集約部 7 0 1、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 のそれぞれにおける基板ビア 9 0 1 による四方囲いは、多重列囲いであるとも言える。

【 0 0 9 6 】

図 7 に示すように、2 以上の基板ビア列は、第 1 基板ビア列 9 2 1 a と、第 2 基板ビア列 9 2 1 b とを含む。なお、基板ビア列は、3 以上であってもよい。また、半導体層ビア 9 0 2 も基板ビア 9 0 1 と同様、平面視で、複数の半導体層ビア 9 0 2 が 2 以上の半導体層ビア列を形成するように配置される。

【 0 0 9 7 】

第 1 基板ビア列 9 2 1 a および第 2 基板ビア列 9 2 1 b は、2 以上の基板ビア列の外側位置（例えば、X 軸マイナス側の位置）から内部中央位置（例えば、ソース集約部 7 0 1、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 のいずれかの中央位置）を見たときに、各ビア列の不連続部 9 1 1 a、9 1 1 b 同士が互いに重ならないように配置される。第 1 基板ビア列 9 2 1 a および第 2 基板ビア列 9 2 1 b それぞれの基板ビア 9 0 1 は、交互（ジグザグ状）に配置される。また、シールド配線層 5 0 3 の下の基板ビア 9 0 1 は、不連続かつ、多重に互い違いに配置されているとも言える。

【 0 0 9 8 】

また、第 1 基板ビア列 9 2 1 a および第 2 基板ビア列 9 2 1 b それぞれの基板ビア 9 0 1 は、ビア列の並び方向（図 7 の例では X 軸方向）において一部が重なるように配置される。例えば、基板ビア 9 0 1 の Y 軸方向の長さは、不連続部 9 1 1 a、9 1 1 b の Y 軸方向の長さより長くてもよい。

【 0 0 9 9 】

第 1 半導体層ビア列 9 2 2 a および第 2 半導体層ビア列 9 2 2 b は、2 以上のビア列の外側位置（例えば、X 軸マイナス側の位置）から内部中央位置（例えば、ソース集約部 7 0 1、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 のいずれかの中央位置）を見たときに、各ビア列の不連続部 9 1 2 a、9 1 2 b 同士が互いに重ならないように配置される。第 1 半導体層ビア列 9 2 2 a および第 2 半導体層ビア列 9 2 2 b それぞれの半導体層ビア 9 0 2 は、交互（ジグザグ状）に配置される。また、半導体層ビア 9 0 2 は、不連続かつ、多重に互い違いに配置されているとも言える。

【 0 1 0 0 】

また、第 1 半導体層ビア列 9 2 2 a および第 2 半導体層ビア列 9 2 2 b それぞれの半導体層ビア 9 0 2 は、ビア列の並び方向（図 7 の例では X 軸方向）において一部が重なるよ

10

20

30

40

50

うに配置される。例えば、半導体層ビア 902 の Y 軸方向の長さは、不連続部 912 a、912 b の Y 軸方向の長さより長くてもよい。

【0101】

また、例えば、シールドバンプ開口部 804 も同様に不連続かつ、多重に互い違いに配置されていてもよい。

【0102】

[4-2.効果など]

以上のように実施の形態 4 に係る電力増幅半導体装置 400 は、平面視で、周囲が多重列に配置された基板ビア 901 により囲まれており、多重列に配置された基板ビア 901 の外側位置から内部中央位置を見たときに、各列の不連続部 911 a 及び 911 b (第 1 不連続部の一例) 同士が互いに重ならないように多重列に含まれる基板ビア 901 が配置されている。

10

【0103】

これにより、シールド配線層 503 の下の基板ビア 901 が不連続かつ、多重に互い違いに配置されるので、不連続な基板ビア 901 の隙間からノイズが漏れ出る、または漏れ入ることを抑制する効果がある。

【0104】

また、平面視で、周囲は、多重列に配置された半導体層ビア 902 により囲まれており、多重列に配置された半導体層ビア 902 の外側位置から内部中央位置を見たときに、各列の不連続部 912 a 及び 912 b (第 2 不連続部の一例) 同士が互いに重ならないように多重列に含まれる半導体層ビア 902 が配置されていてもよい。

20

【0105】

これにより、シールドバンプ開口部 804 が不連続かつ、多重で互い違いに配置されることで、不連続なシールドバンプ開口部 804 内部に配置されたバンプ金属の隙間からノイズが漏れ出る、またはノイズが漏れ入ることを抑制する効果がある。

【0106】

(実施の形態 4 の変形例)

次に、実施の形態 4 の変形例に係る電力増幅半導体装置について、図 8 A および図 8 B を用いて説明する。図 8 A および図 8 B は、実施の形態 4 の変形例に係る電力増幅半導体装置における基板ビアおよび半導体層ビアの配置例の各例を示す平面図である。

30

【0107】

図 8 A に示すように、基板ビア 901 a の平面視形状 (開口部輪郭の形状) は、屈曲した部分である 1 以上の屈曲部 901 a 1 を有する。このように、基板ビア 901 a は、基板ビア列に含まれる基板ビア 901 a の並び方向 (図 8 A の例では、Y 軸方向) に対して平行な部分と、当該並び方向に対して屈曲する部分とを組み合わせ形成されてもよい。

【0108】

屈曲部 901 a 1 は、平面視において、平行な部分に対して交差する (例えば、直交する) 方向であって、かつ、他の基板ビア列側に向かって屈曲する。例えば、第 1 基板ビア列 921 a に含まれる基板ビア 901 a の屈曲部 901 a 1 は、第 2 基板ビア列 921 b 側 (図 8 A の例では、X 軸プラス側) に向かって屈曲する。

40

【0109】

屈曲部 901 a 1 は、平行な部分の端部 (例えば、両端) から他の基板ビア列側に向かって屈曲する。また、第 1 基板ビア列 921 a に含まれる基板ビア 901 a の屈曲部 901 a 1 と、第 2 基板ビア列 921 b に含まれる基板ビア 901 a の屈曲部 901 a 1 とは、少なくとも一部が対向する。

【0110】

また、第 1 基板ビア列 921 a に含まれる基板ビア 901 a の平面視形状と、第 2 基板ビア列 921 b に含まれる基板ビア 901 a の平面視形状とは、例えば、点対称な形状である。

【0111】

50

また、図 8 A に示すように、半導体層ビア 902 a の平面視形状（開口部輪郭の形状）は、基板ビア 901 a と同様、屈曲した部分である 1 以上の屈曲部 902 a 1 を有する。このように、半導体層ビア 902 a は、半導体層ビア列に含まれる半導体層ビア 902 a の並び方向（図 8 A の例では、Y 軸方向）に対して平行な部分と、当該並び方向に対して屈曲する部分とを組み合わせ形成されてもよい。

【0112】

屈曲部 902 a 1 は、平面視において、平行な部分に対して交差する方向であって、かつ、他の半導体層ビア列側に向かって屈曲する。例えば、第 2 半導体層ビア列 922 b に含まれる半導体層ビア 902 a の屈曲部 902 a 1 は、第 2 半導体層ビア列 922 b 側（図 8 A の例では、X 軸プラス側）に向かって屈曲する。

10

【0113】

屈曲部 902 a 1 は、平行な部分の端部（例えば、両端）から他の半導体層ビア列側に向かって屈曲する。また、第 1 半導体層ビア列 922 a に含まれる半導体層ビア 902 a の屈曲部 902 a 1 と、第 2 半導体層ビア列 922 b に含まれる半導体層ビア 902 a の屈曲部 902 a 1 とは、少なくとも一部が対向する。

【0114】

また、第 1 半導体層ビア列 922 a に含まれる半導体層ビア 902 a の平面視形状と、第 2 半導体層ビア列 922 b に含まれる半導体層ビア 902 a の平面視形状とは、例えば、点对称な形状である。

【0115】

また、基板ビア 901 a と半導体層ビア 902 a とは、対応する形状（屈曲部を有する形状）を有しており、平面視において、少なくとも一部が重なるように配置される。

20

【0116】

図 8 B に示すように、基板ビア 901 b の平面視形状（開口部輪郭の形状）は、分岐した部分である 1 以上の分岐部 901 b 1 を有する。このように、基板ビア 901 b は、基板ビア列に含まれる基板ビア 901 b の並び方向（図 8 B の例では、Y 軸方向）に対して平行な部分と、当該平行な部分の両端から分岐するように突出する分岐部 901 b 1 とを組み合わせ形成されてもよい。

【0117】

分岐部 901 b 1 は、平面視において、平行な部分の端部（例えば、両端）から Y 字状に分岐する。また、第 1 基板ビア列 921 a に含まれる基板ビア 901 b の分岐部 901 b 1 と、第 2 基板ビア列 921 b に含まれる基板ビア 901 b の分岐部 901 b 1 とは、少なくとも一部が対向する。

30

【0118】

また、図 8 B に示すように、半導体層ビア 902 b の平面視形状（開口部輪郭の形状）は、基板ビア 901 b と同様、分岐した部分である 1 以上の分岐部 902 b 1 を有する。このように、半導体層ビア 902 b は、半導体層ビア列に含まれる半導体層ビア 902 b の並び方向（図 8 A の例では、Y 軸方向）に対して平行な部分と、当該平行な部分の両端から分岐するように突出する分岐部 902 b 1 とを組み合わせ形成されてもよい。

【0119】

分岐部 902 b 1 は、平面視において、平行な部分の端部（例えば、両端）から Y 字状に突出する。また、第 1 半導体層ビア列 922 a に含まれる半導体層ビア 902 b の分岐部 902 b 1 と、第 2 半導体層ビア列 922 b に含まれる半導体層ビア 902 b の分岐部 902 b 1 とは、少なくとも一部が対向する。

40

【0120】

以上のように、実施の形態 4 の変形例に係る電力増幅半導体装置は、平面視で、基板ビア 901 a、901 b の開口部輪郭が、複数の屈曲部 901 a 1 または複数の分岐部 901 b 1 を有してもよい。また、平面視で、半導体層ビア 902 a、902 b の開口部輪郭が、複数の屈曲部 902 a 1 または複数の分岐部 902 b 1 を有してもよい。

【0121】

50

これにより、屈曲パターンの組合せや、分岐パターンの組合せにより、ノイズが漏れ出る、またはノイズが漏れ入ることを抑制する効果を高めることができる。

【 0 1 2 2 】

(実施の形態 5)

[5 - 1 . 電力増幅半導体装置の構成]

次に、実施の形態 5 に係る電力増幅半導体装置について、図 9 および図 10 を用いて説明する。図 9 は、実施の形態 5 に係る電力増幅半導体装置における基板ビア 9 0 1 およびシールドバンブ開口部 8 0 4 の配置例を示す平面図である。

【 0 1 2 3 】

図 9 に示すように、実施の形態 5 に係る電力増幅半導体装置は、シールド配線層 5 0 3 (第 2 配線層 5 0 2 を含む) の下の基板ビア 9 0 1 が不連続かつ、多重に互い違いに配置され、かつ、シールドバンブ開口部 8 0 4 が不連続かつ、多重に互い違いに配置される。実施の形態 5 に係る電力増幅半導体装置は、実施の形態 4 に係る電力増幅半導体装置 5 0 0 に加えて、第 1 基板ビア列 9 2 1 a および第 2 基板ビア列 9 2 1 b それぞれにおいて互い違い(ジグザグ状)に配置されるシールドバンブ開口部 8 0 4 を有する。

10

【 0 1 2 4 】

第 1 基板ビア列 9 2 1 a および第 2 基板ビア列 9 2 1 b のそれぞれにおいて、基板ビア 9 0 1 の配置間隔と、シールドバンブ開口部 8 0 4 の配置間隔とが異なる。そのため、平面視において、基板ビア 9 0 1 のみが配置される領域と、シールドバンブ開口部 8 0 4 のみが配置される領域と、基板ビア 9 0 1 およびシールドバンブ開口部 8 0 4 の両方が重なる領域とが混在する。

20

【 0 1 2 5 】

このように、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 の何れか一方または両方の周囲を囲うシールド配線層 5 0 3 は、平面視で、端子層 L 2 から基板 1 0 1 までの間にシールド配線層 5 0 3 が連続配置される第 1 領域 R 1 と、シールド配線層 5 0 3 が連続配置されない第 2 領域 R 2 とを有する。

【 0 1 2 6 】

図 10 は、図 9 の各切断線における、実施の形態 5 に係る電力増幅半導体装置の断面図である。図 10 の (a) は、図 9 に示す X a - X a 切断線で切断した、実施の形態 5 に係る電力増幅半導体装置の断面図であり、図 10 の (b) は、図 9 に示す X b - X b 切断線で切断した、実施の形態 5 に係る電力増幅半導体装置の断面図であり、図 10 の (c) は、図 9 に示す X c - X c 切断線で切断した、実施の形態 5 に係る電力増幅半導体装置の断面図である。

30

【 0 1 2 7 】

図 10 の (a) に示すように、X a - X a 切断線の位置においては、2つの基板ビア列のそれぞれにおいて、端子層 L 2 から基板 1 0 1 までの間にシールド配線層 5 0 3 (具体的には、第 1 配線層 5 0 1 および第 2 配線層 5 0 2) が連続配置されており、かつ、2つの基板ビア列のそれぞれにおいて、シールドバンブ開口部 8 0 4 が形成されている。

【 0 1 2 8 】

なお、連続配置されているとは、端子層 L 2 から基板 1 0 1 までにわたって、ノイズを抑制するための金属層が形成されていることを意味する。また、連続配置されていないとは、端子層 L 2 から基板 1 0 1 までの間の一部に、ノイズを抑制するための金属層が形成されていることを意味する。

40

【 0 1 2 9 】

図 10 の (b) に示すように、X b - X b 切断線の位置においては、2つの基板ビア列のそれぞれにおいて、端子層 L 2 から基板 1 0 1 までの間にシールド配線層 5 0 3 (具体的には、第 1 配線層 5 0 1 および第 2 配線層 5 0 2) が連続配置されており、かつ、2つの基板ビア列のうち一方の基板ビア列において、シールドバンブ開口部 8 0 4 が形成されている。

【 0 1 3 0 】

50

図10の(c)に示すように、Xc-Xc切断線の位置においては、2つの基板ビア列のうち一方の基板ビア列において、端子層から基板101までの間にシールド配線層503(具体的には、第1配線層501および第2配線層502)が連続配置されており(図10の(c)に示す第1領域R1)、かつ、2つの基板ビア列のうち他方の基板ビア列において、端子層から基板101までの間のうち端子層(第5絶縁層205)のみにシールド配線層503(具体的には、第2配線層502)が配置されている(図10の(c)に示す第2領域R2)。また、シールドバンプ開口部804は、第2領域R2に形成されている。つまり、シールドバンプ開口部804は、シールド配線層503が連続配置されていない領域に形成されている。

【0131】

これにより、シールドバンプ開口部804により露出する第2配線層502の部分を平坦な面とすることができる。電力増幅半導体装置を、半田ボールなどを用いて実装基板にフリップチップ実装する場合に、半田ボールがビアの中に吸い込まれて半田不足になり導通不良となることを抑制することができる。

【0132】

なお、第1領域R1は、断面視において、シールド配線層503の下の基板ビア901、半導体層ビア902、および、シールドバンプ開口部804が連続的に接続された領域であり、第2領域R2は、断面視において、基板ビア901、半導体層ビア902、および、シールドバンプ開口部804が不連続な(例えば、基板ビア901、半導体層ビア902、および、シールドバンプ開口部804の全てが形成されていない)領域であるとも言える。実施の形態5に係る電力増幅半導体装置では、第1領域R1と第2領域R2とが混在するように配置されている。

【0133】

[5-2.効果など]

以上のように、実施の形態5に係る電力増幅半導体装置は、ドレイン集約部702、およびゲート集約部703の何れか一方または両方の周囲を囲うシールド配線層503が、平面視で、端子層L2から基板101までの間に、シールド配線層503が連続配置される領域(例えば、第1領域R1)と連続配置されない領域(例えば、第2領域R2)とを有する。

【0134】

これにより、断面視において、シールド配線層503の下の基板ビア901、半導体層ビア902、およびシールドバンプ開口部804が連続的に接続された領域と、不連続な領域とが混在するように配置されるので、シールド配線層503と、基板ビア901と、半導体層ビア902と、シールドバンプ開口部804内部に配置されたバンプ金属とによるノイズ影響の抑制効果と、ビアなどの配置上の設計自由度の調整を容易にする効果とを両立することができる。

【0135】

(実施の形態5の変形例1)

次に、実施の形態5の変形例1に係る電力増幅半導体装置について、図11A~図11Dを用いて説明する。図11A~図11Dは、実施の形態5の変形例1に係る電力増幅半導体装置における基板ビアおよびシールドバンプ開口部804の配置例の各例を示す平面図である。

【0136】

図11Aに示すように、シールドバンプ開口部804は、2以上の基板ビア列に含まれる複数の基板ビア901aのそれぞれを含むように形成されてもよい。

【0137】

図11Bに示すように、シールドバンプ開口部804は、2以上の基板ビア列に含まれる複数の基板ビア901bのそれぞれを含むように形成されてもよい。

【0138】

図11Cに示すように、シールドバンプ開口部804は、複数の基板ビア901aを含

10

20

30

40

50

む 2 以上の基板ビア列と並んで配置されてもよい。シールドバンプ開口部 804 は、基板ビア列の延在方向（図 11C の例では、Y 軸方向）と平行な方向に延在していてもよい。

【0139】

図 11D に示すように、シールドバンプ開口部 804 は、複数の基板ビア 901b を含む 2 以上の基板ビア列と並んで配置されてもよい。シールドバンプ開口部 804 は、基板ビア列の延在方向（図 11D の例では、Y 軸方向）と平行な方向に延在していてもよい。

【0140】

図 11A および図 11B に示すように、基板ビアとシールドバンプ開口部 804 とは平面視において重なるように配置されてもよいし、図 11C および図 11D に示すように、基板ビアとシールドバンプ開口部 804 とは平面視において重ならないように配置されてもよい。このような基板ビアおよびシールドバンプ開口部 804 の配置であっても、実施の形態 5 に係る電力増幅半導体装置と同様の効果を奏する。

【0141】

（実施の形態 5 の変形例 2）

次に、実施の形態 5 の変形例 2 に係る電力増幅半導体装置について、図 12 を用いて説明する。図 12 は、実施の形態 5 の変形例 2 に係る電力増幅半導体装置の構成を示す図である。図 12 の (a) は、実施の形態 5 の変形例 2 に係る電力増幅半導体装置における基板ビア 901 およびシールドバンプ開口部 804 の配置例を示す平面図である。図 12 の (b) は、図 12 の (a) の X I I b - X I I b 切断線で切断した、実施の形態 5 の変形例 2 に係る電力増幅半導体装置の断面図である。

【0142】

図 12 に示すように、実施の形態 5 の変形例 2 に係る電力増幅半導体装置では、平面視において、シールド配線層 503（第 1 配線層 501 および第 2 配線層 502）の下の基板ビア 901 および半導体層ビア 902 に対して、シールドバンプ開口部 804 が重複しないように配置されている。

【0143】

実施の形態 5 の変形例 2 に係る電力増幅半導体装置では、基板ビア 901 および半導体層ビア 902 が並んで配置されるビア列と、シールドバンプ開口部 804 が並んで配置されるバンプ列とが、互いに異なっている。また、ビア列およびバンプ列のそれぞれは、1 以上配置され、本変形例では、それぞれ 2 つ配置されるが、数は特に限定されない。また、2 つのビア列に含まれる基板ビア 901 および半導体層ビア 902 は、交互（ジグザグ状）に配置されており、2 つのバンプ列に含まれるシールドバンプ開口部 804 は、交互（ジグザグ状）に配置されている。

【0144】

図 12 の (a) に示す Y 軸方向のどの位置からビア列およびバンプ列の並び方向（図 12 の例では X 軸方向）を見ても、少なくとも 1 つの基板ビア 901 および半導体層ビア 902 と、少なくとも 1 つのシールドバンプ開口部 804 とが配置されている。

【0145】

これにより、平面視において、シールド配線層 503 の下の基板ビア 901 および半導体層ビア 902 に対して、シールドバンプ開口部 804 が重複しないように配置されるので、シールドバンプ開口部 804 周辺の第 2 配線層 502 の表面形状を平坦にすることができ、後工程でのバンププロセス条件を簡易なものにすることができる。

【0146】

（実施の形態 5 の変形例 3）

次に、実施の形態 5 の変形例 3 に係る電力増幅半導体装置について、図 13 を用いて説明する。図 13 は、実施の形態 5 の変形例 3 に係る電力増幅半導体装置の構成を示す図である。図 13 の (a) は、実施の形態 5 の変形例 3 に係る電力増幅半導体装置における基板ビア 901 およびシールドバンプ開口部 804 の配置例を示す平面図である。図 13 の (b) は、図 13 の (a) の X I I I b - X I I I b 切断線で切断した、実施の形態 5 の変形例 3 に係る電力増幅半導体装置の断面図である。図 13 の (c) は、図 13 の (a)

10

20

30

40

50

のX I I I c - X I I I c切断線で切断した、実施の形態5の変形例3に係る電力増幅半導体装置の断面図である。図13の(b)は、シールドバンプ開口部804が配置された位置の断面図であり、図13の(c)は、基板ビア901が配置された位置の断面図である。

【0147】

図13に示すように、基板ビア901およびシールドバンプ開口部804は、平面視において、一直線状に交互に配置されてもよい。この場合、基板ビア901およびシールドバンプ開口部804は、平面視において、互いに重ならないように配置される。

【0148】

これにより、基板ビア列が1列のみ設けられる構成においても、シールドバンプ開口部804周辺の第2配線層502の表面形状を平坦にすることができ、後工程でのバンププロセス条件を簡易なものにすることができる。

10

【0149】

(実施の形態5の変形例4)

次に、実施の形態5の変形例4に係る電力増幅半導体装置について、図14を用いて説明する。図14は、実施の形態5の変形例4に係る電力増幅半導体装置の構成を示す図である。図14の(a)は、実施の形態5の変形例4に係る電力増幅半導体装置における基板ビア901およびシールドバンプ開口部804の配置例を示す平面図である。図14の(b)は、図13の(a)のX I V b - X I V b切断線で切断した、実施の形態5の変形例4に係る電力増幅半導体装置の断面図である。

20

【0150】

図14に示すように、本変形例に係る電力増幅半導体装置は、平面視において、基板ビア901およびシールドバンプ開口部804が一直線状に交互に配置された列を、当該列の延在方向(図14の例ではY軸方向)と直交する方向(図14の例ではX軸方向)に複数有する。この場合、複数の基板ビア901および複数のシールドバンプ開口部804のそれぞれは、平面視において、互いに重ならないように配置される。

【0151】

また、本変形例に係る電力増幅半導体装置は、シールド配線層503(第2配線層502)に接続されたシールドパッド704aを有する。シールドパッド704aは、第2配線層502のうちシールドバンプ開口部804により露出する部分である。シールドパッド704aは、シールドパッド704aのパッド領域(図14の(a)に示すシールドバンプ開口部804の領域)が、基板ビア901の開口領域(図14の(a)に示す基板ビア901の矩形領域)と重複しないように設けられている。

30

【0152】

以上のように、実施の形態5の変形例4に係る電力増幅半導体装置は、シールド配線層503に接続されたシールドパッド704aを有し、平面視で、シールドパッド704aのパッド領域は、基板ビア901の開口領域と重ならない。例えば、パッド領域は、平面視で、開口領域と重ならない位置に配置される。

【0153】

これにより、基板ビア901およびシールドバンプ開口部804が一直線状に交互に配置された列が複数列設けられる構成においても、シールドバンプ開口部804周辺の第2配線層502の表面形状を平坦にすることができ、後工程でのバンププロセス条件を簡易なものにすることができる。

40

【0154】

(実施の形態5の変形例5)

次に、実施の形態5の変形例5に係る電力増幅半導体装置について、図15を用いて説明する。図15は、実施の形態5の変形例5に係る電力増幅半導体装置の構成を示す図である。図15の(a)は、実施の形態5の変形例5に係る電力増幅半導体装置における基板ビア901およびシールドバンプ開口部804の配置例を示す平面図である。図15の(b)は、図15の(a)のX V b - X V b切断線で切断した、実施の形態5の変形例5

50

に係る電力増幅半導体装置の断面図である。

【 0 1 5 5 】

図 1 5 に示すように、シールド配線層 5 0 3 が第 1 配線層 5 0 1 および第 2 配線層 5 0 2 の複数の層で構成されている場合、平面視において、上層の第 2 配線層 5 0 2 と、下層の第 1 配線層 5 0 1 との幅が異なるように配置されていてもよい。例えば、シールド配線層 5 0 3 は、接続層 L 1 に設けられた第 1 シールド配線層（例えば、第 1 配線層 5 0 1）と、端子層 L 2 に設けられた第 2 シールド配線層（例えば、第 2 配線層 5 0 2）とを含む。第 1 シールド配線層と第 2 シールド配線層とは、例えば、第 4 絶縁層 2 0 4 内で接続されている。

【 0 1 5 6 】

第 2 配線層 5 0 2 は、第 1 配線層 5 0 1 のうち平面視において基板ビア 9 0 1 および半導体層ビア 9 0 2 が配置されていない部分、つまり第 1 配線層 5 0 1 において Z 軸プラス側の表面が平坦である部分に配置される。

【 0 1 5 7 】

平面視で、第 1 シールド配線層と第 2 シールド配線層とは、ドレイン集約部 7 0 2 およびゲート集約部 7 0 3 の何れか一方または両方の周囲を囲う配線幅が異なっている。第 1 シールド配線層の配線の配線幅 $W 1$ は、第 2 シールド配線層の配線の配線幅 $W 2$ より大きい。

【 0 1 5 8 】

また、本変形例では、基板ビア 9 0 1 および半導体層ビア 9 0 2 と、第 2 配線層 5 0 2 とは、平面視において、互いに重ならないように配置されている。

【 0 1 5 9 】

以上のように、実施の形態 5 の変形例 5 に係る電力増幅半導体装置のシールド配線層 5 0 3 は、接続層 L 1 に設けられた第 1 シールド配線層と、端子層 L 2 に設けられた第 2 シールド配線層とを含み、平面視で、第 1 シールド配線層と第 2 シールド配線層とは、ドレイン集約部 7 0 2、およびゲート集約部 7 0 3 の何れか一方または両方の周囲を囲う部分において、互いに配線幅（配線幅 $W 1$ 、 $W 2$ ）が異なってもよい。

【 0 1 6 0 】

これにより、シールド配線層 5 0 3 が第 1 配線層 5 0 1 および第 2 配線層 5 0 2 を含む複数の層で構成されている場合、平面視において、上層の第 2 配線層 5 0 2 と、下層の第 1 配線層 5 0 1 との幅が異なるように配置されるので、基板ビア 9 0 1 および半導体層ビア 9 0 2 に対する、シールドバンプ開口部 8 0 4 の位置関係の設計自由度を向上させることができる。

【 0 1 6 1 】

（実施の形態 6）

[6 - 1 . 電力増幅半導体装置の構成]

次に、実施の形態 6 に係る電力増幅半導体装置について、図 1 6 を用いて説明する。図 1 6 は、実施の形態 6 に係る電力増幅半導体装置 4 0 0 の構成を示す平面図である。図 1 6 は平面図であるが、ソース電極 3 0 1、ドレイン電極 3 0 2、ゲート電極 3 0 3 およびフィールドプレート電極 3 0 4 などのフィンガー電極、フィンガー電極を集約するバスバー電極などを実線で図示している。図 1 6 を用いて、各フィンガー電極と、当該フィンガー電極に対応するパッドとの接続形態について説明する。

【 0 1 6 2 】

図 1 6 に示すように、ソース電極 3 0 1 は、接続部 C 1 を介してソースパッド 7 0 1 a（例えば、図 1 等を参照）領域に形成されたソース集約部 7 0 1 に接続される。ソースパッド 7 0 1 a は、ソース電極 3 0 1 の直上に形成される。また、フィールドプレート電極 3 0 4 も、接続部 C 2 を介してソース集約部 7 0 1 に接続される。

【 0 1 6 3 】

集約電極部 7 1 2 a（バスバー電極）は、複数のドレイン電極 3 0 2 の並び方向（X 軸方向）に延在し、複数のドレイン電極 3 0 2 と電氣的に接続される。集約電極部 7 1 2 a

10

20

30

40

50

は、トランジスタ近傍の1以上の接続部C3を介して、集約配線（例えば、3本の集約配線）によりドレイン集約部702と接続される。集約電極部712aは、平面視において、トランジスタの近傍に配置される。

【0164】

つまり、ドレイン電極302と集約電極部712aとの接続、および、集約電極部712aの位置は、トランジスタ近傍であり、集約電極部712aとドレインパッド702a（図16に示す「D」の部分）とは、ドレインパッド702a領域において接続されている。

【0165】

集約電極部713aは、複数のゲート電極303の並び方向（X軸方向）に延在し、複数のゲート電極303と電氣的に接続される。集約電極部713aは、複数のゲート電極303を集約し、トランジスタ近傍の1以上の接続部C4を介してゲート集約部703に接続される。集約電極部713aは、平面視において、トランジスタの近傍に配置される。また、集約電極部713aとゲート集約部703とは、集約配線（例えば、1本の集約配線）により接続される。

10

【0166】

つまり、ゲート電極303と集約電極部713aとの接続、および、集約電極部713aの位置は、トランジスタ近傍であり、集約電極部713aとゲートパッド703a（図16に示す「G」の部分）とは、ゲートパッド703a領域において接続されている。

【0167】

（実施の形態6の変形例）

次に、実施の形態6の変形例に係る電力増幅半導体装置における、各フィンガー電極と、当該フィンガー電極に対応するパッドとの接続形態の他の例について、図17～図19を用いて説明する。図17～図19は、実施の形態6の変形例に係る電力増幅半導体装置の構成の各例を示す平面図である。図17では、1層目配線（例えば、図16等に示す第2配線層502に相当）を斜線ありで図示しており、2層目配線（例えば、図16等に示す第1配線層501に相当）を斜線なしで図示している。なお、ソース電極301の接続については実施の形態6と同様であるので、説明を省略する。

20

【0168】

図17に示すように、電力増幅半導体装置400aでは、接続部C3がソースパッド701a（例えば、図1等を参照）領域に配置されており、ドレイン電極302と集約配線702bとが接続部C3を介してドレイン電極302の直上で接続される。また、ドレイン電極302は、集約配線702bを介してドレインパッド702a（例えば、図1等を参照）領域において集約される。

30

【0169】

また、電力増幅半導体装置400aでは、接続部C4がソースパッド701a領域に配置されており、ゲート電極303と集約配線703bとがゲート電極303の直上で接続部C4を介して接続される。また、ゲート電極303は、集約配線703bを介してゲートパッド703a（例えば、図1等を参照）領域において集約される。

【0170】

図18は、実施の形態6の変形例に係る電力増幅半導体装置400bの構成を示す平面図である。

40

【0171】

図18に示すように、電力増幅半導体装置400bでは、接続部C3がトランジスタ近傍に配置されており、ドレイン電極302と集約配線702bとがトランジスタ近傍で接続される。また、ドレイン電極302は、集約配線702bを介してドレインパッド702a領域（ドレイン集約部702）において集約される。

【0172】

また、電力増幅半導体装置400bでは、複数のゲート電極303の並び方向（X軸方向）に延在し、複数のゲート電極303と電氣的に接続される集約電極部713aに接続

50

部C4が配置されており、ゲート電極303と集約電極部713aとがトランジスタ近傍で接続される。また、ゲート電極303は、接続部C4を介して集約電極部713a(つまり、トランジスタ近傍)において集約される。また、集約電極部713aは、集約配線703bを介してゲート集約部703と接続される。

【0173】

図19は、実施の形態6の変形例に係る電力増幅半導体装置400cの構成を示す平面図である。

【0174】

図19に示すように、ドレイン電極302とドレインパッド702a(例えば、図1等を参照)との接続は、図16に示す電力増幅半導体装置400と同様であり、ゲート電極303とゲートパッド703a(例えば、図1等を参照)との接続は、図18に示す電力増幅半導体装置400bと同様であってもよい。

10

【0175】

このように、各フィンガー電極と、当該フィンガー電極に対応するパッドとの接続形態については、種々の方法、および、その組み合わせがあり、適宜決定されるとよい。

【0176】

(製造方法)

次に、上記の電力増幅半導体装置の製造方法について、図20A~図20Dを用いて説明する。以下では、一例として、実施の形態1に係る電力増幅半導体装置100の製造方法を説明する。図20A~図20Dは、実施の形態1に係る電力増幅半導体装置100の製造方法を説明するための各断面図である。なお、実施の形態1に係る電力増幅半導体装置100以外の電力増幅半導体装置についても、製造方法は実施の形態1と同じであるため、説明を省略する。

20

【0177】

図20Aの(a)に示すように、Siからなる基板101上に、有機金属気相成長法(MOCVD: Metal Organic Chemical Vapor Deposition)を用いて、厚さが数 μm (例えば、 $2\mu\text{m}$)でAlN、GaNおよびAlGaNを含む積層構造からなり、AlGaNとGaNのヘテロ界面付近に二次元電子ガス層を有する、半導体エピタキシャル層102を成長させる。さらに、後述するトランジスタ形成領域となる活性領域401、および、非活性領域402の形成として、非活性領域402は、FおよびBF₂によるイオン注入によって、半導体エピタキシャル層102中の二次元電子を不活性化させることで形成される。

30

【0178】

次に、図20Aの(b)に示すように、半導体エピタキシャル層102の上にCVD(Chemical Vapor Deposition)による膜厚30nm程度のSiNからなる第1絶縁層201と、第1絶縁層201を開口して、フォトレジストによりパターンニングされたTiとAlとを蒸着法により20nm、200nmと順次積層し、リフトオフによるパターンニングをした後、熱処理により合金化処理されたことで、半導体エピタキシャル層102中の二次元電子ガスとオーミック接続する、ソース電極301とドレイン電極302とを、活性領域401内に形成する。

40

【0179】

次に、図20Aの(c)に示すように、第1絶縁層201を開口し、フォトレジストによりパターンニングされたNiとAuとを蒸着法により50nm、500nmと順次積層し、リフトオフによりパターンニングされ、半導体エピタキシャル層102中の二次元電子ガスとショットキー接続するゲート電極303を、活性領域401内のソース電極301とドレイン電極302との間に形成する。

【0180】

次に、図20Bの(a)に示すように、ソース電極301、ドレイン電極302およびゲート電極303の上に、CVDによりSiNからなる膜厚150nm程度の第2絶縁層202を形成し、ゲート電極303のソース側ゲート電極端よりドレイン側に、ゲート電

50

極 303 を覆うようにフォトリソトによりパターニングされた Ti と Al とを蒸着法により 50 nm、500 nm と順次積層し、リフトオフによりパターニングされたフィールドプレート電極 304 を形成する。

【0181】

次に、図 20B の (b) に示すように、フィールドプレート電極 304 の上に、CVD により SiN からなる膜厚 300 nm 程度の第 3 絶縁層 203 を形成し、ソース電極 301、ドレイン電極 302、ゲート電極 303 および、フィールドプレート電極 304 の一部を露出させる電極 - 配線間開口接続部 601 を形成する。また、非活性領域 402 で後に半導体層ビア 902、基板ビア 901 が形成される領域には、半導体エピタキシャル層 102 を一部露出させるビア - 配線間開口接続部 603 を形成する。

10

【0182】

次に、図 20B の (c) に示すように、ビア - 配線間開口接続部 603 の内側に、半導体エピタキシャル層 102 を開口し、基板 101 を露出させる、半導体層ビア 902 をドライエッチにて形成する。

【0183】

次に、図 20C の (a) に示すように、半導体層ビア 902 の内側に、基板 101 を 150 μm 程度ドライエッチで掘り込み、基板ビア 901 を形成する。

【0184】

次に、図 20C の (b) に示すように、スパッタ法により Ti、Al を 100 nm 程度、2 μm 程度とスパッタ法により順次堆積させ、フォトリソトによるパターニングおよびドライエッチにより、第 1 配線層 501 を形成する。

20

【0185】

次に、図 20C の (c) に示すように、CVD 法により SiO₂ からなる膜厚 1 μm 程度の第 4 絶縁層 204 を形成し、第 1 配線層 501 の一部を露出させる配線 - 配線間開口接続部 602 をドライエッチにより形成した後、Ti、Al を 100 nm、4 μm とスパッタ法により順次堆積させ、フォトリソトによるパターニングにより、第 2 配線層 502 を形成する。また、基板ビア 901 と半導体層ビア 902 とが形成された領域には、第 1 配線層 501 と第 2 配線層 502 とを含むシールド配線層 503 が形成される。また、図 20C の (c) には図示していないが、第 1 配線層 501 と第 2 配線層 502 とから、ソース集約部 701 と、ドレイン集約部 702 と、ゲート集約部 703 とが形成される。

30

【0186】

次に、図 20D の (a) に示すように、CVD 法とスピコートとにより、膜厚 800 nm 程度の SiN とポリイミドとに代表される感光性有機樹脂膜を用いて、第 5 絶縁層 205 を形成し、第 5 絶縁層 205 を開口して第 2 配線層 502 が露出する各種パンプ開口部を形成する。シールド配線層 503 (例えば、第 1 配線層 501 および第 2 配線層 502) 上にはシールドパンプ開口部 804 が形成される。

【0187】

また、ソース集約部 701 を開口するソースパンプ開口部 801 と、ドレイン集約部 702 を開口するドレインパンプ開口部 802 (図 1 参照) と、ゲート集約部 703 を開口するゲートパンプ開口部 803 (図 1 参照) とが形成される。

40

【0188】

次に、図 20D の (b) に示すように、基板 101 の裏面側に対して研削および研磨を実施した後、Ti と Ni と Au とが積層された裏面電極 103 が形成される。これにより、電力増幅半導体装置 100 が作製される。

【0189】

なお、上記では、基板ビア 901 を形成するためのドライエッチと、半導体層ビア 902 形成するためのドライエッチとが、基板 101 の同一面側から行われる例について説明したが、反対の面側から行われてもよい。例えば、基板ビア 901 を形成するためのドライエッチは、基板 101 の Z 軸プラス側 (裏面側) から行われ、半導体層ビア 902 形成するためのドライエッチは、基板 101 の Z 軸マイナス側 (表面側) から行われてもよい

50

。また、スパッタ法などによる金属材料の堆積についても、同様である。これにより、平面視において基板ビア901と半導体層ビア902とが重ならない位置に設けられる構成の電力増幅半導体装置を製造可能となる。

【0190】

(バンプ金属によるノイズ抑制の説明)

バンプ金属によるノイズ抑制について、図21を参照しながら説明する。図21は、各実施の形態に係る電力増幅半導体装置が実装された実装基板を示す断面図である。図21では、一例として、実施の形態3の変形例に係る電力増幅半導体装置400が実装基板1000にバンプ金属1100を介して実装された状態を示しているが、他の実施の形態または変形例に係る電力増幅半導体装置においても同様のことが言える。また、図21では、バンプ金属1100により抑制されるノイズのみを矢印で示している。実線の矢印は、ドレイン集約部702から放射されるノイズを示しており、破線の矢印は、ゲート集約部703に入射するノイズを示している。

10

【0191】

図21に示すように、電力増幅半導体装置400は、各パッドの面を下向き(Z軸プラス向き)にして実装基板1000等を実装する、いわゆるフェースダウン(face down)実装により実装基板1000に実装される。また、電力増幅半導体装置400を実装基板1000に実装する実装方法は特に限定されず、例えばボールグリッドアレイ(BGA)またはランドグリッドアレイ(LGA)などであってもよい。

【0192】

ソースパッド701a、ドレインパッド702a、ゲートパッド703aおよびシールドパッド704aのそれぞれは、バンプ金属1100により実装基板1000と接続されている。シールドパッド704aに配置されるバンプ金属1100は、例えば、実装基板1000上のGNDパターンと接続されてもよい。

20

【0193】

上記でも説明したように、シールドパッド704aは、平面視において、ドレイン集約部702およびゲート集約部703のそれぞれを囲むように形成されている。そのため、シールドパッド704aに配置されるバンプ金属1100も平面視において、ドレイン集約部702およびゲート集約部703のそれぞれを囲むように配置される。

【0194】

これにより、ドレイン集約部702から放射されるノイズがドレイン集約部702の周囲のバンプ金属1100により遮られるので、電力増幅半導体装置100の外部の部品へのノイズ放射を抑制することができる。また、外部の部品またはドレイン集約部702から放射されたノイズがゲート集約部703の周囲のバンプ金属1100により遮られるので、外部の部品またはドレイン集約部702からのノイズがゲート集約部703へ入射することを抑制することができる。

30

【0195】

このように、バンプ金属1100は、ノイズに対するシールド(電磁シールド)として機能する。

【0196】

(その他の実施の形態)

以上、本開示の1つまたは複数の態様に係る電力増幅半導体装置について、各実施の形態等に基づいて説明したが、本開示は、この各実施の形態等に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の1つまたは複数の態様の範囲内に含まれてもよい。

40

【0197】

例えば、上記の各実施の形態では、電力増幅半導体装置は、第1配線層および第2配線層の2つの配線層を備える例について説明したが、これに限定されず、1層の配線層を備える構成であってもよい。1層の配線層とは、1回の成膜工程により形成される層である

50

。この場合、1層の配線層のうち第1絶縁層～第3絶縁層に形成される部分が接続層を構成し、1層の配線層のうち第4絶縁層に形成される部分が端子層を構成する。接続層は、ソース電極、ドレイン電極およびゲート電極と、それらの電極と端子層の電極とを接続する配線とを含む。このように、本開示は、1層の配線層を備える電力増幅半導体装置に適用可能である。

【0198】

また、例えば、上記の各実施の形態では、基板ビアと半導体層ビアとが平面視で重なる位置に配置される例について説明したがこれに限定されず、基板ビアと半導体層ビアとが平面視で重ならない位置に配置されていてもよい。

【産業上の利用可能性】

10

【0199】

本開示に係る電力増幅半導体装置は、ノイズの発生および外部ノイズからの影響の抑制にすぐれているため、ノイズが発生しやすく、外部ノイズの影響を回避したい、通信用増幅器に有用である。

【符号の説明】

【0200】

100、200、300、400、400a、400b、400c、500 電力増幅半導体装置

101 基板

102 半導体エピタキシャル層(半導体層)

20

103 裏面電極

201 第1絶縁層

202 第2絶縁層

203 第3絶縁層

204 第4絶縁層

205 第5絶縁層

301 ソース電極

302 ドレイン電極

303 ゲート電極

304 フィールドプレート電極

30

401 活性領域

402 非活性領域

501 第1配線層

502 第2配線層

503 シールド配線層

601 電極 - 配線間開口接続部

602 配線 - 配線間開口接続部

603 ビア - 配線間開口接続部

701 ソース集約部

701a ソースパッド

40

702 ドレイン集約部

702a ドレインパッド

702b、703b 集約配線

703 ゲート集約部

703a ゲートパッド

704a シールドパッド

712a、713a 集約電極部

801 ソースバンプ開口部

802 ドレインバンプ開口部

803 ゲートバンプ開口部

50

804 シールドバンプ開口部

901、901a、901b 基板ビア

901a1、902a1 屈曲部

901b1、902b1 分岐部

902、902a、902b 半導体層ビア

911、911a、911b、912、912a、912b 不連続部

921a 第1基板ビア列

921b 第2基板ビア列

922a 第1半導体層ビア列

922b 第2半導体層ビア列

1000 実装基板

1100 パンプ金属

C1、C2、C3、C4、L1 接続層

L2 端子層

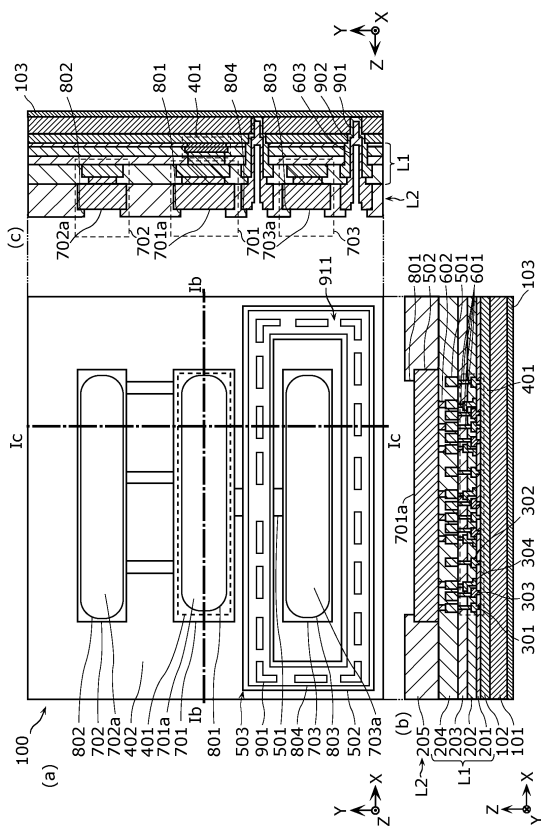
R1 第1領域

R2 第2領域

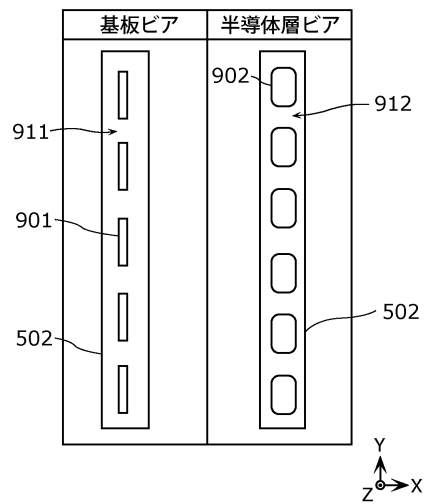
W1、W2 配線幅

【図面】

【図1】



【図2】



10

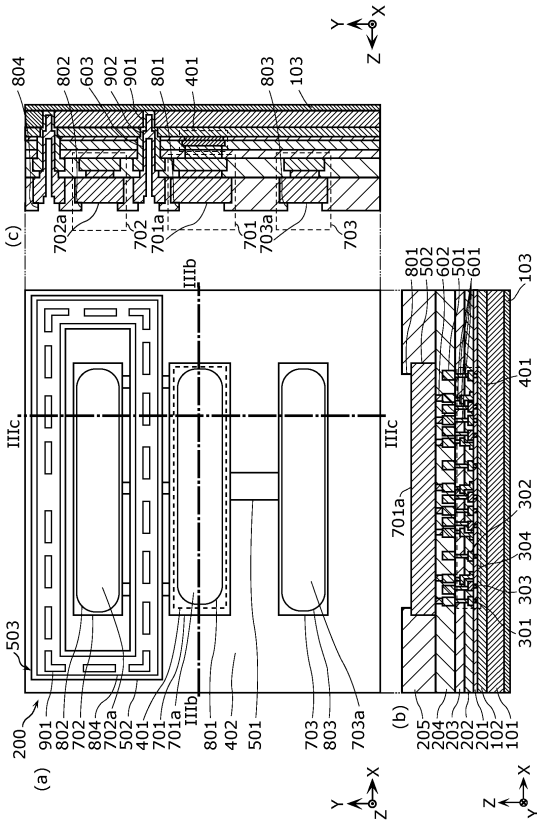
20

30

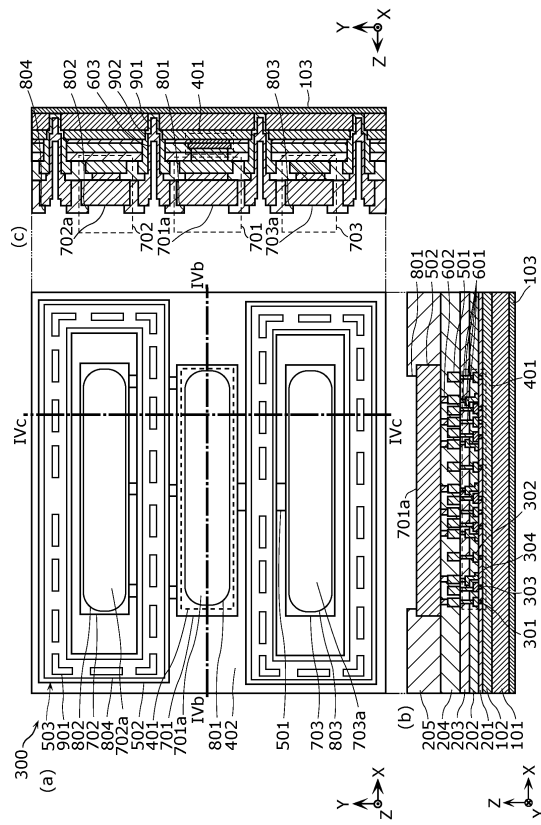
40

50

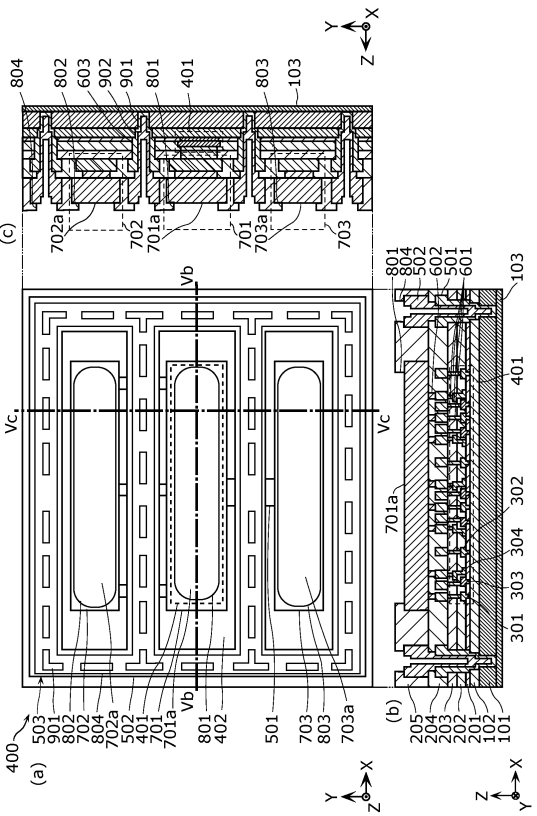
【図 3】



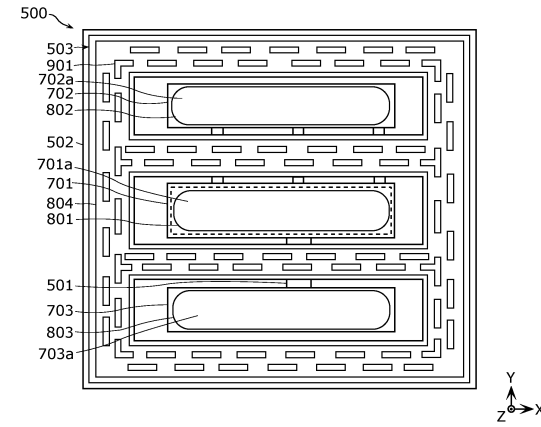
【図 4】



【図 5】



【図 6】



10

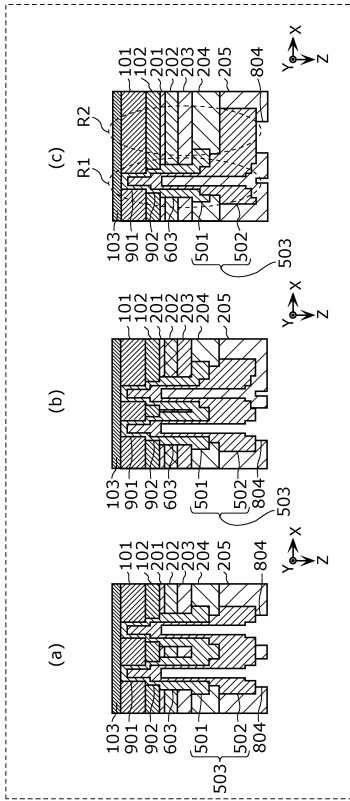
20

30

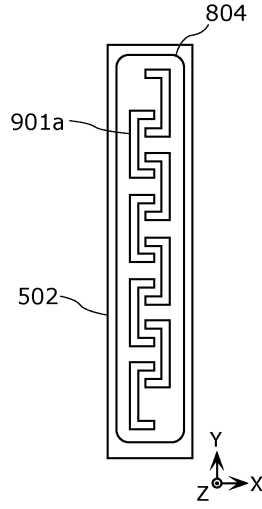
40

50

【図 1 0】



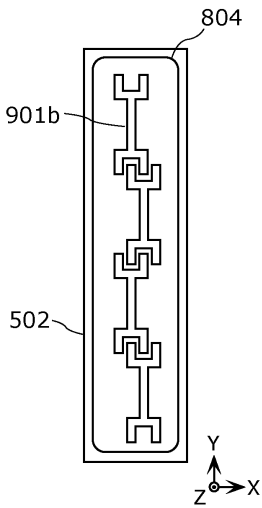
【図 1 1 A】



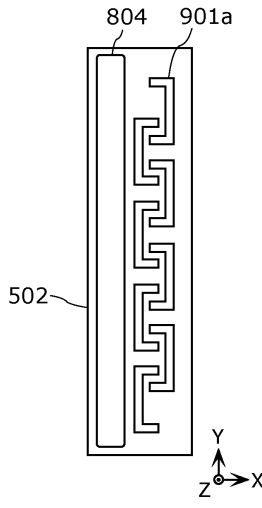
10

20

【図 1 1 B】



【図 1 1 C】

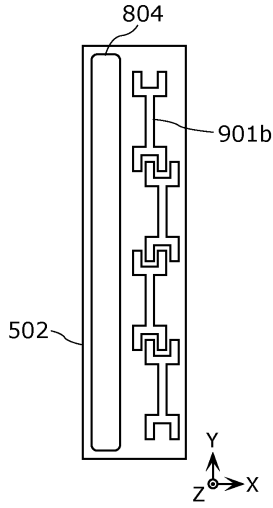


30

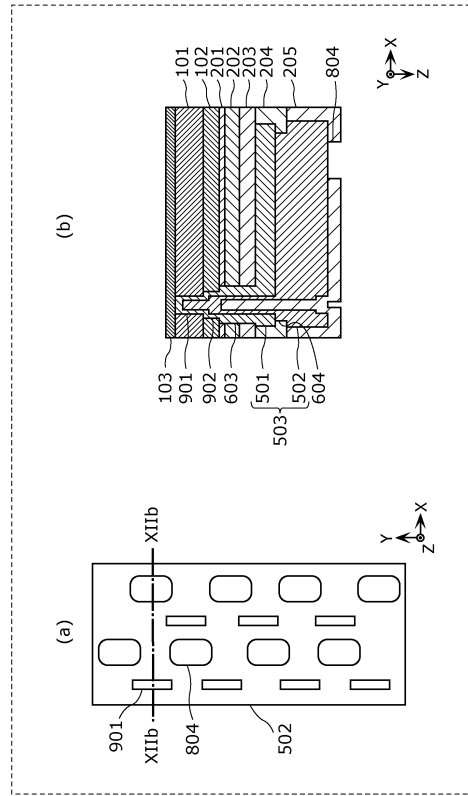
40

50

【 1 1 D 】



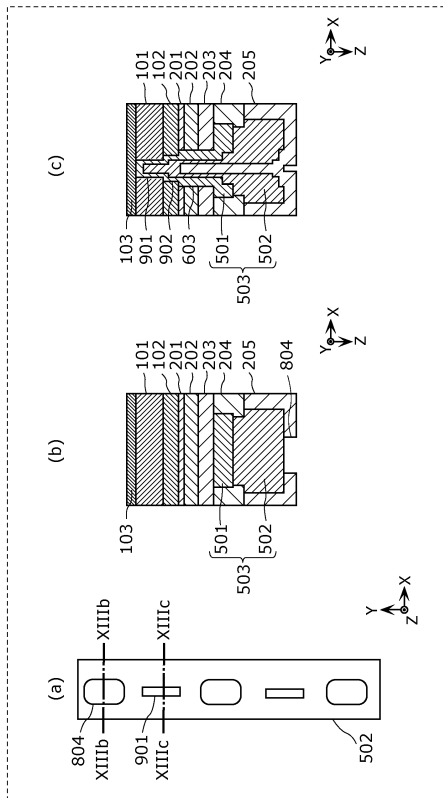
【 1 2 】



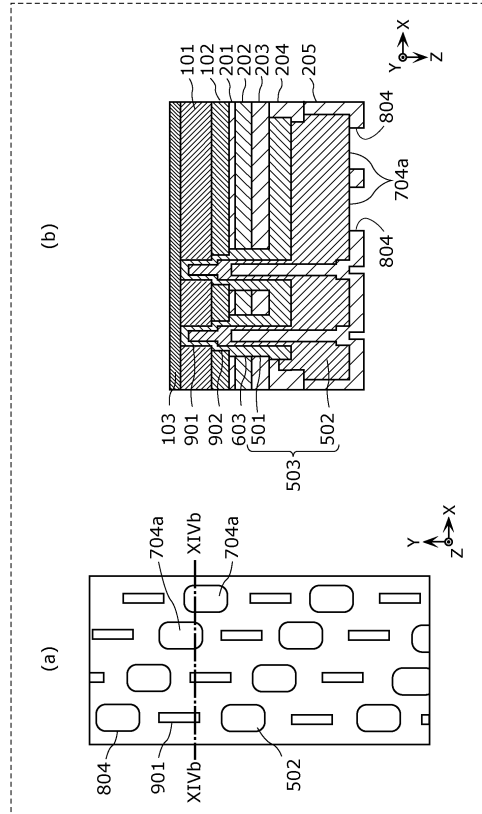
10

20

【 1 3 】



【 1 4 】

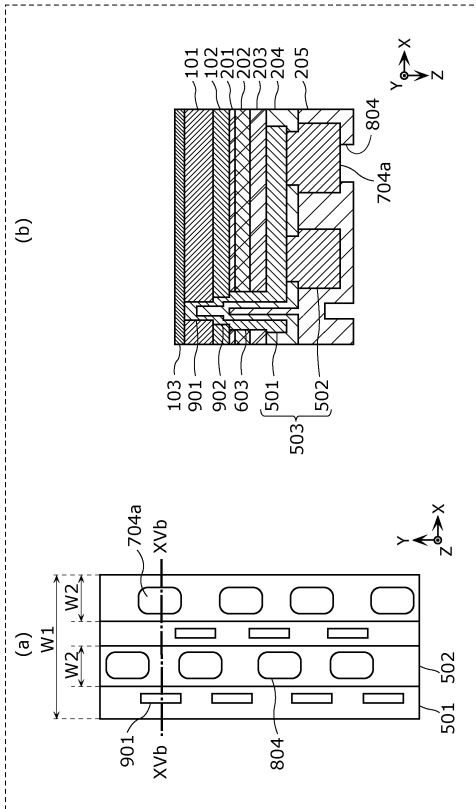


30

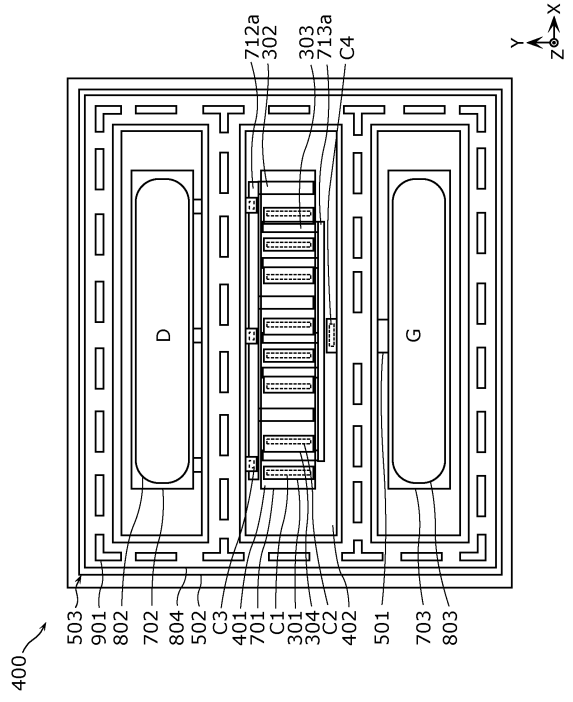
40

50

【 図 1 5 】



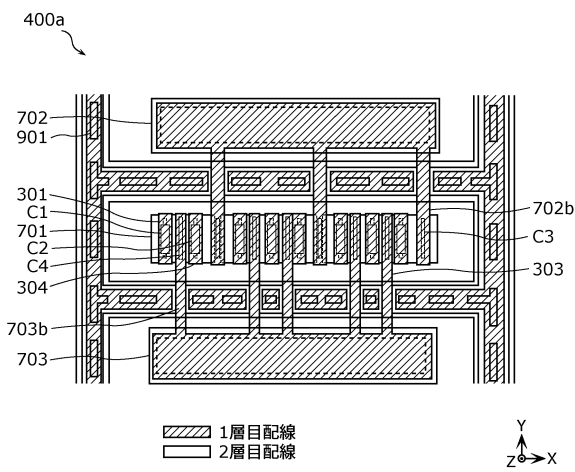
【 図 1 6 】



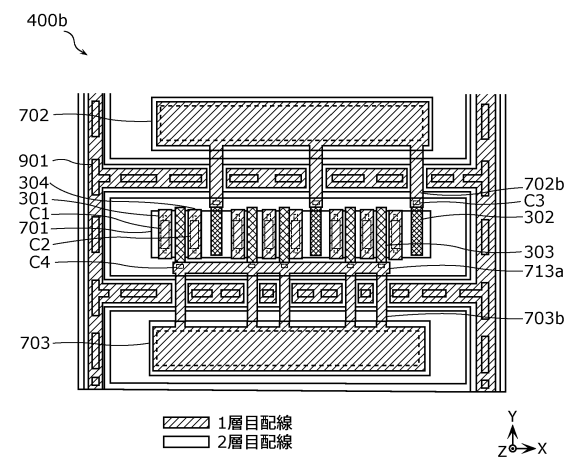
10

20

【 図 1 7 】



【 図 1 8 】

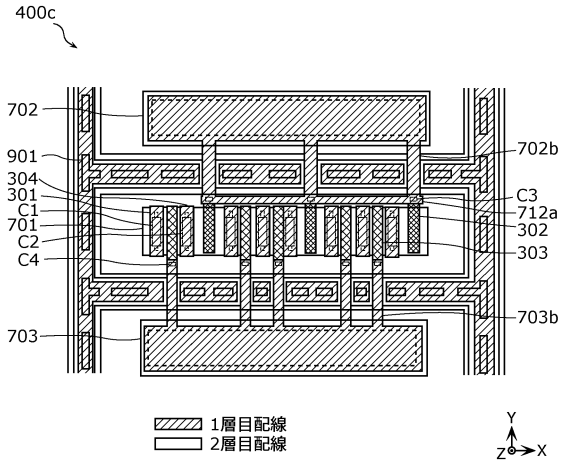


30

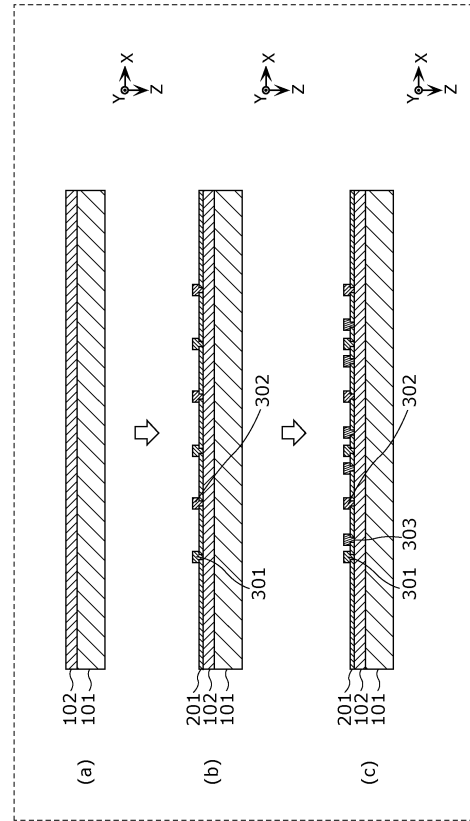
40

50

【図 19】



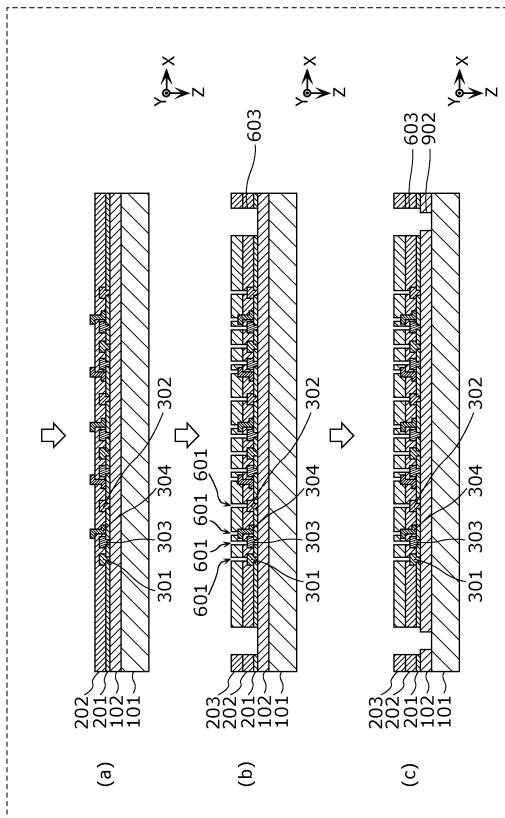
【図 20 A】



10

20

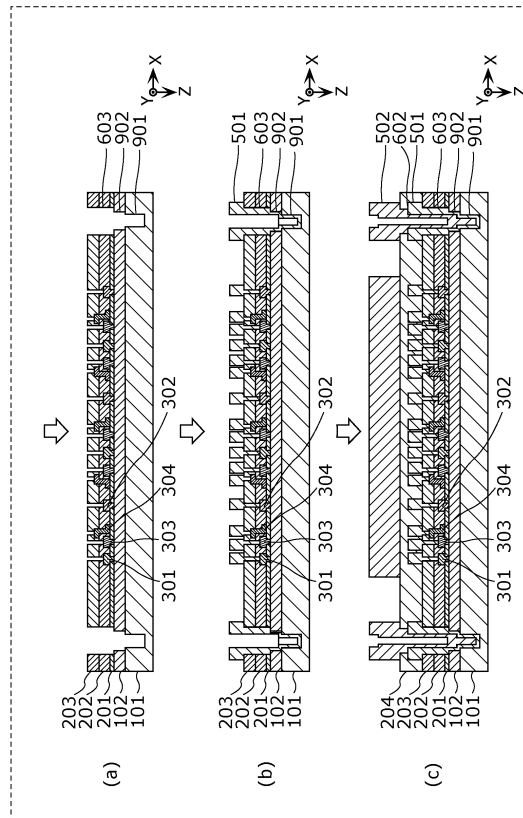
【図 20 B】



30

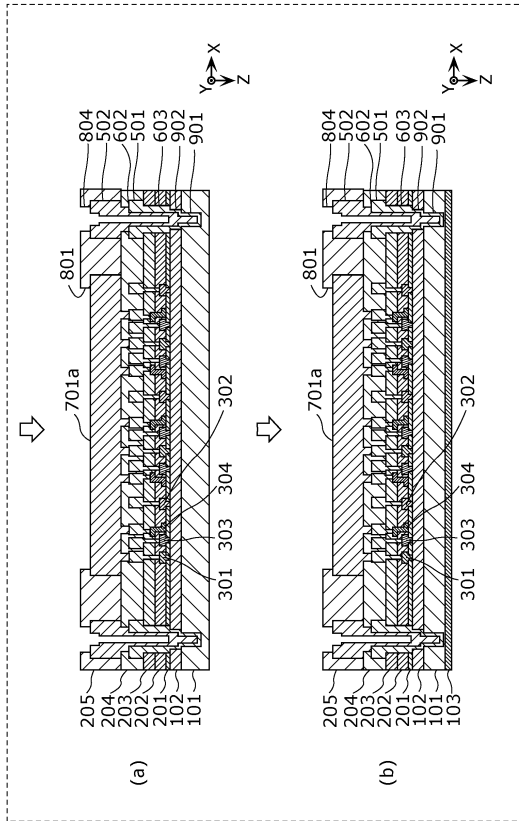
40

【図 20 C】

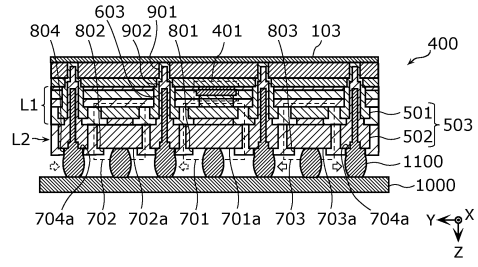


50

【図 20D】



【図 21】



10

20

30

40

50

フロントページの続き

ヌヴォトンテクノロジージャパン株式会社内

(72)発明者 神田 裕介

日本国富山県魚津市東山800番地 アットフィールズテクノロジー株式会社内

(72)発明者 油井 隆

日本国富山県魚津市東山800番地 アットフィールズテクノロジー株式会社内

審査官 恩田 和彦

(56)参考文献 国際公開第2009/101870(WO, A1)

特開2008-182158(JP, A)

国際公開第2017/029822(WO, A1)

特開2009-239115(JP, A)

特開2011-139018(JP, A)

特開昭60-231370(JP, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/338

H01L 29/06

H01L 29/778

H01L 29/812