

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3749837号

(P3749837)

(45) 発行日 平成18年3月1日(2006.3.1)

(24) 登録日 平成17年12月9日(2005.12.9)

(51) Int. Cl.

F I

H O 1 L 27/092 (2006.01)

H O 1 L 27/08 3 2 1 D

H O 1 L 21/8238 (2006.01)

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2001-209541 (P2001-209541)	(73) 特許権者	503121103
(22) 出願日	平成13年7月10日(2001.7.10)		株式会社ルネサステクノロジ
(65) 公開番号	特開2003-23100 (P2003-23100A)		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成15年1月24日(2003.1.24)	(74) 代理人	100080001
審査請求日	平成16年9月29日(2004.9.29)		弁理士 筒井 大和
		(72) 発明者	野中 裕介
			東京都青梅市新町六丁目16番地の3 株 式会社日立製作所 デバイス開発センタ内
		審査官	恩田 春香

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の nチャネルM I S F E T および pチャネルM I S F E T が形成される第1の領域に相対的に薄い実効膜厚を有する第1絶縁膜を形成し、nチャネルM I S F E T および pチャネルM I S F E T が形成される第2の領域に相対的に厚い実効膜厚を有する第2絶縁膜を形成する半導体集積回路装置の製造方法であって、

(a) 前記第1および第2の領域の前記半導体基板上に前記第1絶縁膜および第3絶縁膜を順次堆積する工程と、

(b) 前記第2の領域を覆ったレジストパターンをマスクとして前記第1の領域の前記第3絶縁膜を除去する工程とを有し、

前記第1絶縁膜と前記第3絶縁膜との積層膜によって前記第2絶縁膜を構成し、前記第1絶縁膜は比誘電率が相対的に高い材料であり、前記第3絶縁膜は比誘電率が相対的に低い材料であることを特徴とする半導体集積回路装置の製造方法。

【請求項2】

請求項1記載の半導体集積回路装置の製造方法において、前記第1絶縁膜は、金属酸化膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項3】

請求項1記載の半導体集積回路装置の製造方法において、前記第1絶縁膜は、比誘電率が20~100であることを特徴とする半導体集積回路装置の製造方法。

【請求項4】

10

20

請求項1記載の半導体集積回路装置の製造方法において、前記第1絶縁膜は、ルテニウム酸化膜、タンタル酸化膜、ジルコニウム酸化膜、または、チタン酸化膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項5】

請求項1記載の半導体集積回路装置の製造方法において、前記第1の領域に形成されているnチャネルMISFETおよびpチャネルMISFETは、前記第2の領域に形成されているnチャネルMISFETおよびpチャネルMISFETよりも相対的に低い電源電圧の回路内にあることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明は、半導体集積回路装置の製造技術に関し、特に、たとえば印加される電圧の異なる複数種類のMISFET (metal insulator semiconductor field effect transistor) を内蔵する半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】

メモリLSI (large scale integrated circuit) およびCMOS (complementary metal oxide semiconductor) 論理LSIなどにおいては、内部回路と入出力回路との電源電圧が異なる場合がある。

【0003】

20

たとえば、CMOS論理LSIでは、内部回路のMISFETのゲート電極の幅(以下、ゲート長と記す)を入出力回路のMISFETのゲート長よりも短く設定することにより高速化を図っているが、内部回路のMISFETのソース、ドレインを構成する半導体領域の耐圧を確保するために、内部回路の電源電圧は入出力回路の電源電圧よりも低く設定される。この際、電源電圧が相対的に高い入出力回路のMISFETのゲート絶縁膜の信頼度を確保するために、このゲート絶縁膜は、電源電圧が相対的に低い内部回路のMISFETのゲート絶縁膜よりも厚く形成される。

【0004】

厚さが互いに異なる2種類のゲート絶縁膜をシリコン単結晶で構成される半導体基板上に形成する従来の技術として、たとえば以下の2つの形成方法を挙げることができる。

30

【0005】

第1の方法は、まず、半導体基板に1回目の熱酸化処理を施して半導体基板の表面に絶縁膜を形成し、その後レジスト膜をマスクとして相対的に薄いゲート絶縁膜が形成される領域の上記絶縁膜を除去する。次いでレジスト膜を除去した後、半導体基板に洗浄処理を施し、さらに半導体基板に2回目の熱酸化処理を施すものである。すなわち、相対的に薄いゲート絶縁膜は2回目の熱酸化処理で形成され、相対的に厚いゲート絶縁膜は1回目および2回目の熱酸化処理で形成される。

【0006】

また、第2の方法は、相対的に薄いゲート絶縁膜が形成される領域の半導体基板にあらかじめ窒素(N)を導入し、その後半導体基板に熱酸化処理を施すことによって、窒素が導入された領域に相対的に薄いゲート絶縁膜を形成し、窒素が導入されない領域に相対的に厚いゲート絶縁膜を形成するものである。

40

【0007】

なお、相対的に薄いゲート絶縁膜および相対的に厚いゲート絶縁膜を同一基板上に形成する技術については、たとえば特開平2-15374号公報などに記載されている。

【0008】

【発明が解決しようとする課題】

しかしながら、前記第1および第2の方法について本発明者が検討したところ、以下の問題点を見いだした。

【0009】

50

第1の方法では、2回目の熱酸化処理によって相対的に厚いゲート絶縁膜が形成される領域を再酸化させて、洗浄処理で劣化したこの領域の絶縁膜を修復している。このため、相対的に薄いゲート絶縁膜が非常に薄い場合には、上記再酸化による絶縁膜の修復が不十分となり、相対的に厚いゲート絶縁膜の信頼度が低下してしまう。

【0010】

第2の方法では、相対的に薄いゲート絶縁膜の厚さと相対的に厚いゲート絶縁膜の厚さとの差を大きくする場合、半導体基板に導入される窒素量を増加させる必要がある。しかし、上記窒素量が増すに従い、MISFETのしきい値電圧の変化、または反転層でのキャリア移動度の劣化による駆動能力の低下などの問題が顕著となる。

【0011】

すなわち、前記第1および第2の方法では、ゲート絶縁膜の厚さを選択するプロセス自由度が小さく、要求されるMISFETの駆動能力に対して最適な厚さを有するゲート絶縁膜を得ることが難しいことが明らかとなった。

【0012】

本発明の目的は、駆動電圧が互いに異なる複数種類のMISFETに対してそれぞれ最適な厚さのゲート絶縁膜を形成することのできる技術を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

本発明は、半導体基板の第1の領域に相対的に薄い実効膜厚を有する第1絶縁膜を形成し、第2の領域に相対的に厚い実効膜厚を有する第2絶縁膜を形成する際、第1および第2の領域の半導体基板上に第2絶縁膜を形成する工程と、第2の領域をレジストパターンで覆い、このレジストパターンをマスクとして第1の領域の第2絶縁膜を除去する工程と、第1および第2の領域の半導体基板上に第1絶縁膜を形成する工程と、第1の領域をレジストパターンで覆い、このレジストパターンをマスクとして第2の領域の第1絶縁膜を除去する工程とを有するものである。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。図中、A領域は実効膜厚が相対的に薄いゲート絶縁膜が形成される領域であり、たとえば1.5Vの電源電圧が供給され、B領域は実効膜厚が相対的に厚いゲート絶縁膜が形成される領域であり、たとえば3.3Vの電源電圧が供給される。

【0017】

(実施の形態1)

本実施の形態1であるCMOSデバイスの製造方法を図1～図6を用いて工程順に説明する。

【0018】

まず、図1に示すように、比抵抗が10 cm程度のシリコン単結晶で構成される半導体基板1を用意し、この半導体基板1の主面に浅溝2を形成する。その後、半導体基板1に熱酸化処理を施してシリコン酸化膜を形成する。さらにシリコン酸化膜3を堆積した後、これをCMP(chemical mechanical polishing)法により研磨して浅溝2の内部にシリコン酸化膜3を残すことにより、素子分離領域を形成する。

【0019】

次に、パターンニングされたフォトリソ膜をマスクとして不純物をイオン注入し、pウ

10

20

30

40

50

エル4およびnウェル5を形成する。pウェル4にはp型の導電型を示す不純物、たとえばボロン(B)をイオン注入し、nウェル5にはn型の導電型を示す不純物、たとえばリン(P)をイオン注入する。この後、各ウェル領域にMISFETのしきい値を制御するための不純物をイオン注入してもよい。

【0020】

次いで、半導体基板1の表面をフッ酸(HF)系の水溶液を用いて洗浄した後、半導体基板1の表面に比誘電率が相対的に低い絶縁材料(以下、低誘電率材料と称す)、たとえば比誘電率が3.9程度のシリコン酸化膜(SiO₂)6を形成する。シリコン酸化膜6は、たとえば熱酸化法または熱CVD法により形成することができ、その厚さは6~7nm程度である。

10

【0021】

次に、図2に示すように、半導体基板1上にレジスト膜を塗布した後、露光および現像処理を施すことによりレジスト膜をパターニングしてレジストパターン7をB領域の半導体基板1上に形成する。次いで、上記レジストパターン7をマスクとしたエッチングによってシリコン酸化膜6を除去し、A領域の半導体基板1の表面を露出させる。

【0022】

次に、レジストパターン7を除去した後、図3に示すように、半導体基板1上に比誘電率が相対的に高い絶縁材料(以下、高誘電率材料と称す)8、たとえば比誘電率が20~100程度のルテニウム酸化膜(RuO_x)、タンタル酸化膜(TaO_x)、ジルコニウム酸化膜(ZrO_x)またはチタン酸化膜(TiO_x)などを堆積する。半導体基板1上に堆積される高誘電率材料8の厚さは6~50nm程度であり、比誘電率を考慮したSiO₂換算膜厚(以下、実効膜厚と称す)で2~3nm程度となるように、高誘電率材料8の厚さは設定される。

20

【0023】

次に、図4に示すように、半導体基板1上にレジスト膜を塗布した後、露光および現像処理を施すことによりレジスト膜をパターニングしてレジストパターン9をA領域の半導体基板1上に形成する。次いで、上記レジストパターン9をマスクとしたエッチングによって高誘電率材料8を除去する。これにより、A領域には、高誘電率材料8からなる実効膜厚が2~3nm程度のゲート絶縁膜10aが形成され、B領域には、シリコン酸化膜6からなる実効膜厚が6~7nm程度のゲート絶縁膜10bが形成される。

30

【0024】

次に、レジストパターン9を除去した後、図5に示すように、ゲート電極11となるシリコン多結晶膜およびキャップ絶縁膜12となるシリコン酸化膜を、たとえばCVD法で順次堆積して積層膜を形成し、パターニングされたフォトレジスト膜をマスクとして上記積層膜をエッチングする。これにより、ゲート電極11およびキャップ絶縁膜12を形成する。

【0025】

次に、半導体基板1上に、たとえばCVD法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極11の側壁にサイドウォールスペーサ13を形成する。その後、パターニングされたフォトレジスト膜をマスクとして、pウェル4にn型不純物(たとえばリン、ヒ素(As))をイオン注入し、pウェル4上のゲート電極11の両側にn型半導体領域14を形成する。n型半導体領域14は、ゲート電極11およびサイドウォールスペーサ13に対して自己整合的に形成され、nチャネルMISFETのソース、ドレインとして機能する。

40

【0026】

同様に、パターニングされたフォトレジスト膜をマスクとして、nウェル5にp型不純物(たとえばフッ化ボロン(BF₂))をイオン注入し、nウェル5上のゲート電極11の両側にp型半導体領域15を形成する。p型半導体領域15は、ゲート電極11およびサイドウォールスペーサ13に対して自己整合的に形成され、pチャネルMISFETのソース、ドレインとして機能する。

50

【0027】

次に、図6に示すように、半導体基板1上にシリコン酸化膜16を形成した後、そのシリコン酸化膜16を、たとえばCMP法で研磨することにより表面を平坦化する。シリコン酸化膜16は、たとえばTEOS(tetra ethyl ortho silicate: $\text{Si}(\text{OC}_2\text{H}_5)_4$)とオゾン(O_3)とをソースガスに用いたプラズマCVD法で堆積されたTEOS酸化膜で構成される。

【0028】

次に、パターンニングされたフォトリソ膜をマスクとしたエッチングによってシリコン酸化膜16に接続孔17を形成する。この接続孔17は、n型半導体領域14またはp型半導体領域15上などの必要部分に形成する。

10

【0029】

さらに、接続孔17の内部を含む半導体基板1の全面にチタン窒化(TiN)膜を、たとえばCVD法で堆積し、さらに接続孔17を埋め込むタングステン(W)膜を、たとえばCVD法で堆積する。その後、接続孔17以外の領域のチタン窒化膜およびタングステン膜を、たとえばCMP法により除去して接続孔17の内部にプラグ18を形成する。

【0030】

続いて、半導体基板1の全面に、たとえばタングステン膜を堆積した後、パターンニングされたフォトリソ膜をマスクとしたエッチングによってタングステン膜を加工し、第1配線層の配線19を形成する。タングステン膜は、CVD法またはスパッタ法により形成できる。

20

【0031】

その後、さらに上層の配線を形成した後、パッシベーション膜で半導体基板1の全面を覆うことにより、CMOSデバイスが略完成する。

【0032】

なお、本実施の形態1では、B領域にシリコン酸化膜6を形成した後、A領域に高誘電率材料8を形成したが、A領域に高誘電率材料8を形成した後、B領域にシリコン酸化膜6を形成してもよい。

【0033】

このように、本実施の形態1によれば、6~50nm程度の厚さの高誘電率材料(実効膜厚で2~3nm程度)8によって駆動電圧が相対的に低いMISFETのゲート絶縁膜10aを構成し、6~7nm程度の厚さの低誘電率材料、たとえばシリコン酸化膜6によって駆動電圧が相対的に高いMISFETのゲート絶縁膜10bを構成し、さらにシリコン酸化膜6および高誘電率材料8の各々の厚さを独立して設定することができる。

30

【0034】

(実施の形態2)

本実施の形態2であるCMOSデバイスの製造方法を図7および図8を用いて工程順に説明する。まず、前記実施の形態1と同様の方法で素子分離領域および各ウェルを形成し、続いて半導体基板1の表面に低誘電率材料、たとえば1~7nm程度の厚さのシリコン酸化膜6を形成した後、レジストパターン7をマスクとしたエッチングによってシリコン酸化膜6を除去し、A領域の半導体基板1の表面を露出させる。ここまでの工程は、前記実施の形態1の図1および図2に示した工程と同じである。

40

【0035】

次に、レジストパターン7を除去した後、図7に示すように、半導体基板1上に高誘電率材料8、たとえば比誘電率が20~100程度のルテニウム酸化膜、タンタル酸化膜、ジルコニウム酸化膜またはチタン酸化膜などを堆積する。半導体基板1上に堆積される高誘電率材料8の厚さは6~50nm程度であり、実効膜厚で2~3nm程度となるように、高誘電率材料8の厚さは設定される。これにより、A領域には、高誘電率材料8からなる実効膜厚が2~3nm程度のゲート絶縁膜20aが形成され、B領域には、シリコン酸化膜6および高誘電率材料8の積層膜からなる実効膜厚が3~10nm程度のゲート絶縁膜20bが形成される。その後、前記実施の形態1と同様な工程により、図8に示すCMO

50

Sデバイスが略完成する。

【0036】

このように、本実施の形態2によれば、6～50nm程度の厚さの高誘電率材料（実効膜厚で2～3nm程度）8によって駆動電圧が相対的に低いMISFETのゲート絶縁膜20aを構成し、約1nm以上の厚さの低誘電率材料、たとえばシリコン酸化膜6と高誘電率材料8との積層膜（実効膜厚で約3nm以上）によって駆動電圧が相対的に高いMISFETのゲート絶縁膜20bを構成し、さらにシリコン酸化膜6および高誘電率材料8の各々の厚さを独立して設定することができる。

【0037】

（実施の形態3）

本実施の形態3であるCMOSデバイスの製造方法を図9～図11を用いて工程順に説明する。まず、前記実施の形態1と同様の方法で素子分離領域および各ウェルを形成する。

【0038】

次に、図9に示すように、半導体基板1の表面をフッ酸系の水溶液を用いて洗浄した後、半導体基板1上に高誘電率材料21、たとえば比誘電率が20～100程度のルテニウム酸化膜、タンタル酸化膜、ジルコニウム酸化膜またはチタン酸化膜などを堆積する。半導体基板1上に堆積される高誘電率材料21の厚さは6～50nm程度であり、実効膜厚で2～3nm程度となるように、高誘電率材料21の厚さは設定される。

【0039】

続いて、半導体基板1の表面に低誘電率材料、たとえばシリコン酸化膜22を堆積する。シリコン酸化膜22は、たとえば熱CVD法により形成することができ、その厚さは3nm以上である。

【0040】

次に、図10に示すように、半導体基板1上にレジスト膜を塗布した後、露光および現像処理を施すことによりレジスト膜をパターンングしてレジストパターン23をB領域の半導体基板1上に形成する。次いで、上記レジストパターン23をマスクとしたエッチングによってシリコン酸化膜22を除去し、A領域の半導体基板1上に高誘電率材料21を残す。これにより、A領域には、高誘電率材料21からなる実効膜厚が2～3nm程度のゲート絶縁膜24aが形成され、B領域には、高誘電率材料21およびシリコン酸化膜22の積層膜からなる実効膜厚が5nm以上のゲート絶縁膜24bが形成される。その後、前記実施の形態1と同様な工程により、図11に示すCMOSデバイスが略完成する。

【0041】

このように、本実施の形態3によれば、6～50nm程度の厚さの高誘電率材料21（実効膜厚で2～3nm程度）によって駆動電圧が相対的に低いMISFETのゲート絶縁膜24aを構成し、高誘電率材料21と約3nm以上の厚さの低誘電率材料、たとえばシリコン酸化膜22との積層膜（実効膜厚で約5nm以上）によって駆動電圧が相対的に高いMISFETのゲート絶縁膜24bを構成し、さらに高誘電率材料21およびシリコン酸化膜22の各々の厚さを独立して設定することができる。

【0042】

（実施の形態4）

本実施の形態4であるCMOSデバイスの製造方法を図12～図15を用いて工程順に説明する。まず、前記実施の形態1と同様の方法で素子分離領域および各ウェルを形成する。

【0043】

次に、図12に示すように、半導体基板1の表面をフッ酸系の水溶液を用いて洗浄した後、半導体基板1上に高融点金属膜25、たとえばルテニウム（Ru）膜、タンタル（Ta）膜またはチタン（Ti）膜などを堆積する。高融点金属膜25の厚さは10nm程度である。

【0044】

次に、図13に示すように、半導体基板1上にレジスト膜を塗布した後、露光および現像

10

20

30

40

50

処理を施すことによりレジスト膜をパターニングしてレジストパターン26をA領域の半導体基板1上に形成する。次いで、上記レジストパターン26をマスクとしたエッチングによって高融点金属膜25を除去し、B領域の半導体基板1の表面を露出させる。

【0045】

次に、レジストパターン26を除去した後、図14に示すように、半導体基板1に、たとえば800、30分程度の熱酸化処理を施して、B領域の半導体基板1の表面にシリコン酸化膜27を形成する。その厚さは6~7nm程度である。さらに、この熱酸化処理によって、高融点金属膜25を酸化して、比誘電率が相対的に高い高融点金属酸化膜28、たとえばルテニウム酸化膜、タンタル酸化膜またはチタン酸化膜などを形成する。高融点金属酸化膜28の厚さは20nm程度であり、2~3nm程度の実効膜厚を有している。これにより、A領域には、高融点金属酸化膜28からなる実効膜厚が2~3nm程度のゲート絶縁膜29aが形成され、B領域には、シリコン酸化膜27からなる実効膜厚が6~7nm程度のゲート絶縁膜29bが形成される。その後、前記実施の形態1と同様な工程により、図15に示すCMOSデバイスが略完成する。

10

【0046】

このように、本実施の形態4によれば、20nm程度の厚さの高融点金属酸化膜（実効膜厚で2~3nm程度）28によって駆動電圧が相対的に低いMISFETのゲート絶縁膜29aを構成し、6~7nm程度の厚さの低誘電率材料、たとえばシリコン酸化膜27によって駆動電圧が相対的に高いMISFETのゲート絶縁膜29bを構成することができる。

20

【0047】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0048】

たとえば、前記実施の形態では、厚さの異なる2種類のゲート絶縁膜を有するCMOSデバイスの製造方法について説明したが、たとえば高誘電率材料または低誘電率材料のエッチング、成膜工程を追加することによって、厚さの異なる3種類以上のゲート絶縁膜の形成方法にも適用することができる。

【0049】

また、CMOSデバイスのゲート絶縁膜の製造方法に適用した場合について説明したが、厚さの異なる複数種類の絶縁膜を有するいかなる半導体集積回路装置の製造方法にも適用可能である。

30

【0050】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0051】

同一基板上に形成される実効膜厚が相対的に薄いゲート絶縁膜および相対的に厚いゲート絶縁膜を、高誘電率材料および低誘電率材料、または高誘電率材料および低誘電率材料と高誘電率材料との積層膜でそれぞれ構成し、さらに高誘電率材料および低誘電率材料の各々の厚さを独立して設定できる。これにより、駆動電圧が互いに異なる複数種類のMISFETに対してそれぞれ最適な厚さのゲート絶縁膜を形成することができる。

40

【図面の簡単な説明】

【図1】本実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図2】本実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図3】本実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

50

【図4】本実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図5】本実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図6】本実施の形態1であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図7】本実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図8】本実施の形態2であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

10

【図9】本実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図10】本実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図11】本実施の形態3であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図12】本実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図13】本実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

20

【図14】本実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【図15】本実施の形態4であるCMOSデバイスの製造方法を示す半導体基板の要部断面図である。

【符号の説明】

1 半導体基板

2 浅溝

3 シリコン酸化膜

4 pウェル

5 nウェル

30

6 シリコン酸化膜

7 レジストパターン

8 高誘電率材料

9 レジストパターン

10 a ゲート絶縁膜

10 b ゲート絶縁膜

11 ゲート電極

12 キャップ絶縁膜

13 サイドウォールスペーサ

14 n型半導体領域

40

15 p型半導体領域

16 シリコン酸化膜

17 接続孔

18 プラグ

19 配線

20 a ゲート絶縁膜

20 b ゲート絶縁膜

21 高誘電率材料

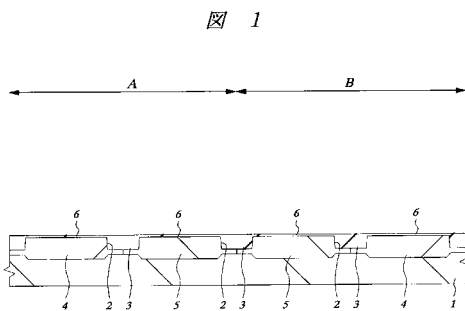
22 シリコン酸化膜

23 レジストパターン

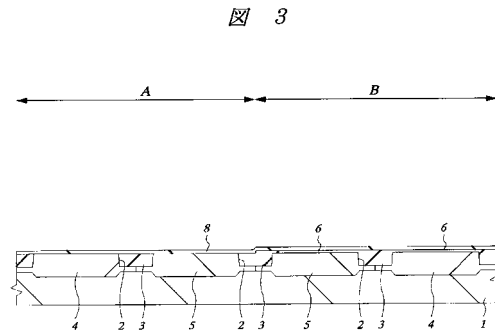
50

- 2 4 a ゲート絶縁膜
- 2 4 b ゲート絶縁膜
- 2 5 高融点金属膜
- 2 6 レジストパターン
- 2 7 シリコン酸化膜
- 2 8 高融点金属酸化膜
- 2 9 a ゲート絶縁膜
- 2 9 b ゲート絶縁膜

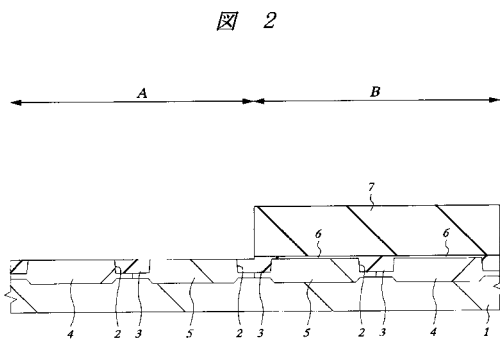
【 図 1 】



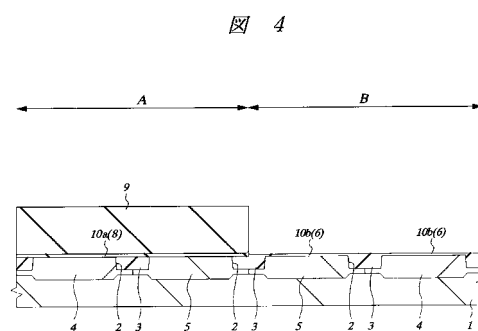
【 図 3 】



【 図 2 】

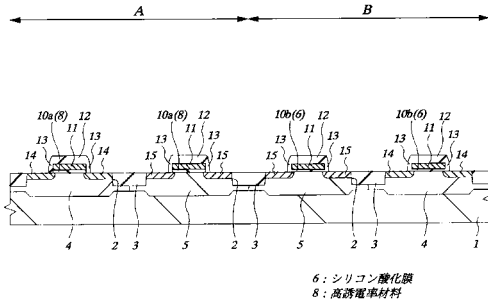


【 図 4 】



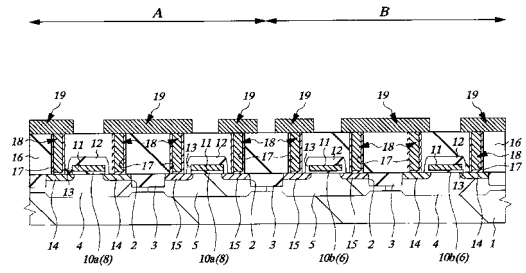
【 図 5 】

図 5



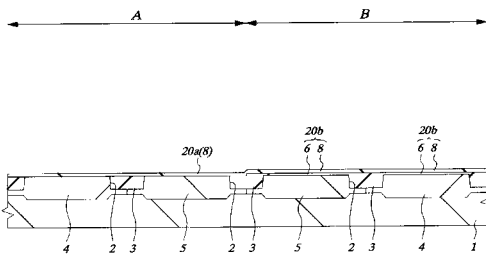
【 図 6 】

図 6



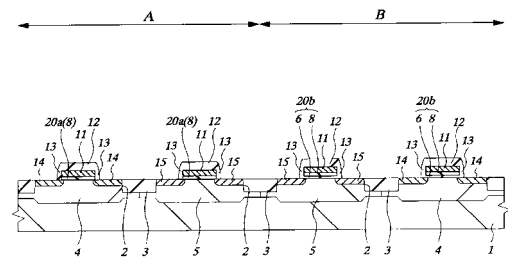
【 図 7 】

図 7



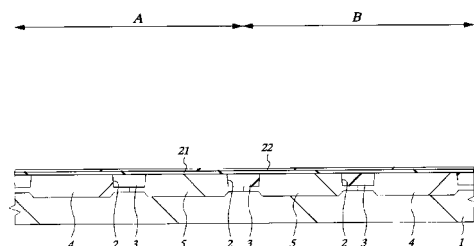
【 図 8 】

図 8



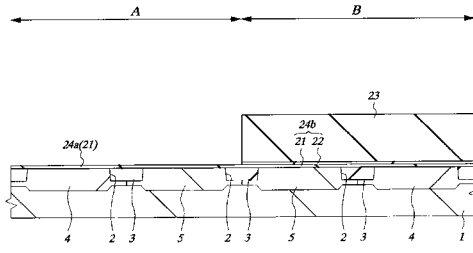
【 図 9 】

図 9



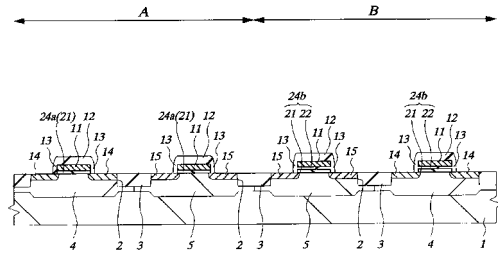
【 図 1 0 】

図 1 0



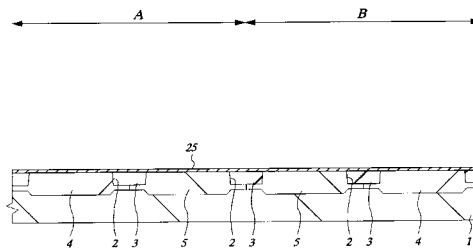
【 図 1 1 】

図 1 1



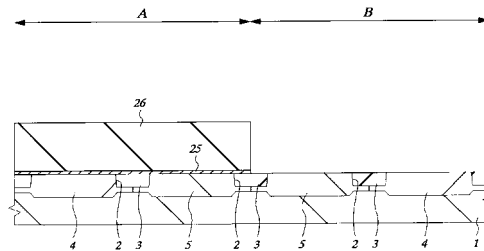
【 図 1 2 】

図 1 2



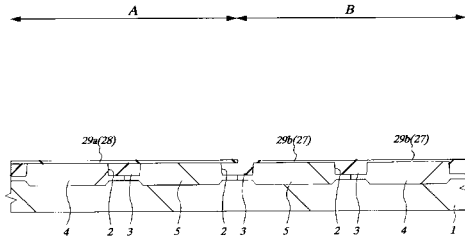
【 図 1 3 】

図 1 3



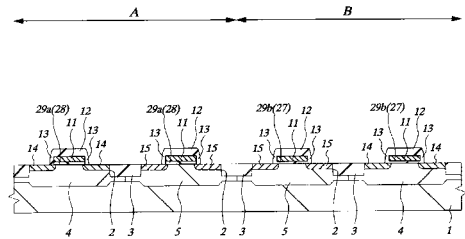
【 図 1 4 】

図 1 4



【 図 1 5 】

図 1 5



フロントページの続き

- (56)参考文献 特開2000-188338(JP,A)
特開2001-015612(JP,A)
特開2001-024188(JP,A)
特開2000-174132(JP,A)
特開2000-349285(JP,A)
特開平9-186244(JP,A)
特開2000-150665(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234-8238
H01L 21/8248-8249
H01L 27/08
H01L 27/085 -092