

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4601892号  
(P4601892)

(45) 発行日 平成22年12月22日 (2010.12.22)

(24) 登録日 平成22年10月8日 (2010.10.8)

(51) Int. Cl.		F I	
HO 1 L 25/065	(2006.01)	HO 1 L 25/08	B
HO 1 L 25/07	(2006.01)	HO 1 L 21/92	6 O 2 D
HO 1 L 25/18	(2006.01)	HO 1 L 21/92	6 O 2 Q
HO 1 L 21/60	(2006.01)	HO 1 L 21/92	6 O 4 B

請求項の数 2 (全 13 頁)

(21) 出願番号	特願2002-196284 (P2002-196284)	(73) 特許権者	501055961
(22) 出願日	平成14年7月4日 (2002.7.4)		ラムバス・インコーポレーテッド
(65) 公開番号	特開2004-39929 (P2004-39929A)		アメリカ合衆国・94022・カリフォル
(43) 公開日	平成16年2月5日 (2004.2.5)		ニア州・ロス アルトス・エル カミノ
審査請求日	平成17年6月30日 (2005.6.30)		リール・4440
審判番号	不服2008-29916 (P2008-29916/J1)	(74) 代理人	100079108
審判請求日	平成20年11月25日 (2008.11.25)		弁理士 稲葉 良幸
		(74) 代理人	100109346
			弁理士 大貫 敏史
		(72) 発明者	広瀬 昌弘
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体チップの bumps 製造方法

(57) 【特許請求の範囲】

【請求項1】

高さの異なる複数の bumps を有する半導体チップが実装基板と他の半導体チップのうちの少なくとも一方にフェースダウンボンディングされている半導体装置であって、

前記実装基板に第1の半導体チップがダイボンディングされ、第2の半導体チップに高さの異なる複数の bumps が設けられ、前記実装基板と前記第1の半導体チップに前記第2の半導体チップがフェースダウンボンディングされ、

前記第1の半導体チップの一部が前記第2の半導体チップの面積外に配置されていることを特徴とする半導体装置。

【請求項2】

高さの異なる複数の bumps を有する半導体チップが実装基板と他の半導体チップのうちの少なくとも一方にフェースダウンボンディングされている半導体装置であって、

前記実装基板に第1の半導体チップがダイボンディングされ、第2の半導体チップに高さの異なる複数の bumps が設けられ、前記実装基板と前記第1の半導体チップに前記第2の半導体チップがフェースダウンボンディングされ、

前記実装基板に第3の半導体チップがダイボンディングされ、前記第1の半導体チップと前記第3の半導体チップの少なくとも一方の一部が前記第2の半導体チップの面積外に配置されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

この発明は、実装基板に半導体チップがフェースダウンボンディングされて成る半導体装置および半導体チップの bumps 製造方法に関するものである。

**【0002】****【従来の技術】**

図15は従来の半導体装置の正面図であり、図において、1は実装基板、2は実装基板1の上にダイボンディングされた第1の半導体チップ、3は実装基板1と第1の半導体チップ2を電氣的に接続するボンディングワイヤ、4は第1の半導体チップ2にフリップチップボンディングされた第2の半導体チップ、5は第2の半導体チップ4に予め設けられている複数の bumps である。これらの全ての bumps 5は半田、金などの導電性材料から均一の高さに形成され、第1の半導体チップ2にパッドに接続されている。

10

**【0003】**

図16(a)~(g)は上記 bumps 5の製造方法の説明図である。図16(a)に示すように、ウエハの初期状態では、アルミニウムなどのパッド6の周囲がパッシベーション膜7によって保護されている。 bumps 5の製造に際しては、先ず、図16(b)に示すようにパッド6とパッシベーション膜7の上にアンダー bumps 金属8がスパッタ法によって形成される。次に、図16(c)に示すようにアンダー bumps 金属8の上に製造マスク9が配置され、その開口9aがパッド6の上方に位置付けられる。その後、図16(d)に示すように開口9aに半田10が充填される。そして、図16(e)に示すように製造マスク9が取り外されるとともに、図16(f)に示すように半田10の下部に位置する部分を除いてアンダー bumps 金属8がエッチングによって除去される。最後に、図16(g)に示すように半田10がリフロー炉によって加熱溶融され、 bumps 10Aが形成される。

20

**【0004】****【発明が解決しようとする課題】**

従来の半導体装置は以上のように構成され、均一の高さの bumps 5を備えた単一の第2の半導体チップ4が第1の半導体チップ2に平面的にフリップチップボンディングされているだけであるので、配線の高密度化が困難であるなどの課題があった。また、第1の半導体チップ2が実装基板1にボンディングワイヤ3によって電氣的に接続されているので、半導体チップ2、4が高周波数チップである場合には、ボンディングワイヤ3の引き回しによる配線容量の低減が極めて困難であるなどの課題があった。

30

**【0005】**

この発明は上記のような課題を解決するためになされたもので、ボンディングワイヤの使用を省略または低減させて複数の半導体チップを高密度に実装できる半導体装置および半導体チップの bumps 製造方法を得ることを目的とする。

**【0006】****【課題を解決するための手段】**

この発明に係る半導体装置は、高さの異なる複数の bumps を有する半導体チップが実装基板と他の半導体チップのうちの少なくとも一方にフェースダウンボンディングされていることを特徴とするものである。

40

**【0007】**

実装基板に第1の半導体チップがダイボンディングされ、第2の半導体チップに高さの異なる複数の bumps が設けられ、実装基板と第1の半導体チップに第2の半導体チップがフェースダウンボンディングされていることを特徴とするものである。

**【0008】**

この発明に係る半導体装置は、第1の半導体チップの全部が第2の半導体チップの面積内に配置されていることを特徴とするものである。

**【0009】**

この発明に係る半導体装置は、第1の半導体チップの一部が第2の半導体チップの面積外に配置されていることを特徴とするものである。

50

## 【 0 0 1 0 】

この発明に係る半導体装置は、実装基板に第 3 の半導体チップがダイボンディングされていることを特徴とするものである。

## 【 0 0 1 1 】

この発明に係る半導体装置は、第 1 の半導体チップと第 3 の半導体チップの全部が第 2 の半導体チップの面積内に配置されていることを特徴とするものである。

## 【 0 0 1 2 】

この発明に係る半導体装置は、第 1 の半導体チップと第 3 の半導体チップの少なくとも一方の一部が第 2 の半導体チップの面積外に配置されていることを特徴とするものである。

## 【 0 0 1 3 】

この発明に係る半導体装置は、第 1 の半導体チップに高さの異なるバンプが設けられているとともに、第 2 の半導体チップに第 3 の半導体チップがダイボンディングされていることを特徴とするものである。

10

## 【 0 0 1 4 】

この発明に係る半導体装置は、第 2 の半導体チップに第 4 の半導体チップがダイボンディングされていることを特徴とするものである。

## 【 0 0 1 5 】

この発明に係る半導体装置は、第 1 の半導体チップの高さの高いバンプが第 2 の半導体チップの高さの低いバンプに接続され、第 1 の半導体チップの高さの低いバンプが第 3 の半導体チップと第 4 の半導体チップに接続されていることを特徴とするものである。

20

## 【 0 0 1 6 】

この発明に係る半導体装置は、実装基板に第 1 の半導体チップがダイボンディングされ、第 1 の半導体チップに第 2 の半導体チップがダイボンディングされ、実装基板と第 1 の半導体チップがボンディングワイヤによって接続され、第 3 の半導体チップに高さの異なる複数のバンプが設けられ、第 3 の半導体チップが第 1 の半導体チップと第 2 の半導体チップにフェースダウンボンディングされていることを特徴とするものである。

## 【 0 0 1 7 】

この発明に係る半導体チップのバンプ製造方法は、高さの高いバンプを形成しようとするパッドの上に開口を位置付けるように製造マスクを半導体チップの上に順次に設ける工程と、製造マスクを設ける度に開口に導電性材料を充填する工程と、製造マスクの全てを取り除く工程とを有することを特徴とするものである。

30

## 【 0 0 1 8 】

この発明に係る半導体チップのバンプ製造方法は、製造マスクが写真製版技術によって設けられることを特徴とするものである。

## 【 0 0 1 9 】

## 【 発明の実施の形態 】

以下、この発明の実施の一形態を説明する。

## 実施の形態 1 .

図 1 はこの発明の実施の形態 1 による半導体装置の正面図、図 2 はその平面図であり、図において、11 は実装基板、12 は実装基板 11 の上面にダイボンディングされた第 1 の半導体チップ、13 は実装基板 11 と第 1 の半導体チップ 12 にフェースダウンボンディングされた第 2 の半導体チップ、14 は第 2 の半導体チップ 13 に予め形成されている高さの高い複数のバンプ、15 は第 2 の半導体チップ 13 に予め形成されている高さの低い複数のバンプである。なお、平面面積に関して、第 2 の半導体チップ 13 は実装基板 11 よりも小さくされ、第 1 の半導体チップ 12 は第 2 の半導体チップ 13 よりも小さくされている。

40

## 【 0 0 2 0 】

次に実施の形態 1 による半導体装置の製造方法について説明する。

高さの高いバンプ 14 と高さの低いバンプ 15 が形成されている第 2 の半導体チップ 13 を予め用意する。そして、実装基板 11 の表面のほぼ中央に第 1 の半導体チップ 12 をダ

50

イボンディングする。次に、第1の半導体チップ12を覆うようにして、第2の半導体チップ13を実装基板11と第1の半導体チップ12にフェースダウンボンディングする。この際に、高さの高いバンプ14は実装基板11のランドに接続し、高さの低いバンプ15は第1の半導体チップ12のパッドに接続する。

【0021】

以上のように、この実施の形態1によれば、第2の半導体チップ13に高さの高いバンプ14と高さの低いバンプ15を形成し、これらのバンプ14、15のみによって実装基板11と半導体チップ12、13を電気的に接続したので、ボンディングワイヤを全く使用することなく半導体チップ12、13を立体的かつ高密度に実装でき、配線容量を低減できるという効果が得られる。また、ボンディングワイヤを全く使用しないので、特に半導体チップ12、13が高周波数チップである場合に有効となるなどの効果が得られる。

10

【0022】

実施の形態2 .

図3はこの発明の実施の形態2による半導体装置の正面図、図4はその平面図であり、図において、21は実装基板、22は実装基板21の上面にダイボンディングされた第1の半導体チップ、23は実装基板21と第1の半導体チップ22にフェースダウンボンディングされた第2の半導体チップ、24は第2の半導体チップ23に予め形成されている高さの高い複数のバンプ、25は第2の半導体チップ23に予め形成されている高さの低い複数のバンプである。なお、平面面積において、第2の半導体チップ23は実装基板21よりも小さくされ、第1の半導体チップ22は第2の半導体チップ23よりも小さくされ、その一部が第2の半導体チップ23の面積外に露出されている。

20

【0023】

次に実施の形態2による半導体装置の製造方法について説明する。

高さの高いバンプ24と高さの低いバンプ25が形成されている第2の半導体チップ23を予め用意する。そして、実装基板21の表面の例えば角部寄りに第1の半導体チップ22をダイボンディングする。次に、第1の半導体チップ22の大部分を覆うようにして、第2の半導体チップ23を実装基板21と第1の半導体チップ22にフェースダウンボンディングする。この際に、高さの高いバンプ24は実装基板21のランドに接続し、高さの低いバンプ25は第1の半導体チップ22のパッドに接続する。

【0024】

以上のように、この実施の形態2によれば、第2の半導体チップ23に高さの高いバンプ24と高さの低いバンプ25を形成し、これらのバンプ24、25のみによって実装基板21と半導体チップ22、23を電気的に接続したので、実施の形態1と同様な効果が得られる。その上に、第1の半導体チップ22の配置を変えることにより、実装基板21と半導体チップ22、23の多様な組合せが可能になるなどの効果も得られる。

30

【0025】

実施の形態3 .

図5はこの発明の実施の形態3による半導体装置の正面図、図6はその平面図であり、図において、31は実装基板、32は実装基板31の上面にダイボンディングされた第1の半導体チップ、33は第1の半導体チップ32の側方において実装基板31の上面にダイボンディングされた第2の半導体チップ、34は第1の半導体チップ32と第2の半導体チップ33にフェースダウンボンディングされた第3の半導体チップ、35は第3の半導体チップ34に予め形成されている高さの高い複数のバンプ、36は第3の半導体チップ34に予め形成されている高さの低い複数のバンプである。なお、第3の半導体チップ34の平面面積は実装基板31よりも小さくされている。また、第1の半導体チップ32と第2の半導体チップ33は同じ大きさとして、第3の半導体チップ34の面積内に配置されている。

40

【0026】

次に実施の形態3による半導体装置の製造方法について説明する。

高さの高いバンプ35と高さの低いバンプ36が形成されている第2の半導体チップ34

50

を予め用意する。そして、実装基板 3 1 の表面に第 1 の半導体チップ 3 2 と第 2 の半導体チップ 3 3 をダイボンディングする。次に、第 1 の半導体チップ 3 2 と第 2 の半導体チップ 3 3 を覆うようにして、第 3 の半導体チップ 3 4 を実装基板 3 1、第 1 の半導体チップ 3 2 および第 2 の半導体チップ 3 3 にフェースダウンボンディングする。この際に、高さの高いバンブ 3 5 は実装基板 3 1 のランドに接続し、高さの低いバンブ 3 6 は第 1 の半導体チップ 3 2 と第 2 の半導体チップ 3 3 のパッドに接続する。

【 0 0 2 7 】

以上のように、この実施の形態 3 によれば、第 3 の半導体チップ 3 4 に高さの高いバンブ 3 5 と高さの低いバンブ 3 6 を予め形成し、これらのバンブ 3 5、3 6 のみによって実装基板 3 1 と半導体チップ 3 2 ~ 3 4 を電氣的に接続したので、実施の形態 1 と同様な効果が得られる。

【 0 0 2 8 】

実施の形態 4 .

図 7 はこの発明の実施の形態 4 による半導体装置の正面図、図 8 はその平面図であり、図において、4 1 は実装基板、4 2 は実装基板 4 1 の上面の例えば一方の隅部にダイボンディングされた第 1 の半導体チップ、4 3 は実装基板 4 1 の上面の例えば他方の隅部にダイボンディングされた第 2 の半導体チップ、4 4 は実装基板 4 1、第 1 の半導体チップ 4 2 および第 2 の半導体チップ 4 3 にフェースダウンボンディングされた第 3 の半導体チップ、4 5 は第 3 の半導体チップ 4 4 に予め形成されている高さの高い複数のバンブ、4 6 は第 3 の半導体チップ 4 4 に予め形成されている高さの低い複数のバンブである。なお、平面面積に関し、第 3 の半導体チップ 4 4 は実装基板 4 1 よりも小さくされ、第 1 の半導体チップ 4 2 と第 2 の半導体チップ 4 3 は第 3 の半導体チップ 4 4 よりも小さくされ、それらの一部が第 3 の半導体チップ 4 4 の面積外に露出されている。

【 0 0 2 9 】

次に実施の形態 4 による半導体装置の製造方法について説明する。

高さの高いバンブ 4 5 と高さの低いバンブ 4 6 が形成されている第 3 の半導体チップ 4 4 を予め用意する。そして、実装基板 4 1 の表面に第 1 の半導体チップ 4 2 と第 2 の半導体チップ 4 3 をダイボンディングする。次に、第 1 の半導体チップ 4 2 と第 2 の半導体チップ 4 3 の一部を覆うようにして、第 3 の半導体チップ 4 4 を実装基板 4 1、第 1 の半導体チップ 4 2 および第 2 の半導体チップ 4 3 にフェースダウンボンディングする。この際に、高さの高いバンブ 4 5 は実装基板 4 1 のランドに接続し、高さの低いバンブ 4 6 は第 1 の半導体チップ 4 2 と第 2 の半導体チップ 4 3 のパッドに接続する。

【 0 0 3 0 】

以上のように、この実施の形態 4 によれば、第 3 の半導体チップ 4 4 に高さの高いバンブ 4 5 と高さの低いバンブ 4 6 を形成し、これらのバンブ 4 5、4 6 のみによって実装基板 4 1 と半導体チップ 4 2 ~ 4 4 を電氣的に接続したので、実施の形態 3 と同様な効果が得られる。その上に、第 1 の半導体チップ 4 2 と第 2 の半導体チップ 4 3 の配置を変えることにより、実装基板 4 1 と半導体チップ 4 2 ~ 4 4 の多様な組合せが可能になるなどの効果も得られる。

【 0 0 3 1 】

実施の形態 5 .

図 9 はこの発明の実施の形態 5 による半導体装置の正面図、図 1 0 はその平面図であり、図において、5 1 は実装基板、5 2 は実装基板 5 1 の上面にダイボンディングされた第 1 の半導体チップ、5 3 は実装基板 5 1 と第 1 の半導体チップ 5 2 にフェースダウンボンディングされた第 2 の半導体チップ、5 4 は第 2 の半導体チップ 5 3 に予めダイボンディングされている第 3 の半導体チップ、5 5 は第 1 の半導体チップ 5 2 に予め形成されている高さの高い複数のバンブ、5 6 は第 1 の半導体チップ 5 2 に予め形成されている高さの低い複数のバンブ、5 7 は第 2 の半導体チップ 5 3 に予め形成されている高さの高い複数のバンブ、5 8 は第 2 の半導体チップ 5 3 に予め形成されている高さの低い複数のバンブである。

なお、平面面積において、第2の半導体チップ53は実装基板51よりも小さくされ、第1の半導体チップ52は第2の半導体チップ53よりも小さくされ、第3の半導体チップ54は第1の半導体チップ52よりも小さくされている。

#### 【0032】

次に実施の形態5による半導体装置の製造方法について説明する。

高さの高いバンプ55と高さの低いバンプ56が形成されている第1の半導体チップ52を予め用意する。また、第3の半導体チップ54がダイボンディングされ、かつ高さの高いバンプ57と高さの低いバンプ58が形成されている第2の半導体チップ53を予め用意する。そして、実装基板51の表面のほぼ中央に第1の半導体チップ52をダイボンディングする。次に、第1の半導体チップ52を覆うようにして、第2の半導体チップ53を実装基板51と第1の半導体チップ52にフェースダウンボンディングする。この際に、第1の半導体チップ52の高さの高いバンプ55と第2の半導体チップ53の高さの低いバンプ58とを接続し、第1の半導体チップ52の高さの低いバンプ56を第3の半導体チップ54のパッドに接続し、第2の半導体チップ53の高さの高いバンプ57を実装基板51のランドに接続する。

10

#### 【0033】

以上のように、この実施の形態5によれば、第1の半導体チップ52に高さの高いバンプ55と高さの低いバンプ56を形成し、第2の半導体チップ53に高さの高いバンプ57と高さの低いバンプ58を形成し、これらのバンプ55～58のみによって実装基板51と半導体チップ52～54を電氣的に接続したので、実施の形態1～4よりもより高密度でより多様な実装が可能になるなどの効果が得られるうえに、その他は実施の形態3と同様な効果が得られる。

20

#### 【0034】

実施の形態6

図11はこの発明の実施の形態6による半導体装置の正面図、図12はその平面図であり、図において、61は実装基板、62は実装基板61の上面にダイボンディングされた第1の半導体チップ、63は実装基板61と第1の半導体チップ62にフェースダウンボンディングされた第2の半導体チップ、64は第2の半導体チップ63に予めダイボンディングされている第3の半導体チップ、65は第2の半導体チップ63に予めダイボンディングされている第4の半導体チップ、66は第1の半導体チップ62に予め形成されている高さの高い複数のバンプ、67は第1の半導体チップ62に予め形成されている高さの低い複数のバンプ、68は第2の半導体チップ63に予め形成されている高さの高い複数のバンプ、69は第2の半導体チップ63に予め形成されている高さの低い複数のバンプである。なお、平面面積に関しては、実施の形態5の第3の半導体チップ54が第3の半導体チップ64と第4の半導体チップ65とされていることを除いて、実施の形態5と同様とされている。

30

#### 【0035】

次に実施の形態6による半導体装置の製造方法について説明する。

高さの高いバンプ66と高さの低いバンプ67が形成されている第1の半導体チップ52を予め用意する。また、第3の半導体チップ64と第4の半導体チップ65がダイボンディングされ、かつ高さの高いバンプ68と高さの低いバンプ69が形成されている第2の半導体チップ63を予め用意する。そして、実装基板61の表面のほぼ中央に第1の半導体チップ62をダイボンディングする。次に、第1の半導体チップ62を覆うようにして、第2の半導体チップ63を実装基板61と第1の半導体チップ62にフェースダウンボンディングする。この際に、バンプ66～69は実施の形態5のバンプ55～58と同様に接続する。

40

#### 【0036】

以上のように、この実施の形態6によれば、第1の半導体チップ62に高さの高い66と高さの低いバンプ67を形成し、第2の半導体チップ63に高さの高いバンプ68と高さの低いバンプ69を形成、これらのバンプ66～69のみによって実装基板61と半導体

50

チップ 62 ~ 65 を電氣的に接続したので、第 5 の実施の形態と同様な効果が得られる。

【0037】

実施の形態 7 .

図 13 はこの発明の実施の形態 7 による半導体装置の正面図であり、図において、71 は実装基板、72 は実装基板 71 の上面にダイボンディングされた第 1 の半導体チップ、73 は第 1 の半導体チップ 72 の上面にダイボンディングされた第 2 の半導体チップ、74 は第 1 の半導体チップ 72 と第 2 の半導体チップ 73 にフェースダウンボンディングされた第 3 の半導体チップ、75 は第 3 の半導体チップ 74 に予め形成されている高さの高い複数のパンプ、76 は第 3 の半導体チップ 74 に予め形成されている高さの低い複数のパンプ、77 は実装基板 71 のランドと第 1 の半導体チップ 72 のパッドとを接続したボンディングワイヤである。なお、平面面積に関し、第 1 の半導体チップ 72 は実装基板 71 よりも小さくされ、第 3 の半導体チップ 74 は第 1 の半導体チップ 72 よりも小さくされ、第 2 の半導体チップ 73 は第 3 の半導体チップ 74 よりも小さくされている。

10

【0038】

次に実施の形態 7 による半導体装置の製造方法について説明する。

高さの高いパンプ 75 と高さの低いパンプ 76 が形成されている第 3 の半導体チップ 74 を予め用意する。そして、実装基板 71 の表面のほぼ中央に第 1 の半導体チップ 72 をダイボンディングする。次に、第 1 の半導体チップ 72 の表面のほぼ中央に第 2 の半導体チップ 73 をダイボンディングする。さらに、第 3 の半導体チップ 74 を第 1 の半導体チップ 72 と第 2 の半導体チップ 73 にフェースダウンボンディングする。この際に、高さの高いパンプ 75 は第 1 の半導体チップ 72 のパッドに接続し、高さの低いパンプ 76 は第 2 の半導体チップ 73 のパッドに接続する。そして、実装基板 71 のランドと第 1 の半導体チップ 72 のパッドをボンディングワイヤ 77 によって接続する。

20

【0039】

以上のように、この実施の形態 7 によれば、第 3 の半導体チップ 74 に高さの高いパンプ 75 と高さの低いパンプ 76 を形成し、これらのパンプ 75、76 によって半導体チップ 72 ~ 74 を電氣的に接続したので、ボンディングワイヤ 77 の数を従来よりも少なくすることができ、その他は実施の形態 5 とほぼ同様な効果が得られる。

【0040】

実施の形態 8 .

図 14 (a) ~ (i) はこの発明の実施の形態 8 による半導体チップのパンプ製造方法の説明図である。上述の実施の形態 1 ~ 7 のパンプ 14、15、24、25、35、36、45、46、55 ~ 58、66 ~ 69、75、76 はこの製造方法によって製造されている。なお、図 14 (a) に示すように、ウエハの初期状態では、アルミニウムなどのパッド 81 の周囲がパッシベーション膜 82 によって保護されている。

30

【0041】

先ず、図 14 (b) に示すように、パッド 81 とパッシベーション膜 82 の上にアンダーパンプメタル層 83 をスパッタ法によって形成する。続いて、図 14 (c) に示すように、パッド 81 の上方に開口 84 を有する第 1 の製造マスク 85 をアンダーパンプメタル層 83 の上に配置する。そして、図 14 (d) に示すように、パンプの形成が必要となる開口 84 に半田 86 を電解めっき法などによって充填する。なお、半田 86 の代わりにその他の導電性材料、例えば金などを使用することができる。

40

【0042】

次に、図 14 (e) に示すように、高さを高くしたい半田 86 の上方に開口 87 を有する第 2 の製造マスク 88 を第 1 の製造マスク 85 の上に配置する。そして、図 14 (f) に示すように、第 2 の製造マスク 88 の開口 87 に半田 86 を上述と同様に充填する。

【0043】

そして、図 14 (g) に示すように、第 1 の製造マスク 85 と第 2 の製造マスク 88 を取り去る。さらに、図 14 (h) に示すように半田 86 の下部に位置する部分を除いて、アンダーパンプメタル層 83 をエッチングによって除去する。最後に、図 14 (i) に示す

50

ように、半田 8 6 をリフロー炉によって加熱溶融し、高さの低いパンプ 8 6 A と高さの高いパンプ 8 6 B とを形成する。

【 0 0 4 4 】

なお、開口 8 4 を有する第 1 の製造マスク 8 5 や開口 8 7 を有する第 2 の製造マスク 8 8 を使用する代りに、フォトレジスト塗り、フォトマスク合せ、露光、現像、エッチング、フォトレジスト除去などの工程を有する写真製版（リソグラフィ）技術によって開口 8 4 、 8 7 を設けることができる。また、これらの工程を繰り返すことにより、さらに高さの高いパンプを形成できることは云うまでもない。

【 0 0 4 5 】

以上のように、この実施の形態 8 によれば、最初に設けた半田 8 6 の上に同様な半田 8 6 を積層することによって、パンプの高さを複数種の高さに形成できるという効果が得られる。したがって、従来の半導体チップの均一な高さのパンプの上に製造マスク 8 5 、 8 8 を重ねる工程を回繰り返すことによって、従来の半導体チップのパンプの高さを複数種の高さに変更できるなどの効果が得られる。

【 0 0 4 6 】

なお、上述の実施の形態 5 では、第 1 の半導体チップ 5 2 の高さの高いパンプ 5 5 と第 2 の半導体チップ 5 3 の高さの低いパンプ 5 8 とを接続したが、第 1 の半導体チップ 5 2 の高さの高いパンプ 5 5 をより高くすることによって第 2 の半導体チップ 5 3 の高さの低いパンプ 5 8 を省略し、あるいは、第 2 の半導体チップ 5 3 の高さの低いパンプ 5 8 をより高くすることによって第 1 の半導体チップ 5 2 の高さの高いパンプ 5 5 を省略することができる。このことは実施の形態 6 にも適用できる。そして、上述の実施の形態 1 ~ 8 では、2 種類の高さのパンプについて説明したが、3 種類以上の高さのパンプと厚さの異なる半導体チップとの組合せが可能であることは云うまでもない。

【 0 0 4 7 】

【 発明の効果 】

以上のように、この発明によれば、高さの異なる複数のパンプを有する半導体チップが実装基板と他の半導体チップのうちの少なくとも一方にフェースダウンボンディングされているように構成したので、半導体チップと実装基板の間や、半導体チップと他の半導体チップの間をパンプのみによって電氣的に接続することができる。したがって、ボンディングワイヤを全く使用することなく半導体チップを立体的かつ高密度に実装できるとともに、配線容量を低減できるという効果が得られる。また、ボンディングワイヤを全く使用しないので、半導体チップが高周波数チップである場合に有効となるなどの効果も得られる。

【 0 0 4 8 】

この発明によれば、実装基板に第 1 の半導体チップがダイボンディングされ、第 2 の半導体チップに高さの異なる複数のパンプが設けられ、実装基板と第 1 の半導体チップに第 2 の半導体チップがフェースダウンボンディングされているように構成したので、実装基板と第 2 の半導体チップの間や、第 1 の半導体チップと第 2 の半導体チップの間をパンプのみによって電氣的に接続することができる。したがって、ボンディングワイヤを全く使用することなく半導体チップを立体的かつ高密度に実装できるとともに、配線容量を低減できるという効果が得られる。また、ボンディングワイヤを全く使用しないので、第 1 の半導体チップや第 2 の半導体チップが高周波数チップである場合に有効となるなどの効果も得られる。

【 0 0 4 9 】

この発明によれば、第 1 の半導体チップの全部が第 2 の半導体チップの面積内に配置されているように構成したので、1 チップ分の面積の中に全ての半導体チップを実装できるという効果が得られる。

【 0 0 5 0 】

この発明によれば、第 1 の半導体チップの一部が第 2 の半導体チップの面積外に配置されているように構成したので、半導体チップ同士の多様な組合せが可能になるという効果が

10

20

30

40

50



得られる。

【0051】

この発明によれば、実装基板に第3の半導体チップがダイボンディングされているように構成したので、さらなる高密度化が可能になるという効果が得られる。

【0052】

この発明によれば、第1の半導体チップと第3の半導体チップの全部が第2の半導体チップの面積内に配置されているように構成したので、1チップ分の面積の中に全ての半導体チップを実装できるという効果が得られる。

【0053】

この発明によれば、第1の半導体チップと第3の半導体チップの少なくとも一方の一部が第2の半導体チップの面積外に配置されているように構成したので、半導体チップ同士の多様な組合せが可能になるという効果が得られる。

10

【0054】

この発明によれば、第1の半導体チップに高さの異なるバンプが設けられているとともに、第2の半導体チップに第3の半導体チップがダイボンディングされているように構成したので、さらなる高密度化が可能になるという効果が得られる。

【0055】

この発明によれば、第2の半導体チップに第4の半導体チップがダイボンディングされているように構成したので、さらなる高密度化が可能になるという効果が得られる。

【0056】

この発明によれば、実装基板に第1の半導体チップがダイボンディングされ、第1の半導体チップに第2の半導体チップがダイボンディングされ、実装基板と第1の半導体チップがボンディングワイヤによって接続され、第3の半導体チップに高さの異なる複数のバンプが設けられ、第3の半導体チップが第1の半導体チップと第2の半導体チップにフェースダウンボンディングされているように構成したので、ボンディングワイヤの数が従来よりも減少するという効果が得られる。

20

【0057】

この発明によれば、高さの高いバンプを形成しようとするパッドの上に開口を位置付けるように製造マスクを半導体チップの上に順次に設ける工程と、製造マスクを設ける度に開口に導電性材料を充填する工程と、製造マスクの全てを除く工程とを有するように構成したので、高さの異なる複数種のバンプを容易に形成できるという効果が得られる。また、従来の均一な高さのバンプを異なる高さに形成できるという効果も得られる。

30

【0058】

この発明によれば、製造マスクが写真製版技術によって設けられるように構成したので、いろいろな高さのバンプを形成できるという効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体装置を示す正面図である。

【図2】 図1の平面図である。

【図3】 この発明の実施の形態2による半導体装置を示す正面図である。

【図4】 図3の平面図である。

40

【図5】 この発明の実施の形態3による半導体装置を示す正面図である。

【図6】 図5の平面図である。

【図7】 この発明の実施の形態4による半導体装置を示す正面図である。

【図8】 図7の平面図である。

【図9】 この発明の実施の形態5による半導体装置を示す正面図である。

【図10】 図9の平面図である。

【図11】 この発明の実施の形態6による半導体装置を示す正面図である。

【図12】 図11の平面図である。

【図13】 この発明の実施の形態7による半導体装置を示す正面図である。

【図14】 この発明の実施の形態8による半導体チップのバンプ製造方法を説明する断

50

面図である。

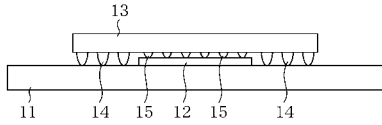
【図15】 従来技術による半導体装置を示す正面図である。

【図16】 従来技術による半導体チップのバンプ製造方法を説明する断面図である。

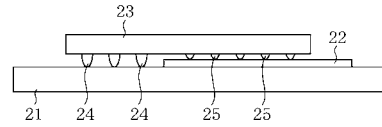
【符号の説明】

11, 21, 31, 41, 51, 61, 71 実装基板、12, 22, 32, 42, 52, 62, 72 第1の半導体チップ、13, 23, 33, 43, 53, 63, 73 第2の半導体チップ、14, 24, 35, 45, 55, 57, 66, 68, 75 高さの高いバンプ、15, 25, 36, 46, 56, 58, 67, 69, 76 高さの低いバンプ、34, 44, 54, 64, 74 第3の半導体チップ、65 第4の半導体チップ。

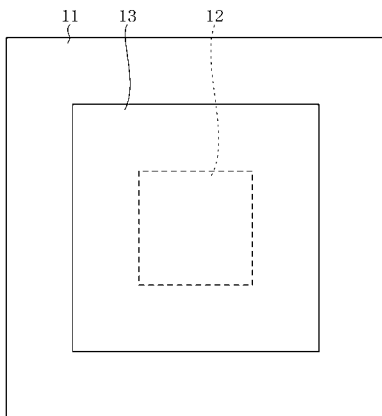
【図1】



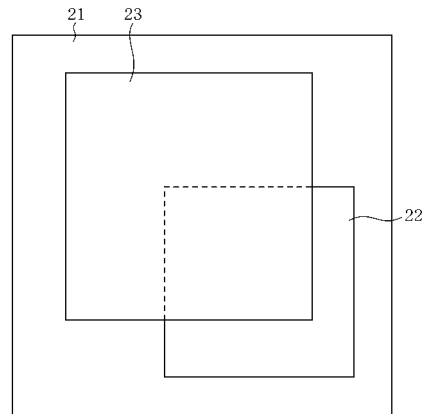
【図3】



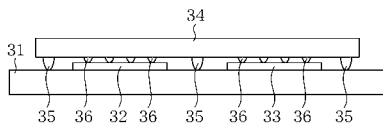
【図2】



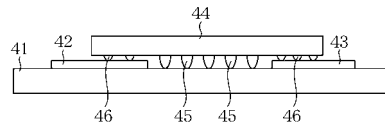
【図4】



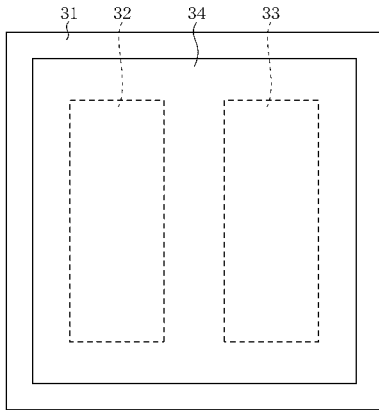
【図 5】



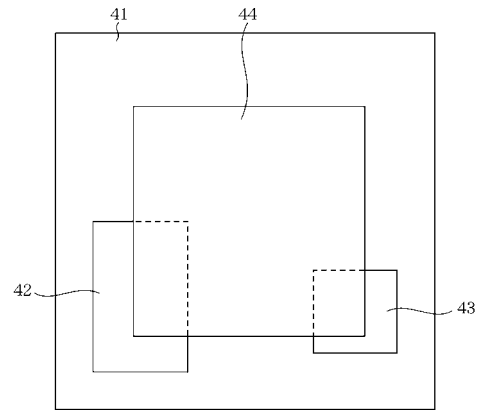
【図 7】



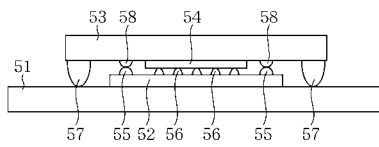
【図 6】



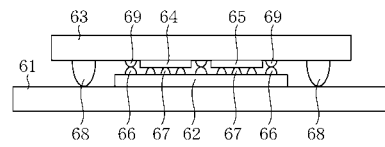
【図 8】



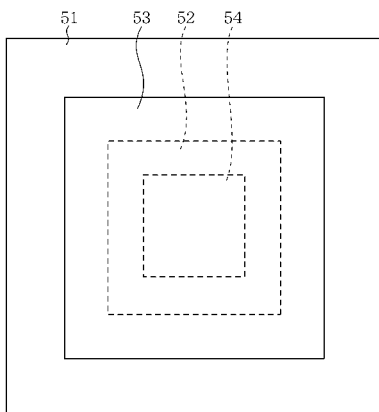
【図 9】



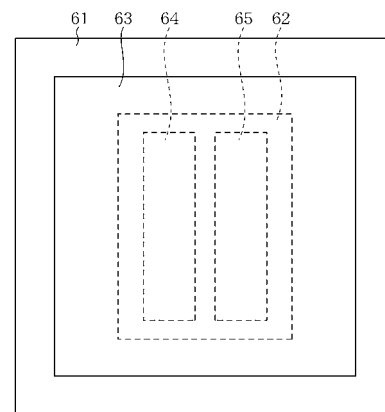
【図 11】



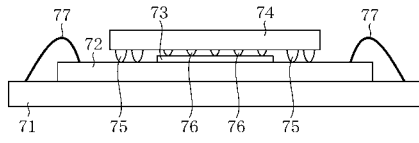
【図 10】



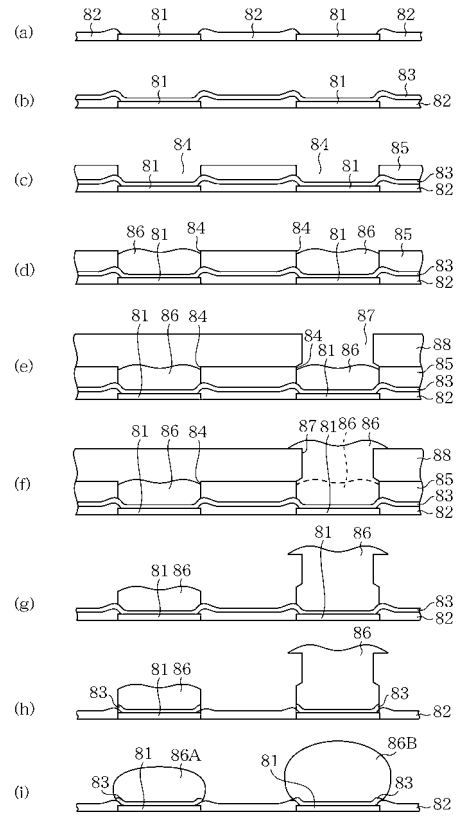
【図 12】



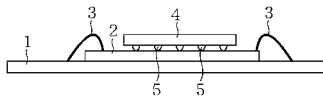
【 図 1 3 】



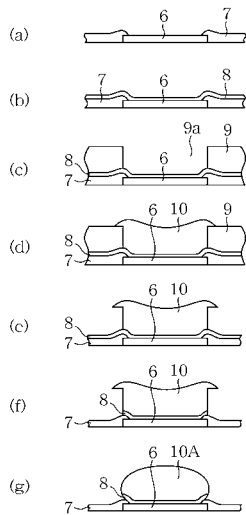
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



---

フロントページの続き

合議体

審判長 寺本 光生

審判官 加藤 浩一

審判官 田中 永一

- (56)参考文献 特開平5 - 29532 (JP, A)  
特開2002 - 141367 (JP, A)  
特開平6 - 132474 (JP, A)  
特開2001 - 267470 (JP, A)  
実開昭63 - 10571 (JP, U)  
特開2001 - 168265 (JP, A)  
特開平10 - 107065 (JP, A)  
特開2002 - 134538 (JP, A)  
特開2002 - 359345 (JP, A)  
特開2003 - 258197 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L25/065

H01L21/60

H01L25/07

H01L25/18