(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年11 月10 日 (10.11.2005)

PCT

(10) 国際公開番号
WO 2005/107063 A1

(51) 国際特許分類[7]: H03H 7/06, H04B 10/06, 3/02, H03F 1/00, 3/189

(21) 国際出願番号: PCT/JP2004/006110

(22) 国際出願日: 2004 年4 月28 日 (28.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目２番３号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 下村 健吉 (SHIMOMURA, Kenkichi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内 Tokyo (JP). 杉原 隆嗣 (SUGIHARA, Takashi) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内 Tokyo (JP). 清水 克宏 (SHIMIZU, Katsuhiro) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目２番３号 三菱電機株式会社内 Tokyo (JP).

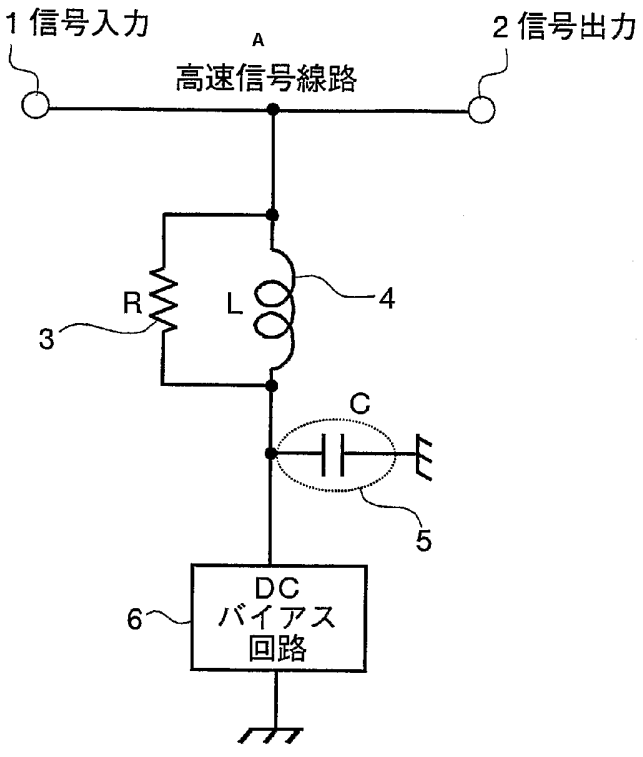
(74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006019 東京都千代田区霞が関三丁目２番5号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: BYPASS CIRCUIT

(54) 発明の名称: バイアス回路



1...SIGNAL INPUT
2...SIGNAL OUTPUT
A...HIGH SPEED SIGNAL LINE
6...DC BYPASS CIRCUIT

(57) Abstract: A bypass circuit for supplying a bypass voltage or current to a node on a transmission line (1, 2), comprising an inductor (4) for blocking the higher frequency components of a baseband signal transmitted on the transmission line (1, 2), while passing the near-DC frequency components; and an impedance decrease preventing element (3) for preventing an impedance viewed from the transmission line (1, 2) from decreasing due to a resonance caused by both the parasitic capacitance (5) occurring due to the provision of the inductor (4) and the inductance of the inductor (4).

(57) 要約: 伝送線路（１，２）上の一端にバイアス電圧またはバイアス電流を供給するバイアス回路であって、伝送線路上（１，２）を伝送するベースバンド信号の高周波成分を阻止するとともに、直流近傍の周波数成分を通過させるインダクタ（４）と、インダクタ（４）を実装することによって発生する寄生容量（５）とインダクタ（４）のインダクタンスとが共振を起こすことによって生じる伝送線路（１，２）から見たインピーダンスの低下を防止するためのインピーダンス低下防止素子（３）とを備える。

WO 2005/107063 A1

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

バイアス回路

技術分野

この発明は、バイアス回路に関するものであり、詳細には、ベースバンド信号のように直流近傍の低周波から高周波に渡る広帯域なスペクトル成分を持つ信号の増幅などを行う半導体素子や光変調器などに直流バイアスを印加するバイアス回路に関するものである。

背景技術

マイクロ波通信のように信号スペクトルが動作周波数近傍に集中している信号を扱う通信装置に適用されるバイアス回路として、下記特許文献１にその開示例がある。この特許文献１では、動作周波数の１／４波長の長さのショートスタブを用いて信号スペクトル周波数近傍で高いインピーダンスを実現し、直流を含むそれ以外の周波数に対しては積極的にインピーダンスを下げるという手法が用いられている。

また、トランジスタのゲートバイアスのようにインピーダンスの高い部分へバイアスを印加する場合の例として、下記特許文献２にその開示例がある。この特許文献２では、伝送線路のインピーダンスよりも十分大きなインピーダンスを有する抵抗器を用いてバイアスを印加する手法が用いられている。

しかしながら、特許文献１に示されるような１／４波長の長さのショートスタブを用いる手法では、信号スペクトルが動作周波数近傍に集中している信号の増幅回路に対しては適用できても、広帯域なスペクトル成分を有するベースバンド信号の増幅回路には適用ができないという欠点があった。

また、特許文献２に示されるような伝送線路のインピーダンスよりも十分大きなインピーダンスを有した抵抗器を用いる手法は、原理的に広帯域性を有する抵

抗器本来の特性から、広帯域化への対応は比較的容易であるが、例えば、ドレイン端子のように電流供給の必要な端子へバイアス電圧を印加する際には、抵抗器における電圧降下分を加えたバイアス電圧を印加する必要があるため、電源電圧が大きくなるという問題があった。

これらの問題点を解決するものとして、広帯域信号に対しては高インピーダンスとなり、直流近傍では低インピーダンスとなるような特性を有するバイアス回路が存在する（例えば、非特許文献１など）。この非特許文献１に示されたバイアス回路では、バイアス電源とバイアス印加対象との間に広帯域信号をブロックするためのインダクタが挿入されている。

特許文献１

特開２０００－１９６３７９号公報

特許文献２

特開平３－２１６００３号公報

非特許文献１

アンリツ電子計測器総合カタログ（ＣＤ－ＲＯＭ版）　２００３年版　ｐｐ．５２０

上述のようなインダクタを用いて交流信号をブロックする手法では、インダクタンス成分が可能な限り高く、高周波領域においても誘導性の性質が維持され、かつ周波数特性の良好なインダクタを用いる必要がある。

しかしながら、上述の非特許文献１に示された手法では、インダクタを実装する際に、実装パタンと接地電位間にわずかな容量が寄生すると直列共振を起こし、当該共振周波数でのバイアス回路のインピーダンスが非常に小さくなって所望の特性が得られなくなるという問題点があった。

この問題点は、前述の直列共振が生じた場合に入力端子を通過した広帯域信号のうちの共振周波数近傍の周波数成分が出力端子に向かわずにインピーダンスの低いバイアス回路側へ流入してしまうことで、一部の信号の欠落や、信号レベルの低下が生起することに原因があった。

なお、ベースバンド信号の情報は時間軸の特定タイミングにおける電流や電圧値に付与されているので、特定周波数成分の欠落やレベル低下がトータルの信号電力に対してわずかな量であっても時間波形劣化による誤り率増大の原因となる。

このような状況に鑑み、本発明は、共振によって発生するベースバンド信号の部分的欠落を防止し、信号特性劣化を抑制したバイアス回路を提供することを目的とするものである。

発明の開示

この発明にかかる光受信装置にあっては、伝送線路上の一端にバイアス電圧またはバイアス電流を供給するバイアス回路であって、伝送線路上を伝送するベースバンド信号の高周波成分を阻止するとともに、直流近傍の周波数成分を通過させるインダクタと、前記インダクタを実装することによって発生する寄生容量と該インダクタのインダクタンスとが共振を起こすことによって生じる前記伝送線路から見たインピーダンスの低下を防止するためのインピーダンス低下防止素子と、を備えたことを特徴とする。

この発明によれば、バイアス回路に備えられたインダクタと、インピーダンス低下防止素子とによって構成された並列回路のインピーダンス成分が誘導リアクタンス成分だけでなく、抵抗成分も併せ持つようになる。その結果、インダクタを実装することによって発生した寄生容量成分を打ち消した後でも抵抗成分が残り、伝送線路から見たインピーダンスの低下が防止される。

図面の簡単な説明

第１図は、この発明の実施の形態１にかかるバイアス回路の構成を示す図であり、第２Ａ図は、第１図の構成から抵抗素子３が除かれたバイアス回路の構成を示す図であり、第２Ｂ図は、第２Ａ図に示すバイアス回路の角周波数に対する通過特性を示す図であり、第３Ａ図は、第２Ａ図に示した従来回路において構成されるＬＣ共振回路のインピーダンス－周波数特性を示す模式図であり、第３Ｂ図

は、当該ＬＣ共振回路のインピーダンス軌跡を示す図であり、第４Ａ図は、第２Ａ図に示す従来回路の共振周波数における各インピーダンスベクトルを模式的に示す図であり、第４Ｂ図は、第１図に示す実施の形態１の回路の共振周波数における各インピーダンスベクトルを模式的に示す図であり、第５Ａ図は、第１図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第５Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図であり、第６図は、この発明の実施の形態２にかかるバイアス回路の構成を示す図であり、第７Ａ図は、第６図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第７Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図であり、第８図は、この発明の実施の形態３にかかるバイアス回路の構成を示す図であり、第９Ａ図は、第８図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第９Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図であり、第１０図は、この発明の実施の形態４にかかるバイアス回路の構成を示す図であり、第１１Ａ図は、第１０図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第１１Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図であり、第１２図は、この発明の実施の形態５にかかるバイアス回路の構成を示す図であり、第１２図は、この発明の実施の形態５にかかるバイアス回路の構成を示す図であり、第１３図は、この発明の実施の形態６にかかるバイアス回路の構成を示す図であり、第１４Ａ図は、第１３図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第１４Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図である。

発明を実施するための最良の形態

以下に添付図面を参照して、本発明にかかるバイアス回路の好適な実施の形態を詳細に説明する。なお、この実施の形態により本発明が限定されるものではな

い。

実施の形態１．

第１図は、この発明の実施の形態１にかかるバイアス回路の構成を示す図である。同図に示すバイアス回路は、例えば、信号入力端１と信号出力端２とを備えた高速信号線路上の一端にバイアス電圧（またはバイアス電流、以下「バイアス電源」という）を供給するための構成である。同図において、従来技術にて構成されたＤＣバイアス回路６から出力されるバイアス電源が抵抗器３とインダクタ４との並列回路を介して高速信号線路上の一端に供給される。なお、インダクタ４は、上述の交流信号をブロックするインダクタである。また、キャパシタ５は上述した実装パタンと接地電位間に発生する寄生容量であり、キャパシタ５の一端は抵抗素子３とインダクタ４との並列回路の一端に接続され、他端はグランドに接地されている。

つぎに、第１図に示したバイアス回路の動作について説明するが、第１図の動作の説明の前に、第１図の構成から抵抗素子３が除かれたバイアス回路の回路特性について考察する。なお、第２Ａ図は、第１図の構成から抵抗素子３が除かれたバイアス回路の構成を示す図であり、第２Ｂ図は、第２Ａ図に示すバイアス回路の角周波数に対する通過特性を示す図である。

第２Ａ図に示す回路構成では、インダクタ４とキャパシタ５とが直列共振を起こす共振周波数（あるいは共振角周波数）が存在する。したがって、当該共振周波数の近傍において、高速信号線路からバイアス回路側を見たインピーダンスが非常に小さくなり、第２Ｂ図に示すように信号通過特性が劣化することになる。

また、第３Ａ図は、第２Ａ図に示した従来回路において構成されるＬＣ共振回路のインピーダンス－周波数特性を示す模式図であり、第３Ｂ図は、当該ＬＣ共振回路のインピーダンス軌跡を示す図である。

当該回路のインピーダンスのリアクタンス成分は、角周波数ωが０から∞に増加するとき、ある角周波数を境にして容量性から誘導性に変化する。この変化点を決める周波数（角周波数）が共振周波数（共振角周波数）であり、第３Ａ図で

あれば急峻に落ち込んだ曲線上の窪み（ディップ）の部分での周波数であり、第３Ｂ図であれば座標原点における周波数である。

例えば、第２Ａ図に示すインダクタ４のインダクタンスが１μＨであり、キャパシタ５の寄生容量が１ｐＦとすると、共振周波数は約１５０ＭＨｚとなる。

いま、広帯域信号の例としてベースバンド信号を考えた場合、一般的な目安として信号ビットレートの数倍から１万分の１の周波数領域において、信号成分の欠落や信号レベルの低下があると信号波形が歪み、信号特性劣化が起こると言われている。つまり、前述の例である、１μＨのインダクタンスと１ｐＦの寄生容量とから構成される第２Ａ図のバイアス回路を適用することができるベースバンド信号は、信号速度が１５００Ｇｂｐｓ以上のものに限定されることになる。したがって、第２Ａ図に示すバイアス回路は、非現実的な回路となってしまう。

つぎに、第１図に示すバイアス回路において、インダクタ４に並列に付加された抵抗素子３の役割について、第４Ａ図および第４Ｂ図を用いて説明する。なお、第４Ａ図は、第２Ａ図に示す従来回路の共振周波数における各インピーダンスベクトルを模式的に示す図であり、第４Ｂ図は、第１図に示す実施の形態１の回路の共振周波数における各インピーダンスベクトルを模式的に示す図である。すなわち、第４Ａ図と第４Ｂ図との差は抵抗素子３があるか否かが異なるのみである。

第２Ａ図において、インダクタ４のインダクタンスをＬとし、キャパシタ５のキャパシタンスをＣとすれば、インダクタ４とキャパシタ５とで構成される直列共振回路の共振角周波数ω_Cは、次式で表すことができる。

$$\omega_C = 1/\sqrt{LC} \qquad \cdots (1)$$

また、この共振角周波数ω_Cを用いて、直列共振回路のリアクタンス成分のうち、誘導性成分（以下「誘導リアクタンス成分」という）をX_Lとし、容量性成分（以下「容量リアクタンス成分」という）をX_Cとすれば、これらのX_LおよびX_Cは、式（１）を用いてそれぞれ次式のように表すことができる。

$$X_L = j\omega L = j\sqrt{\frac{L}{C}} \qquad \cdots (2)$$

$$X_C = 1 / (j\omega C) = -j\sqrt{\frac{L}{C}} \quad \cdots (3)$$

式（2）および式（3）から明らかなように、インダクタ４の誘導リアクタンス成分と、キャパシタ５の容量リアクタンス成分とは、絶対値が等しく、それぞれの符号が異なるので、第４Ａ図に示すように、互いに打ち消し合うように作用する。

一方、第１図に示すＲＬＣ共振回路では、第４Ｂ図に示すように、共振点におけるリアクタンス成分は打ち消し合っても抵抗成分は打ち消されないので、共振点においてインピーダンスがゼロとなることはない。

なお、第４Ｂ図のインピーダンスベクトル図は、抵抗素子３をインダクタ４に並列に挿入した場合の当該図であったが、抵抗素子３をインダクタ４に直列に挿入した場合は、第４Ａ図のインピーダンスベクトル図を抵抗素子３の抵抗成分だけ右方向にシフトさせたものに相当する。つまり、一定の抵抗成分が常に保持されるので、共振点においてＲＬＣ共振回路のインピーダンスがゼロとなることはない。

また、第５Ａ図は、第１図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第５Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図である。

第１図に示すＬＣＲ共振回路では、インダクタ４に抵抗素子３が並列に接続されており、当該ＬＲ並列回路のインピーダンス成分が虚部（誘導リアクタンス成分）だけでなく、実部（抵抗成分）を有するようになるので、ＬＣＲ共振回路のインピーダンスは共振周波数においても、Ｒ，Ｌ，Ｃで決定される一定の値を有し、０になることはない。したがって、高速信号線路からバイアス回路を見た共振点におけるインピーダンスの低下を防止することができる。

以上説明したように、この実施の形態では、抵抗素子をインダクタに並列に接続しているので、インダクタを実装することによって発生した寄生容量成分を打ち消した後でも抵抗成分が残り、伝送線路から見たインピーダンスの低下が防止

され、ベースバンド信号の部分的欠落や、信号特性の劣化が抑制される。

なお、この実施の形態では、インダクタを実装することによって発生する寄生容量と、このインダクタとの共振によって生じる高速信号伝送線路から見たインピーダンス低下を防止するための素子として抵抗素子を用いるようにしているが、純粋な抵抗素子に限定されるものではなく、特に、インピーダンスの低下が顕著な周波数（すなわち共振周波数）近傍において、抵抗器として作用するものであればよい。

実施の形態２.

第６図は、この発明の実施の形態２にかかるバイアス回路の構成を示す図である。同図に示すバイアス回路は、第１図に示したバイアス回路において、抵抗素子３ａをインダクタ４と並列ではなく、寄生容量であるキャパシタ５に対して直列に接続されるように構成している。なお、その他の構成については実施の形態１と同一、あるいは同等であり、これらの部分については同一符号を付して示している。

つぎに、第６図に示したバイアス回路の動作について説明する。なお、第７Ａ図は、第６図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第７Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図である。

第６図に示すＬＣＲ共振回路では、キャパシタ５に対して抵抗素子３が直列に接続されており、インダクタ４を含めたＬＣＲ直列共振回路を構成するので、当該回路のインピーダンスは、第７Ａ図および第７Ｂ図に示すように抵抗素子３ａの抵抗値（Ｒ）以下になることはない。したがって、高速信号線路からバイアス回路を見た共振点におけるインピーダンスの低下を防止することができる。

以上説明したように、この実施の形態によれば、抵抗素子をインダクタを実装することによって発生した寄生容量に直列に接続しているので、寄生容量成分を打ち消した後でも抵抗成分が残り、伝送線路から見たインピーダンスの低下が防止され、ベースバンド信号の部分的欠落や、信号特性の劣化が抑制される。

なお、この実施の形態では、インダクタを実装することによって発生する寄生容量と、このインダクタとの共振によって生じる高速信号伝送線路から見たインピーダンス低下の防止素子として抵抗素子を用いるようにしているが、純粋な抵抗素子に限定されるものではなく、特に、インピーダンスの低下が顕著な共振周波数近傍において、抵抗器として作用するものであればよいことは、実施の形態１のときと同様である。

実施の形態３．

第８図は、この発明の実施の形態３にかかるバイアス回路の構成を示す図である。同図に示すバイアス回路は、第６に示した実施の形態２のバイアス回路において、抵抗素子３ｂを寄生容量であるキャパシタ５に対して直列ではなく、並列に接続されるように構成している。なお、その他の構成については実施の形態２と同一、あるいは同等であり、これらの部分については同一符号を付して示している。

つぎに、第８図に示したバイアス回路の動作について説明する。なお、第９Ａ図は、第８図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンスー周波数特性を示す模式図であり、第９Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図である。第１図のバイアス回路ではインダクタ４に対して抵抗素子３が並列に接続されているのに対して、第８図のバイアス回路ではキャパシタ５に対して抵抗素子３ｂが並列に接続されているので、ＬＣＲ共振回路のインピーダンスー周波数特性や、インピーダンス軌跡は、第７Ａ図と、第７Ｂ図とをそれぞれ対称形にした、第９Ａ図と、第９Ｂ図と、に示されるそれぞれの特性となる。

第８図に示すＬＣＲ共振回路では、キャパシタ５に抵抗素子３ｂが並列に接続されているのでの、当該ＲＣ並列回路のインピーダンス成分が虚部（容量リアクタンス成分）だけでなく、実部（抵抗成分）を有するようになるため、ＬＣＲ共振回路のインピーダンスは共振周波数においても、Ｒ，Ｌ，Ｃで決定される一定の値を有し、０になることはない。したがって、高速信号線路からバイアス回路

を見た共振点におけるインピーダンスの低下を防止することができる。

以上説明したように、この実施の形態によれば、抵抗素子をインダクタを実装することによって発生した寄生容量に並列に接続しているので、寄生容量成分を打ち消した後でも抵抗成分が残り、伝送線路から見たインピーダンスの低下が防止され、ベースバンド信号の部分的欠落や、信号特性の劣化が抑制される。

なお、この実施の形態では、インダクタを実装することによって発生する寄生容量と、このインダクタとの共振によって生じる高速信号伝送線路から見たインピーダンス低下の防止素子として抵抗素子を用いるようにしているが、純粋な抵抗素子に限定されるものではなく、特に、インピーダンスの低下が顕著な共振周波数近傍において、抵抗器として作用するものであればよいことは、他の実施の形態のときと同様である。

実施の形態４.

第１０図は、この発明の実施の形態４にかかるバイアス回路の構成を示す図である。同図に示すバイアス回路は、第１図に示した実施の形態１のバイアス回路に加えて、抵抗素子３ｂを寄生容量であるキャパシタ５に対して並列に接続されるように構成している。なお、その他の構成については実施の形態１と同一、あるいは同等であり、これらの部分については同一符号を付して示している。

つぎに、第１０図に示したバイアス回路の動作について説明する。なお、第１１Ａ図は、第１０図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第１１Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図である。第１図のバイアス回路ではインダクタ４に対してのみ抵抗素子３が並列に接続されているのに対して、第１０図のバイアス回路ではキャパシタ５に対しても抵抗素子３ｂが並列に接続されている。

したがって、当該ＬＣＲ共振回路のインピーダンス－周波数特性は、第５Ａ図と、第９Ａ図とを組み合わせた第１１Ａ図に示される特性となる。同様に、当該ＬＣＲ共振回路のインピーダンス軌跡は、第５Ｂ図と、第９Ｂ図とを組み合わせた第１１Ｂ図に示される特性となる。

第１０図に示すＬＣＲ共振回路では、インダクタ４に抵抗素子３が並列に接続されており、当該ＬＲ並列回路のインピーダンス成分が虚部（誘導リアクタンス成分）だけでなく、実部（抵抗成分）を有するようになる。また、キャパシタ５に抵抗素子３ｂが並列に接続されているので、当該ＲＣ並列回路のインピーダンス成分が虚部（容量リアクタンス成分）だけでなく、実部（抵抗成分）を有するようになる。したがって、抵抗素子３，３ｂ、インダクタ４およびキャパシタ５で構成されるＬＣＲ共振回路のインピーダンスは共振周波数においても、R_1，R_2，Ｌ，Ｃで決定される一定の値を有し、０になることはない。したがって、高速信号線路からバイアス回路を見た共振点におけるインピーダンスの低下を防止することができる。

また、バイアス回路から見たインピーダンスを広帯域に渡って所定の範囲内に抑制させることができるので、バイアス電源の安定供給が可能になる。

以上説明したように、この実施の形態によれば、抵抗素子をインダクタおよびインダクタを実装することによって発生した寄生容量のそれぞれに並列に接続しているので、寄生容量成分を打ち消した後でも抵抗成分が残り、伝送線路から見たインピーダンスの低下が防止され、ベースバンド信号の部分的欠落や、信号特性の劣化が抑制される。

なお、この実施の形態では、インダクタを実装することによって発生する寄生容量と、このインダクタとの共振によって生じる高速信号伝送線路から見たインピーダンス低下の防止素子として抵抗素子を用いるようにしているが、純粋な抵抗素子に限定されるものではなく、特に、インピーダンスの低下が顕著な共振周波数近傍において、抵抗器として作用するものであればよいことは、他の実施の形態のときと同様である。

実施の形態５.

第１２図は、この発明の実施の形態５にかかるバイアス回路の構成を示す図である。第１図に示した実施の形態１のバイアス回路が単相の高速信号線路に対してバイアス電源を供給するものであったが、この実施の形態のバイアス回路は差

動の高速信号線路に対してＤＣバイアス回路を共通にして各線路にバイアス電源を供給するものである。なお、この実施の形態のバイアス回路は、当該差動線路に対して実施の形態４のバイアス回路を適用しているが、他の実施の形態のバイアス回路を適用することもできる。

なお、第１２図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性や、インピーダンス軌跡は、上述の実施の形態１～４に示した単相線路に対する各特性が差動線路の各線路に反映されたものとなる。

以上説明したように、この実施の形態では、差動線路を構成する一対の線路ごとに、インダクタを実装することによって発生した寄生容量に対して抵抗素子を並列に接続しているので、寄生容量成分を打ち消した後でも抵抗成分が残り、一対の伝送線路から見たインピーダンスの低下が防止され、ベースバンド信号の部分的欠落や、信号特性の劣化が抑制される。

なお、この実施の形態では、インダクタを実装することによって発生する寄生容量と、このインダクタとの共振によって生じる高速信号伝送線路から見たインピーダンス低下の防止素子として抵抗素子を用いるようにしているが、純粋な抵抗素子に限定されるものではなく、特に、インピーダンスの低下が顕著な共振周波数近傍において、抵抗器として作用するものであればよいことは、他の実施の形態のときと同様である。

実施の形態６．

第１３図は、この発明の実施の形態６にかかるバイアス回路の構成を示す図である。この実施の形態のバイアス回路は、実施の形態４のバイアス回路の好適な構成の具体例を示すものである。

実施の形態４のところで説明したように、インダクタ４に抵抗素子３が並列に接続されているので当該ＬＲ並列回路のインピーダンスが抵抗成分を持たせることができ、また、寄生容量であるキャパシタ５に抵抗素子３ｂが並列に接続されているので当該ＲＣ並列回路のインピーダンス成分も抵抗成分を持たせることができる。

つぎに、実際に、上記のＬＲ並列回路のインピーダンスＺ$_L$と、ＲＣ並列回路のインピーダンスＺ$_C$とを計算してみる。

まず、ＬＲ並列回路のインピーダンスＺ$_L$は次式で与えられる。

$$Z_L = \frac{j\omega L R_1 (R_1 - j\omega L)}{R^2 + \omega^2 L^2} \quad \cdots (4)$$

同様に、ＲＣ並列回路のインピーダンスＺ$_C$は次式で与えられる。

$$Z_C = \frac{R_2 (1 - j\omega C R_2)}{1 + \omega^2 C^2 R^2} \quad \cdots (5)$$

ここで、付加される各抵抗値を

$$R_1 = R_2 = \sqrt{\frac{L}{C}} \quad \cdots (6)$$

となるように選べば、合成インピーダンスＺ＝Ｚ$_L$＋Ｚ$_C$は、式（３）、式（４）および式（５）式を用いて、次式のように簡単化できる。

$$Z = \sqrt{\frac{L}{C}} \quad \cdots (7)$$

式（７）によれば、直流を含む全周波数領域において一定の実数値となる。

なお、第１４Ａ図は、第１３図に示すバイアス回路において構成されるＬＣＲ共振回路のインピーダンス－周波数特性を示す模式図であり、第１４Ｂ図は、当該ＬＣＲ共振回路のインピーダンス軌跡を示す図である。これらの図に示される曲線は、式（７）に示す定インピーダンス特性を明確に表している。

このように、インダクタ４およびキャパシタ５にそれぞれ付加される抵抗素子３，３ｂの各抵抗値を、式（６）を満足するような値に設定すれば、高周波信号の入出力ポート１，２間の伝達関数は、前述のＲと高周波信号線路のインピーダンスから決まる一定の実数の損失となるため、ベースバンド信号の振幅が小さくなる以外は信号スペクトル間の相対強度、位相には一切影響を与えない無歪の回路に設計することができる。

例えば、第１３図に示すように、インダクタ４のインダクタンスＬ、キャパシ

タ５のキャパシタンスＣがそれぞれ、Ｌ＝８００ｎＨ，Ｃ＝０．８ｐＦのとき、抵抗素子３，３ａの各抵抗値R_Lを、R_L＝１ｋΩに設定すれば、バイアス回路のインピーダンスは、常に１ｋΩであり、信号入出力端から見た損失は常に０．２ｄＢを維持することができるので、バイアス電源の安定供給が可能になる。

以上説明したように、この実施の形態では、インダクタや抵抗素子の値を所定の値に設定しているので、インダクタを実装することによって発生した寄生容量成分を打ち消した後でも一定の抵抗成分が残り、伝送線路から見たインピーダンスの低下が防止され、ベースバンド信号の部分的欠落や、信号特性の劣化が抑制される。

なお、この実施の形態では、インダクタを実装することによって発生する寄生容量と、このインダクタとの共振によって生じる高速信号伝送線路から見たインピーダンス低下の防止素子として抵抗素子を用いるようにしているが、純粋な抵抗素子に限定されるものではなく、特に、インピーダンスの低下が顕著な共振周波数近傍において、抵抗器として作用するものであればよいことは、他の実施の形態のときと同様である。

また、これまでの実施の形態では、ＤＣバイアス回路６の外部にインダクタ４や、抵抗素子３を付加する構成について説明してきたが、ＤＣバイアス回路６に備えられるＤＣ電源自身が、上記のような構成を備えていてもよい。例えば、ＤＣ電源自身が、数百ｎＨ以上のインダクタンス成分を有し、かつ当該インダクタンス成分に並列に付加（あるいは等価的に付加）される抵抗成分が、実装段階で発生する寄生容量と当該インダクタンス成分とにより式（６）にて示される程度の値を有していればよい。

産業上の利用可能性

以上のように、本発明にかかるバイアス回路は、ベースバンド信号のように直流近傍の低周波から高周波に渡る広帯域なスペクトル成分を持つ信号の増幅などを行う半導体素子や光変調器などに直流バイアスを印加するバイアス回路として

有用である。

請 求 の 範 囲

1． 伝送線路上の一端にバイアス電圧またはバイアス電流を供給するバイアス回路であって、

伝送線路上を伝送するベースバンド信号の高周波成分を阻止するとともに、直流近傍の周波数成分を通過させるインダクタと、

前記インダクタを実装することによって発生する寄生容量と該インダクタのインダクタンスとが共振を起こすことによって生じる前記伝送線路から見たインピーダンスの低下を防止するためのインピーダンス低下防止素子と、

を備えたことを特徴とするバイアス回路。

2． 前記インピーダンス低下防止素子が抵抗器であることを特徴とする請求の範囲第１項に記載のバイアス回路。

3． 前記インピーダンス低下防止素子が前記インダクタに並列に接続されたことを特徴とする請求の範囲第１項に記載のバイアス回路。

4． 前記インピーダンス低下防止素子が前記微小寄生容量に直列に接続されたことを特徴とする請求の範囲第１項に記載のバイアス回路。

5． 前記インピーダンス低下防止素子が前記微小寄生容量に並列に接続されたことを特徴とする請求の範囲第１項に記載のバイアス回路。

6． 前記インピーダンス低下防止素子が前記インダクタおよび前記微小寄生容量にそれぞれ並列に接続されたことを特徴とする請求の範囲第１項に記載のバイアス回路。

７．　一対の伝送線路で構成される差動線路上のそれぞれの一端にバイアス電圧またはバイアス電流を供給するバイアス回路であって、

前記差動線路を構成する一対の伝送線路上を伝送するベースバンド信号の高周波成分を阻止するとともに、直流近傍の周波数成分を通過させるインダクタと、

前記インダクタを実装することによって発生する寄生容量と該インダクタのインダクタンス成分とが共振を起こすことによって生じる前記差動線線路のそれぞれの線路から見たインピーダンスの低下を防止するためのインピーダンス低下防止素子と、

を一対の伝送線路ごとに備えたことを特徴とするバイアス回路。

８．　前記インピーダンス低下防止素子が前記インダクタに並列に接続されたことを特徴とする請求の範囲第７項に記載のバイアス回路。

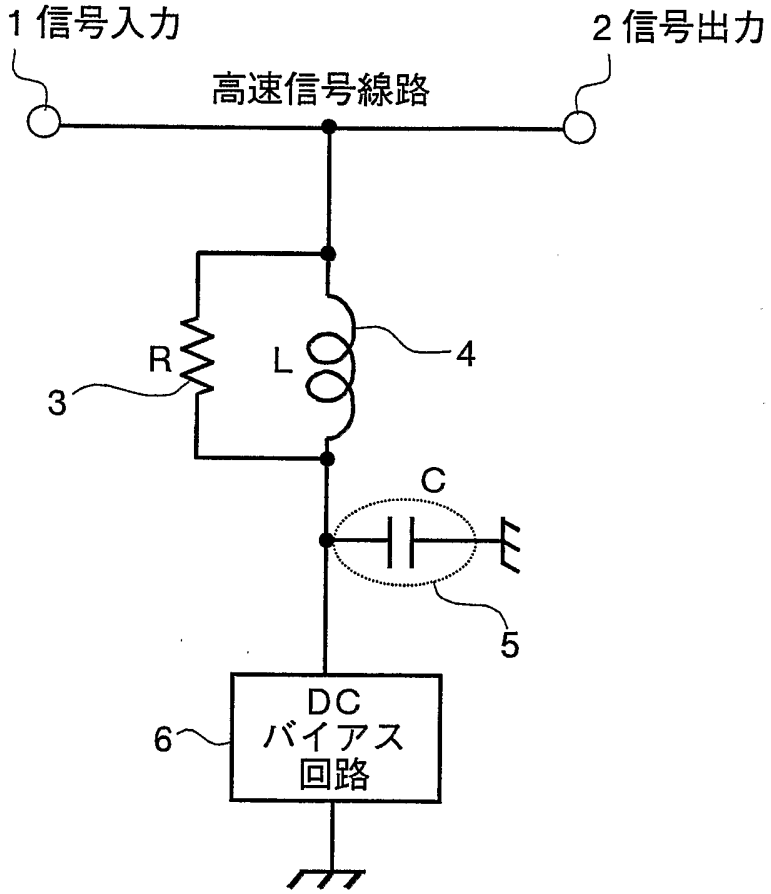
９．　前記インピーダンス低下防止素子が前記微小寄生容量に直列に接続されたことを特徴とする請求の範囲第７項に記載のバイアス回路。

１０．　前記インピーダンス低下防止素子が前記微小寄生容量に並列に接続されたことを特徴とする請求の範囲第７項に記載のバイアス回路。

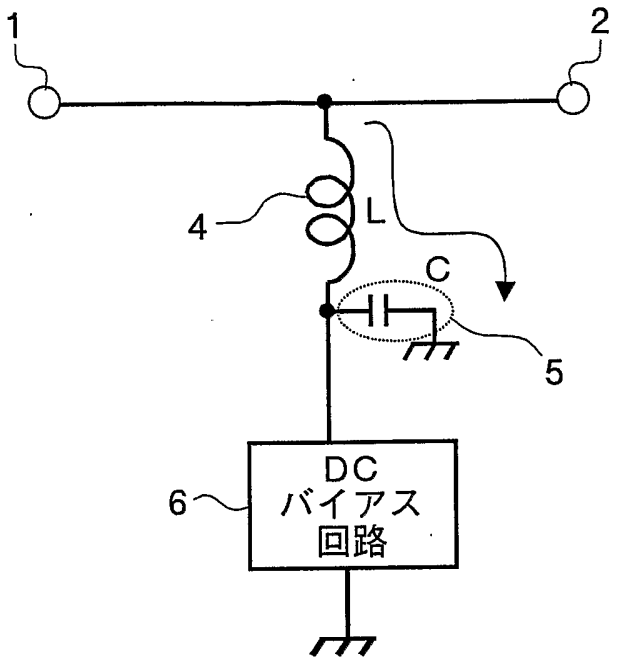
１１．　前記インダクタのインダクタンスと、前記インピーダンス低下防止素子の抵抗成分と、を有する直流電源を備え、

前記インダクタンスが数百ｎＨ以上の値に設定され、かつ前記抵抗成分が該インダクタンスと前記寄生容量との比の平方根の値に略設定されていることを特徴とする請求の範囲第１項に記載のバイアス回路。

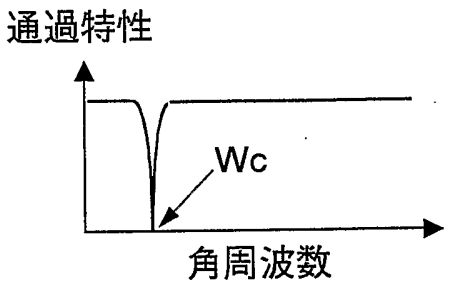
第１図



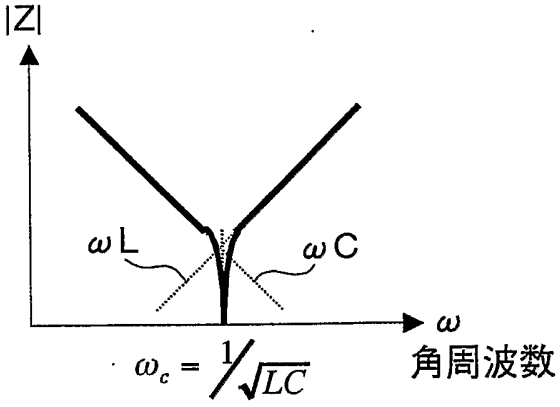
第2A図



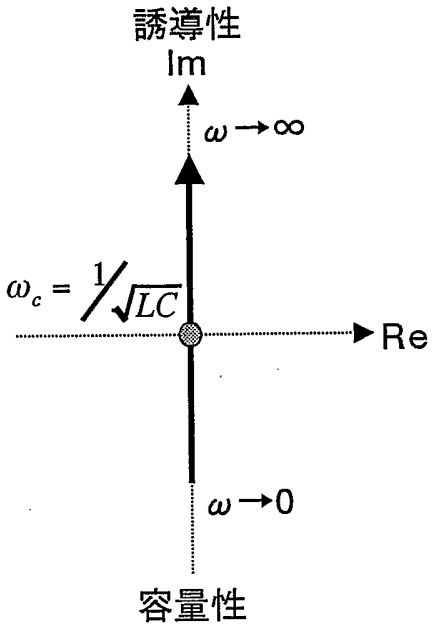
第2B図



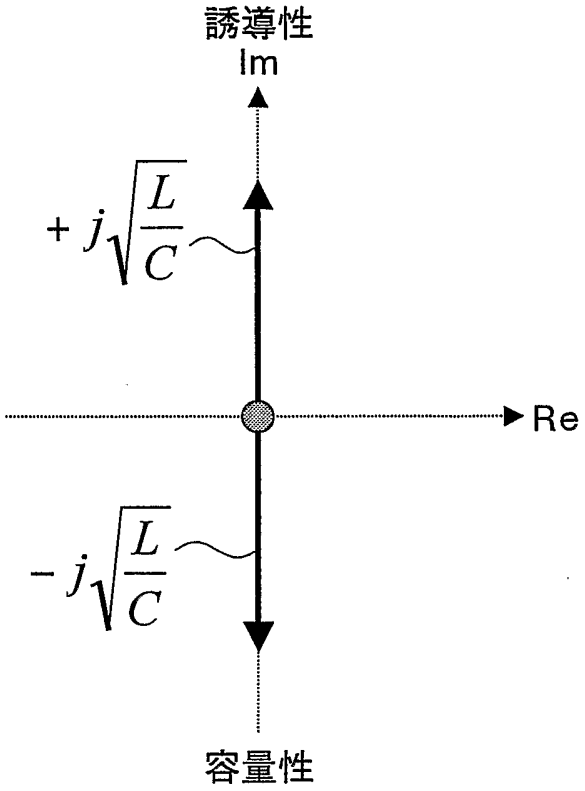
第3A図



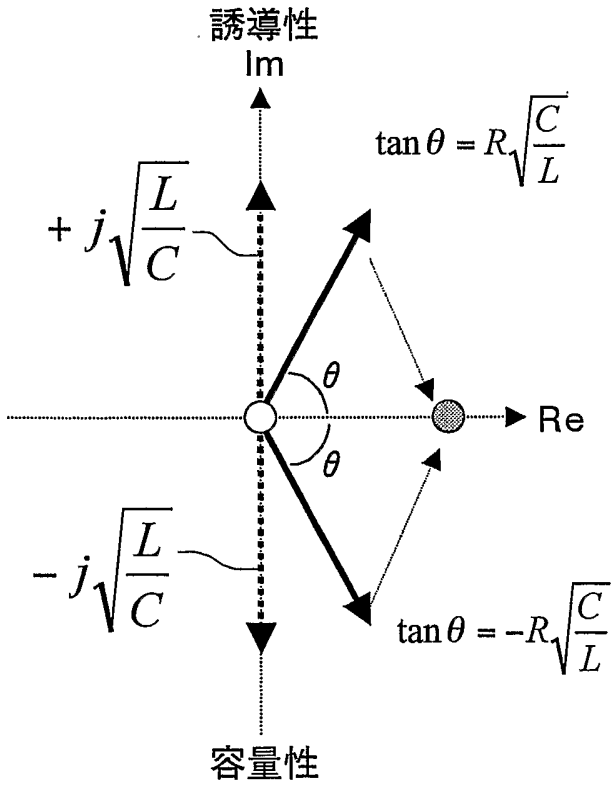
第3B図



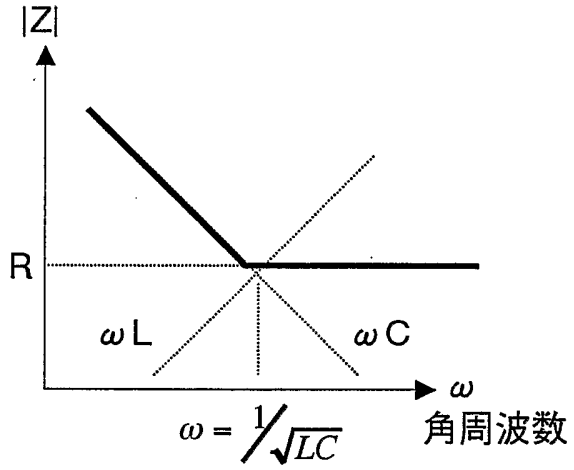
第4A図


誘導性
Im
$+j\sqrt{\frac{L}{C}}$
Re
$-j\sqrt{\frac{L}{C}}$
容量性

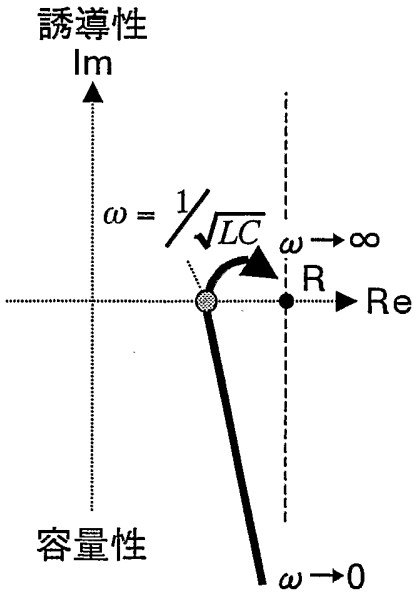
第4B図


誘導性
Im
$\tan\theta = R\sqrt{\frac{C}{L}}$
$+j\sqrt{\frac{L}{C}}$
θ
θ
Re
$-j\sqrt{\frac{L}{C}}$
$\tan\theta = -R\sqrt{\frac{C}{L}}$
容量性

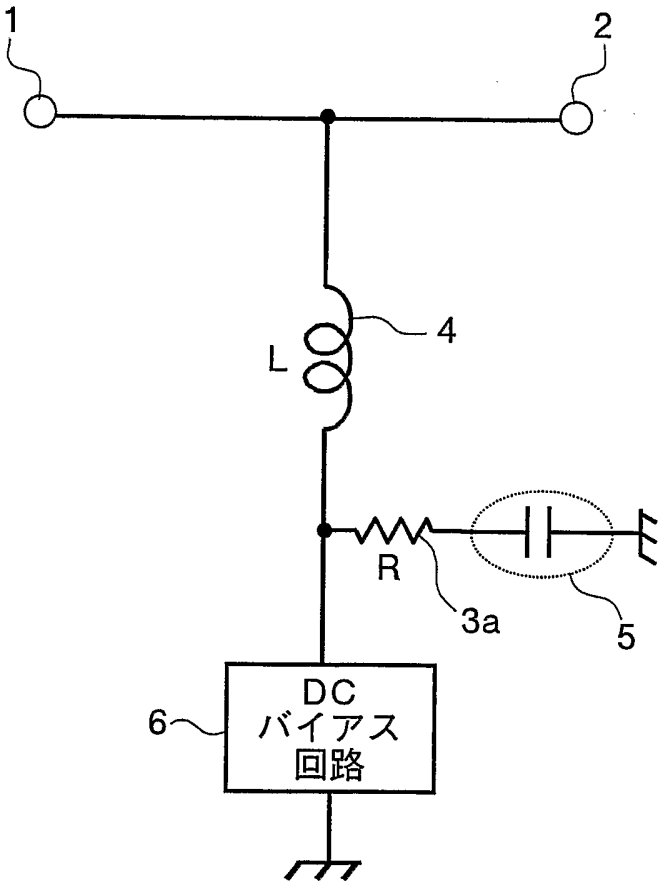
第5A図



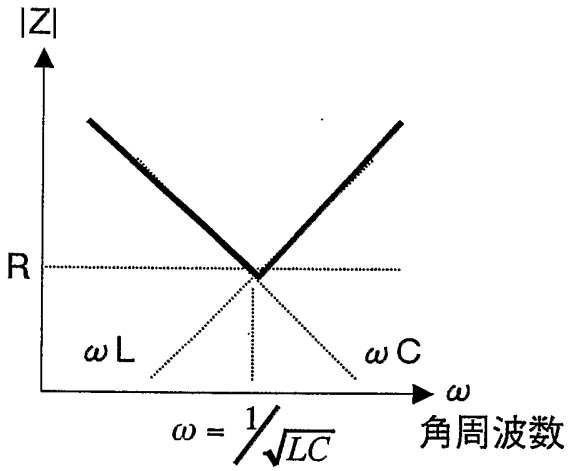
第5B図



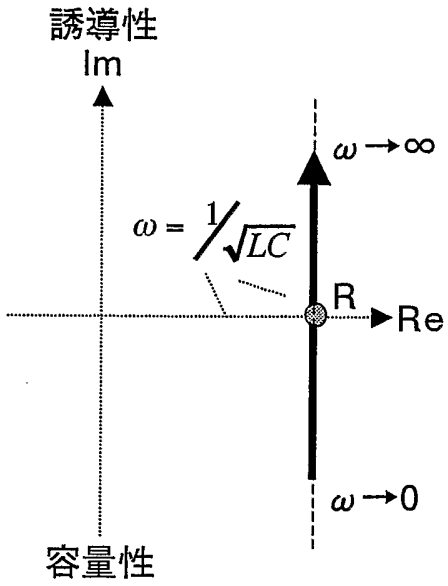
第6図



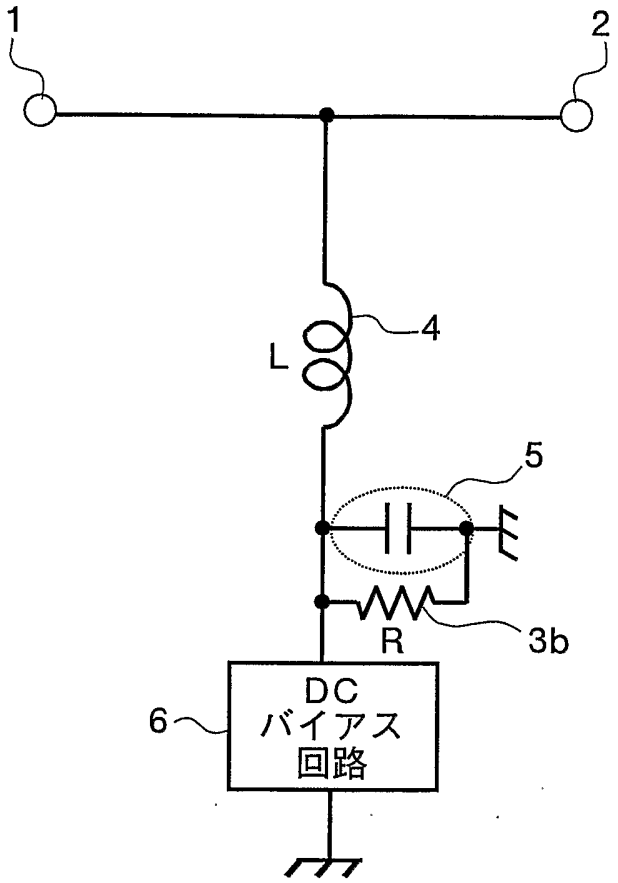
第7A図



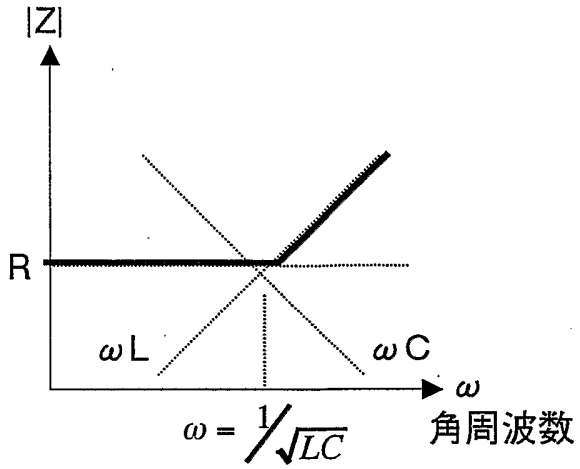
第7B図



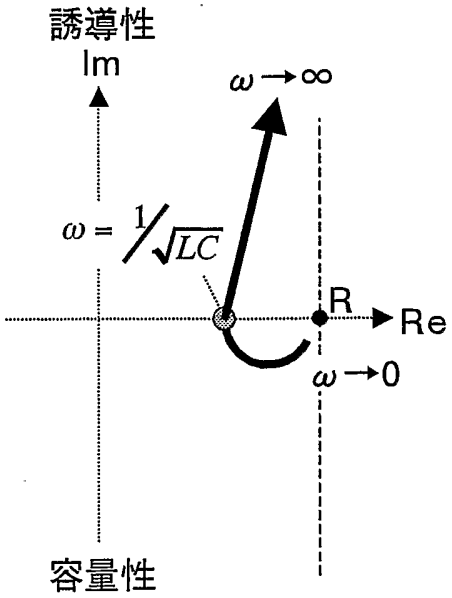
第8図



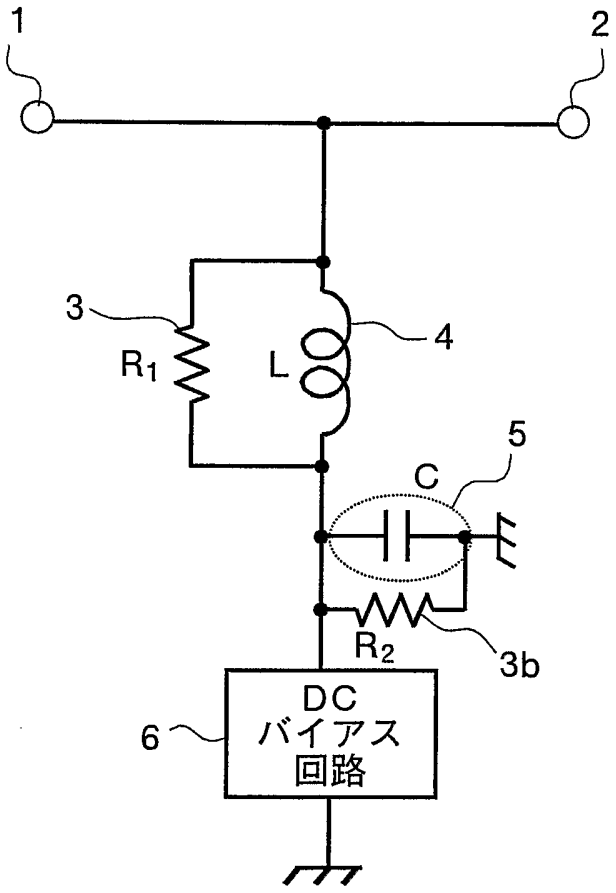
第9A図



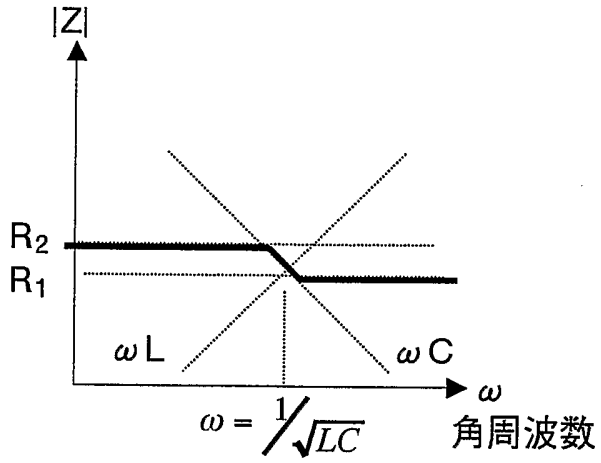
第9B図



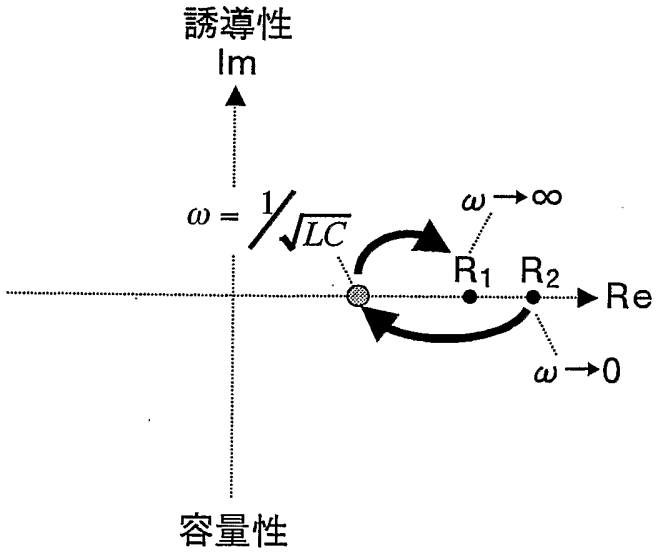
第10図



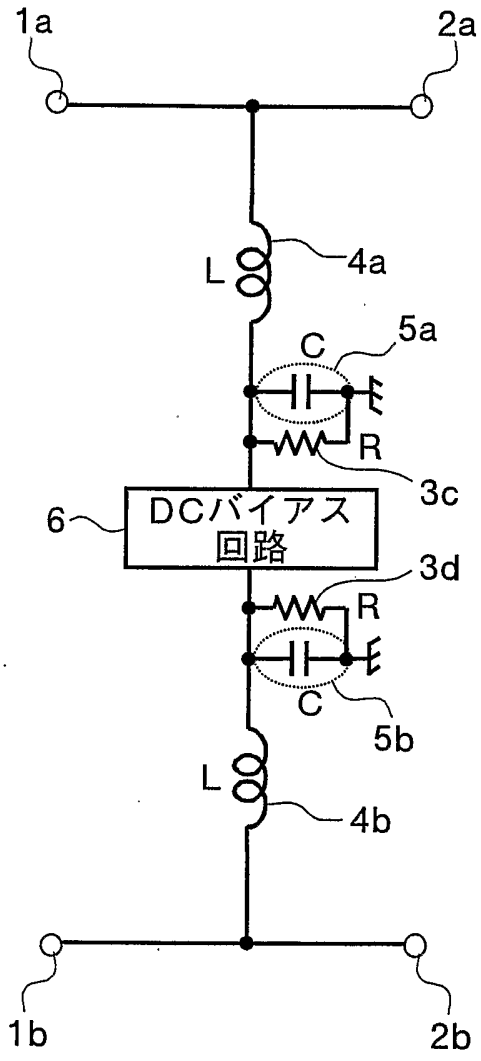
第11A図



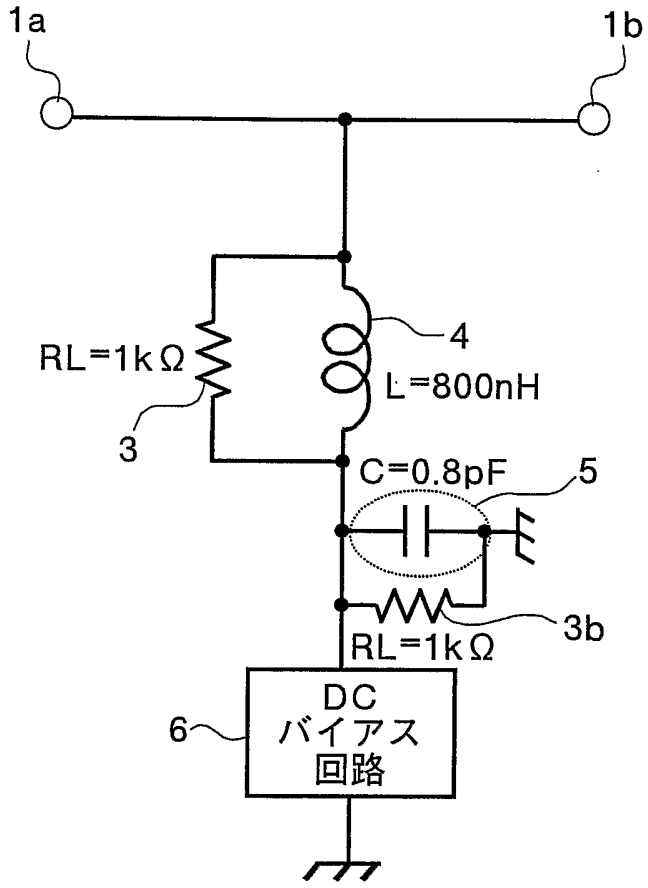
第11B図



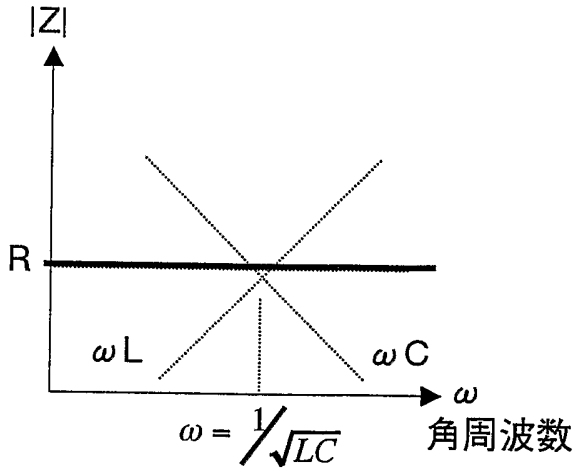
第12図



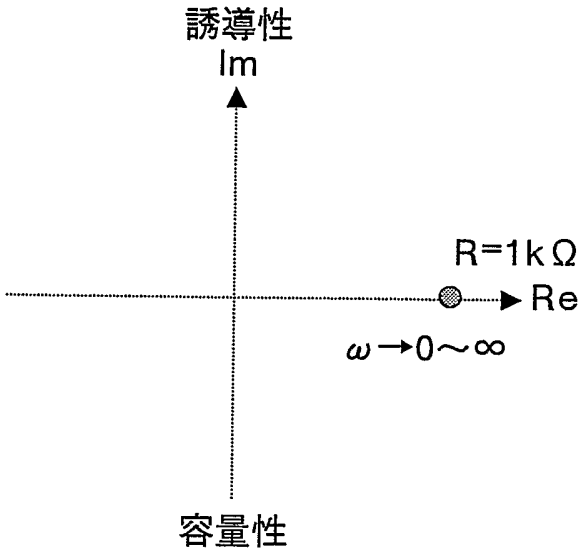
第13図



第14A図



第14B図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006110

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03H7/06, H04B10/06, H04B3/02, H03F1/00, H03F3/189

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03H7/06, H03F1/00, H03F3/189, H03B5/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
WPI/L

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-171143 A (Mitsubishi Electric Corp.), 14 June, 2002 (14.06.02), Fig. 1; Par. Nos. [0013] to [0022] & US 2002/0063602 A1 & DE 10134561 A1 & FR 2817409 A1 & TW 501341 A	1-11
Y	WO 2001/003290 A1 (Mitsubishi Electric Corp.), 11 January, 2001 (11.01.01), Full text; all drawings & EP 1137171 A1 & US 6310517 B1 & CN 1315074 A & KR 2001106454 A	1-11
Y	JP 2000-151325 A (Sumitomo Metal Industries, Ltd.), 30 May, 2000 (30.05.00), Fig. 2; Par. No. [0058] (Family: none)	4,9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 July, 2004 (27.07.04)	17 August, 2004 (17.08.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006110

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-196928 A (Murata Mfg. Co., Ltd.), 15 July, 1994 (15.07.94), Fig. 5; Par. No. [0027] & GB 2274034 A & DE 4342813 A1 & US 5534825 A	1-11
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 78759/1987(Laid-open No. 191891/1988) (Hanshin Electric Kabushiki Kaisha), 09 December, 1988 (09.12.88), Full text; all drawings (Family: none)	5,6,10
A	JP 1-15226 Y2 (NEC Corp.), 08 May, 1989 (08.05.89), Full text; all drawings (Family: none)	1-11
A	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model application No. 75267/1991(laid-open No. 21448/1993) (NEC Corp.), 19 March, 1993 (19.03.93), Full text; all drawings (Family: none)	1-11
A	JP 11-220337 A (Sharp Corp.), 10 August, 1999 (10.08.99), Full text; all drawings (Family: none)	1-11

国際調査報告

国際出願番号　PCT／JP2004／006110

A.　発明の属する分野の分類（国際特許分類（IPC））
Int.Cl⁷　H03H7／06,　H04B10／06,　H04B3／02
H03F1／00,　H03F3／189

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int.Cl⁷　H03H7／06,　H03F1／00,　H03F3／189,　H03B5／12

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報　1922－1996年
日本国公開実用新案公報　1971－2004年
日本国登録実用新案公報　1994－2004年
日本国実用新案登録公報　1996－2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）
WPI／L

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP　2002－171143　A（三菱電機株式会社） 2002.06.14 第1図，第【0013】欄～第【0022】欄 & US　2002／0063602　A1 & DE　10134561　A1 & FR　2817409　A1　& TW　501341　A	1-11

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
27.07.2004	17.8.2004

国際調査機関の名称及びあて先
日本国特許庁（ISA／JP）
郵便番号100－8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）　5W　4241
小林　正明

電話番号　03－3581－1101　内線　3574

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	WO　2001／003290　A1（三菱電機株式会社） 2001．01．11　全文，全図 ＆　EP　1137171　A1 ＆　US　6310517　B1 ＆　CN　1315074　A ＆　KR　20011064 54　A	1-11
Y	JP　2000－151325　A（住友金属工業株式会社） 2000．05．30　第2図，第【0058】欄 （ファミリーなし）	4,9
Y	JP　64－89707　A（日本電信電話株式会社） 1989．04．04　全文，全図（ファミリーなし）	4,9
A	JP　6－196928　A（株式会社村田製作所） 1994．07．15　第5図，第【0027】欄 ＆　GB　2274034　A ＆　DE　4342813　A1　＆　US　5534825　A	1-11
A	日本国実用新案登録出願62－78759号（日本国実用新案登録出願公開63－191891号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（阪神エレクトリツク株式会社） 1988．12．09　全文，全図（ファミリーなし）	5,6,10
A	JP　1－15226　Y2（日本電気株式会社） 1989．05．08　全文，全図（ファミリーなし）	1-11
A	日本国実用新案登録出願3－75267号（日本国実用新案登録出願公開5－21448号）の願書に添付した明細書及び図面の内容を記録したCD－ROM（日本電気株式会社） 1993．03．19　全文，全図（ファミリーなし）	1-11
A	JP　11－220337　A（シャープ株式会社） 1999．08．10　全文，全図（ファミリーなし）	1-11