

[19]中华人民共和国国家知识产权局

[51] Int. Cl⁷

G11C 11/401

[12] 发明专利申请公开说明书

G11C 11/41 G11C 7/00

H01L 27/108

[21] 申请号 01125533.1

[43] 公开日 2002 年 4 月 17 日

[11] 公开号 CN 1345070A

[22] 申请日 2001.8.10 [21] 申请号 01125533.1

[30] 优先权

[32] 2000.9.16 [33] KR [31] 54430/00

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李在~~基~~ 李东阳

[74] 专利代理机构 北京市柳沈律师事务所

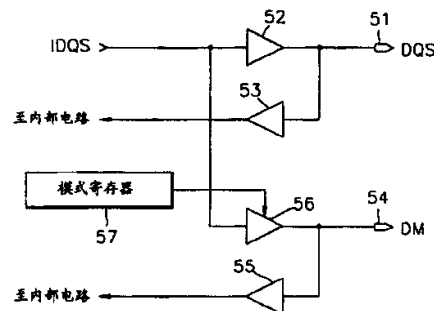
代理人 马莹

权利要求书 2 页 说明书 7 页 附图页数 5 页

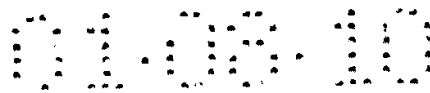
[54] 发明名称 具有数据掩蔽引脚的半导体存储装置及包括该装置的存储系统

[57] 摘要

提供了一种在一存储系统中可以混合具有不同结构的存储模块的同步 DRAM 和包括该同步 DRAM 的存储系统。该同步 DRAM 包括在写入期间接收用于掩蔽输入数据的数据掩蔽信号的数据掩蔽引脚,并且在读取期间通过该数据掩蔽引脚输出与数据选通信号相同的信号。同步 DRAM 还包括用于缓冲从数据掩蔽引脚接收的数据掩蔽信号并且将其输出到一内部电路的数据掩蔽信号输入缓冲器,和用于缓冲内部产生的内部数据选通信号并且将其输出到数据掩蔽引脚的辅助数据选通信号输出缓冲器。另外,该同步 DRAM 还包括一可以外部控制的模式寄存器,并且辅助数据选通信号输出缓冲器由该模式寄存器的一输出信号控制。



ISSN 1008-4274



权 利 要 求 书

1. 一种与系统时钟信号同步工作并且响应于一时间选通信号而输出和输入数据的半导体存储装置，该半导体存储装置包括在写入期间接收用于掩蔽输入数据的数据掩蔽信号的数据掩蔽引脚，其中在读取期间通过该数据掩蔽引脚输出与数据选通信号相同的信号。

5
2. 如权利要求 1 的半导体存储装置，其中半导体存储装置与系统时钟信号的上升沿和下降沿同步工作。
3. 如权利要求 1 的半导体存储装置，还包括：

10

 - 用于缓冲通过数据掩蔽引脚所接收的数据掩蔽信号并且将其输出到一内部电路的数据掩蔽信号输入缓冲器；和
 - 用于缓冲内部产生的内部数据选通信号并且将其输出到数据掩蔽引脚的辅助数据选通信号输出缓冲器。
4. 如权利要求 3 的半导体存储装置，还包括一可以外部控制的模式寄存器，其中辅助数据选通信号输出缓冲器由该模式寄存器的一输出信号所控制。

15
5. 一种存储系统，包括：
 - 与一系统时钟信号同步工作并且响应于一个或多个数据选通信号中的每一个信号而输出和输入数据的至少一个第一存储模块；
 - 20 与该系统时钟信号同步工作并且响应于每个数据选通信号中而输出和输入数据的至少一个第二存储模块；和
 - 用于控制第一和第二存储模块并且与第一和第二存储模块一起传送和接收数据的存储控制器，
 - 其中第一存储模块的结构不同于第二存储模块的结构。
6. 如权利要求 5 的存储系统，其中的第一和第二存储模块与系统时钟信号的上升沿和下降沿同步工作。

25
7. 如权利要求 5 的存储系统，其中第一存储模块的结构是 $\times 4$ 结构，而第二存储模块的结构是 $\times 8$ 结构。
8. 如权利要求 5 的存储系统，其中第一存储模块的结构是 $\times 4$ 结构，而第二存储模块的结构是 $\times 16$ 结构。

30
9. 如权利要求 5 的存储系统，其中第一存储模块的结构是 $\times 4$ 结构，而

第二存储模块的结构是 $\times 32$ 结构。

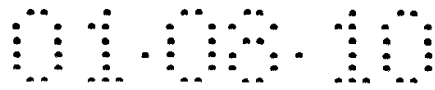
10. 如权利要求 5 的存储系统，其中包括在第二存储模块中的每一半导体存储模块包括在写入期间接收来自存储控制器的用于掩蔽输入数据的数据掩蔽信号的数据掩蔽引脚，并且在读取期间通过该数据掩蔽引脚输出与数据选通信号相同的信号。

11. 如权利要求 10 的存储系统，其中该数据掩蔽引脚连接到用于传送该数据选通信号的数据选通线。

12. 如权利要求 10 的存储系统，其中每一个半导体存储装置还包括：
用于缓冲通过数据掩蔽引脚接收的数据掩蔽信号并且将其输出到一内部电路的数据掩蔽信号输入缓冲器；和

用于缓冲内部产生的内部数据产生的选通信号并且将其输出到数据掩蔽引脚的辅助数据选通信号输出缓冲器。

13. 如权利要求 10 的存储系统，其中每一个半导体存储装置还包括一可以外部控制的模式寄存器，并且辅助数据选通信号输出缓冲器由该模式寄存器的—输出信号控制。



说明书

具有数据掩蔽引脚的半导体
存储装置及包括该
装置的存储系统

5

技术领域

本发明涉及一种半导体存储装置及包括该存储装置的存储系统，更详细地说，本发明涉及一种在一存储系统中可以混有具有不同结构的存储模块的同步 DRAM 及一种包括该同步 DRAM 的存储系统。

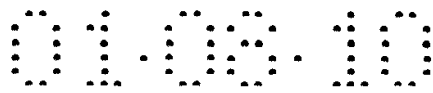
背景技术

15 为了提高系统性能，必须提高诸如 DRAM 之类的半导体存储装置的集成度和速度。也就是，需要能够快速处理更多数据的 DRAM。因此，研制了用于高速工作的与系统时钟信号同步工作的同步 DRAM，该同步 DRAM 的出现明显的提高了数据传送速度。

20 但是，在该同步 DRAM 中，数据的输入和输出必须在系统时钟信号的一周期之内执行，从而限制了同步 DRAM 和 DRAM 控制器之间带宽的增加，也就是限制了每单位时间输入到一存储装置和从一存储装置输出的数据量的增加。因此，为了进一步增加数据传送速度，研制了一种双数据速率 (DDR) 同步 DRAM，在这种同步 DRAM 中数据选通信号的上升沿和下降沿均与输入和输出数据同步。

25 图 1 的示意性框图示出了一包括有 DDR 同步 DRAM 的存储系统。参见图 1，在一包括 DDR 同步 DRAM 的存储系统中，由时钟驱动器 17 所产生的系统时钟信号 (CK) 被传送到在存储模块 13 中的 DDR 同步 DRAM 15。在写入和读出操作期间，地址 (ADD) 和指令 (COM) 从存储控制器 11 被传送到在存储模块 13 中的 DDR 同步 DRAM 15。

30 在写入期间，数据 (DQ) 和数据选通信号 (DQS) 从存储控制器 11 被传送到在存储模块 13 中的 DDR 同步 DRAM 15。在读出期间，DQ 和 DQS 信号从在存储



模块 13 中的 DDR 同步 DRAM15 被传送到存储控制器 11。也就是，数据 (DQ) 和数据选通信号 (DQS) 是双向传送的。在写入期间在存储控制器 11 中产生的数据掩蔽信号 (DM) 从存储控制器 11 输出并传送到在存储模块 13 中的 DDR 同步 DRAM 15。

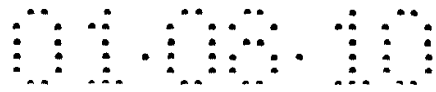
5 该数据选通信号 (DQS) 是用来选通数据 (DQ) 的输入和输出的信号，并且该数据掩蔽信号 (DM) 是用来在写入期间掩蔽予置数据输入到 DDR 同步 DRAM 15 的信号。通常，在具有 $\times 4$ 结构的同步 DRAM 中每 4 个数据比特赋予一数据选通信号 (DQS) 和一数据掩蔽信号 (DM)，而在具有 $\times 8$ 结构的同步 DRAM 中每 8 个数据比特赋予一数据选通信号 (DQS) 和一数据掩蔽信号 (DM)。

10 因此，如图 2 所示，如果在图 1 所示的存储系统中包括具有 $\times 4$ 结构的同步 DRAM 的模块 ($\times 4$ 模块) 不与包括具有 $\times 8$ 结构的同步 DRAM 的模块 ($\times 8$ 模块) 相混合，则数据 (DQ) 和数据选通信号 (DQS) 之间的关系总是规律的。也就是，当存储模块 (13-1 至 13-4) 均为 $\times 4$ 结构时，该数据 (DQ) 是 N 比特，并且数据选通信号 (DQS) 的数量是 $N/4$ 。如果存储模块 (13-1 至 13-4) 均为 $\times 8$ 结构时，该数据 (DQ) 是 N 比特，并且数据选通信号 (DQS) 的数量是 $N/8$ 。

15 当数据从每一存储模块 (13-1 至 13-4) 被读取时，从每一存储模块 (13-1 至 13-4) 传送到存储控制器 11 的数据选通信号 (DQS) 的数量是相同的。存储控制器 11 用来从每一存储模块 (13-1 至 13-4) 接收读取的数据的数据选通信号的数量是相同的。因此，利用相同数量的数据选通信号 (DQS) 存储控制器
20 11 可以容易地接收从每一存储模块 (13-1 至 13-4) 所读取的数据。

但是，如图 3 所示，如果在如图 1 所示的存储系统中 $\times 4$ 模块与 $\times 8$ 模块相混合，则数据 (DQ) 和数据选通信号 (DQS) 之间的关系是不规律的。这里，假定存储模块 (13-5 和 13-8) 是 $\times 4$ 模块和存储模块 (13-6 和 13-7) 是 $\times 8$ 模块。

25 在这种情况下，当从每一存储模块 (13-5 至 13-8) 读取数据时，从 $\times 4$ 模块，即存储模块 (13-5 和 13-8) 传送到存储控制器 11 的数据选通信号 (DQS) 的数量与从 $\times 8$ 模块，即存储模块 (13-6 和 13-7)，传送到存储控制器 11 的数据选通信号 (DQS) 的数量是不同的。存储控制器 11 用来接收从 $\times 4$ 模块 (13-5 和 13-8) 读取的数据的数据选通信号 (DQS) 的数量与存储器 11 用来接收
30 从 $\times 8$ 模块 (13-6 和 13-7) 读取的数据的数据选通信号 (DQS) 的数量是不同的。



例如，当从×4模块(13-5和13-8)读取的数据(DQ)是N比特时，数据选通信号(DQS)的N/4(置0和置1)从该×4模块(13-5和13-8)传送到存储控制器11，但是当从×8模块(13-6和13-7)读取的数据(DQ)是N比特时，数据选通信号(DQS)的N/8(置0)从该×8模块(13-6和13-7)传送到存储控制器11。

5 因此，当在一存储系统中×4模块与×8模块相混合时，该存储控制器难以确定当从该模块读取数据时哪个数据选通信号用来接收数据。因此，在存储系统中必须包括有相同结构的存储模块。

发明内容

10

为了解决上述问题，本发明的第一个目的是提供一种在一存储系统中可混合具有不同结构的存储模块的同步DRAM。

本发明的第二个目的是提供一种可混有不同结构的存储模块的存储系统。

15

根据本发明，提供了一种例如同步DRAM的半导体存储装置，该存储装置的操作与系统时钟信号同步并且响应于一数据选通信号而输入和输出数据。该装置包括有一在存储器写入操作期间接收用来掩蔽输入数据的数据掩蔽信号的数据掩蔽引脚。根据本发明，在存储器读取操作期间与数据选通信号相同的信号通过数据掩蔽引脚输出。

20

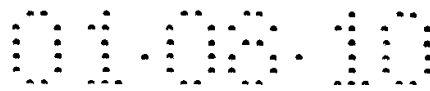
本发明的装置可工作在与系统时钟信号的上升沿和下降沿相同步的状态下。

在一实施例中，该同步DRAM进一步包括一用来缓冲通过数据掩蔽引脚接收的数据掩蔽信号并将其输出到一内部电路的数据掩蔽信号输入缓冲器，和一用来缓冲内部产生的内部数据选通信号并将其输出到数据掩蔽引脚的辅助数据选通信号输出缓冲器。

25

该同步DRAM还可以包括一可外部控制的模式寄存器，其中该辅助数据选通信号输出缓冲器由模式寄存器控制。

30 根据另一方面，根据本发明提供的一存储系统包括至少一个第一存储模块，该第一存储模块的操作与系统时钟信号同步，并且响应于一个或多个数据选通信号的每一个而输入和输出数据。该系统还包括至少一个第二存储模块，该第二存储模块的操作与系统时钟信号同步，并且响应于数据选通信号



的每一个而输入和输出数据。存储控制器控制第一和第二存储模块，并且与第一和第二存储模块一起传送和接收数据。根据本发明，第一存储模块的结构不同于第二存储模块的结构。

5 在一实施例中，第一和第二存储模块的操作与系统时钟信号的上升沿和下降沿同步。

在一实施例中，第一存储模块的结构是 $\times 4$ 结构，而第二存储模块的结构是 $\times 8$ 结构、 $\times 16$ 结构和 $\times 32$ 结构中的一种。

10 包括在第二存储模块中的每一半导体装置可包括一数据掩蔽引脚，该数据掩蔽引脚接收来自存储控制器的用于在写入期间掩蔽输入数据的数据掩蔽信号，并且在读取期间通过该数据掩蔽引脚输出与数据掩蔽信号相同的信号。另外，该半导体存储装置的数据掩蔽引脚可以连接到用来传送数据选通信号的数据选通线。

15 在一实施例中，包括在第二存储模块中的半导体存储装置包括有一数据掩蔽信号输入缓冲器和一辅助数据选通信号输出缓冲器。数据掩蔽信号输入缓冲器缓冲通过数据掩蔽引脚所接收的数据掩蔽信号并将其输入到一内部电路。辅助数据选通信号输出缓冲器缓冲一内部产生的内部数据选通信号并将其输出到数据掩蔽引脚。

20 包括在第二存储模块中的每一半导体装置还可包括一可外部控制的模式寄存器。辅助数据选通信号输出缓冲器可由模式寄存器的一输出信号控制。

附图说明

25 本发明的上述和其它目的、特征和优点将通过参考附图对本发明的优选实施例所作的详细说明而更为清楚。在不同图中所涉及的相同部件用相同标号表示。附图不必成比例的绘制，重点是要说明本发明的原理。

图 1 是说明包括一 DDR 同步 DRAM 的存储系统的示意性框图。

图 2 示出了当在常规存储系统中使用具有相同结构的模块时数据和数据选通信号之间的关系。

30 图 3 示出了当在常规存储系统中混合具有不同结构的模块时数据和数据选通信号之间的关系。

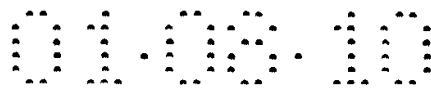


图 4 示出了根据本发明的一实施例的一存储系统。

图 5 的电路图示出了涉及根据本发明的一同步 DRAM 中的数据掩蔽信号和数据选通信号的输入和输出的部分。

图 6 的定时图示出了在一常规同步 DRAM 中的信号和根据本发明的同步
5 DRAM 中的信号之间的不同。

具体实施方式

图 4 示出了根据本发明的一实施例的存储系统。这里，假定存储模块
10 (43-5 和 43-8) 是 $\times 4$ 模块和存储模块 (43-6 和 43-7) 是 $\times 8$ 模块。存储模块 (43-5 至 43-8) 与系统时钟信号同步地操作，并响应数据选通信号 (DQS) 而输入和输出数据。

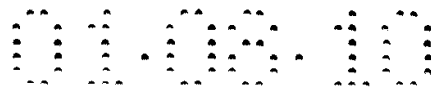
参见图 4，在根据本发明的系统中 $\times 8$ 模块 (43-6 和 43-7) 的数据掩蔽引
脚 45 被连接到用来传送数据选通信号 (DQS) 的数据选通线 (置 1)。具体地说，
15 $\times 8$ 模块的数据掩蔽引脚 45 被连接到数据选通线 (置 1)，在已有技术中该数据选通线不与 $\times 8$ 模块 (43-6 和 43-7) 相连。

同时，插入在 $\times 8$ 模块 (43-6 和 43-7) 中的 $\times 8$ 同步 DRAM 包括数据掩蔽
引脚，该数据掩蔽引脚在写入期间接收用来掩蔽予置输入数据的数据掩蔽信
号，并且在读取期间通过该数据掩蔽引脚输出与数据选通信号相同的信号。
20 插入该 $\times 8$ 模块 (43-6 和 43-7) 中的 $\times 8$ 同步 DRAM 的数据掩蔽引脚被连接到 $\times 8$ 模块 (43-6 和 43-7) 的数据掩蔽引脚 45。

因此，在根据本发明的存储系统中，当从 $\times 8$ 模块 (43-6 和 43-7) 读取 N
比特的数据 (DQ) 时，从 $\times 8$ 模块 (43-6 和 43-7) 的数据选通引脚输出的 N/8 (置
0) 数据选通信号 (DQS) 和从 $\times 8$ 模块 (43-6 和 43-7) 的数据掩蔽引脚 45 输出的
25 N/8 (置 1) 数据选通信号 (DQS) 被传送到存储控制器 41。

另外，当从 $\times 4$ 模块 (43-5 和 43-8) 读取 N 比特数据 (DQ) 时，从 $\times 4$ 模块
(43-5 和 43-8) 的数据选通引脚输出 N/4 (置 0 和置 1) 数据选通信号 (DQS) 被传
送到存储控制器 41。

因此，在根据本发明的存储系统中，当 $\times 4$ 模块 (43-5 和 43-8) 与 $\times 8$ 模
30 块 (43-6 和 43-7) 相混合时，在读取期间从每一个存储模块 (43-5 和 43-8) 传
送到存储控制器 41 的数据选通信号的数量是相等的。也就是，在读取期间该



存储控制器 41 用来接收从每一个存储模块 (43-6 至 43-8) 读取的数据的数据选通信号 (DQS) 的数量是相等的。

因此，在根据本发明的存储系统中，当 $\times 4$ 模块与 $\times 8$ 模块相混合时，存储控制器 41 可以使用相同数量的数据选通信号 (DQS) 来接收从每一个存储模块 (43-5 至 43-8) 读取的数据。

当在写入期间写在 $\times 8$ 模块 (43-6 和 43-7) 中的予置的输入数据被掩蔽时，由存储控制器 41 产生的数据掩蔽信号通过 $\times 8$ 模块 (43-6 和 43-7) 的数据掩蔽引脚 45 被输入，并且可以正常地执行数据掩蔽功能。

图 5 的电路图示出了涉及在 $\times 8$ 同步 DRAM 中的数据掩蔽信号和数据选通信号的输入和输出的部分，该 $\times 8$ 同步 DRAM 包括在根据本发明的图 4 所示的存储系统中。参见图 5，根据本发明的 $\times 8$ 同步 DRAM 包括数据选通引脚 51、数据选通信号输出缓冲器 52、数据选通信号输入缓冲器 53、数据掩蔽引脚 54 和数据掩蔽信号输入缓冲器 55。另外，根据本发明的同步 DRAM 还包括辅助数据选通信号输出缓冲器 56 和模式寄存器 57 以便在图 4 所示的存储系统中 $\times 4$ 模块与 $\times 8$ 模块相混合。

数据选通信号输出缓冲器 52 在读取期间缓冲在同步 DRAM 的内部所产生的内部数据选通信号 (IDQS) 并且将其输出到数据选通引脚 51。通过数据选通引脚 51 该数据选通信号输入缓冲器 53 在写入期间接收由图 4 所示的存储控制器 41 所产生的数据选通信号 (DQS)，并且缓冲所接收的信号并将其输出到一内部电路。

数据掩蔽信号输入缓冲器 55 在写入期间通过数据掩蔽引脚 54 接收由存储控制器 41 所产生的数据掩蔽信号 (DM)，并且缓冲所接收的信号并将其输出到该内部电路。特别是，辅助数据选通信号输出缓冲器 56 在读取期间缓冲该内部数据选通信号 (IDQS) 并将其输出到数据掩蔽引脚 54。也就是，在读取期间，与通过数据选通引脚 51 输出的信号相同的信号通过数据掩蔽引脚 54 被输出。

这里，最好是数据选通信号输出缓冲器 52 和辅助数据选通信号输出缓冲器 56 由相同电路结构，从而减小通过数据选通引脚 51 输出的信号和通过数据掩蔽引脚 54 输出的信号的相位差。

辅助数据选通信号输出缓冲器 56 最好是由模式寄存器 57 的一输出信号控制，从而数据选通信号输出缓冲器 52 可被有选择的控制。



图 6 的定时图示出了常规 $\times 8$ 同步 DRAM 的信号和根据图 5 所示的本发明的 $\times 8$ 同步 DRAM 的信号之间的不同。参见图 6，在写入期间，通过常规同步 DRAM 的数据掩蔽引脚 (DM) 输入的信号等于通过根据本发明的同步 DRAM 的数据掩蔽引脚 (DM) 输入的信号。

5 但是，在读取期间，在常规同步 DRAM 中，数据掩蔽引脚 (DM) 的状态是“无需注意”，而在根据本发明的同步 DRAM 中，与通过数据选通引脚 (DQS) 输入的信号相同的信号通过数据掩蔽引脚 (DM) 输入。

10 如上所述，根据本发明的 $\times 8$ 同步 DRAM 具有这样的优点，即在读取期间通过输出与通过数据选通引脚、通过数据掩蔽引脚输出信号相同的信号， $\times 4$ 同步 DRAM 可与 $\times 8$ 同步 DRAM 相混合。

15 另外，在根据本发明的存储系统中，当 $\times 4$ 模块与 $\times 8$ 模块相混合时，由于包括了根据本发明的 $\times 8$ 同步 DRAM 并且将 $\times 8$ 同步 DRAM 的数据掩蔽引脚，即 $\times 8$ 模块的数据掩蔽引脚连接到数据选通线，在读取期间从每个存储模块传送到存储控制器的数据选通信号的数量是相同的。因此，在根据本发明的存储系统中，即使 $\times 4$ 模块与 $\times 8$ 模块相混合，该存储控制器也可以使用相同数量的数据选通信号接收从每个存储模块读取的数据。

如上所述，根据本发明的同步 DRAM 具有这样的优点，即具有不同结构的存储模块可以在该存储系统中混用。另外，在根据本发明的存储系统中具有这样的优点，即具有不同结构的存储模块可以混用。

20 描述了包括 $\times 4$ 和 $\times 8$ 模块以及 $\times 4$ 和 $\times 8$ 同步 DRAM 的存储系统，但是本发明的原理也可应用于其它尺寸的模块，包括但不限于 $\times 4$ 、 $\times 8$ 、 $\times 16$ 和 $\times 32$ 模块。另外，虽然在该优选实施例中使用了特殊的术语，但它只是用于一般性的说明而已，并不用作限定的作用。

25 虽然本发明参照优选实施例作了说明，但本领域技术人员应当了解在由后附权利要求所规定的本发明的精神和范围之内可对本发明的结构和细节作出各种改变。

说明书附图

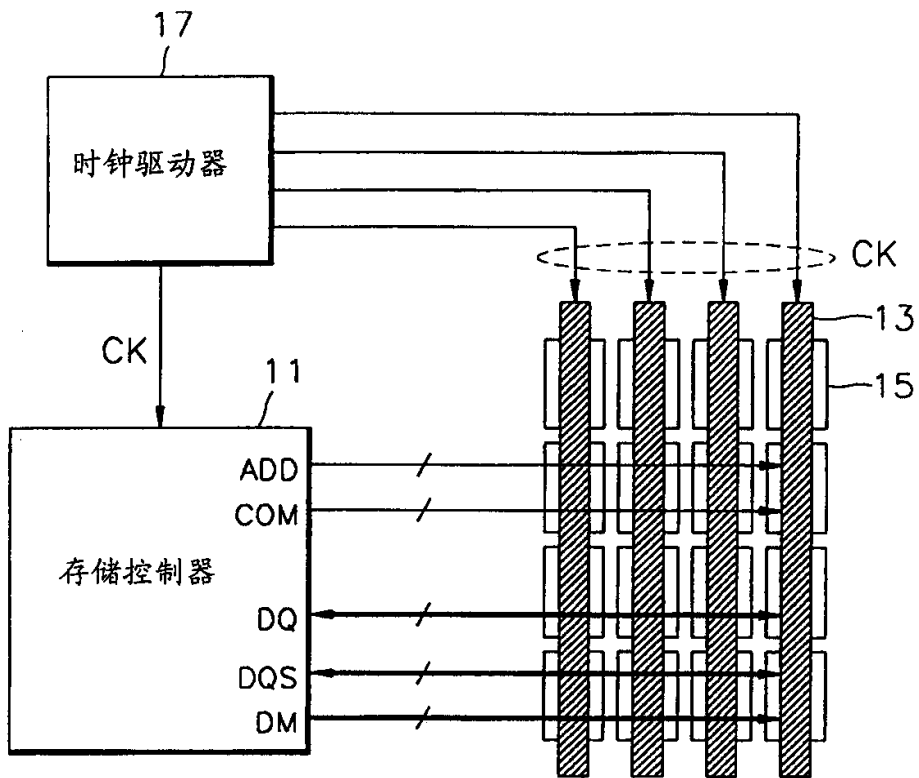


图 1

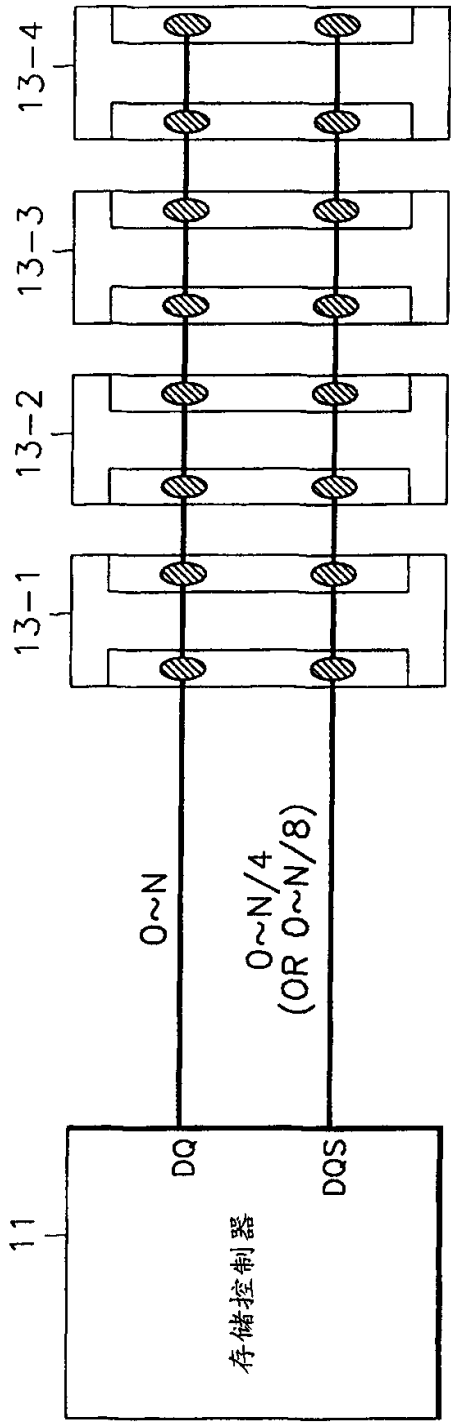


图 2

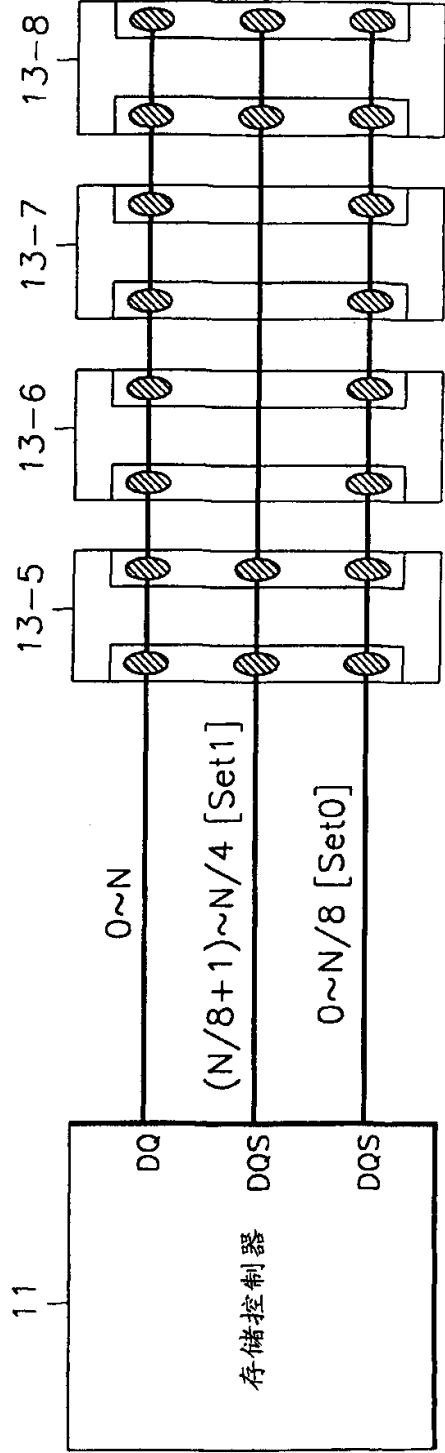


图 3

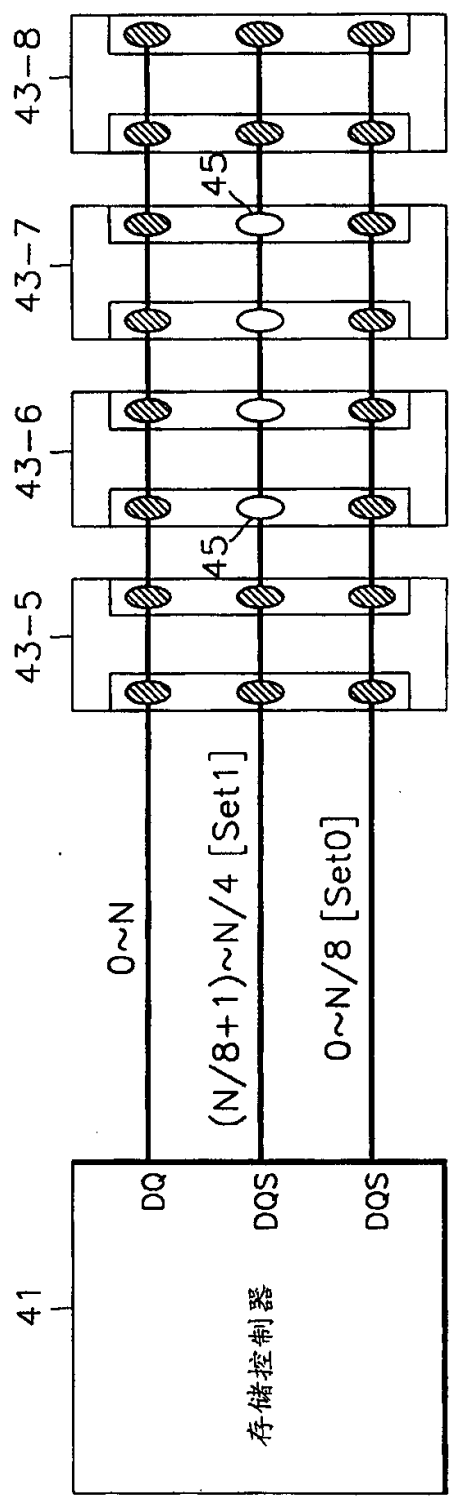


图 4

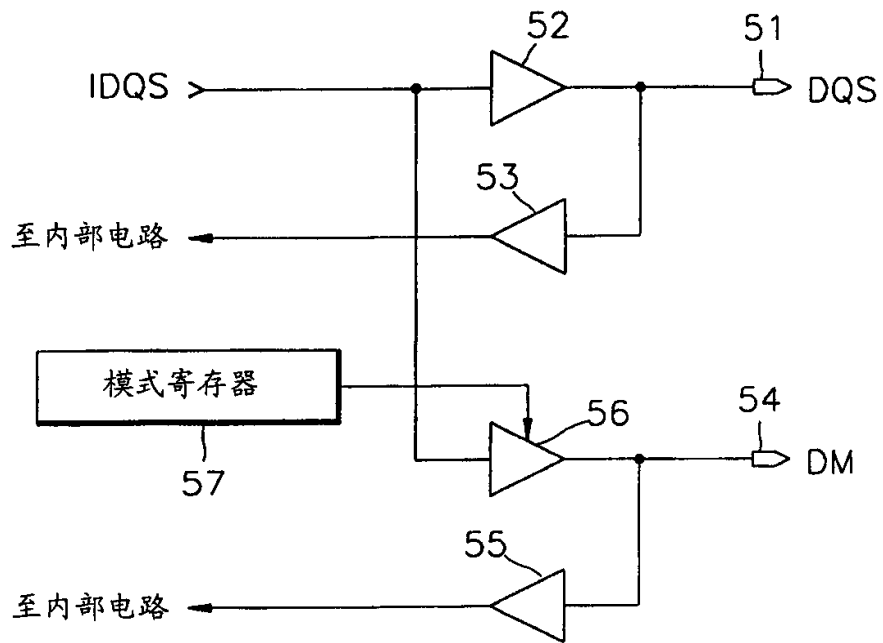


图 5

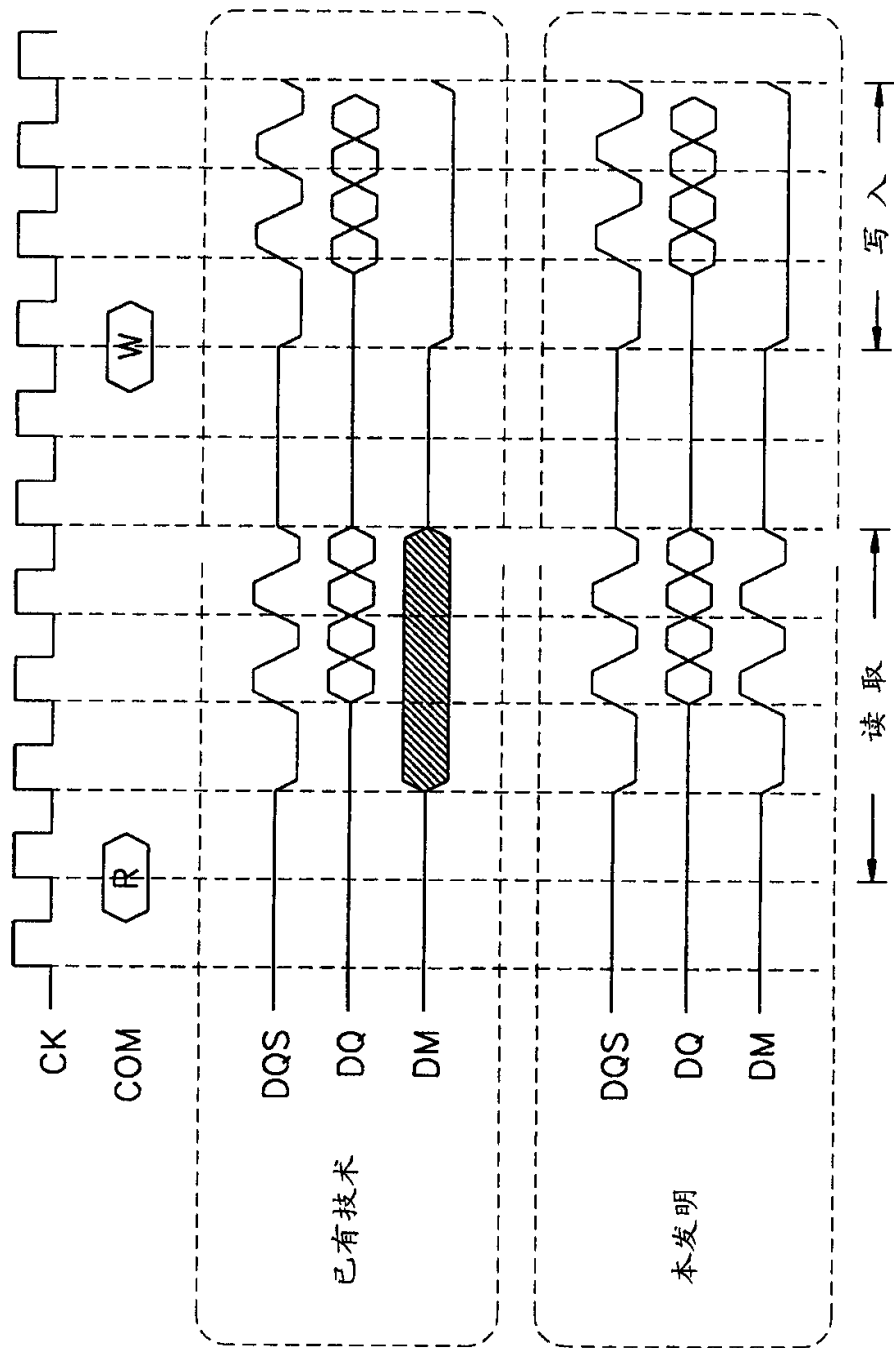


图 6