



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101997900611930
Data Deposito	17/07/1997
Data Pubblicazione	17/01/1999

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	04	B		

Titolo

CIRCUITO IN TECNOLOGIA CMOS PER LA RICEZIONE DI SEGNALI OTTICI AD ALTA VELOCITA'

Descrizione dell'invenzione avente per titolo:

"Circuito in tecnologia CMOS per la ricezione di segnali ottici ad alta velocità"

a nome CSELT - Centro Studi e Laboratori Telecomunicazioni S.p.A., Via G. Reiss
Romoli 274, 10148 Torino, nazionalità italiana.

Inventori: Marco BURZIO

Saverio RICCHIUTO

Domanda N.

TO 97A 000647

Depositata il

7661 90741
=. =. =. =. =. =.

La presente invenzione si riferisce ai sistemi di comunicazione in fibra ottica, e più in particolare riguarda un circuito in tecnologia CMOS per la ricezione di segnali ottici ad alta velocità

L'utilizzo delle fibre ottiche nei sistemi di comunicazione è oramai ampiamente diffuso e consente di aumentare la velocità delle trasmissioni e di ridurre l'ingombro delle linee di trasmissione. Tuttavia, buona parte delle elaborazioni delle informazioni trasmesse vengono effettuate su segnali elettrici e si ha pertanto l'esigenza di creare dei dispositivi di interfacciamento che consentano di accoppiare da un lato i generatori di informazione e dall'altro i relativi ricevitori con i tratti di fibra ottica utilizzati per il collegamento. In particolare, nei ricevitori, il segnale ottico viene convertito in forma elettrica da fotorivelatori (normalmente, fotodiodi polarizzati inversamente) i quali sono associati a circuiti in grado di convertire la corrente fornita dal fotorivelatore in un segnale di tensione che possa essere utilizzato dai circuiti logici di elaborazione.

Nelle trasmissioni ad alta velocità, per realizzare questi circuiti sono in generale preferiti i ricevitori detti a transimpedenza, che consistono in un amplificatore invertente controreazionato mediante una resistenza il cui valore stabilisce il fattore di conversione

della corrente in tensione. Prestazioni buone in termini di velocità sono in genere ottenute mediante ricevitori realizzati utilizzando tecnologie basate su GaAs (basate su transistor MESFET) o su Si (basate su transistor bipolari). Nel primo caso si ottengono circuiti veloci e integrabili sulla stessa piastrina assieme al fotodiodo, ma la tecnologia è molto costosa e non permette l'implementazione di elevate densità di componenti, e inoltre si ha un'elevata dissipazione di potenza. Nel secondo caso la velocità di cifra e la densità di integrazione possono essere elevate, ma si ha una elevata dissipazione di potenza.

Nel caso di ricevitori destinati all'uso nell'interconnessione ottica all'interno di apparati di telecomunicazioni, occorre integrare un numero elevato di ricevitori: le tecnologie suddette non sono allora soddisfacenti in quanto i costi e/o lo spazio occupato e/o la dissipazione di potenza diventano eccessivi.

Diventa allora di interesse utilizzare tecnologie diverse, quali la tecnologia CMOS, che consentono un'elevata integrabilità a basso costo e con bassa dissipazione di potenza.

In letteratura sono descritti circuiti in tecnologia CMOS per questo scopo: Si citano ad esempio l'articolo "Gigahertz Transresistance Amplifiers in Fine Line NMOS" di A. A. Abidi, IEEE Journal of solid-state circuits, vol. SC-19, N. 6, Dicembre 1984, pagg. 986 e segg., e la memoria "A CMOS 240Mb/s Optical Receiver with a Transimpedance-Bandwidth of 18 THz Ω ", presentata da M. Steyaert e altri alla 1994 IEEE International Solid-State Circuits Conference, San Francisco (USA), 16 - 19 Febbraio 1994, memoria TP10.8. I circuiti descritti in questi documenti sono realizzati facendo uso di un preamplificatore organizzato in tre stadi di amplificazione. Ciascuno stadio è basato sull'uso di invertitori o di transistori a source comune con carico attivo. Più stadi di amplificazione sono necessari per ottenere un guadagno sufficientemente elevato per aver la possibilità di controreazionare l'amplificatore mediante la resistenza di

7

controreazione e ottenere una tensione di uscita proporzionale alla corrente di ingresso. Questa scelta deriva dal fatto che i singoli stadi presentano una banda passante alquanto elevata e quindi si prestano bene all'uso ad alta velocità. Tuttavia, la cascata dei tre stadi introduce un ritardo, e quindi una rotazione di fase, tale da rendere piuttosto instabile il sistema controreazionato. La compensazione di questa instabilità richiede l'introduzione di un polo aggiuntivo, in genere ottenuto utilizzando la capacità parassita del fotodiodo e la capacità d'ingresso del preamplificatore, che riduce le prestazioni di velocità del ricevitore, annullando i vantaggi di banda passante teoricamente elevata forniti dai singoli stadi. Le velocità massime ottenute finora sono di poco superiori ai 200 Mbit/s, e quindi insoddisfacenti per i sistemi di interconnessione ottica, dove si opera spesso con velocità dei dati anche superiori ai 300 Mbit/s.

Secondo l'invenzione si fornisce invece un ricevitore comprendente un preamplificatore a transimpedenza in tecnologia CMOS basato su una configurazione differenziale, che elimina gli inconvenienti detti sopra.

Amplificatori differenziali a transimpedenza sono ben noti nella tecnica e sono comunemente realizzati in tecnologia bipolare o ad arseniuro di gallio, quindi con gli inconvenienti menzionati in precedenza per quanto riguarda l'applicazione ai sistemi di interconnessione ottica.

Le caratteristiche dell'invenzione sono descritte nelle rivendicazioni che seguono.

A maggior chiarimento si fa riferimento ai disegni allegati, in cui:

- la fig. 1 è uno schema di principio di un ricevitore;
- fig. 2 è uno schema del preamplificatore secondo l'invenzione; e
- la fig. 3 comprende grafici che illustrano le prestazioni del ricevitore.

Con riferimento alla fig. 1, un ricevitore per un sistema di interconnessione ottica, indicato nel suo complesso con 1, comprende un fotodiodo 2, polarizzato inversamente,

CP

la cui uscita è collegata con l'ingresso invertente di un preamplificatore 3 che secondo l'invenzione è realizzato mediante un amplificatore differenziale associato a una resistenza di controreazione 4. L'altro ingresso del preamplificatore è collegato a una tensione di riferimento V_R . L'amplificatore è seguito da un comparatore di soglia 5, anch'esso realizzato mediante un amplificatore differenziale, che confronta il segnale fornito dal preamplificatore 3 con il suo valor medio ottenuto mediante filtraggio passa basso dello stesso segnale in un filtro 6. Il tutto è seguito ancora da un amplificatore limitatore 7, basato su una cascata di un amplificatore differenziale e di invertitori logici, che forniscono in uscita segnali a livello logico.

Il comparatore di soglia 5 è stato realizzato in modo da avere un guadagno variabile in funzione della tensione del segnale fornito dal filtro 6, allo scopo di introdurre un'amplificazione grande nel caso di segnali d'ingresso piccoli e viceversa. Questo è ottenuto, senza il controllo di circuiti esterni, riducendo la reiezione al modo comune dell'amplificatore che costituisce il comparatore di soglia; questo accorgimento è tale da aumentare la dinamica del segnale che il preamplificatore è in grado di trattare.

Nella fig. 2 è rappresentato lo schema circuitale del preamplificatore, realizzato in tecnologia CMOS. i transistor MOS 10 - 14 formano l'amplificatore differenziale vero e proprio. I gate dei transistor 10 e 11 (di tipo N) costituiscono rispettivamente l'ingresso negato e quello diretto dell'amplificatore; i transistor 12 e 13 (di tipo P) costituiscono il carico dei transistor 10 e 11 e sono collegati secondo una configurazione a specchio di corrente. Il transistor 14, anch'esso di tipo N, costituisce il generatore di corrente. I collegamenti dei vari transistor tra loro sono quelli convenzionali per un amplificatore differenziale e non richiedono una descrizione dettagliata. D'altra parte essi risultano evidenti dallo schema.

La configurazione differenziale è caratterizzata da una reiezione al rumore

sull'alimentazione particolarmente utile nel caso di impiego di molti ricevitori all'interno di un unico circuito integrato, come può avvenire in applicazione del circuito alle interconnessioni ottiche.

Il circuito comprende ancora una coppia di transistor 15, 16, ancora di tipo N. Il transistor 15, che ha il gate collegato all'elettrodo di drain dei transistor 11, 12 costituisce di fatto un inseguitore di tensione, mentre il transistor 16, che ha il gate collegato all'alimentazione, il source collegato a massa e il source collegato al drain del transistor 15, polarizza il transistor 15 facendo scorrere su di esso una corrente continua anche in assenza di segnale. Il transistor 4, collegato tra ingresso e uscita del circuito, realizza la resistenza di controeazione.

L'amplificatore differenziale è caratterizzato da una banda passante un po' inferiore a quella degli amplificatori multistadio a invertitori o con transistor a source comune, ma consente di raggiungere il guadagno necessario con un solo stadio di amplificazione. Il ritardo introdotto sul segnale e quindi la rotazione di fase introdotta sono minori semplificando la realizzazione della controeazione. La compensazione che è necessario introdurre è quindi di minore entità e la banda passante del sistema controeazionato risulta superiore.

Per realizzare in tecnologia CMOS lo schema illustrato è necessario prendere provvedimenti per ridurre le capacità parassite, ridurre il cammino dei segnali e soprattutto schermarli per proteggerli da disturbi. Inoltre, è opportuno alimentare preamplificatore e comparatore di soglia con una tensione di alimentazione separata da quella che alimenta l'amplificatore limitatore e i successivi stadi digitali.

La configurazione differenziale in tecnologia CMOS è adottata anche, come detto, per la realizzazione del comparatore di soglia 5 e dell'amplificatore limitatore 7. In questi due circuiti tuttavia l'amplificatore differenziale vero e proprio è realizzato con transistor di

Q

tipo P e lo specchio di corrente con transistor d tipo N.

La fig. 3, comprendente i due grafici delle figure 3a e 3b, illustra le prestazioni del sistema alla velocità di 311 Mbit/s: la curva A in fig. 3a rappresenta il segnale di uscita del preamplificatore; la linea B rappresenta il valor medio ottenuto tramite il filtraggio operato dal blocco 6, e il diagramma ad occhio di fig. 3b è ottenuto dal segnale a livelli logici standard all'uscita del ricevitore: il diagramma ad occhio risultante è affetto da una bassa distorsione dell'impulso e da un basso rumore.

Le prove eseguite dalla Richiedente hanno mostrato una capacità di funzionamento per correnti d'ingresso da 4 a 250 μ A.

E' evidente che quanto descritto è dato unicamente a titolo di esempio non limitativo e che varianti e modifiche possono essere apportate a quanto descritto senza uscire dal campo di protezione dell'invenzione.



Rivendicazioni

1. Ricevitore di segnali ottici ad alta velocità, comprendente un fotorivelatore (2) seguito da circuiti (3-7) per la conversione di una corrente fornita dal fotorivelatore in segnali di tensione a livello logico, tali circuiti comprendendo almeno un preamplificatore (3) associato a una resistenza di controreazione (4), caratterizzato dal fatto che detto preamplificatore (3) è realizzato mediante un amplificatore differenziale in tecnologia CMOS.

2. Ricevitore secondo la riv. 1, caratterizzato dal fatto che detto amplificatore comprende un singolo stadio di amplificazione.

3. Ricevitore secondo la riv. 1 o 2, in cui detti circuiti di conversione comprendono inoltre, in serie al preamplificatore (3), un comparatore di soglia (5) e un amplificatore limitatore (7), caratterizzato dal fatto che detti comparatore di soglia (5) e amplificatore limitatore (7) sono realizzati anch'essi mediante amplificatori differenziali in tecnologia CMOS.

per CSELT - Centro Studi e Laboratori Telecomunicazioni S.p.A.



Franco CABELLA - Mandatario abilitato - Albo No: 69



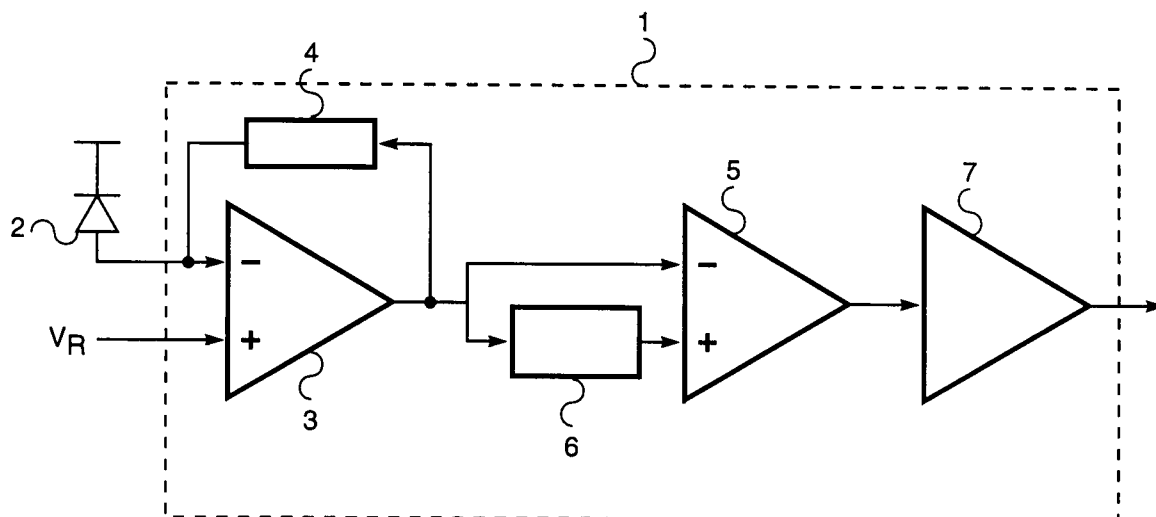


Fig. 1

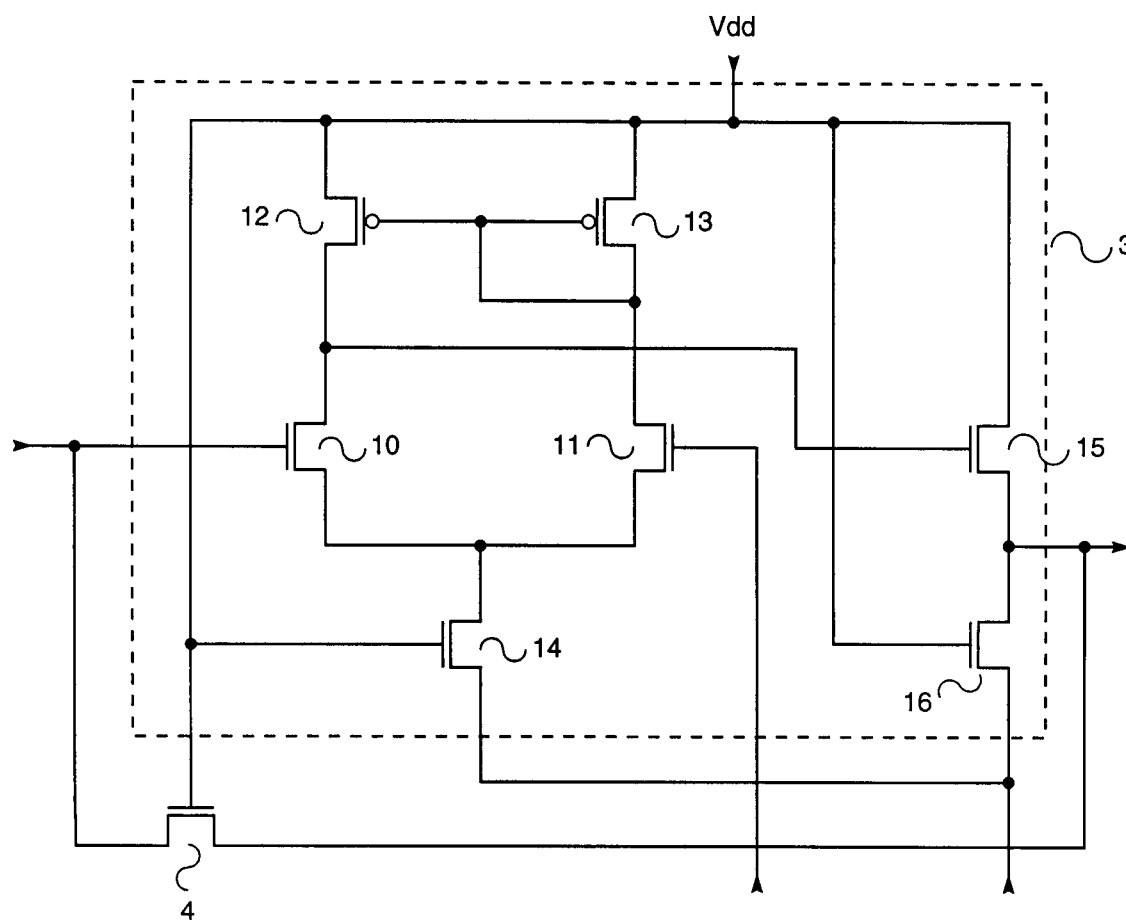


Fig. 2

[Handwritten signature]



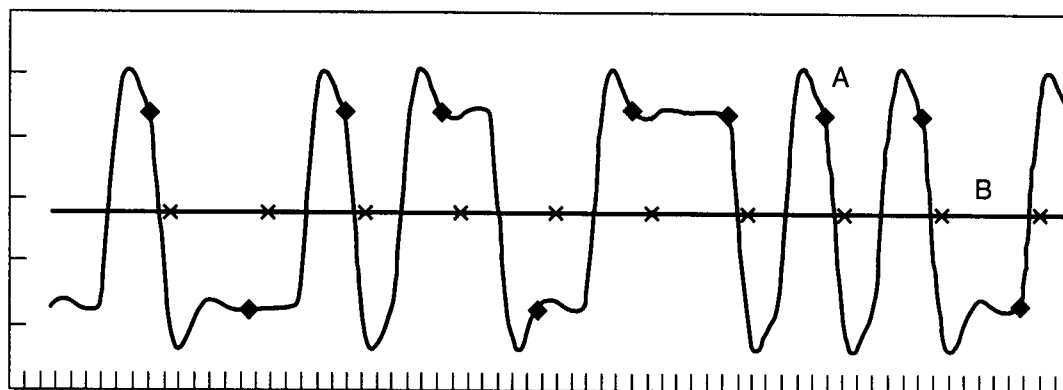


Fig. 3A

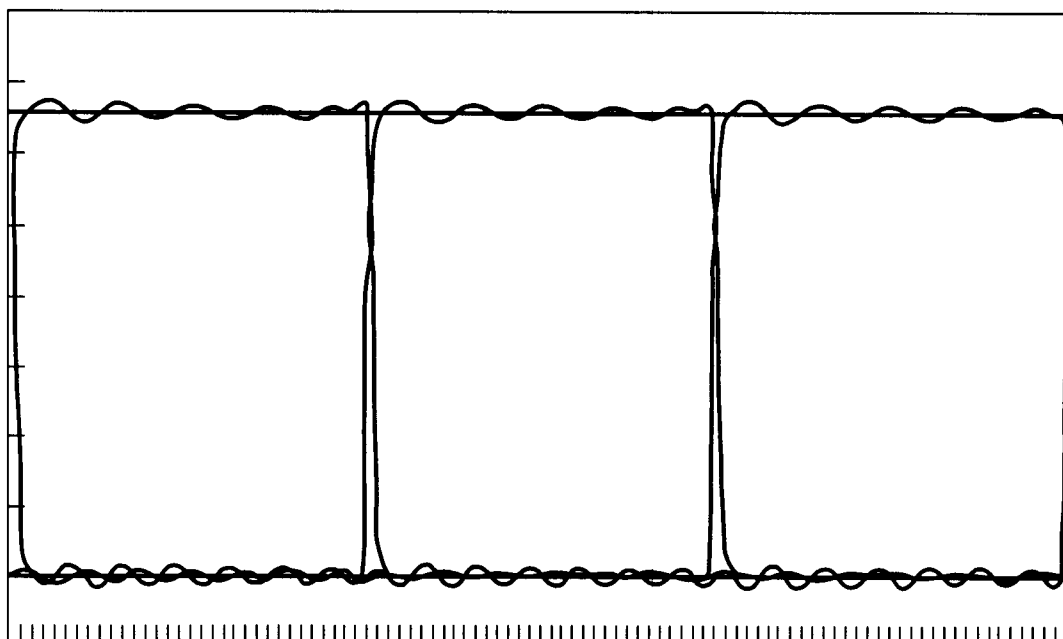


Fig. 3B

CSELT
Centro Studi e Laboratori Telecomunicazioni S.p.A.
Il Responsabile Proprietà Industriale

[Handwritten signature]

