



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0098505
(43) 공개일자 2011년09월01일

(51) Int. Cl.

H03L 7/18 (2006.01)

(21) 출원번호 10-2010-0018154

(22) 출원일자 2010년02월26일

심사청구일자 2010년02월26일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

김철우

서울특별시 성북구 길음동 1283 길음뉴타운
605-1301

정인화

서울특별시 성북구 안암동5가 103-34번지 201호
(뒷면에 계속)

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 8 항

(54) 광대역 디지털 주파수 합성기

(57) 요약

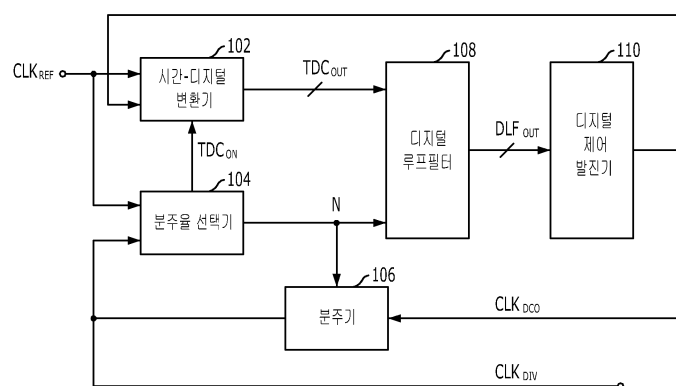
본 발명은 디지털 주파수 합성기에 관한 것으로서, 더욱 상세하게는 넓은 주파수 범위에서도 주파수 검출이 가능한 시간-디지털 변환기를 포함하는 광대역 디지털 주파수 합성기에 관한 것이다.

광대역 디지털 주파수 합성기는, 입력 신호를 필터링하는 디지털 루프 필터, 상기 디지털 루프 필터의 출력 신호에 따라 가변되는 클록을 출력하는 디지털 제어 발진기, 상기 디지털 제어 발진기의 출력 클록을 분주율로 분주하는 분주기, 기준 클록의 주파수가 상기 분주기에서 분주된 클록의 주파수 범위 내에 포함되도록 상기 분주율을 선택하는 분주율 선택기 및 상기 기준 클록과 상기 디지털 제어 발진기의 출력 클록의 위상을 비교하여 주파수 차이를 검출하는 시간-디지털 변환기를 포함한다.

본 발명에 의하면, 최소 개수의 지연 셀로 넓은 주파수 범위에서 동작 가능한 시간-디지털 변환기를 이용함으로써 회로의 면적을 크게 감소시킬 수 있다.

또한 본 발명에 의하면, 주파수 대역에 상관없이 고해상도로 주파수 검출이 가능한 시간-디지털 변환기를 이용함으로써 결과적으로 고해상도 주파수 합성 동작을 가능하게 한다.

대표도 - 도1



(72) 발명자

곽영호

서울특별시 광진구 중곡동 39-8

송준영

경기도 수원시 권선구 호매실동 LG삼익아파트
110-1503

이 발명을 지원한 국가연구개발사업

과제고유번호 10920

부처명 서울시정개발연구원

연구관리전문기관 서울시정개발연구원

연구사업명 세계 우수연구소 유치지원사업

연구과제명 바텔연구소 서울유치 및 NBT 연구기반 조성사업

기여율 80/100

주관기관 고려대학교

연구기간 2006.03.01 ~ 2011.08.31이 발명을 지원한 국가연구개발사업

과제고유번호 R0A-2007-000-20059-0

부처명 한국과학재단

연구관리전문기관 한국과학재단

연구사업명 중견연구자지원_도약연구

연구과제명 차세대 모바일 단말기 및 유비쿼터스 센서 노드용 저전력 관리 기술

기여율 20/100

주관기관 고려대학교 산학협력단

연구기간 2009.07.01 ~ 2010.06.30

특허청구의 범위

청구항 1

입력 신호를 필터링하는 디지털 루프 필터;

상기 디지털 루프 필터의 출력 신호에 따라 가변되는 클록을 출력하는 디지털 제어 발진기;

상기 디지털 제어 발진기의 출력 클록을 분주율로 분주하는 분주기;

기준 클록의 주파수가 상기 분주기에서 분주된 클록의 주파수 범위 내에 포함되도록 상기 분주율을 선택하는 분주율 선택기; 및

상기 기준 클록과 상기 디지털 제어 발진기의 출력 클록의 위상을 비교하여 주파수 차이를 검출하는 시간-디지털 변환기

를 포함하는 광대역 디지털 주파수 합성기.

청구항 2

제1항에 있어서,

상기 시간-디지털 변환기는, 상기 분주율 선택기가 상기 분주율을 선택한 후 상기 주파수 차이를 검출하는, 광대역 디지털 주파수 합성기.

청구항 3

제1항에 있어서,

상기 분주율 선택기는,

상기 기준 클록의 주기를 카운트하여 제1 카운트 신호를 출력하는 제1 카운터;

상기 분주된 클록의 주기를 카운트하여 제2 카운트 신호를 출력하는 제2 카운터; 및

상기 제1 카운트 신호와 상기 제2 카운트 신호를 비교하여, 상기 기준 클록의 주파수가 상기 분주된 클록의 주파수 범위 내에 포함되도록 상기 분주율을 선택하는 판별회로

를 포함하는, 광대역 디지털 주파수 합성기.

청구항 4

제3항에 있어서,

상기 디지털 제어 발진기는, 최대 동작 주파수가 최저 동작 주파수의 2배 이상이 되는 클록을 출력하고,

상기 판별회로는, 상기 제2 카운트 신호가 상기 제1 카운트 신호의 2/3에서 4/3이내의 값을 가지도록 상기 분주율을 선택하는, 광대역 디지털 주파수 합성기.

청구항 5

제1항에 있어서,

상기 시간-디지털 변환기는, 수학적 식 8에 의해 상기 주파수 차이를 검출하고,

상기 수학식 8은

$$\begin{aligned} f_{diffn} &= \frac{\Delta t_{n+1} - \Delta t_n}{NT_{DCO}(NT_{DCO} + \Delta t_n - \Delta t_{n+1})} \\ &= \frac{kt_{res} - lt_{res}}{Nmt_{res}(Nmt_{res} + lt_{res} - kt_{res})} \\ &= \frac{k-l}{Nmt_{res}(Nm+l-k)} \end{aligned}$$

이고, 여기서 N은 상기 분주율이고, t_{res} 는 상기 시간-디지털 변환기의 해상도이며, k, l 및 m은 정수인, 광대역 디지털 주파수 합성기.

청구항 6

제1항에 있어서,

상기 시간-디지털 변환기는, 수학식 9에 의해 상기 주파수 차이를 검출하고,

상기 수학식 9는

$$TDC_{out} = \frac{k-l}{Nm(Nm+l-k)}$$

이고, 여기서 N은 상기 분주율이고, k, l 및 m은 정수인, 광대역 디지털 주파수 합성기.

청구항 7

제5항에 있어서,

상기 시간-디지털 변환기는, 도 4의 구성을 가지고,

상기 수학식 8은 상기 도 4의 연산회로에서 계산되는, 광대역 디지털 주파수 합성기.

청구항 8

제6항에 있어서,

상기 시간-디지털 변환기는, 도 4의 구성을 가지고,

상기 수학식 9는 상기 도 4의 연산회로에서 계산되는, 광대역 디지털 주파수 합성기.

명세서

기술 분야

본 발명은 디지털 주파수 합성기에 관한 것으로서, 더욱 상세하게는 넓은 주파수 범위에서도 주파수 검출이 가능한 시간-디지털 변환기를 포함하는 광대역 디지털 주파수 합성기에 관한 것이다.

[0001]

배경 기술

- [0002] 종래의 디지털 주파수 합성기에서 위상 검출기로 사용되는 시간-디지털 변환기는, 기준 클록의 주기를 시간-디지털 변환기의 해상도로 나눈 수만큼의 지연 셀이 필요하다. 따라서, 종래의 디지털 주파수 합성기는 낮은 주파수에서 동작하기 위해서는 많은 수의 지연 셀이 필요하다는 문제점이 있다.
- [0003] 또한, 특정 주파수에서 동작 가능하도록 지연 셀의 개수를 정하여 설계를 하게 되면, 회로에 인가되는 기준 클록의 주파수가 달라질 때 시간-디지털 변환기가 정상적인 코드를 출력하지 못하게 된다. 따라서, 광대역 동작이 불가능하다는 문제점이 발생한다.
- [0004] 이러한 문제점들을 해결하기 위하여 순환 시간-디지털 변환기, 대수 시간-디지털 변환기 등이 개발되었지만 고해상도를 얻기 어렵거나, 선형성이 떨어지는 단점이 있다.

발명의 내용

해결하려는 과제

- [0005] 따라서, 본 발명은, 광대역 주파수 범위에서도 정상적으로 기준 클록에 동기된 클록을 생성할 수 있는 광대역 디지털 주파수 합성기를 제공하는 것을 일 목적으로 한다.
- [0006] 또한, 본 발명은, 기준 클록과 디지털 제어 발진기의 출력 클록의 위상 오차를 높은 해상도로 판별하여 디지털 제어 발진기의 출력 클록의 지터 및 주파수 오차를 최소화할 수 있는 광대역 디지털 주파수 합성기를 제공하는 것을 다른 목적으로 한다.
- [0007] 또한, 본 발명은, 광대역으로 동작하면서도, 분주된 클록이 아니라 디지털 제어 발진기의 출력 클록을 인가하여 최소 개수의 지연 셀로 동작 가능한 시간-디지털 변환기를 사용함으로써 회로의 면적을 감소시킬 수 있는 광대역 디지털 주파수 합성기를 제공하는 것을 또 다른 목적으로 한다.
- [0008] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허청구범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

- [0009] 이러한 목적을 달성하기 위한 본 발명의 일 실시예에 따른 광대역 디지털 주파수 합성기는, 입력 신호를 필터링하는 디지털 루프 필터, 상기 디지털 루프 필터의 출력 신호에 따라 가변되는 클록을 출력하는 디지털 제어 발진기, 상기 디지털 제어 발진기의 출력 클록을 분주율로 분주하는 분주기, 기준 클록의 주파수가 상기 분주기에서 분주된 클록의 주파수 범위 내에 포함되도록 상기 분주율을 선택하는 분주율 선택기 및 상기 기준 클록과 상기 디지털 제어 발진기의 출력 클록의 위상을 비교하여 주파수 차이를 검출하는 시간-디지털 변환기를 포함한다.

발명의 효과

- [0010] 본 발명에 의하면, 최소 개수의 지연 셀로 넓은 주파수 범위에서 동작 가능한 시간-디지털 변환기를 이용함으로써 회로의 면적을 크게 감소시킬 수 있다.
- [0011] 또한 본 발명에 의하면, 주파수 대역에 상관없이 고해상도로 주파수 검출이 가능한 시간-디지털 변환기를 이용함으로써 결과적으로 고해상도 주파수 합성 동작을 가능하게 한다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 일 실시예에 따른 광대역 디지털 주파수 합성기의 구성을 나타내는 블록도이다.
 도 2는 본 발명의 일 실시예에 따른 분주율 선택기의 구성을 나타내는 블록도이다.
 도 3은 본 발명의 일 실시예에 따른 시간-디지털 변환기의 동작 방법을 설명하기 위한 도면이다.
 도 4는 본 발명의 일 실시예에 따른 시간-디지털 변환기의 구성을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성 요소를 가리키는 것으로 사용된다.
- [0014] 도 1은 본 발명의 일 실시예에 따른 광대역 디지털 주파수 합성기의 구성을 나타내는 블록도이다.
- [0015] 도 1을 참조하면, 광대역 디지털 주파수 합성기는, 시간-디지털 변환기(Time-to-Digital Converter: 102), 분주율 선택기(104), 분주기(divider: 106), 디지털 루프필터(Digital Loop Filter: 108) 및 디지털 제어 발진기(Digitally Controlled Oscillator: 110)를 포함한다.
- [0016] 시간-디지털 변환기(102)는 기준 클록(CLK_{REF})과 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 위상을 비교하여 주파수 차이를 검출한다. 시간-디지털 변환기(102)에서 출력된 신호(TDC_{out})는, 디지털 루프필터(108)에 의해로우 패스(low pass) 필터링된 후 디지털 제어 발진기(110)로 인가되어, 분주된 클록(CLK_{DIV})의 주파수가 기준 클록(CLK_{REF})의 주파수와 같아지도록 조절한다.
- [0017] 분주율 선택기(104)는 분주된 클록(CLK_{DIV})의 주파수 변화 대역에 기준 클록(CLK_{REF})의 주파수가 포함되도록 하는 분주율(N)을 선택한 후, TDC_{on} 신호를 발생시켜 시간-디지털 변환기(102)가 기준 클록(CLK_{REF})과 분주된 클록(CLK_{DIV})의 주파수 동기화 동작을 시작하도록 한다. 이를 구현하기 위해 시간-디지털 변환기(102)는 도 4에서 후술하는 바와 같이, 분주된 클록(CLK_{DIV})을 이용하는 것이 아니라, 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})을 바로 이용한다.
- [0018] 다시 말하면, 분주율 선택기(104)는 기준 클록(CLK_{REF})의 주파수와 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 중심 주파수의 주파수 비(N)를 검출하고 그에 해당하는 분주율 N을 분주기(106)에 제공함으로써, 분주된 클록(CLK_{DIV})의 주파수 변화 대역에 기준 클록(CLK_{REF})의 주파수가 포함되도록 한다. 예를 들어, 디지털 제어 발진기(110)가 2GHz부터 4GHz까지 동작하고 기준 클록(CLK_{REF})의 주파수가 700MHz라면, 디지털 제어 발진기(110)의 중심 주파수 3GHz와 기준 클록(CLK_{REF})의 주파수 700MHz의 주파수 비는 4.28이 되고, 분주율 선택기(104)는 4.28에 가장 가까운 2^n 배인 4를 분주율(N)로 선택한다. 이 경우, 분주된 클록(CLK_{DIV})은 500MHz부터 1GHz까지의 주파수 범위를 가지게 되므로, 주파수 합성기의 주파수 추적 동작이 가능한 상태가 된다.
- [0019] 분주기(106)는 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})을 분주율 선택기(104)에서 출력한 분주율(N)로 분주하여 분주된 클록(CLK_{DIV})을 출력한다.
- [0020] 디지털 루프필터(108)는 시간-디지털 변환기(102)의 출력 신호(TDC_{out})를 필터링하여 디지털 제어 발진기(110)로 출력한다. 디지털 루프필터(108)는 일반적으로 저역 필터(Low Pass Filter: LPF)의 구조를 가진다.
- [0021] 디지털 제어 발진기(110)는 디지털 루프 필터(108)의 출력 신호(DLF_{out})를 반영하여 조정된 클록(CLK_{DCO})을 출력

한다. 일 실시예로, 본 발명에서와 같이 $N=2^n$ 인 분주기(106)를 사용하는 경우, 디지털 제어 발진기(110)는 최대 동작 주파수가 최저 동작 주파수의 2배 이상이 되는 클록(CLK_{DCO})을 출력한다.

[0022] 도 2는 본 발명의 일 실시예에 따른 분주율 선택기(104)의 구성을 나타내는 블록도이다.

[0023] 도 2를 참조하면, 분주율 선택기(104)는 제1 카운터(202), 제2 카운터(204) 및 판별회로(206)를 포함한다.

[0024] M 비트 카운터인 제1 카운터(202)는 인가받은 기준 클록(CLK_{REF})의 주기를 카운트한다. 즉, 제1 카운터(202)는 인가받은 기준 클록(CLK_{REF})의 상승 에지마다 CNT_{REF} 값을 증가시킨다. 마찬가지로, M+1 비트 카운터인 제2 카운터(204)는 현재 상태의 분주율로 분주된 클록(CLK_{DIV})을 인가받아 분주된 클록(CLK_{DIV})의 주기를 카운트한다. 즉, 제2 카운터(204)는 분주된 클록(CLK_{DIV})의 상승 에지마다 CNT_{DIV} 값을 증가시킨다.

[0025] 판별회로(206)는 제1 카운터(202) 및 제2 카운터(204)의 출력 값을 입력받아 현재 분주율이 적절한 값인지를 판별하고, 최적의 분주율(N)이 결정될 때까지 분주율을 증감시킨다. 즉, 판별회로(206)는 제1 카운터(202)의 출력 값(CNT_{REF})과 제2 카운터(204)의 출력 값(CNT_{DIV})을 비교하여, 기준 클록(CLK_{REF})의 주파수가 분주된 클록(CLK_{DIV})의 주파수 범위 내에 포함되도록 분주율(N)을 결정한다. 판별회로(206)는 기준 클록(CLK_{REF})의 주파수를 추적 가능하게 하는 분주율(N)을 결정한 후 TDC_{on} 신호를 발생시켜 시간-디지털 변환기(102)가 기준 클록(CLK_{REF})과 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 주파수 동기화 동작을 시작하도록 한다. 또한, 판별회로(206)는 최적의 분주율(N)을 결정한 후 CNT_{reset} 신호를 출력하여 제1 카운터(202) 및 제2 카운터(204)를 리셋(reset)시킨다.

[0026] 이하, 판별회로(206)가 최적의 분주율(N)을 결정하는 방법에 대하여 설명한다. 제1 카운터(202) 및 제2 카운터(204)는 CNT_{REF} 의 최상위 비트(MSB)인 MSB_{REF} 가 1이 될 때까지 카운팅 동작을 수행한다. 즉, 기준 클록(CLK_{REF})의 2^{M-1} 주기 동안 카운팅 동작을 수행한다. 일 실시예로, 디지털 제어 발진기(110)의 최대 동작 주파수가 최저 동작 주파수의 2배 이상이 되도록 설정한 경우, 제1 카운터(202)가 2^{M-1} 을 카운팅할 때 제2 카운터(204)의 CNT_{DIV} 값이 2^{M-1} 의 2/3부터 4/3 이내의 값을 가지면 현재의 분주율로 분주된 클록(CLK_{DIV})의 주파수는 기준 클록(CLK_{REF})의 주파수를 추적할 수 있는 범위에 있다고 말할 수 있다. 따라서 판별회로(206)는 CNT_{REF} 의 최상위 비트(MSB_{REF})가 1이 되는 상승 에지에서, 제2 카운터(204)의 CNT_{DIV} 값이 앞서 설명한 범위 내에 있는지를 판별하여 판별 결과에 따라 분주율을 증가, 감소 또는 유지시키는 동작을 수행한다. 예를 들어, M이 5인 경우, 제1 카운터(202)는 15를 카운팅한 후 16번째 기준 클록(CLK_{REF})의 상승 에지에서 최상위 비트(MSB_{REF})가 1이 되고 이때 제2 카운터(204)의 출력 값(CNT_{DIV})이 판별회로(206)로 인가된다. 판별회로(206)는 CNT_{DIV} 값이 16의 2/3인 10.7부터 16의 4/3에 해당하는 21.3 이내의 값을 가지는지 판별한 후, 범위 내에 있다고 판별되면 현재의 분주율을 유지하고, CNT_{DIV} 값이 16의 2/3인 10.7보다 작은 경우에는 분주율(N)을 감소시키며, CNT_{DIV} 값이 16의 4/3에 해당하는 21.3보다 큰 경우에는 분주율(N)을 증가시킨다.

[0027] 이하, 본 발명에 따른 광대역 디지털 주파수 합성기에 적합한 시간-디지털 변환기에 대해 설명한다.

[0028] 일반적인 시간-디지털 변환기는 주파수 검출을 위해서 기준 클록의 주기를 시간-디지털 변환기의 해상도로 나누 개수만큼의 지연 셀을 필요로 한다. 만약, 10MHz의 기준 클록이 인가되고 시간-디지털 변환기의 해상도가 5ps라면 최소 20,000개의 지연 셀이 필요하게 된다. 이때, 지연 셀의 개수를 줄이기 위해 시간-디지털 변환기의 해상도를 낮추는 방법이 있지만, 시간-디지털 변환기의 해상도는 디지털 주파수 합성기의 지터 특성에 직접적인 영향을 주기 때문에 지연 셀의 개수를 줄이는 데에는 한계가 있다. 또한 낮은 주파수에서의 동작을 위해 지연 셀의 개수를 충분하게 설계한 경우에도 다음과 같은 문제점이 발생한다. 낮은 주파수에서의 동작을 위해 지연 셀의 개수를 충분하게 설계한 시간-디지털 변환기에 높은 주파수의 기준 클록이 인가되면, 그 시간-디지털 변환기는 정상적인 출력을 나타내지 못하고 기준 클록의 주기에 따라 반복되는 출력을 가지게 되는 문제가 발생할 수 있다. 예를 들어, 전술한 예에서와 같이 10MHz의 기준 클록과 5ps의 시간-디지털 변환기 해상도에 맞추어 설계

한 시간-디지털 변환기에 1GHz의 기준 클록이 인가되면, 약 200개의 지연 셀마다 반복되는 출력을 생성하게 되는 오류가 발생한다.

[0029] 따라서 광대역 디지털 주파수 합성기에 사용되는 시간-디지털 변환기는 기존의 형태와는 달리, 높은 해상도를 유지하면서도 기준 클록의 주파수에 관계없이 일정한 개수의 지연 셀을 필요로 하는 형태가 되어야 한다.

[0030] 이하, 도 3을 참조하여 본 발명의 일 실시예에 따른 시간-디지털 변환기(102)의 동작 방법을 설명한다.

[0031] 본 발명의 일 실시예에 따른 시간-디지털 변환기(102)는 도 3의 타이밍 다이어그램에 나타난 바와 같이, 기준 클록(CLK_{REF})과 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 위상을 비교하는 형태로 동작한다.

수학식 1

$$f = \frac{\Delta\Phi}{\Delta t_{unit}}$$

[0032]

[0033] 수학식 1에 의하면 신호의 주파수(f)는 단위시간(Δt_{unit}) 동안의 위상차($\Delta\Phi$)로 나타낼 수 있다. 따라서, 이로부터 기준 클록(CLK_{REF})과 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 주파수 차이(f_{diff})는 단위 시간(Δt_{unit})마다 기준 클록(CLK_{REF}) 대비 위상차($\Delta\Phi_{DCO}$)를 검출하여 구할 수 있다. 이때, 수학식 1의 단위 시간(Δt_{unit})은 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 N 주기로, 수학식 1의 위상차($\Delta\Phi$)는 기준 클록(CLK_{REF})의 주기마다 발생하는 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 위상차($\Delta\Phi_{DCO}$)로 나타낼 수 있다. 그러므로, 이 값들을 수학식 1에 대입하면, 기준 클록(CLK_{REF})과 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 주파수 차이(f_{diff})는 수학식 2로 나타낼 수 있다.

수학식 2

$$f_{diff} = \frac{\Delta\Phi_{DCO}}{2\pi NT_{DCO}}$$

[0034]

[0035] 여기서, T_{DCO}는 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 주기를 말한다.

[0036] 시간-디지털 변환기(102)는 도 3과 같이 기준 클록(CLK_{REF})의 상승 에지를 기준으로 위상차(Φ_{DCOn})를 판별한다. 즉, 시간-디지털 변환기(102)는 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})이 N 주기가 될 때마다 기준 클록(CLK_{REF})의 상승 에지를 기준으로 위상차(Φ_{DCOn})를 판별한다. 이때의 위상차(Φ_{DCOn})는 수학식 3과 같이 기준 클록(CLK_{REF})의 주기(T_{REF}) 대비 두 클록(CLK_{REF}, CLK_{DCO})의 상승 에지 간의 시간차(Δt_n)에 2π 를 곱하여 나타낼 수 있다. 그리고, 단위 시간이 되는 기준 클록(CLK_{REF})의 주기(T_{REF})는 도 3에 도시된 바를 통해 수학식 4와 같이 표현할 수 있다.

수학식 3

$$\Phi_{DCOn} = 2\pi \frac{\Delta t_n}{T_{REF}}$$

[0037]

수학식 4

$$T_{REF} = NT_{DCO} + \Delta t_n - \Delta t_{n+1}$$

[0038]

[0039] 여기서, N은 분주율을 말한다.

[0040] 따라서, Φ_{DCOn} 은 수학식 4를 수학식 3에 대입하여 수학식 5와 같이 나타낼 수 있다.

수학식 5

$$\Phi_{DCOn} = 2\pi \frac{\Delta t_n}{T_{REF}} = \frac{2\pi \Delta t_n}{NT_{DCO} + \Delta t_n - \Delta t_{n+1}}$$

[0041]

[0042] 또한, 기준 클록(CLK_{REF})의 한 주기(T_{REF}) 동안에 발생한 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 위상차 ($\Delta \Phi_{DCOn}$)는 n+1번째 주기에서의 위상차 Φ_{DCOn+1} 에서 n번째 주기에서의 위상차 Φ_{DCOn} 을 뺀 값이 되므로 수학식 6과 같이 표현된다.

수학식 6

$$\Delta \Phi_{DCOn} = \Phi_{DCOn+1} - \Phi_{DCOn} = \frac{2\pi(\Delta t_{n+1} - \Delta t_n)}{NT_{DCO} + \Delta t_n - \Delta t_{n+1}}$$

[0043]

[0044] 최종적으로 수학식 2에 수학식 6을 대입하면, n번째 주기의 기준 클록(CLK_{REF})과 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})의 주파수 차이(f_{diffn})는 수학식 7과 같이 표현할 수 있다.

수학식 7

$$f_{diffn} = \frac{\Delta \Phi_{DCOn}}{2\pi NT_{DCO}} = \frac{\Delta t_{n+1} - \Delta t_n}{NT_{DCO}(NT_{DCO} + \Delta t_n - \Delta t_{n+1})}$$

[0045]

[0046] 이때, 수학식 7의 변수들은 모두 시간-디지털 변환기(102)를 통해 디지털 값으로 변환될 수 있다. 그러므로, 시간-디지털 변환기(102)의 해상도를 t_{res} 이라고 하면, f_{diffn} 은 수학식 8과 같이 시간-디지털 변환기(102)에서 구해진 정수 값의 조합으로 나타낼 수 있다.

수학식 8

$$\begin{aligned}
 f_{diffn} &= \frac{\Delta t_{n+1} - \Delta t_n}{NT_{DCO}(NT_{DCO} + \Delta t_n - \Delta t_{n+1})} \\
 &= \frac{kt_{res} - lt_{res}}{Nmt_{res}(Nmt_{res} + lt_{res} - kt_{res})} \\
 &= \frac{k-l}{Nmt_{res}(Nm+l-k)}
 \end{aligned}$$

[0047]

[0048]

여기서, k, l 및 m은 정수이다.

[0049]

이하, 도 4를 참조하여 수학식 8에서의 각 정수 값을 구할 수 있는 시간-디지털 변환기(102)의 구성을 설명한다.

[0050]

시간-디지털 변환기(102)는 일반적인 시간-디지털 변환단과 연산회로(408)로 구성될 수 있다. 일 실시 예로 구현된 도 4를 참조하면, 시간-디지털 변환기(102)는 고해상도를 얻는 데에 적합한 버니어 지연단(Vernier Delayline: 402, 412), 시간-디지털 변환 결과를 저장하는 i 비트 레지스터(404, 406, 410) 및 연산회로(408)를 포함한다.

[0051]

제1 버니어 지연단(402)은 $t_{res}(\tau_1 - \tau_0, \tau_1 > \tau_0)$ 의 해상도를 가지며 기준 클럭(CLK_{REF})과 디지털 제어 발진기(110)의 출력 클럭(CLK_{DCO})을 입력받아 $\Delta t_n (= l * t_{res})$ 의 시간-디지털 변환 결과(1)를 제2 레지스터(406)로 출력한다. 그 다음, $\Delta t_{n+1} (= k * t_{res})$ 의 시간-디지털 변환 결과(k)가 제2 레지스터(406)로 출력되면, 제2 레지스터(406)에 저장된 디지털 값, l은 제1 레지스터(404)로 출력된다.

[0052]

제2 버니어 지연단(412) 또한 $t_{res}(\tau_1 - \tau_0, \tau_1 > \tau_0)$ 의 해상도를 가지며, 디지털 제어 발진기(110)의 출력 클럭(CLK_{DCO})을 입력받아 그 주기인 $T_{DCO} (= m * t_{res})$ 를 시간-디지털 변환한 결과(m)를 제3 레지스터(410)로 출력한다.

[0053]

연산회로(408)는 제1 레지스터(404), 제2 레지스터(406) 및 제3 레지스터(410)에 저장된 값(1, k, m)을 이용하여 수학식 8을 연산한다. 변형예에서는, 수학식 8의 분모에 포함되어 있는 시간-디지털 변환기(102)의 해상도(t_{res})는 연산회로(408)에서 직접 계산하지 않고 디지털 제어 발진기(110)의 해상도와 비를 계산하여 디지털 루프 필터(108)에서 그 비율만큼을 반영하도록 설계하고, 연산회로(408)는 수학식 9를 연산하여 TDC_{out} 을 최종 출력할 수 있다. 또 다른 변형예에서는, 수학식 9는 디지털 루프 필터(108)에서 연산될 수도 있다.

수학식 9

$$TDC_{out} = \frac{k-l}{Nm(Nm+l-k)}$$

[0054]

[0055]

여기서, k, l 및 m은 정수이다.

[0056]

본 발명에 따른 시간-디지털 변환기(102)는 분주된 클럭(CLK_{DIV})이 아니라 디지털 제어 발진기(110)의 출력 클럭

(CLK_{DCO})을 사용함으로써 지연 셀의 개수를 줄일 수 있다. 이때, 시간-디지털 변환기(102)는 지연 셀을 디지털 제어 발진기(110)의 출력 클록(CLK_{DCO})이 생성하는 최저 주파수의 한 주기까지 커버할 수 있는 개수로 최소화시킬 수 있다. 이와 같이, 본 발명에 의하면, 최소 개수의 지연 셀로 구현된 시간-디지털 변환기(102)를 사용하여 광대역의 주파수 차이를 검출할 수 있다.

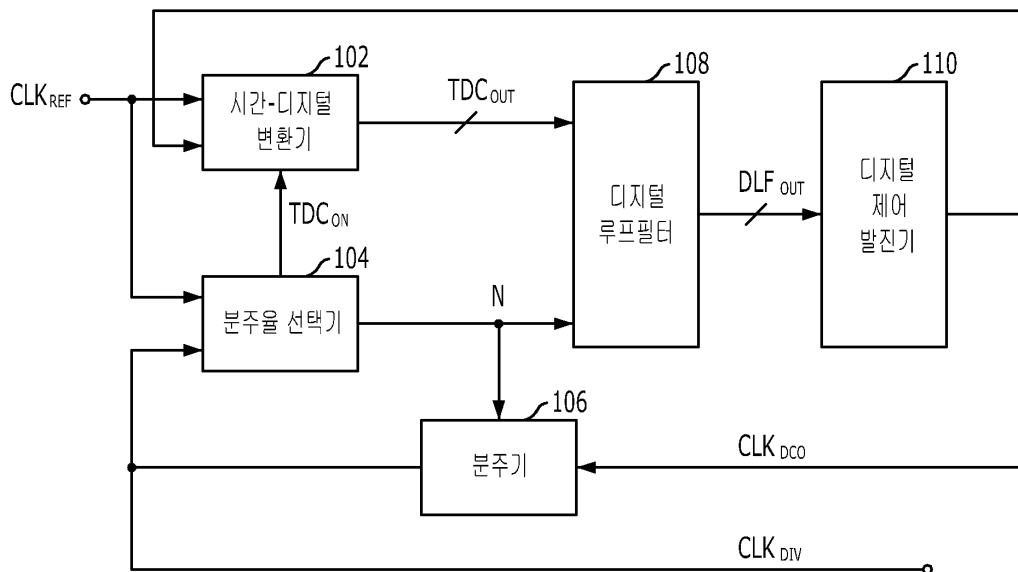
[0057] 이상에서 설명한 본 발명은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

부호의 설명

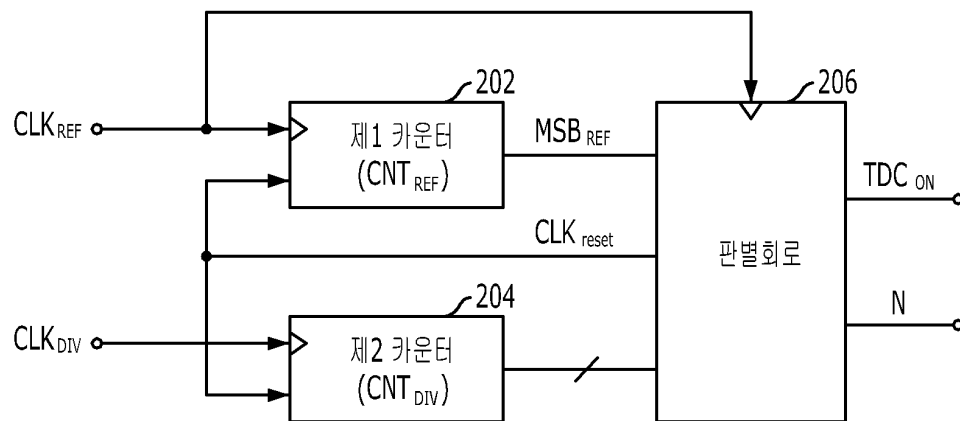
[0058] 102 : 시간-디지털 변환기 104 : 분주율 선택기
106 : 분주기 108 : 디지털 루프필터
110 : 디지털 제어 발진기

도면

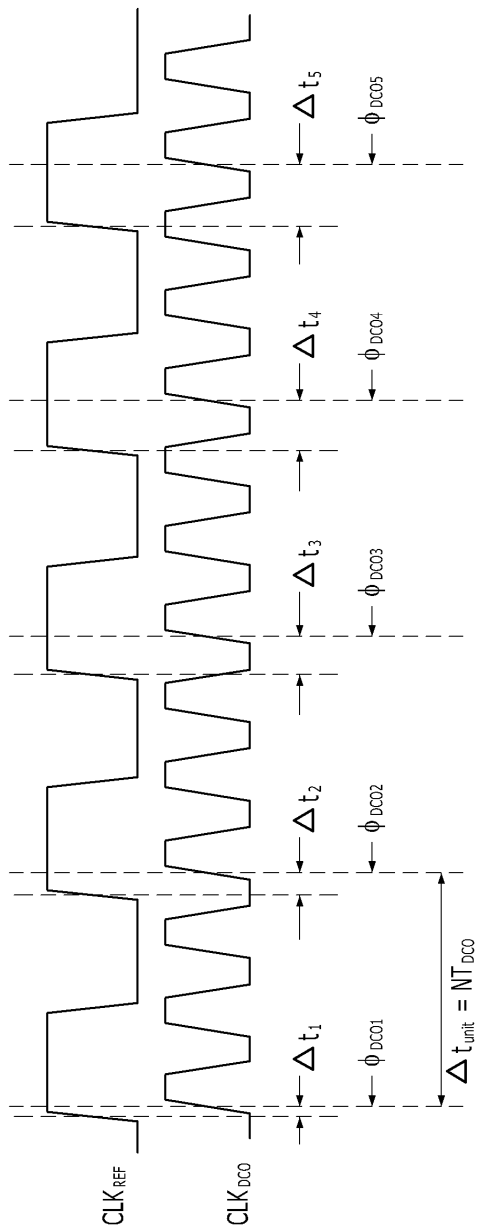
도면1



도면2



도면3



도면4

