(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월09일
(11) 등록번호 10-2360865
(24) 등록일자 2022년02월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/108 (2006.01)
(52) CPC특허분류
H01L 27/10882 (2013.01)
H01L 27/1085 (2013.01)
(21) 출원번호 10-2020-0103025
(22) 출원일자 2020년08월18일
심사청구일자 2020년08월18일
(56) 선행기술조사문헌
KR1020160023184 A
(뒷면에 계속)

(73) 특허권자
경상국립대학교산학협력단
경상남도 진주시 진주대로 501 (가좌동)
(72) 발명자
김정식
경상남도 진주시 개양로 100, 105동 1602호(가좌동, SKY시티프라디움)
(74) 대리인
김태헌

전체 청구항 수 : 총 12 항 심사관 : 김려원

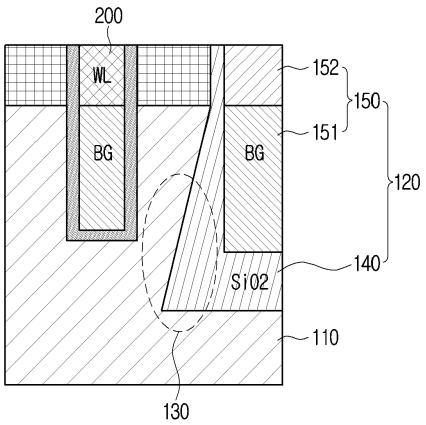
(54) 발명의 명칭 **반도체 소자 및 그 제조방법**

(57) 요 약

반도체 소자의 제조 방법이 개시된다. 본 제조 방법은 단위 셀이 형성된 기판을 마련하는 단계, 기판 상에 패싱 워드 라인을 형성하기 위한 마스크를 형성하는 단계, 마스크가 형성된 기판에 단위 셀의 하단보다 깊은 수직 트랜치가 형성되도록 1차 식각하는 단계, 수직 트랜치의 하단 영역에 오버행 구조를 갖도록 2차 식각하는 단계, 오버행 구조를 갖는 트랜치에 절연막을 형성하는 단계, 및 절연막이 형성된 트랜치에 도전성 물질을 채워 패싱 워드 라인(PWL : Passing Word-Line)을 형성하는 단계를 포함한다.

대 표 도 - 도2

100



(52) CPC특허분류
H01L 27/10873 (2013.01)

(56) 선행기술조사문헌
KR1020180018959 A
KR1020150015181 A
KR1020090110628 A
KR100876893 B1

명 세 서

청구범위

청구항 1

반도체 소자의 제조 방법에 있어서,

단위 셀이 형성된 기판을 마련하는 단계;

상기 기판 상에 패싱 워드 라인을 형성하기 위한 마스크를 형성하는 단계;

상기 마스크가 형성된 기판에 상기 단위 셀의 하단보다 깊은 수직 트랜치가 형성되도록 1차 식각하는 단계;

상기 수직 트랜치의 하단 영역에 오버행 구조를 갖도록 2차 식각하는 단계;

상기 오버행 구조를 갖는 트랜치에 절연막을 형성하는 단계; 및

상기 절연막이 형성된 트랜치에 도전성 물질을 채워 패싱 워드 라인(PWL : Passing Word-Line)을 형성하는 단계;를 포함하는 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 2차 식각하는 단계는,

상기 오버행 구조가 상기 단위 셀의 스토리지 노드(storage node)의 하부에 위치하도록 상기 수직 트랜치의 측면 영역을 식각하는 반도체 소자의 제조 방법.

청구항 3

제1항에 있어서,

상기 오버행 구조는,

상기 수직 트랜치의 기설정된 중간 영역부터 하단까지 상기 단위 셀 방향으로 폭이 확장되는 경사진 구조를 갖는 반도체 소자의 제조 방법.

청구항 4

제3항에 있어서,

상기 수직 트랜치의 기설정된 중간 영역은,

스토리지 노드 접합(Storage Node(SN) Junction) 영역인 반도체 소자의 제조 방법.

청구항 5

제1항에 있어서,

상기 절연막을 형성하는 단계는,

상기 2차 식각된 영역을 절연물질로 채우는 반도체 소자의 제조 방법.

청구항 6

제1항에 있어서,

상기 단위 셀은,

새들 핀(saddle Fin) 구조의 트랜지스터인 반도체 소자의 제조 방법.

청구항 7

반도체 소자에 있어서,

기판;

상기 기판의 기설정된 영역에 위치하는 단위 셀 영역;

상기 단위 셀 영역의 측면에 배치되며, 하단이 상기 단위 셀 영역으로 확장된 오버행 구조를 갖는 트랜치 영역;

상기 트랜치 영역에 배치되며 도전성 물질로 채워진 패싱 워드 라인(PWL: Passing Word-Line) 영역; 및

상기 트랜치 내에 배치되며, 상기 패싱 워드 라인 영역과 상기 기판 사이를 절연하는 절연 영역;을 포함하는 반도체 소자.

청구항 8

제7항에 있어서,

상기 오버행 구조는,

일부 영역이 상기 단위 셀 영역의 스토리지 노드(storage node)의 하부에 위치하는 반도체 소자.

청구항 9

제7항에 있어서,

상기 오버행 구조는,

수직 트랜치의 기설정된 중간 영역부터 하단까지 상기 단위 셀 방향으로 폭이 확장되는 경사진 구조를 갖는 반도체 소자.

청구항 10

제9항에 있어서,

상기 수직 트랜치의 기설정된 중간 영역은,

스토리지 노드 접합(Storage Node(SN) Junction) 영역인 반도체 소자.

청구항 11

제7항에 있어서,

상기 오버행 구조는,

절연물질로 채워진 반도체 소자.

청구항 12

제7항에 있어서,

상기 단위 셀 영역은,

새들 핀(saddle Fin) 구조의 트랜지스터를 포함하는 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 개시는 반도체 소자 및 그 제조방법에 관한 것으로, 패싱 워드 라인(PWL: Passing Word-Line) 영역에 오버행 돌출 구조를 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 메모리소자는 PC, 휴대폰 및 서버 등에서 데이터를 저장하는 용도로 사용하는 반도체 소자로, 디램

(DRAM), ROM, Flash 소자, FeRAM, PRAM 등 많은 종류가 있다.

[0003] 이러한 반도체 메모리 소자 중 디램은 램의 한 종류로 구조가 간단해 집적이 용이하여 대용량 임시기억장치로 많이 사용되고 있다. 이러한 디램은 하나의 트랜지스터와 하나의 커패시터(1T/1C)를 이용하여 1 비트의 정보를 기록하는 셀 소자로 구성되어 있다.

[0004] 최근에는 디램 공정이 10 nm 초반으로 작아짐에 따라, 이웃 셀을 액세스할 때 특정 셀이 쓰기 동작되는 로우 해머(Row-Hammer) 오류, 쓰기 동작 후 데이터를 유지되는 시간인 리텐션(retention), 쓰기 동작이 느려질 수 있다는 문제점이 있었다.

[0005] 이러한 문제점을 해결하기 위해 종래에는 패싱 워드 라인을 형성하는 과정 중에 이온 주입 과정 등을 수행하고 있으나, 이와 같은 공정은 DRAM 공정을 복잡화하고, 공정 시간이 증가하는 등의 문제가 있었다.

발명의 내용

해결하려는 과제

[0006] 따라서, 본 개시의 목적은, 패싱 워드 라인(PWL: Passing Word-Line) 영역에 오버행 돌출 구조를 갖는 반도체 소자 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0007] 이상과 같은 목적을 달성하기 위한 본 개시에 따른 반도체 소자의 제조 방법은 단위 셀이 형성된 기판을 마련하는 단계, 상기 기판 상에 패싱 워드 라인을 형성하기 위한 마스크를 형성하는 단계, 상기 마스크가 형성된 기판에 상기 단위 셀의 하단보다 깊은 수직 트랜치가 형성되도록 1차 식각하는 단계, 상기 수직 트랜치의 하단 영역에 오버행 구조를 갖도록 2차 식각하는 단계, 상기 오버행 구조를 갖는 트랜치에 절연막을 형성하는 단계, 및 상기 절연막이 형성된 트랜치에 도전성 물질을 채워 패싱 워드 라인(PWL : Passing Word-Line)을 형성하는 단계를 포함한다.

[0008] 이 경우, 상기 2차 식각하는 단계는, 상기 오버행 구조가 상기 단위 셀의 스토리지 노드(storage node)의 하부에 위치하도록 상기 수직 트랜치의 측면 영역을 식각할 수 있다.

[0009] 한편, 상기 오버행 구조는, 상기 수직 트랜치의 기설정된 중간 영역부터 하단까지 상기 단위 셀 방향으로 폭이 확장되는 경사진 구조를 가질 수 있다.

[0010] 이 경우, 상기 수직 트랜치의 기설정된 중간 영역은, 스토리지 노드 접합(Storage Node(SN) Junction) 영역일 수 있다.

[0011] 한편, 상기 절연막을 형성하는 단계는, 상기 2차 식각된 영역을 절연물질로 채울 수 있다.

[0012] 한편, 상기 단위 셀은, 새들 핀(saddle Fin) 구조의 트랜지스터일 수 있다.

[0013] 한편, 본 개시의 일 실시 예에 따른 반도체 소자는 기판, 상기 기판의 기설정된 영역에 위치하는 단위 셀 영역, 상기 단위 셀 영역의 측면에 배치되며, 하단이 상기 단위 셀 영역으로 확장된 오버행 구조를 갖는 트랜치 영역, 상기 트랜치 영역에 배치되며 도전성 물질로 채워진 패싱 워드 라인(PWL: Passing Word-Line) 영역, 및 상기 트랜치 내에 배치되며, 상기 패싱 워드 라인 영역과 상기 기판 사이를 절연하는 절연 영역을 포함한다.

[0014] 이 경우, 상기 오버행 구조는, 일부 영역이 상기 단위 셀 영역의 스토리지 노드(storage node)의 하부에 위치할 수 있다.

[0015] 한편, 상기 오버행 구조는, 수직 트랜치의 기설정된 중간 영역부터 하단까지 상기 단위 셀 방향으로 폭이 확장되는 경사진 구조를 가질 수 있다.

[0016] 이 경우, 상기 수직 트랜치의 기설정된 중간 영역은, 스토리지 노드 접합(Storage Node(SN) Junction) 영역일 수 있다.

[0017] 한편, 상기 오버행 구조는, 절연물질로 채워질 수 있다.

[0018] 한편, 상기 단위 셀 영역은, 새들 핀(saddle Fin) 구조의 트랜지스터를 포함할 수 있다.

발명의 효과

[0019] 따라서, 본 실시 예에 따른 반도체 소자 및 그 제조 방법은 패싱 워드 라인 영역에 오버행 구조를 만들어 줌으로써 단위 셀 영역에 대한 전계 효과 커플링 (Coupling) 효과를 감소시켜, 로우 해머(Row-Hammer) 및 쓰기 동작(Write Operation), 리텐션 (Retention) 성능을 모두 개선시킬 수 있다. 이러한 오버행 구조를 통하여, 패싱 워드 라인 영역에 대한 트랜치 형성 이후의 이온 주입 공정 및/또는 열 공정을 수행하지 않기 때문에, 공정 단순화 제작이 가능하여 원가 절감의 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 본 개시의 일 실시 예에 따른 DRAM의 구성을 설명하기 위한 도면,

도 2는 본 개시의 일 실시 예에 따른 반도체 소자의 구조를 설명하기 위한 단면도,

도 3은 본 개시의 일 실시 예에 따른 트랜지스터의 구조를 설명하기 위한 도면, 그리고,

도 4 내지 도 9는 본 개시의 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명에 대하여 구체적으로 설명하기에 앞서, 본 명세서 및 도면의 기재 방법에 대하여 설명한다.

[0022] 먼저, 본 명세서 및 청구범위에서 사용되는 용어는 본 발명의 다양한 실시 예들에서의 기능을 고려하여 일반적인 용어들을 선택하였다 하지만, 이러한 용어들은 당 분야에 종사하는 기술자의 의도나 법률적 또는 기술적 해석 및 새로운 기술의 출현 등에 따라 달라질 수 있다. 또한, 일부 용어는 출원인이 임의로 선정한 용어도 있다. 이러한 용어에 대해서는 본 명세서에 정의된 의미로 해석될 수 있으며, 구체적인 용어 정의가 없으면 본 명세서의 전반적인 내용 및 당해 기술분야의 통상적인 기술 상식을 토대로 해석될 수도 있다.

[0023] 또한, 본 명세서에 첨부된 각 도면에 기재된 동일한 참조번호 또는 부호는 실질적으로 동일한 기능을 수행하는 부품 또는 구성요소를 나타낸다. 설명 및 이해의 편의를 위해서 서로 다른 실시 예들에서도 동일한 참조번호 또는 부호를 사용하여 설명한다. 즉, 복수의 도면에서 동일한 참조 번호를 가지는 구성요소를 모두 도시되어 있다고 하더라도, 복수의 도면들이 하나의 실시 예를 의미하는 것은 아니다.

[0024] 또한, 본 명세서 및 청구범위에서는 구성요소들 간의 구별을 위하여 "제1", "제2" 등과 같이 서수를 포함하는 용어가 사용될 수 있다. 이러한 서수는 동일 또는 유사한 구성요소들을 서로 구별하기 위하여 사용하는 것이며 이러한 서수 사용으로 인하여 용어의 의미가 한정 해석되어서는 안 된다. 일 예로, 이러한 서수와 결합된 구성요소는 그 숫자에 의해 사용 순서나 배치 순서 등이 제한되어서는 안 된다. 필요에 따라서는, 각 서수들은 서로 교체되어 사용될 수도 있다.

[0025] 본 명세서에서 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "구성되다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0026] 또한, 본 개시의 실시 예에서, 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적인 연결뿐 아니라, 다른 매체를 통한 간접적인 연결의 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 포함한다는 의미는, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0027] 이하에서는 첨부된 도면을 참고하여 본 개시를 보다 상세하게 설명한다.

[0028] 도 1은 본 개시의 일 실시 예에 따른 DRAM의 구성을 설명하기 위한 도면이다.

[0029] 도 1을 참조하면, 디램을 구성하는 복수의 셀 중 하나의 디램 셀(DRAM Cell)이 도시된다. 디램 셀(Dram Cell)은 비트 라인(bit line)(102), 워드 라인(word line)(103), 액티브 영역(active area)(104), 스토리지 노드(storage Node)(105) 및 패싱 워드 라인(Passing word Line)(150)을 포함할 수 있다.

[0030] 비트 라인(102)은 셀 커패시터에서 나온 신호를 감지하기 위한 라인으로, 트랜지스터의 드레인(또는 소스)에 연결될 수 있다.

[0031] 워드 라인(103)은 트랜지스터를 인에블 시키는 신호 라인으로, 비트 라인(102)과 상호 수직한 방향으로 배치될

수 있다. 워드 라인(103)은 트랜지스터를 인에이블 하기 위하여, 트랜지스터의 게이트에 연결될 수 있다.

[0032] 액티브 영역(104)은 트랜지스터 영역으로, 새들 핀 구조의 트랜지스터가 형성되는 영역이다. 액티브 영역(104)의 구체적인 구성 및 동작에 대해서는 도 3을 참조하여 후술한다. 한편, 이상에서는 새들 핀 구조의 트랜지스터를 이용하는 것으로 도시하고 설명하였지만, 구현시에는 핀 트랜지스터, 리세트 트랜지스터 등 다른 종류의 트랜지스터를 이용할 수도 있다.

[0033] 스토리지 노드(105)는 커패시터의 일 단에 연결되는 라인이다.

[0034] 패싱 워드 라인(Passing word Line or Pass Word Line)(140)은 인접한 두개의 트랜지스터의 소스(또는 드레인)에 연결될 수 있으며, 도시된 바와 같이 워드 라인(103)과 같은 방향이고, 비트 라인(102)과 상호 수직한 방향으로 배치될 수 있다.

[0035] 이와 같이 패싱 워드 라인(150)은 스토리지 노드(105)와 인접하게 배치된다는 점에서, 패싱 워드 라인(150)에서 발생되는 스토리지 노드(105)의 하단에 배치되는 커패시터와 단위 셀의 기판 동작 (Active 영역)에 전계 영향을 주어, 커플링 (Coupling) 효과로 인하여 DRAM의 동작 저하 및 로우 해머 효과를 일으킨다.

[0036] 이러한 영향을 제거하기 위하여, 본 개시에서는 패싱 워드 라인(150)의 하단 영역에 일 영역이 스토리지 노드의 하단에 배치되는 오버행 구조를 갖도록 하여, 패싱 워드 라인 신호 전압에 의한 전계 및 커플링 효과를 감소시킨다.

[0037] 오버행 구조의 구체적인 구성은 도 2를 참조하여 이하에서 설명한다.

[0039] 도 2는 본 개시의 일 실시 예에 따른 반도체 소자의 구조를 설명하기 위한 단면도이다. 구체적으로, 도 2는 도 1의 중간 수평선 중 BL, WL, SN, PWL이 위치하는 영역에 대한 단면도이다.

[0040] 도 2를 참조하면, 반도체 소자(100)는 기판(110), 단위 셀 영역(200), 트랜치 영역(120), 절연 영역(140) 및 패싱 워드 라인 영역(150)를 포함할 수 있다.

[0041] 기판(110)은 실리콘 기판일 수 있으나, 이에 한정되지 않는다.

[0042] 단위 셀 영역(200)은 기판(110)의 기설정된 영역에 위치할 수 있으며, 이하에서는 설명을 용이하게 하기 위하여, 도 1에 도시된 구성 중 워드 라인(103)만을 표시하였지만, 패싱 워드 라인(150)을 제외한 나머지 구성들이 기판(110) 상에 배치되어 있을 수 있다. 예를 들어, 워드 라인 하단에 새들 핀 구조의 트랜지스터가 위치할 수 있으며, 워드 라인과 패싱 워드 라인에 커패시터가 위치할 수 있다. 이와 같은 새들 핀 구조의 트랜지스터는 도시된 바와 같이 매립 게이트 구조(BG:Buried Gate)를 가질 수 있다.

[0043] 트랜치 영역(120)은 단위 셀 영역의 측면에 배치되어, 하단이 단위 셀 영역으로 확장된 오버행 구조(130)를 가지며, 절연 영역(140) 및 패싱 워드 라인(150)이 위치하게 된다. 구체적으로, 트랜치 영역(120)은 패싱 워드 라인(150)의 전계 및 커플링 효과를 감소하기 위하여, 하부 영역에 오버행 구조(130)를 갖는다.

[0044] 오버행 구조(130)는 트랜치의 기설정된 중간 영역부터 하단까지 셀 방향으로 폭이 확장되는 경사진 구조로, 일부 영역이 단위 셀 영역의 스토리지 노드(storage node)(105)의 하부에 위치할 수 있다. 여기서 기설정된 중간 영역은, 트랜치와 스토리지 노드가 만나는 트랜치 측면 중 하단 영역, 즉 스토리지 접합(Storage Node(SN) Junction) 영역일 수 있다.

[0045] 예를 들어, 트랜치의 하단은 셀 방향으로 10 nm 이상 확장되어 있을 수 있다. 이와 같은 수치는 예시에 불가하며, 반도체 소자의 성능 및 공정 방식에 따라 변경될 수 있다.

[0046] 그리고 오버행 구조(130)는 절연 물질이 채워질 수 있다. 여기서 절연 물질은 산화 실리콘, 질화막, 산화 알루미늄, 산화질화 하프늄, 산화 아연 등이 이용될 수도 있다.

[0047] 절연 영역(140)은 트랜치 영역(120) 내에 배치되며, 패싱 워드 라인 영역(150)과 기판(110) 사이를 절연한다. 이와 같은 절연 영역(140)은 산화 실리콘(SiO2)이 이용될 수 있으며, 질화막, 산화 알루미늄, 산화질화 하프늄, 산화 아연 등이 이용될 수도 있다.

[0048] 패싱 워드 라인 영역(150)은 트랜치 영역(120)에 배치되며 도전성 물질로 채워질 수 있다. 도전성 물질은 알루미늄(Al), 몰리브덴(Mo), 마그네슘(Mg), 크롬(Cr), 파라듐(Pd), 금(Au), 니켈(Ni), 타이타늄(Ti) 또는 이들의 임의 조합 중 어느 하나일 수 있다. 한편, 패싱 워드 라인 영역(150)은 도 2에 도시된 바와 같이 두 개의 도전성 물질(151, 152)을 사용할 수 있다. 즉, BG(Buried Gate)를 사용할 수 있다.

[0049] 이상과 같이 본 실시 예에 따른 반도체 소자(100)는 패싱 워드 라인 영역에 오버행 구조를 만들어 줌으로써 패싱 워드 라인 영역의 전계 및 커플링 효과를 감소시킬 수 있다.

[0051] 도 3은 본 개시의 일 실시 예에 따른 트랜지스터의 구조를 설명하기 위한 도면이다.

[0052] 도 3을 참조하면, 새들 핀(saddle Fin) 트랜지스터는 반도체 기판(110)에 형성된 소자 분리막(204)을 식각해 활성 영역을 식각해 활성영역을 돌출시킴으로써 활성영역의 양 측면 및 상부 면이 노출된다. 활성 영역의 측면에는 산화막(또는 질화막(202)이 증착된다.

[0053] 그리고 도출된 활성 영역을 감싸도록 게이트(206)가 형성된다. 이와 같이 활성 영역의 노출된 세 면 모두에 채널이 형성되어 채널을 통한 전류 구동 특성이 향상된다.

[0054] 게이트(206)는 상술한 바와 같이 도 1의 워드 라인(103)에 연결될 수 있다.

[0056] 도 4 내지 도 9는 본 개시의 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 공정 단면도이다.

[0057] 도 4를 참조하면, 먼저 단위 셀(200)이 형성된 기판(110)을 마련한다. 구체적으로, 구체적으로, DRAM 반도체 공정은 단위 셀을 형성하는 공정과 PWL을 형성하는 공정으로 구분될 수 있다.

[0058] 구체적으로, 단위 셀을 형성하는 공정은 소자 분리막을 형성 및 웰 이온 주입 공정, 워드 라인에 대한 리소그라피 및 에칭 공정, 트랜지스터 게이트 산화 공정, 액티브 워드 라인 게이트 증착 공정 등을 포함할 수 있다. 이와 같은 단위 셀을 형성하는 공정이 수행되면 도 4에 도시된 바와 같은 단위 셀이 형성된 기판이 마련될 수 있다.

[0059] 이하에서는 해당 기판을 이용한 PWL을 형성하는 공정을 설명한다.

[0060] 먼저, 도 5에 도시된 바와 같이, 패싱 데이터 라인을 형성하기 위한 마스크(111)를 형성할 수 있다. 구체적으로, 기판(110)의 상부에 트랜치 영역에 대응되는 영역을 제외한 영역에 마스크가 형성될 수 있다.

[0061] 다음 공정으로, 도 6에 도시된 바와 같이, 마스크(111)가 형성된 기판(110)에 단위 셀(구체적으로, 워드 라인)(200)의 하단보다 깊은 수직 트랜치(120)가 형성되도록 1차 식각을 수행할 수 있다. 이와 같은 식각은 건식 식각 방식으로 수행될 수 있다.

[0062] 다음 공정으로, 도 7에 도시된 바와 같이, 수직 트랜치의 하단 영역에 오버행 구조(130)를 갖도록 2차 식각을 수행할 수 있다. 구체적으로, 2차 식각은 건식 식각 방식으로 수행되거나, 습식 식각 방식으로 수행될 수 있으며, 트랜치와 스토리지 노드가 만나는 트랜치 측면 중 하단 영역, 즉 스토리지 접합(Storage Node(SN) Junction) 영역부터 트랜치 하단 방향으로 점차 폭이 증가하는 경사진 형태를 갖도록 식각 공정을 수행할 수 있다.

[0063] 다음 공정으로, 도 8에 도시된 바와 같이, 오버행 구조를 갖는 트랜치에 절연막(140)을 형성할 수 있다. 구체적으로, 오버행 구조에 절연막이 채워지고, 트랜치의 측면에 절연막을 형성할 수 있다. 여기서 절연막은 산화 실리콘, 질화막, 산화 알루미늄, 산화질화 하프늄, 산화 아연 등일 수 있다.

[0064] 기존에는 상술한 에칭 동작 이후 터널링 주입(tuning implant)과 같은 이온 주입 과정이 수행되었으나, 본 개시에서는 오버행 구조에 의하여 전계 및 커플링 효과가 감소하는바, 별도의 이온 주입 공정(구체적으로, 산포 개선 공정(이온 주입과 열 공정))을 수행하지 않고, 다음 공정을 수행할 수 있다.

[0065] 다음 공정으로, 도 9에 도시된 바와 같이 절연막이 형성된 트랜치에 도전성 물질을 채워 패싱 워드 라인(150)을 형성할 수 있다. 이때, 두 가지 종류의 도전성 물질(151, 152)을 이용하여 패싱 워드 라인을 형성할 수 있다. 이와 같은 과정을 수행하여, 도 2에 도시된 바와 같은 반도체 소자를 형성할 수 있다.

[0066] 이상과 같이 본 개시에 따른 반도체 제조 방법은 기존 공정에 2차 식각 공정만을 추가하는 것만으로 전계 감소를 위한 오버행 구조를 형성할 수 있으며, 그에 따라 기존에 수행하던 이온 주입 공정 및/또는 열 공정을 생략 가능하다.

[0067] 이상에서는 본 개시의 바람직한 실시 예에 대하여 도시하고 설명하였지만, 본 개시는 상술한 예에 한정되지 아니하며, 청구범위에서 청구하는 본 개시의 요지를 벗어남이 없이 당해 개시가 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 개재의 범위 내에 있게 된다.

부호의 설명

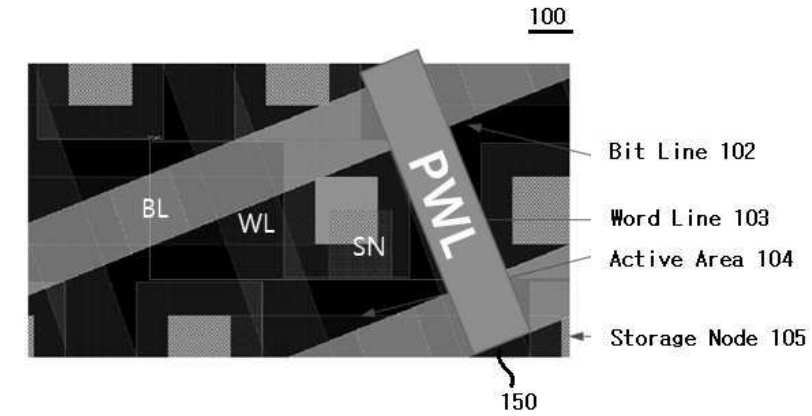
[0068] 100: 반도체 소자 110: 기판

120: 트랜치 영역 130: 오버행 구조

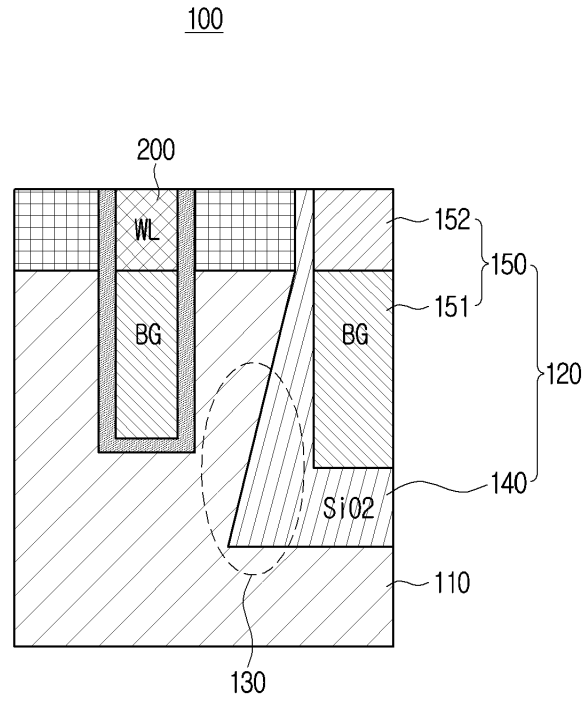
140: 절연 영역 150: 패싱 워드 라인 영역

도면

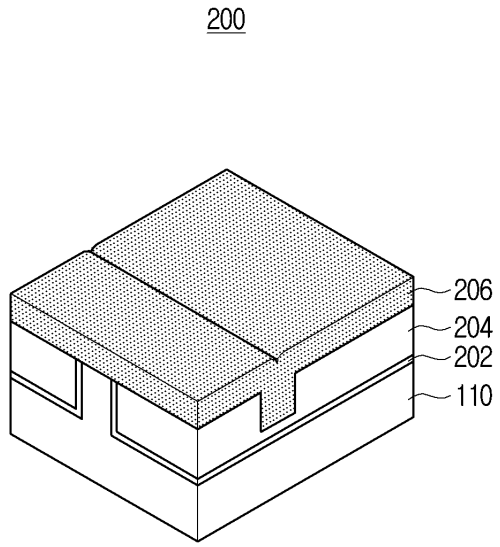
도면1



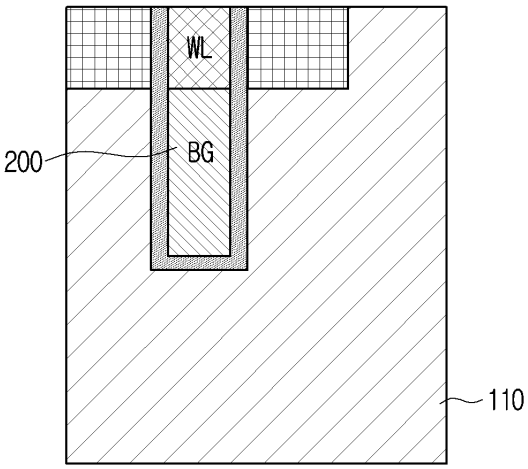
도면2



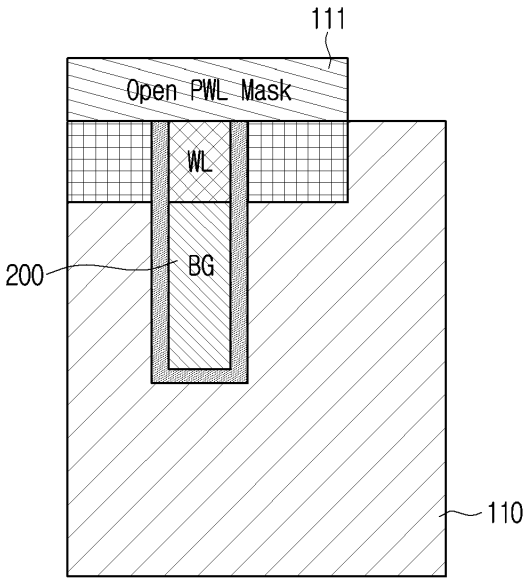
도면3



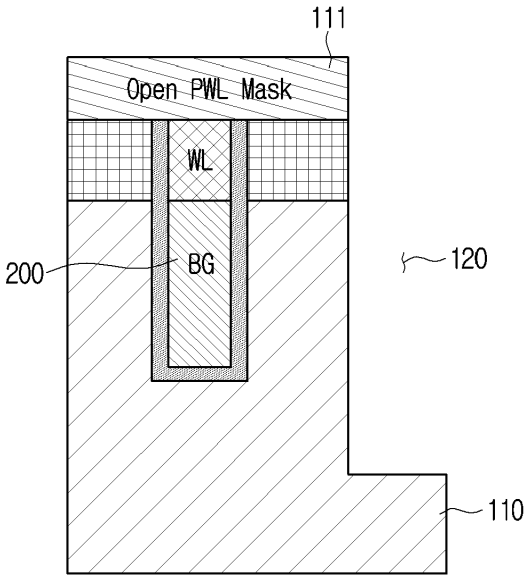
도면4



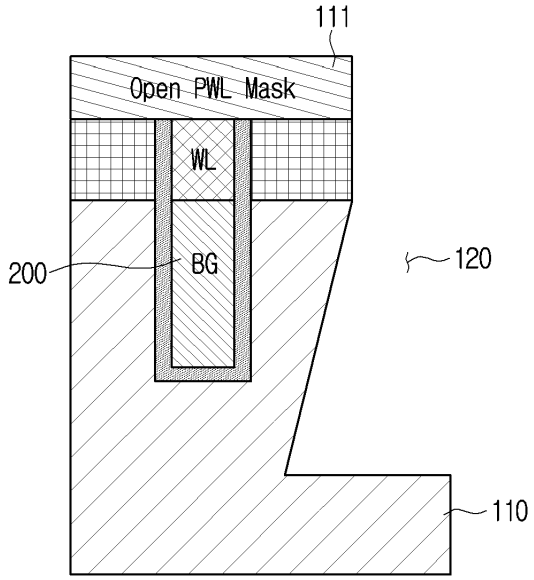
도면5


111
Open PWL Mask
WL
200
BG
110

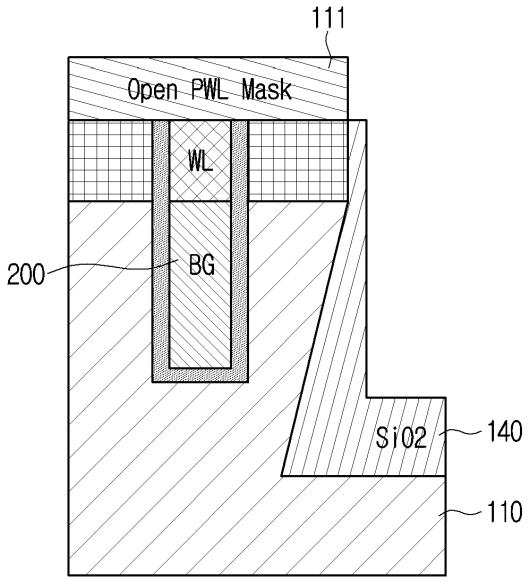
도면6


111
Open PWL Mask
WL
200
BG
120
110

도면7


111
Open PWL Mask
WL
200
BG
120
110

도면8


111
Open PWL Mask
WL
200
BG
SiO2
140
110

도면9

