

(21) 申請案號：105139280

(22) 申請日：中華民國 105 (2016) 年 11 月 29 日

(51) Int. Cl. :

H01L21/304 (2006.01)

H01L21/56 (2006.01)

H01L21/78 (2006.01)

H01L23/31 (2006.01)

H01L23/498 (2006.01)

H01L25/065 (2006.01)

(30) 優先權：2015/12/31 美國

62/273,478

2016/11/03 美國

15/342,138

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：許文松 HSU, WEN SUNG (TW)；林世欽 LIN, SHIH CHIN (TW)；熊明仁 HSIUNG, MING JEN (TW)

(74) 代理人：林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：4 共 15 頁

(54) 名稱

半導體封裝、半導體裝置及半導體封裝的製造方法

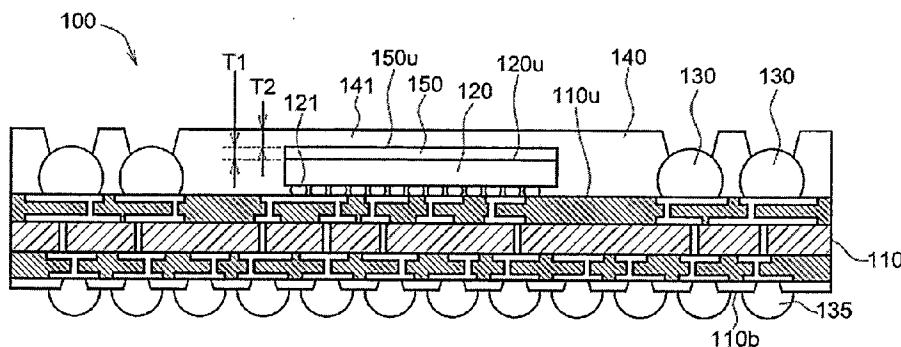
A SEMICONDUCTOR PACKAGE, A SEMICONDUCTOR DEVICE AND A MANUFACTURING METHOD OF A SEMICONDUCTOR PACKAGE

(57) 摘要

本發明提供了一種半導體封裝、半導體裝置及半導體封裝的製造方法。其中該半導體封裝包括：一基底、一電子元件、一膜層及一封裝體。該電子元件設置在該基底上並且具有一上表面。該膜層設置在該電子元件的該上表面上。該封裝體封裝該電子元件及該膜層。

The present invention provides a semiconductor package, a semiconductor device and a manufacturing method of a semiconductor package. Wherein the semiconductor package includes a substrate, an electronic component, a film and a package body. The electronic component is disposed on the substrate and has an upper surface. The film is disposed on the upper surface of the electronic component. The package body encapsulates the electronic component and the film.

指定代表圖：



第 1 圖

符號簡單說明：

100 . . . 半導體封裝

110 . . . 基底

120 . . . 第一電子元件

130 . . . 第一傳導接頭

140 . . . 封裝體

150 . . . 膜層

120u、110u、
150u . . . 上表面
121 . . . 傳導接頭
135 . . . 第二傳導接
頭
110b . . . 下表面
141 . . . 覆蓋部分
T1 . . . 第一厚度
T2 . . . 第二厚度

發明摘要

※ 申請案號：

105139280

※ 申請日：

105/11/29

※IPC 分類：

H01L 21/304 (2006.01)

H01L 21/56 (2006.01)

H01L 21/78 (2006.01)

H01L 23/31 (2006.01)

H01L 23/498 (2006.01)

H01L 25/065 (2006.01)

【發明名稱】(中文/英文)

半導體封裝、半導體裝置及半導體封裝的製造方法/ A semiconductor package、a semiconductor device and a manufacturing method of a semiconductor package

【中文】

本發明提供了一種半導體封裝、半導體裝置及半導體封裝的製造方法。其中該半導體封裝包括：一基底、一電子元件、一膜層及一封裝體。該電子元件設置在該基底上並且具有一上表面。該膜層設置在該電子元件的該上表面上。該封裝體封裝該電子元件及該膜層。

【英文】

The present invention provides a semiconductor package、a semiconductor device and a manufacturing method of a semiconductor package. Wherein the semiconductor package includes a substrate, an electronic component, a film and a package body. The electronic component is disposed on the substrate and has an upper surface. The film is disposed on the upper surface of the electronic component. The package body encapsulates the electronic component and the film.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

- 100 半導體封裝；
- 110 基底；
- 120 第一電子元件；
- 130 第一傳導接頭；
- 140 封裝體；
- 150 膜層；
- 120u、110u、150u 上表面；
- 121 傳導接頭；
- 135 第二傳導接頭；
- 110b 下表面；
- 141 覆蓋部分；
- T1 第一厚度；
- T2 第二厚度；

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】

半導體封裝、半導體裝置及半導體封裝的製造方法/ A semiconductor package、a semiconductor device and a manufacturing method of a semiconductor package

【技術領域】

【0001】 本發明涉及半導體封裝領域，特別係涉及一種半導體封裝、半導體裝置及半導體封裝的製造方法，其中，該半導體封裝具有一膜層。

【先前技術】

【0002】 於電子產業中，具有高性能的高集成度與多功能性已成為新產品的基本。與此同時，由於製造成本與產品的尺寸成比例，因此高集成度會導至更高的製造成本。因此，要求積體電路（Integrated Circuit，IC）封裝的小型化已變得越來越重要。由於 PoP（Package-on-package，封裝上封裝）係解決單個封裝中的高密度系統集成的劃算的方案，因此 PoP 係目前發展最快的半導體封裝技術。但是，由於 PoP 結構具有薄的厚度，因此 PoP 結構容易由於加熱或其他因素而破裂或損傷。

【發明內容】

【0003】 因此，本發明之主要目的即在於提供一種半導體封裝、半導體裝置及半導體封裝的製造方法，可以增加半導體封裝的強度。

【0004】 根據本發明至少一個實施例的一種半導體封裝，包括：一基底；一第一電子元件，設置在該基底上，並且具有一上表面；一膜層，設置在該第一電子元件的該上表面上；以及一封裝體，封裝該第一電子元件與該膜層。

【0005】 根據本發明至少一個實施例的一種半導體裝置，包括：一半導體封裝以及一第二電子元件，堆疊在該半導體封裝上；其中該半導體封裝包括：一基底；一第一電子元件，設置在該基底上，並且具有一上表面；一膜層，設置在該第一電子元件的該上表面上；以及一封裝體，封裝該第一電子元件與該膜層。

【0006】 根據本發明至少一個實施例的一種半導體封裝的製造方法，包括：提供具有一上表面的一晶圓；在該晶圓的該上表面上設置一膜層；形成穿過該晶圓和該膜層的切割路徑，以形成至少一個第一電子元件，其中該膜層設置於該第一電子元件上；提供一基底；將該第一電子元件設置於該基底上；並且形成一封裝體，來封裝該第一電子元件及該膜層。

【0007】 本發明實施例，在第一電子元件的上表面設置一膜層，並由封裝體封裝該第一電子元件與該膜層，從而可以利用該膜層來增加該封裝體與該第一電子元件之間的界面的強度，進而提高半導體封裝的強度。

【圖式簡單說明】

【0008】

在瀏覽了以下詳細描述及所附圖式之後，本發明的上述目的及優點將對發明所屬領域具有通常知識者更顯而易見，其中：

- 第 1 圖為根據本發明實施例的半導體封裝的示意圖；
- 第 2 圖為根據本發明另一實施例的半導體封裝的示意圖；
- 第 3 圖為根據本發明實施例的半導體裝置的示意圖；
- 第 4A~4G 圖示意了第 1 圖的半導體封裝的製造過程。

【實施方式】

【0009】 在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有習知技術者應可理解，電子裝置製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。以外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接到一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

【0010】 第 1 圖為根據本發明實施例的一半導體封裝 100 的結構示意圖。該半導體封裝 100 包括：一基底 110、至少一個第一電子元件 120、至少一個第一傳導接頭（conductive contact）130、一封裝體 140 及一膜層 150。

【0011】 該基底 110 例如為多層結構或者單層結構。該基底 110 可以為有機基底、陶瓷基底、矽基底或金屬基底，等等。在另一實施例中，該基底 110 可以為插入層（interposer）或者晶圓，具有至少一個 RDL（redistribution layer，重分佈層）。

【0012】 該第一電子元件 120 設置在該基底 110 上，並且具有上表面 120u。在本實施例中，第一電子元件 120 係以“正面向下”的方向來耦接至基底 110 的上表面 110u，並且通過複數個傳導接頭 121 電性連接至基底 110。該組態有時也稱為“覆晶”。傳導接頭 121 可以為焊料球、導電柱，等等。

【0013】 在其他實施例中，該第一電子元件 120 可以採用“正面向上”的方向來耦接至基底 110，並且通過複數條接合線（未示出）電性連接至基底 110。第一電子元件 120 可以為主動晶片或者被動元件，諸如電阻、電感或電容。在另一實施例中，第一電子元件 120 的數量可以為幾個。

【0014】 第一傳導接頭 130 係設置在基底 110 的上表面 110u 上，並且圍繞該第一電子元件 120。第一傳導接頭 130 係從封裝體 140 中露出，並且用於電性連接外部的電子元件（未示出）。例如，每個第一傳導接頭 130 的一部分係被封裝體 140 封裝住，並且每個第一傳導接頭 130 的另一部分係從封裝體 140 中露出，以用於電性連接外部的電子元件。另外，第一傳導接頭 130 可以為焊料球、導電柱，等等。

【0015】 第二傳導接頭 135 設置在基底 110 的下表面 110b 上。該半導體封裝 100 可以通過第二傳導接頭 135 設置在外部電路上並電性連接至該外部電路，諸如電路板。第二傳導接頭 135 可以為焊料球、導電柱，等等。

【0016】 封裝體 140 封裝第一電子元件 120、膜層 150 及每個第一傳導接頭 130 的一部分。在本實施例中，封裝體 140 覆蓋膜層 150 的上表面 150u。在另一實施例中，封裝體 140 可以露出膜層 150 的上表面 150u 並且覆蓋膜層 150 的側面。

【0017】 封裝體 140 包括：用於覆蓋膜層 150 的上表面 150u 的覆蓋部分 141。膜層 150 具有第一厚度 T1，大約等於或小於覆蓋部分 141 的第二厚度 T2。如此，膜層 150 可以增加封裝體 140 的強度以防止封裝體 140 在第一電子元件 120 與封裝體 140 之間的界面處發生破裂。

【0018】 封裝體 140 可以由同一種材料製成。例如，封裝體 140 可以為模塑料(molding compound)，該模塑料由含有酚醛基樹脂(Novolac-based resin)、環氧基樹脂(epoxy-based resin)、矽基樹脂(silicone-based resin)或者另一合適的封裝劑的材料製成。另外，封裝體 140 也可以包含諸如 SiO₂ 等合適的填充料。

【0019】 膜層 150 設置在第一電子元件 120 的上表面 120u 上，例如膜層 150 可以為一附著在第一電子元件 120 的上表面 120u 上的薄膜(film)，又例如可以採用塗佈(coating)製程來於第一電子元件 120 的上表面 120u 上形成該

薄膜。膜層 150 可以增加第一電子元件 120 和封裝體 140 之間的界面強度，從而防止封裝體 140 在第一電子元件 120 和封裝體 140 之間的界面處破裂。另外，膜層 150 具有粘附性，以有助於將封裝體 140 固定至第一電子元件 120，從而增加膜層 150 與封裝體 140 之間的附著力以及膜層 150 與第一電子元件 120 之間的附著力。另外，膜層 150 可以由環氧樹脂、丙烯酸酯樹脂或者他們的組合物製成。

【0020】 在本實施例中，膜層 150 可以直接附著在第一電子元件 120 的上表面 120u 上。在另一實施例中，膜層 150 可以通過任意層結構(諸如粘附層)附著至第一電子元件 120 的上表面 120u。

【0021】 第 2 圖示意了根據本發明另一實施例的半導體封裝 200 的結構示意圖。該半導體封裝 200 包括：上述的基底 110、上述的至少一個電子元件 120，上述的至少一個傳導接頭 135、上述的封裝體 140 和上述的膜層 150。相比於半導體封裝 100，該半導體封裝 200 可以省略上述的第一傳導接頭 130。

【0022】 第 3 圖示意了本發明實施例的半導體裝置 10 的結構示意圖。該半導體裝置 10 包括：半導體封裝 100 及至少一個第二電子元件 11。

【0023】 該第二電子元件 11 例如可以是記憶體、非記憶體的半導體元件、另一半導體封裝、主動元件、被動元件，等等。在另一實施例中，第二電子元件 11 可以為含有複數個晶粒的半導體封裝，諸如彼此堆疊的複數個 DRAM (Dynamic Random Access Memory，動態隨機存取記憶體)。

【0024】 第二電子元件 11 以“正面向下”的方向或者“正面向上”的方向堆疊在半導體封裝 100 的封裝體 140 上。第二電子元件 11 係通過複數個傳導接頭 12 電性連接至半導體封裝 100 的第一傳導接頭 130，使得第二電子元件 11 可以通過傳導接頭 12、第一傳導接頭 130 和基底 110 電性連接至第一電

子元件 120。此種組態有時也稱為“覆晶”。傳導接頭 12 可以為焊料球、導電柱，等等。

【0025】 在其他實施例中，第二電子元件 11 可以採取“正面向上”的方向來堆疊至半導體封裝 100，並且通過複數條導電接合線（未示出）來電性連接至第一傳導接頭 130。

【0026】 由於膜層 150 設置在第一電子元件 120 上以增加第一電子元件 120 和封裝體 140 之間的界面的強度，因此即使通過加熱來將第二電子元件 11 從半導體封裝 100 移除，也不會輕易使得第一電子元件 120 和/或封裝體 140 破裂或損傷。

【0027】 第 4A 至 4G 圖示意了第 1 圖的半導體封裝 100 的製造製程。

【0028】 參考第 4A 圖，提供了一晶圓 120'，其中該晶圓 120' 具有至少一個電路（未示出）。接著，可以研磨晶圓 120' 的上表面 120u 以加強晶粒強度。

【0029】 參考第 4B 圖，將膜層 150 附著至晶圓 120' 並且傳導接頭 121 設置在晶圓 120' 上。在實施例中，可以首先將膜層 150 附著（如黏附）至晶圓 120'，接著將傳導接頭 121 設置在晶圓 120' 上。在另一實施例中，可以首先將傳導接頭 121 設置在晶圓 120' 上，接著將膜層 150 附著至晶圓 120'。另外，可以加熱膜層 150 以使其固化。

【0030】 參考第 4C 圖，至少一條切割路徑 P1 穿過晶圓 120' 及膜層 150 以形成至少一個第一電子元件 120，其中膜層 150 設置於該第一電子元件 120 上。例如可以通過使用鐳射或者機械鋸（saw）等來形成切割路徑 P1。

【0031】 參考第 4D 圖，提供了一基底 110。該基底 110 例如為多層結構或者單層結構。該基底 110 可以為有機基底、陶瓷基底、矽基底、金屬基底，等等。在另一實施例中，該基底 110 可以為插入層或者晶圓，具有至少一個 RDL。

【0032】 參考第 4E 圖，通過使用例如 SMT (surface-mount technology，表面安裝技術) 等技術來在基底 110 的上表面 110u 上形成第一傳導接頭 130。

【0033】 參考第 4F 圖，將具有膜層 150 的第一電子元件 120 設置在基底 110 上，其中第一傳導接頭 130 圍繞該第一電子元件 120。

【0034】 參考第 4G 圖，形成封裝體 140，以封裝第一電子元件 120、膜層 150 以及每個第一傳導接頭 130 的一部分，其中每個第一傳導接頭 130 的另一部分從該封裝體 140 露出。封裝體 140 可以由各種封裝技術形成，諸如壓縮成型、注射成型、轉移成型 (transfer molding) 或者點膠技術 (dispensing technology)。

【0035】 接著，使用例如球安裝技術等方式來將第 1 圖中的第二傳導接頭 135 形成在基底 110 的下表面 110b 上，以形成第 1 圖的半導體封裝 100。

【0036】 在另一實施例中，可以省略第一傳導接頭 130 的形成，從而形成第 2 圖的半導體封裝 200。

【0037】 另外，通過使用 SMT 來將第 3 圖的第二電子元件 11 設置在第 1 圖的封裝體 140 的上方，以形成第 3 圖的半導體裝置 10。

【0038】 以上所述僅為本發明的較佳實施例而已，並不用以限制本發明，凡在本發明的精神和原則之內所作的任何修改、等同替換和改進等，均應包含在本發明的保護範圍之內。

【符號說明】

【0039】

100、200 半導體封裝；

110 基底；

120 第一電子元件；

130 第一傳導接頭；

- 140 封裝體；
- 150 膜層；
- 120u、110u、150u 上表面；
- 121、12 傳導接頭；
- 135 第二傳導接頭；
- 110b 下表面；
- 141 覆蓋部分；
- T1 第一厚度；
- T2 第二厚度；
- 10 半導體裝置；
- 11 第二電子元件；
- 120' 晶圓；
- P1 切割路徑；

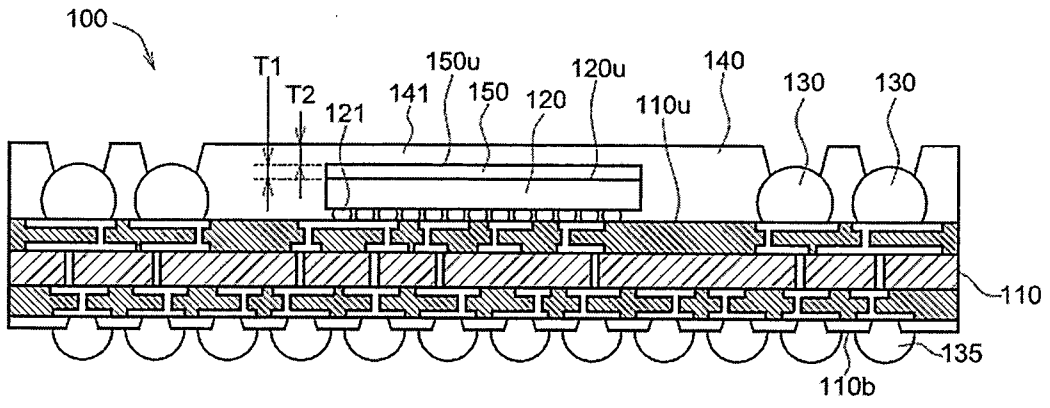
申請專利範圍

1. 一種半導體封裝，包括：
 - 一基底；
 - 一第一電子元件，設置在該基底上，並且具有一上表面；
 - 一膜層，設置在該第一電子元件的該上表面上；以及
 - 一封裝體，封裝該第一電子元件與該膜層。
2. 如申請專利範圍第 1 項所述的半導體封裝，其中，該膜層係直接附著於該第一電子元件的該上表面上。
3. 如申請專利範圍第 1 項所述的半導體封裝，其中，該封裝體覆蓋該膜層的上表面。
4. 如申請專利範圍第 1 項所述的半導體封裝，其中，該膜層為通過一塗佈製程形成於該第一電子元件的該上表面的薄膜。
5. 如申請專利範圍第 1 項所述的半導體封裝，其中，該封裝體包括：用來覆蓋該膜層的上表面的覆蓋部分，該膜層的厚度小於該覆蓋部分的厚度。
6. 如申請專利範圍第 1 項所述的半導體封裝，其中，進一步包括：
 - 複數個導電元件，設置在該基底上並且圍繞該第一電子元件；
 - 其中，該每個導電元件的一部分由該封裝體封裝，另一部分從該封裝體中露出。
7. 一種半導體裝置，包括：
 - 如申請專利範圍第 1~6 中任一項所述的半導體封裝；以及
 - 一第二電子元件，堆疊在該半導體封裝上。
8. 一種半導體封裝的製造方法，包括：
 - 提供具有一上表面的一晶圓；

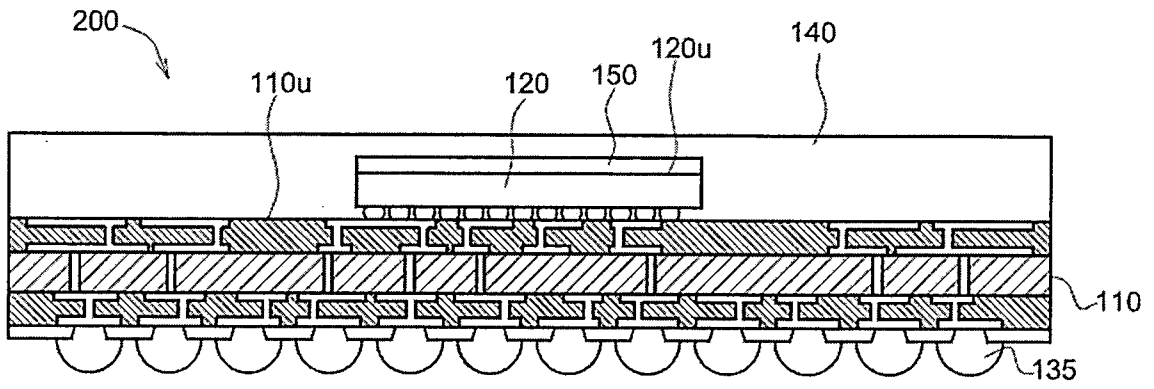
在該晶圓的該上表面上設置一膜層；
形成穿過該晶圓和該膜層的切割路徑，以形成至少一個第一電子元件，
其中該膜層設置於該第一電子元件上；
提供一基底；
將該第一電子元件設置於該基底上；並且
形成一封裝體，來封裝該第一電子元件及該膜層。

9. 如申請專利範圍第 8 項所述的半導體封裝的製造方法，其中，在該晶圓的該上表面上設置一膜層之前，進一步包括：
研磨該晶圓的該上表面。
10. 如申請專利範圍第 8 項所述的半導體封裝的製造方法，其中，在該晶圓的該上表面上設置一膜層之後，進一步包括：
加熱該膜層以固化該膜層。

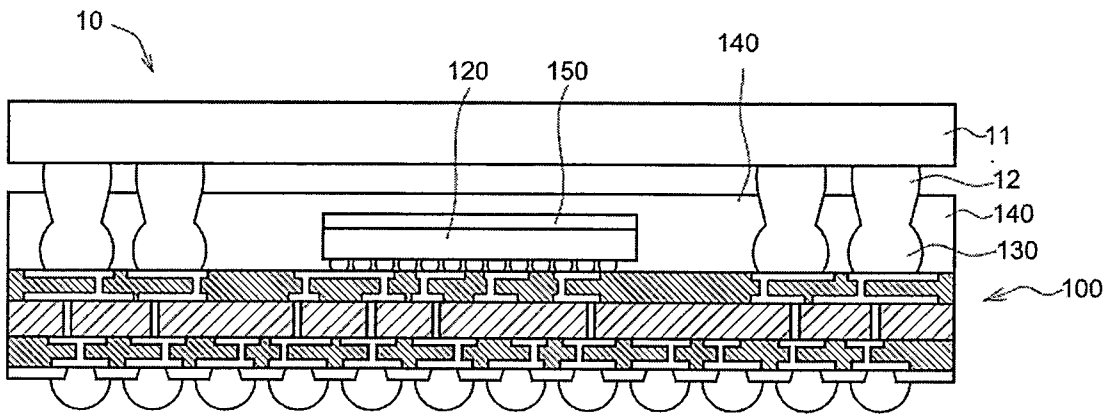
圖式



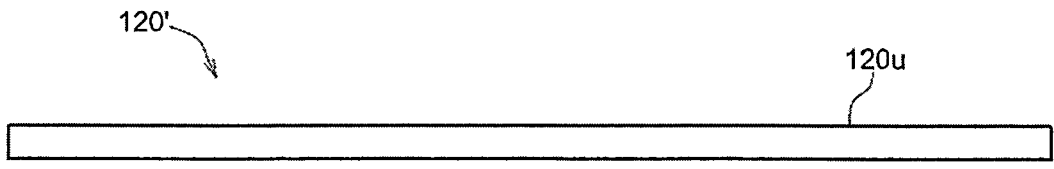
第 1 圖



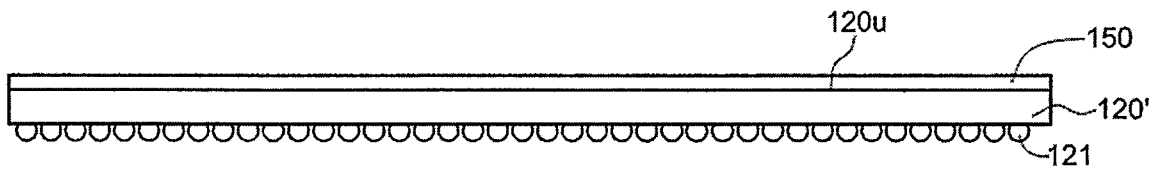
第 2 圖



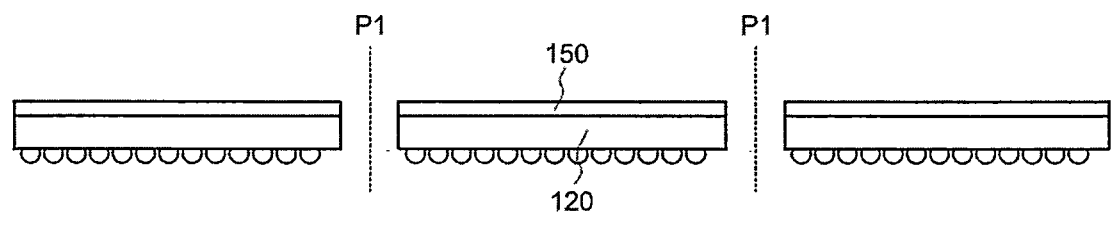
第 3 圖



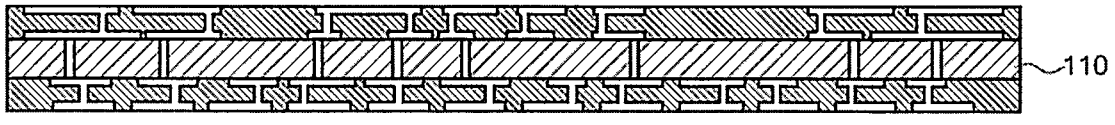
第 4A 圖



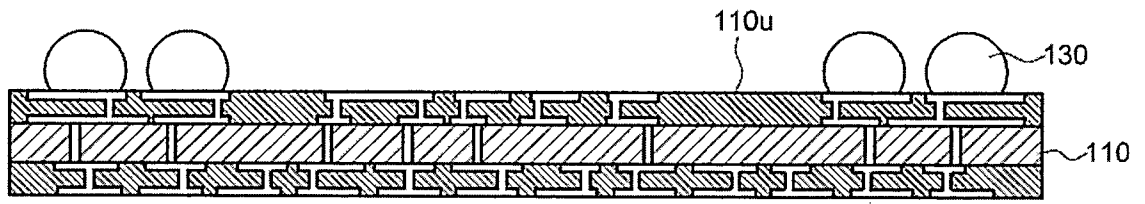
第 4B 圖



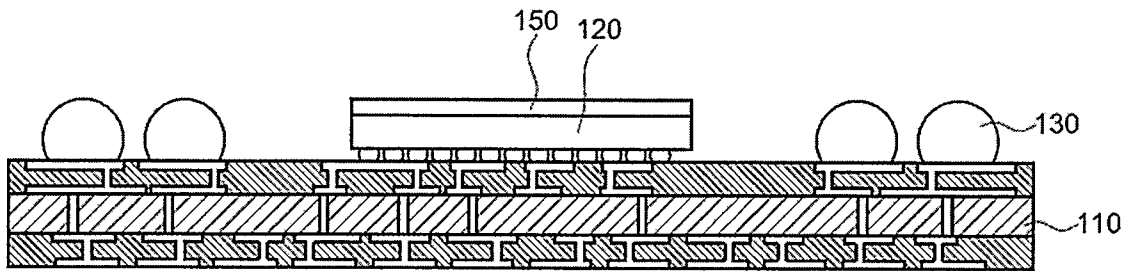
第 4C 圖



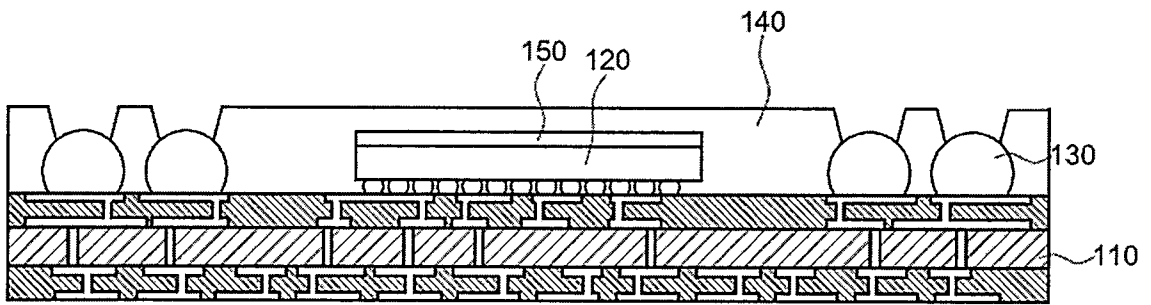
第 4D 圖



第 4E 圖



第 4F 圖



第 4G 圖