



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I848942 B

(45)公告日：中華民國 113 (2024) 年 07 月 21 日

(21)申請案號：108109231

(22)申請日：中華民國 108 (2019) 年 03 月 19 日

(51)Int. Cl. : H01L21/677 (2006.01)

C23C16/54 (2006.01)

H01L21/205 (2006.01)

H01L21/302 (2006.01)

(30)優先權：2018/03/20 美國

62/645,685

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本(72)發明人：克拉克 羅伯特 CLARK, ROBERT (US)；泰伯利 坎達巴拉 TAPILY,
KANDABARA (ML)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW 200834778A

US 2007/0134821A1

US 2007/0196011A1

US 2008/0276867A1

US 2012/0195717A1

US 2016/0293467A1

審查人員：劉聖尉

申請專利範圍項數：11 項 圖式數：4 共 21 頁

(54)名稱

利用整合式量測的基板處理方法

(57)摘要

本發明提出基板處理工具及處理基板之方法，其中該基板處理工具係配置以執行整合式基板處理及基板量測。基板處理工具包括基板轉移腔室、耦接至基板轉移腔室之複數基板處理腔室、及耦接至基板轉移腔室之基板量測模組。基板處理方法包括：在基板處理工具之第一基板處理腔室中處理基板；轉移基板，從第一基板處理腔室穿過基板轉移腔室至基板處理工具中之基板量測模組；在基板量測模組中對基板執行量測；轉移基板，從基板量測模組穿過基板轉移腔室至第二基板處理腔室；並在第二基板處理腔室中處理基板。

A substrate processing tool configured for performing integrated substrate processing and substrate metrology, and methods of processing a substrate. The substrate processing tool includes a substrate transfer chamber, a plurality of substrate processing chambers coupled to the substrate transfer chamber, and a substrate metrology module coupled to the substrate transfer chamber. A substrate processing method includes processing a substrate in a first substrate processing chamber of a substrate processing tool, transferring the substrate from the first substrate processing chamber through a substrate transfer chamber to a substrate metrology module in the substrate processing tool, performing metrology on the substrate in the substrate metrology module, transferring the substrate from the substrate metrology module to a second substrate processing chamber through the substrate transfer chamber, and processing the substrate in the second substrate processing chamber.

指定代表圖：

符號簡單說明：

- 200:基板
- 202:基底層
- 204:第一材料層
- 206:第二材料層
- 208:自我組裝單層 (SAM)
- 210:膜層
- 210':膜核

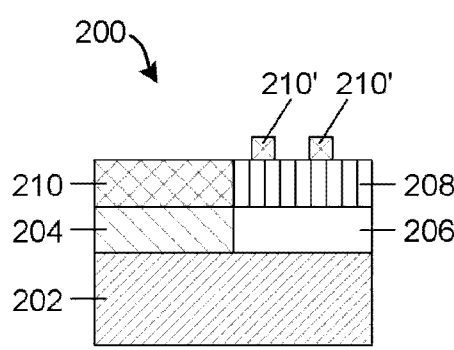


圖 2C



I848942

【發明摘要】

【中文發明名稱】利用整合式量測的基板處理方法

【英文發明名稱】SUBSTRATE PROCESSING METHOD WITH INTEGRATED METROLOGY

【中文】

本發明提出基板處理工具及處理基板之方法，其中該基板處理工具係配置以執行整合式基板處理及基板量測。基板處理工具包括基板轉移腔室、耦接至基板轉移腔室之複數基板處理腔室、及耦接至基板轉移腔室之基板量測模組。基板處理方法包括：在基板處理工具之第一基板處理腔室中處理基板；轉移基板，從第一基板處理腔室穿過基板轉移腔室至基板處理工具中之基板量測模組；在基板量測模組中對基板執行量測；轉移基板，從基板量測模組穿過基板轉移腔室至第二基板處理腔室；並在第二基板處理腔室中處理基板。

【英文】

A substrate processing tool configured for performing integrated substrate processing and substrate metrology, and methods of processing a substrate. The substrate processing tool includes a substrate transfer chamber, a plurality of substrate processing chambers coupled to the substrate transfer chamber, and a substrate metrology module coupled to the substrate transfer chamber. A substrate processing method includes processing a substrate in a first substrate processing chamber of a substrate processing tool, transferring the substrate from the first substrate processing chamber through a substrate transfer chamber to a substrate metrology module in the substrate processing tool, performing metrology on the substrate in the substrate

metrology module, transferring the substrate from the substrate metrology module to a second substrate processing chamber through the substrate transfer chamber, and processing the substrate in the second substrate processing chamber.

【指定代表圖】：圖 2C

【代表圖之符號簡單說明】

- 200 基板
- 202 基底層
- 204 第一材料層
- 206 第二材料層
- 208 自我組裝單層 (SAM)
- 210 膜層
- 210' 膜核

【發明說明書】

【中文發明名稱】 利用整合式量測的基板處理方法

【英文發明名稱】 SUBSTRATE PROCESSING METHOD WITH INTEGRATED METROLOGY

【技術領域】

【0001】 本發明係有關基板處理，尤其有關基板處理工具及其使用方法，該基板處理工具係配置以執行整合式基板處理及基板量測。

[相關申請案之交互參照]

【0002】 本申請案係關於 2018 年 3 月 20 日提出之美國臨時專利申請案第 62/645,685 號，並主張其優先權，其完整內容係併入本申請案中之參考資料。

【先前技術】

【0003】 因為更小的電晶體被製成，臨界尺寸（CD）或圖案化特徵部之解析度之生產變得更具挑戰性。為了即使在引入 EUV 後，具成本效益之微縮可繼續進行，需要以自我對準圖案化取代疊對驅動圖案化。需要能夠降低變異、持續微縮以及增強 CD 及製程之控制之圖案化選項，然而，以相當低的成本生產微縮的元件將變得非常困難。選擇性沉積可顯著地降低與先進圖案化相關之成本。薄膜之選擇性沉積，例如間隙填充、特定基板上之介電質及金屬之區域選擇性沉積、以及選擇性硬遮罩，是高度微縮技術節點中圖案化中之關鍵步驟。

【發明內容】

【0004】 本發明實施例描述了基板處理工具及處理基板之方法，其中該基板處理工具被配置以執行整合式基板處理及基板量測。

【0005】 根據一實施例，基板處理工具包括基板轉移腔室、耦接至基板轉移腔室之複數基板處理腔室、及耦接至基板轉移腔室之基板量測模組。

【0006】 根據一實施例，基板處理方法包括：在基板處理工具之第一基板處理腔室中處理基板；轉移基板，從第一基板處理腔室穿過基板轉移腔室至基板處理工具中之基板量測模組；在基板量測模組中對基板執行量測；轉移基板，從基板量測模組穿過基板轉移腔室至第二基板處理腔室；並在第二基板處理腔室中處理基板。

【圖式簡單說明】

【0007】 藉由參考以下之詳細說明及(尤其是)伴隨之圖式，可更完整地了解本發明實施例及許多伴隨之優點。其中：

【0008】 圖 1 為根據本發明實施例、配置以執行整合式基板處理及基板量測之基板處理工具之示意圖；

【0009】 圖 2A-2E 為根據本發明實施例、藉由橫剖面示意圖顯示出區域選擇性成膜之方法；

【0010】 圖 3 為根據本發明實施例、用於執行整合式基板處理及基板量測之處理流程圖；及

【0011】 圖 4 為根據本發明另一實施例、用於執行整合式基板處理及基板量測之處理流程圖。

【實施方式】

【0012】 本發明實施例描述了基板處理工具及處理基板之方法，其中該基板處理工具係配置以執行整合式基板處理及基板量測。

【0013】 本發明實施例解決整合式基板處理、及在整合式基板處理期間執行基板量測之需求。在一範例中，在基板處理工具中之區域選擇性膜層沉積期間，可在膜層沉積步驟之後，在處理工具中執行基板量測，以測量及表徵

(characterize) 沉積選擇性之損失、及基於基板量測之數據而執行不需要之膜核 (film nuclei) 之去除，以達成選擇性成膜。基板量測步驟之結果，可基於膜層

沉積步驟之變化而用於調整膜核之去除步驟。此外，人工智能（AI）可用於分析基板量測結果及預測未來之膜層厚度及膜層沉積選擇性。

【0014】圖 1 為根據本發明實施例、配置以執行整合式基板處理及基板量測之基板處理工具之示意圖。基板處理工具 100 包括基板（晶圓）轉移系統 101，基板（晶圓）轉移系統 101 包括晶舟盒模組 101A、101B 及 101C，以及基板對準模組 101D。晶圓載入/載出腔室 102A 及 102B、及基板量測模組 102C 係耦接至基板轉移系統 101。基板轉移系統 101 保持在大氣壓下，但藉由惰性氣體之吹淨（purge）以提供乾淨環境。晶圓載入/載出腔室 102A 及 102B 耦接至基板轉移腔室 103，並且可用於將基板從基板轉移系統 101 轉移至基板轉移腔室 103。基板轉移腔室 103 可保持在非常低的基礎壓力（例如， 5×10^{-8} Torr 或更低）或者以惰性氣體持續吹淨。

【0015】基板量測模組 102C 可在大氣壓下操作或在真空條件下操作，並且可包括一或更多分析工具，分析工具能夠測量基板及/或沉積在基板上之薄膜及膜層之一或更多材料及電子特性。一或更多分析工具之一些或所有構件可設置在基板量測模組 102C 中之真空環境中。在一範例中，光源可設置在基板量測模組 102C 之外部，且來自光源之光可穿過窗口發射至基板量測模組 102C 中及基板上。或者，光源可設置在基板量測模組 102C 之內部。

【0016】示例性分析工具可包括 X-ray 光電子能譜（XPS），用於測量元素組成、實驗式、材料之化學態及電子態；X-ray 反射計（XRR），用於表徵表面、薄膜及多層膜；X-ray 螢光（XRF），用於材料之元素分析及化學分析；傅里葉轉換紅外光光譜（FTIR），用於表徵材料；紫外光/可見光(UV/Vis)光譜，用於測量薄膜之厚度及光學性質；光學散射儀，用於表徵表面、薄膜及多層膜；橢圓偏振技術，用於表徵薄膜之成分、粗糙度、厚度（深度）、晶體性質、摻雜濃度、導電率及其他材料特性；及用於測量基板彎曲及翹曲之分析工具。

【0017】 基板處理腔室 106A-106D 耦接至基板轉移腔室 103，該基板處理腔室 106A-106D 係配置以處理基板，例如 Si 晶圓。Si 晶圓可具有直徑例如 150mm、200mm、300mm、450mm 或大於 450mm。根據本發明之一實施例，第一基板處理腔室 106A 可在基板上執行處理製程，及第二基板處理腔室 106B 可在基板上形成自我組裝單層（SAM, self-assembled monolayer）。第三基板處理腔室 106C 可蝕刻或清洗基板，及第四基板處理腔室 106D 可藉由氣相沉積例如原子層沉積（ALD）、電漿增強 ALD（PEALD）、化學氣相沉積（CVD）或電漿增強 CVD（PECVD）在基板上沉積膜層。基板轉移腔室 103 係配置以在任何基板處理腔室 106A-106D 之間轉移基板，及轉移進入基板量測模組 102C。圖 1 更顯示出閘閥 G1-G10，其提供相鄰處理工具構件之間之隔離。如圖 1 之實施例中所繪，基板處理腔室 106A-106D 及基板量測模組 102C 可藉由閘閥 G5、G7、G8、G9 及 G10 直接耦接至基板轉移腔室 103。這種直接耦接可大大地提高基板產量。

【0018】 基板處理工具 100 包括控制器 110，控制器 110 可在整合式基板處理及基板量測期間耦接至並控制圖 1 中所繪之任何或所有工具構件。替代地或附加地，控制器 110 可耦接至一或更多附加的控制器/電腦（未顯示），且控制器 110 可從附加的控制器/電腦獲得設置及/或配置訊息。控制器 110 可用於配置任何或所有基板處理腔室及處理元件，且控制器 110 可收集、提供、處理、儲存及顯示來自任何或所有工具構件之數據。控制器 110 可包括一些用於控制任何或所有工具構件之應用。例如，控制器 110 可包括圖形使用者介面（GUI）構件，圖形使用者介面構件可提供易於使用之介面，允許使用者監控及/或控制一或更多工具構件。

【0019】 控制器 110 可包括微處理器、記憶體及數位 I/O 埠，該數位 I/O 埠能夠產生足以與基板處理工具 100 通信、啟動輸入及交換訊息之控制電壓，以

及監控來自基板處理工具 100 之輸出。例如，儲存在記憶體中之程式可用於根據製程配方而啟動基板處理工具 100 之輸入，以執行整合式基板處理。控制器 110 可被用作為通用電腦系統，其響應於處理器而執行本發明之部分或全部基於微處理器的處理步驟，其中該處理器執行包括在記憶體中之一或更多指令之一或更多序列。這些指令可從另一電腦可讀媒體（例如硬碟或可移動之媒體驅動器）讀取至控制器記憶體。多處理配置中之一或更多處理器也可被用作為控制器微處理器，以執行包括在主記憶體中之指令序列。在替代實施例中，可使用硬佈線電路以取代或組合軟體指令。因此，實施例不限於硬體電路及軟體之任何特定組合。

【0020】相對於基板處理工具 100，控制器 110 可設置於附近或遠端。例如，控制器 110 可使用直接連接、內部網路、網際網路及無線連接中之至少一者，與基板處理工具 100 交換數據。控制器 110 可在例如客戶端（即，裝置製造商等）或供應商端（即，設備製造商）處耦接至內部網路。另外，例如，控制器 110 可耦接至網際網路。此外，另一電腦（即，控制器、伺服器）可進入例如控制器 110，以藉由直接連接、內部網路、及網際網路中之至少一者以交換數據。熟悉此項技術者也應理解，控制器 110 可藉由無線連接與基板處理工具 100 交換數據。

【0021】基板處理範例

【0022】現在參考圖 1、圖 2A-2E 及圖 3，根據一實施例，基板處理工具 100 係可配置以執行及監控在基板上之區域選擇性沉積之方法。在該實施例中，基板 200 包括基底層 202、第一材料層 204 之露出表面及第二材料層 206 之露出表面。在一範例中，基板 200 包括介電層 204 及金屬層 206。例如，金屬層 206 可包含 Cu、Al、Ta、Ti、W、Ru、Co、Ni 或 Mo。介電層 204 可包括例如 SiO₂、低 k 介電材料或高 k 介電材料。低 k 介電材料具有小於 SiO₂ 介電常數之標稱介電常數，SiO₂ 之介電常數約為 4（例如，熱生長二氧化矽之介電常數可在 3.8 至 3.9 之範圍內）。高 k 材料具有大於 SiO₂ 介電常數之標稱介電常數。

第 5 頁，共 11 頁(發明說明書)

【0023】 低 k 介電材料可具有小於 3.7 之介電常數，或介於 1.6 至 3.7 之介電常數。低 k 介電材料可包括氟化矽玻璃（FSG）、碳摻雜氧化物、聚合物、包括 SiCOH 之低 k 材料，非多孔性低 k 材料，多孔性低 k 材料，旋轉塗佈介電(SOD) 低 k 材料或任何其他合適的介電材料。低 k 介電材料可包括可從 Applied Materials, Inc 商購之 BLACK DIAMOND® (BD)或 BLACK DIAMOND® II (BDII) SiCOH 材料，或可從 Novellus Systems, Inc 商購之 Coral® CVD 膜層。其他可商購之含碳材料包括可從 Dow Chemical 獲得之 SILK®(例如，SiLK-1、SiLK-J、SiLK-H、SiLK-D 及多孔性 SiLK 半導體介電樹脂) 及 CYCLOTENE®（苯並環丁烯）、及可從 Honeywell 獲得之 GX-3™ 及 GX-3P™ 半導體介電樹脂。

【0024】 低 k 介電材料包括由單相組成之多孔性無機-有機混合膜層，例如具有 CH₃ 鍵之矽氧化物基底之基質，其在固化或沉積製程中阻礙膜層之完全緻密化以產生小空隙（或孔洞）。或者，這些介電層可包括由至少兩相組成之多孔性無機 - 有機混合膜層，例如具有由有機材料（例如成孔劑）所形成之孔洞之碳摻雜的矽氧化物基底之基質，有機材料會在固化製程中分解及蒸發。

【0025】 另外，低 k 材料包括使用 SOD 技術沉積之矽酸鹽基底材料，例如氫半矽氧烷（HSQ）或甲基半矽氧烷（MSQ）。這種膜層之範例包括可從 Dow Corning 商購之 FOx® HSQ 及 XLK 多孔性 HSQ，及可從 JSR Microelectronics 商購之 JSR LKD-5109。

【0026】 方法更包括，在處理流程 300 之步驟 302 中，提供基板 200 至基板轉移系統 101 中，其後，轉移基板 200 至基板轉移腔室 103 中。

【0027】 其後，在步驟 304 中，任選地轉移基板 200 至基板量測模組 102C 中，測量及表徵基板 200。

【0028】 在步驟 306 中，任選地轉移基板 200 至第一基板處理腔室 106A 中以用處理氣體處理。例如，處理氣體可包括氧化氣體或還原氣體。在一些範例中，

氧化氣體可包括 O_2 、 H_2O 、 H_2O_2 、異丙醇或其組合，且還原氣體可包括 H_2 氣體。氧化氣體可用於氧化第一材料層 204 或第二材料層 206 之表面，以改善隨後的區域選擇性沉積。在一範例中，處理氣體可包括電漿激發之 Ar 氣體或由電漿激發之 Ar 氣體組成。

【0029】在步驟 308 中，任選地轉移基板 200 至基板量測模組 102C 中，測量及表徵在步驟 306 中對基板 200 之處理。

【0030】其後，基板被轉移至第二基板處理腔室 106B 中，在步驟 310 中在基板 200 上形成自我組裝單層 (SAM)。藉由暴露於反應物氣體，可在基板 200 上形成 SAM，反應物氣體包括能在基板 200 上形成 SAM 之分子。SAM 係為一種分子組裝，藉由吸附以在基板表面上自發形成，並組織成或多或少的大型有序區域。SAM 可包括具有頭端基、尾端基及官能末端基之分子，且 SAM 係藉由在室溫或高於室溫下使頭端基由氣相而化學吸附至基板 200 上、隨後藉由尾端基緩慢地組織而產生。最初，在表面上之小的分子密度下，被吸附物分子形成無序的分子團塊或形成有序的二維「平躺相 (lying down phase)」，並在較高的分子覆蓋率下，在幾分鐘至幾小時之期間內，在基板表面上開始形成三維晶體或半晶體結構。頭端基在基板上組裝在一起，而尾端基遠離基板而組裝。

【0031】根據一實施例，形成 SAM 之分子之頭端基可包括硫醇、矽烷或膦酸酯 (phosphonate)。矽烷之範例包括含 C、H、Cl、F 及 Si 原子或含 C、H、Cl 及 Si 原子之分子。該分子之非限制性範例包括全氟癸基三氯矽烷 ($CF_3(CF_2)_7CH_2CH_2SiCl_3$)、全氟癸硫醇 ($CF_3(CF_2)_7CH_2CH_2SH$)、氯癸基二甲基矽烷 ($CH_3(CH_2)_8CH_2Si(CH_3)_2Cl$) 及叔丁基 (氯) 二甲基矽烷 ($((CH_3)_3CSi(CH_3)_2Cl$)。

【0032】在基板 200 上存在之 SAM，可允許相對於第二材料層 206 (例如，金屬層) 在第一材料層 204 (例如，介電層) 上進行後續的選擇性膜層沉積。此選擇性沉積行為是出乎意料的，並提供了在第一材料層 204 上選擇性地沉積膜

層、同時防止或減少第二材料層 206 上之金屬氧化物沉積之新方法。據推測，相對於在第一材料層 204 上，在第二材料層 206 上之 SAM 密度更大，可能因相對於在第一材料層 204 上，在第二材料層 206 上之分子之更高的初始有序性。在第二材料層 206 上這種更大的 SAM 密度示意性地顯示為圖 2 中之 SAM 208。

【0033】在基板 200 上形成 SAM 208 之後，在步驟 312 中，任選地轉移基板 200 至基板量測模組 102C 中，其中測量及表徵在基板 200 上形成之 SAM 208。

【0034】其後，轉移基板 200 至第四基板處理腔室 106D 中，其中，在步驟 314 中，藉由將基板 200 暴露於一或更多沉積氣體，以相對於在包括 SAM 208 之第二材料層 206 上，在第一材料層 204 上選擇性地沉積膜層 210（例如，金屬氧化物膜層）。在一範例中，膜層 210 可包括含 HfO_2 、 ZrO_2 或 Al_2O_3 之金屬氧化物膜層。可藉由，例如，CVD、電漿增強 CVD（PECVD）、ALD 或電漿增強 ALD（PEALD）以沉積膜層 210。在一些範例中，可藉由使用含金屬之前驅物及氧化劑（例如， H_2O 、 H_2O_2 、電漿激發之 O_2 或 O_3 ）之交替暴露之 ALD 以沉積膜層 210。

【0035】如圖 2C 中所繪，在第三基板處理腔室 106C 中暴露於一或更多沉積氣體，除了沉積膜層 210 在第一材料層 204 上之外，可能在 SAM 208 上沉積膜核 210'。若沉積製程進行時間過長或第一材料層 204 及 SAM 208 之間之沉積選擇性差，可能發生此沉積選擇性損失。若 SAM 208 之表面覆蓋不完全及在第二材料層 206 上包括空隙，也可能發生差的沉積選擇性。

【0036】在沉積膜層 210 在基板 200 上之後，在步驟 316 中，轉移基板 200 至基板量測模組 102C 中，其中測量及表徵膜層 210 之沉積。表徵可確定沉積選擇性之程度及來自 SAM 208 之膜核 210' 所需之去除。

【0037】使用蝕刻製程可去除 SAM 208 上之膜核 210'，以在第一材料層 204 上選擇性地形成膜層 210。在步驟 318 中，轉移基板 200 至第三基板處理腔室 106C

中以執行蝕刻製程。雖然蝕刻製程亦可能部分地去除膜層 210，但金屬氧化物核 210'係預期比膜層 210 更快地蝕刻。蝕刻製程可包括乾式蝕刻製程、濕式蝕刻製程或其組合。在一範例中，蝕刻製程可包括原子層蝕刻（ALE）製程。得到之基板 200 如圖 2D 所示，具有選擇性地形成在第一材料層 204 上之膜層 210。

【0038】在蝕刻製程之後，在步驟 320 中，任選地轉移基板 200 至基板量測模組 102C 中，其中測量及表徵基板 200。表徵可確定蝕刻製程之程度。

【0039】其後，在步驟 322 中，例如藉由在第三基板處理腔室 106C 中之蝕刻或清洗，或藉由在第一基板處理腔室 106A 中之熱處理，可從基板 200 去除 SAM 208。

【0040】如製程箭頭 324 示意性地顯示，上述基板處理步驟 304-322 可重複一或多次，以增加基板 200 上之膜層 210 之厚度。若 SAM 208 在膜層沉積及/或蝕刻製程期間中受損，並因此影響膜層沉積選擇性，則可能需要去除並隨後地重複在基板 200 上之 SAM 208 之沉積。

【0041】圖 4 為根據本發明實施例、用以執行整合式基板處理及基板量測之處理流程圖。亦參考圖 1、圖 2A-2E、圖 4 中之處理流程圖 400 類似於圖 3 中之處理流程圖 300 並且包括，在步驟 402 中，在基板處理工具 100 中提供基板 200，其中基板 200 包括第一材料層 204 之露出表面及第二材料層 206 之露出表面。在一範例中，第一材料層 204 包括介電層，且第二材料層 206 包括金屬層。方法更包括：在步驟 404 中，任選地執行基板量測；在步驟 406 中，任選地藉處理氣體以處理基板 200；及在步驟 408 中，任選地執行基板量測。

【0042】方法更包括：在步驟 410 中，在基板 200 上形成 SAM 208；及在步驟 412 中，任選地執行基板量測。方法更包括：在步驟 414 中，在第一材料層 204 上沉積膜層 210 及在 SAM 208 上沉積膜核 210'；及在步驟 416 中，執行基板量測。方法更包括：在步驟 418 中，從 SAM 208 去除膜核 210'；及在步驟 420

中，任選地執行基板量測。方法更包括：在 422 中，任選地藉處理氣體以處理基板 200。如製程箭頭 424 示意性地顯示，上述基板處理步驟 412-422 可重複一或多次，以增加基板 200 上之膜層 210 之厚度。

【0043】 在各種實施例中已經揭露了基板處理工具及區域選擇性沉積之方法，其中該基板處理工具係配置以執行整合式基板處理及基板量測。前述已呈現之本發明實施例係出於說明及描述之目的。其並非意味著全面描述，或限制本發明於所揭露之特定形式。本說明書及隨後的請求項包含之術語僅用於描述之目的而不應被解釋為限制。熟悉相關技術者可鑑於以上教示瞭解許多修改及變化。熟悉此項技術者將明白圖中所示之各種組件之各種均等組合及替代。因此，本發明之範圍不受此詳細描述所限制，而是受於此所附之請求項限制。

【符號說明】

【0044】

- 100 基板處理工具
- 101 基板(晶圓)轉移系統
- 101A, 101B, 101C 晶舟盒模組
- 101D 基板對準模組
- 102A, 102B 晶圓載入/載出腔室
- 102C 基板量測模組
- 103 基板轉移腔室
- 106A, 106B, 106C, 106D 基板處理腔室
- 110 控制器
- G1, G2, G3, G4, G5, G6, G7, G8, G9, G10 閘閥
- 200 基板
- 202 基底層

- 204 第一材料層
- 206 第二材料層
- 208 自我組裝單層 (SAM)
- 210 膜層
- 210' 膜核
- 300 處理流程
- 302, 304, 306, 308, 310, 312, 314, 316, 318, 320, 322 步驟
- 324 製程箭頭
- 400 處理流程
- 402, 404, 406, 408, 410, 412, 414, 416, 418, 420, 422 步驟
- 424 製程箭頭

【發明申請專利範圍】

【第1項】一種基板處理方法，包括：

在一基板處理工具之一第一基板處理腔室中處理一基板，以在該基板上執行選擇性膜層沉積；

在該基板上執行該選擇性膜層沉積之後，轉移該基板從該第一基板處理腔室穿過一基板轉移腔室至該基板處理工具中之一基板量測模組；

在該基板量測模組中之該基板上執行量測，以表徵在該基板上的沉積選擇性損失；

在執行量測之後，轉移該基板從該基板量測模組穿過該基板轉移腔室至一第二基板處理腔室；及

在該第二基板處理腔室中處理該基板，以基於所表徵之該沉積選擇性損失而執行一蝕刻製程，其中該基板量測模組具有連接至該基板轉移腔室的一第一端以及連接至一轉移系統的一第二端，

該基板量測模組的該第一端藉由一第一閘閥以直接地耦接至該基板轉移腔室，以及該基板量測模組的該第二端藉由一第二閘閥以直接地耦接至該轉移系統，且

該第一閘閥將該基板量測模組與該基板轉移腔室隔開，而該第二閘閥將該轉移系統與該基板量測模組隔開。

【第2項】如申請專利範圍第1項之基板處理方法，其中該基板量測模組包括一或更多分析工具，該一或更多分析工具測量一基板或形成在該基板上之薄膜及膜層之一或更多材料特性。

【第3項】如申請專利範圍第1項之基板處理方法，更包括：

將該基板裝載到該轉移系統中；

經由該第二閘閥，將該基板從該轉移系統經由一載入/載出腔室轉移至該基板轉移腔室；以及

經由該第一閘閥，將該基板從該基板轉移腔室轉移至該第一基板處理腔室。

【第4項】 一種基板處理方法，包括：

提供一基板在一基板處理工具中，該基板包括一第一材料層之一露出表面及一第二材料層之一露出表面；

在一第一基板處理腔室中形成一自我組裝單層(SAM)在該第一材料層之該露出表面及該第二材料層之該露出表面；

轉移該基板從該第一基板處理腔室穿過一基板轉移腔室至一第二基板處理腔室；及

在該第二基板處理腔室中選擇性地沉積一膜層在該第一材料層上及選擇性地沉積膜核在該自我組裝單層上；

在選擇性地沉積該膜層於該第一材料層上之後，轉移該基板從該第二基板處理腔室穿過該基板轉移腔室至一基板量測模組；

在該基板量測模組中之該膜層上執行量測，以表徵在該基板上的沉積選擇性損失；

在執行量測之後，轉移該基板從該基板量測模組穿過該基板轉移腔室至一第三基板處理腔室；及

藉由基於所表徵之該沉積選擇性損失而在該第三基板處理腔室中進行蝕刻，以從該自我組裝單層去除該膜核，其中該基板量測模組具有連接至該基板轉移腔室的一第一端以及連接至一轉移系統的一第二端，

該基板量測模組的該第一端藉由一第一閘閥以直接地耦接至該基板轉移腔室，以及該基板量測模組的該第二端藉由一第二閘閥以直接地耦接至該轉移系統，且

該第一閘閥將該基板量測模組與該基板轉移腔室隔開，而該第二閘閥將該轉移系統與該基板量測模組隔開。

【第5項】如申請專利範圍第4項之基板處理方法，更包括：

在一第四基板處理腔室中，使用一反應性處理氣體、熱處理、或其組合，在該基板上執行一處理製程。

【第6項】如申請專利範圍第4項之基板處理方法，其中該第一材料層包括一介電層。

【第7項】如申請專利範圍第4項之基板處理方法，其中該第二材料層包括一金屬層。

【第8項】如申請專利範圍第7項之基板處理方法，其中該金屬層包括 Cu、Al、Ta、Ti、W、Ru、Co、Ni、或 Mo。

【第9項】如申請專利範圍第4項之基板處理方法，其中該膜層包括一金屬氧化物。

【第10項】如申請專利範圍第4項之基板處理方法，其中在該第二材料層上之該 SAM 之一密度大於在該第一材料層上之該 SAM 之一密度。

【第11項】如申請專利範圍第 4 項之基板處理方法，其中該 SAM 包括複數分子，該複數分子包括一頭端基、一尾端基及一官能末端基，其中該頭端基包括一硫醇、一矽烷、或一磷酸酯。

【發明圖式】

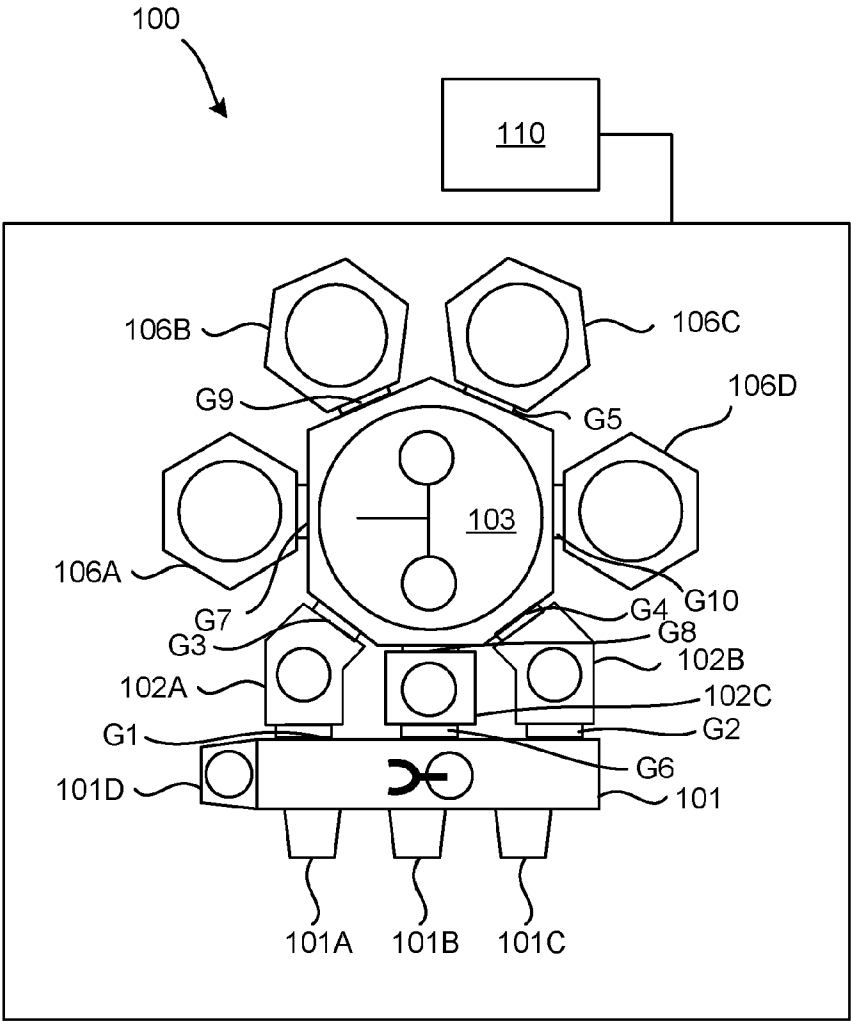


圖 1

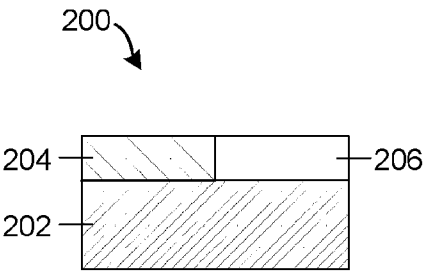


圖 2A

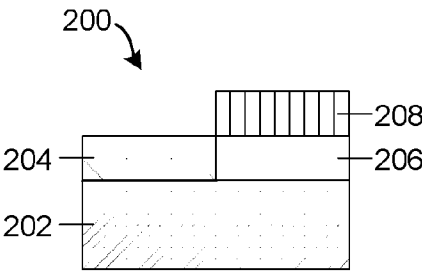


圖 2B

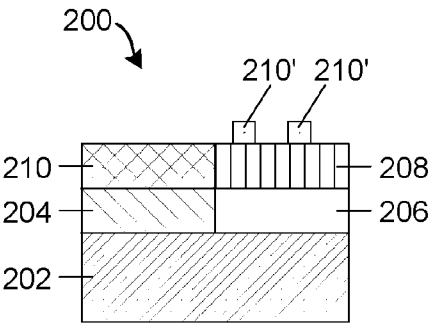


圖 2C

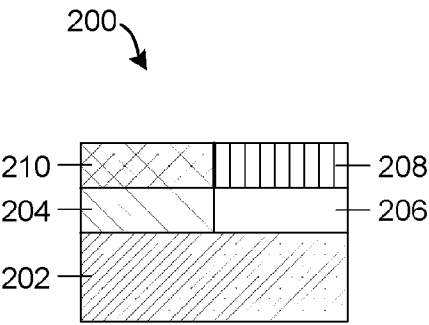


圖 2D

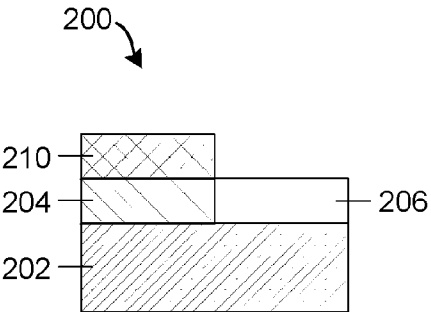


圖 2E



圖 3

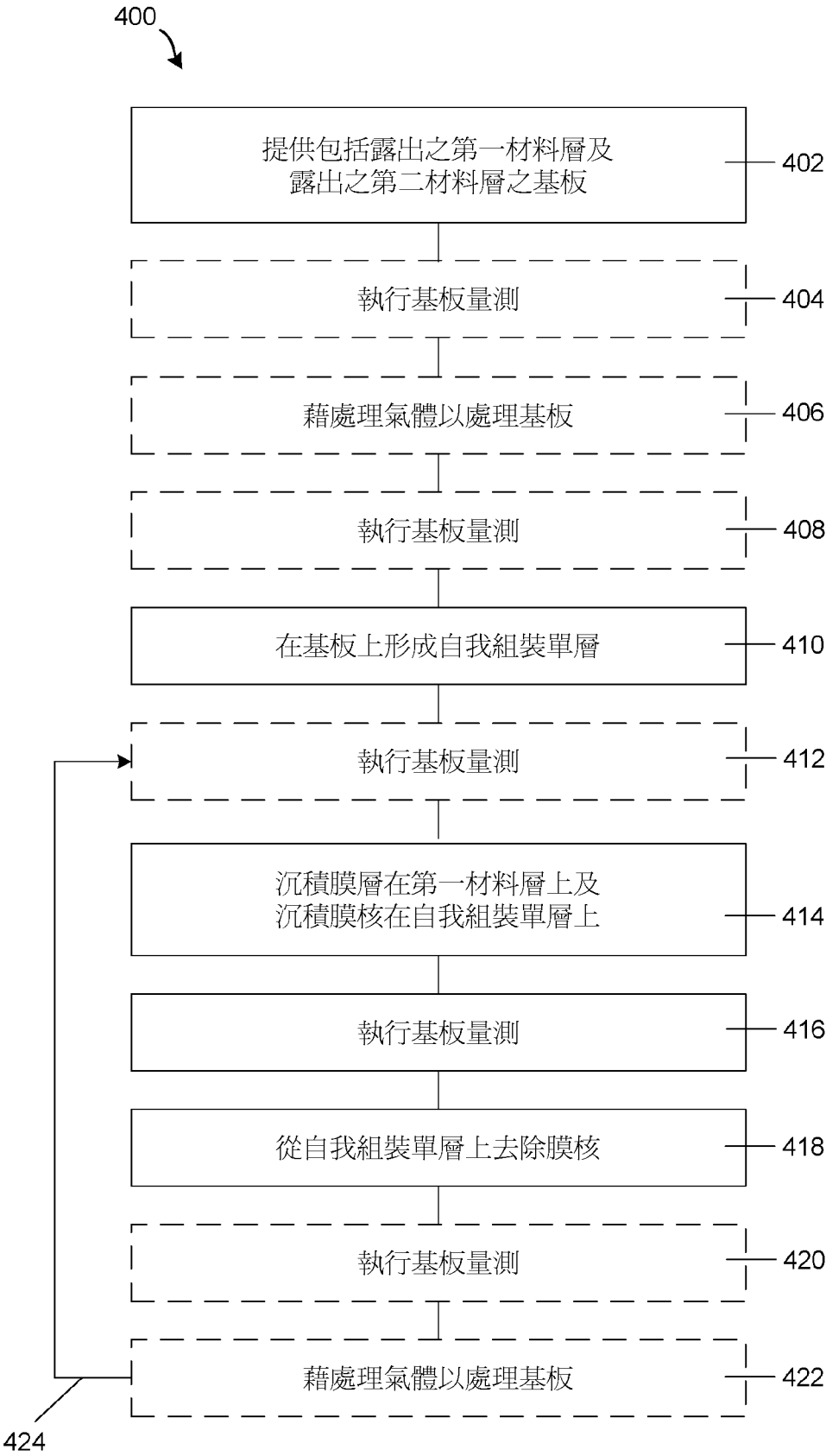


圖 4