



(12) 发明专利申请

(10) 申请公布号 CN 104517907 A

(43) 申请公布日 2015. 04. 15

(21) 申请号 201410446862. 7

(22) 申请日 2014. 09. 03

(30) 优先权数据

2013-182363 2013. 09. 03 JP

(71) 申请人 瑞萨电子株式会社

地址 日本神奈川县

(72) 发明人 高桥聪 饭屋崎修一

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 李兰 孙志湧

(51) Int. Cl.

H01L 23/02(2006. 01)

H01L 23/10(2006. 01)

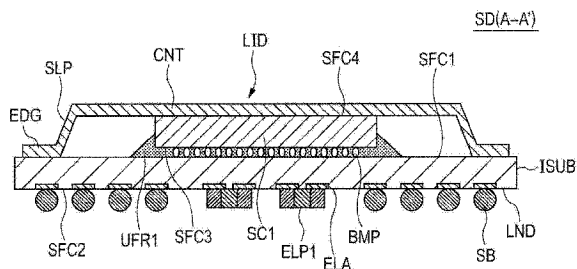
权利要求书2页 说明书9页 附图26页

(54) 发明名称

半导体器件

(57) 摘要

本发明涉及一种半导体器件。防止电子部件在布线基板上的安装位置上产生错误。第一半导体芯片具有主表面和背表面。背表面是主表面的相反表面。第一半导体芯片的背表面是其主表面上的相反表面。布线基板是矩形的,并具有主表面和背表面。第一半导体芯片安装在布线基板的主表面上。盖覆盖布线基板的主表面和第一半导体芯片。电子部件安装在布线基板的背表面上。布线基板的主表面至少在彼此面对的两个角处具有没有被盖覆盖的未覆盖区域。



1. 一种半导体器件,包括:

第一半导体芯片,所述第一半导体芯片具有第一主表面和是所述第一主表面的相反表面的第一背表面;

矩形的布线基板,所述布线基板具有第二主表面和是所述第二主表面的相反表面的第二背表面,其中,所述第一半导体芯片安装在所述第二主表面上;

覆盖构件,所述覆盖构件覆盖所述布线基板的所述第二主表面和所述第一半导体芯片;和

电子部件,所述电子部件安装在所述布线基板的所述第二背表面上,

其中,所述布线基板的所述第二主表面至少在彼此面对的两个角处具有没有被所述覆盖构件覆盖的未覆盖区域。

2. 根据权利要求 1 所述的半导体器件,

其中,所述未覆盖区域设置在所述布线基板的四个角处。

3. 根据权利要求 2 所述的半导体器件,

其中,所述覆盖构件的平面形状为矩形,并且在四个角处分别被切角,并且

其中,所述覆盖构件的四个角与所述布线基板的四个角重叠。

4. 根据权利要求 1 所述的半导体器件,

其中,所述未覆盖区域的与所述布线基板的对角线重叠的部分的宽度等于或大于 1mm,并且等于或小于 6mm。

5. 根据权利要求 1 所述的半导体器件,进一步包括:

多个第一背电极,所述多个第一背电极设置在所述布线基板的所述第二背表面上;

外部连接端子,所述外部连接端子是分别为所述第一背电极设置的;和

至少一个导体图案,所述至少一个导体图案设置在所述布线基板的所述第二背表面上,并且形状和大小中的至少一项与所述多个第一背电极不同。

6. 根据权利要求 5 所述的半导体器件,

其中,所述外部连接端子没有形成在所述导体图案中。

7. 根据权利要求 1 所述的半导体器件,

其中,所述第一半导体芯片在所述第一主表面上具有多个第一电极,

其中,所述布线基板在所述第二主表面上具有多个第二电极,

其中,所述第一半导体芯片以使得所述第一主表面面对所述第二主表面的方向安装在所述布线基板上,并且

其中,所述多个第一电极连接到所述多个第二电极。

8. 根据权利要求 1 所述的半导体器件,

其中,所述覆盖构件被固定到所述布线基板的第一边和面对所述第一边的第二边,并且没有固定到是所述布线基板的其余边的第三边和第四边。

9. 根据权利要求 8 所述的半导体器件,

其中,所述第一半导体芯片的平面形状为矩形,并且

其中,所述第一半导体芯片的长边沿着所述布线基板的所述第三边设置。

10. 根据权利要求 9 所述的半导体器件,进一步包括:第二半导体芯片,所述第二半导体芯片具有第五主表面,并且平面形状是矩形,

其中,所述第二半导体芯片在所述第五主表面上具有多个第三电极,

其中,所述布线基板在所述第二主表面上具有多个第四电极,

其中,所述第二半导体芯片以使得所述第五主表面面对所述第二主表面的方向安装在所述布线基板上,

其中,所述多个第三电极连接到所述多个第四电极,并且

其中,所述第二半导体芯片的长边沿着所述布线基板的所述第三边设置。

半导体器件

[0001] 相关申请的交叉引用

[0002] 2013 年 9 月 3 日提交的日本专利申请 No. 2013-182363 的公开,包括说明书、附图和摘要,其全部通过引用并入本文中。

技术领域

[0003] 本发明涉及一种半导体器件,例如,可以应用于其中半导体芯片安装在布线基板的主表面上的半导体器件的技术。

背景技术

[0004] 作为用于在布线基板上安装半导体芯片的方法之一,有倒装芯片结构。在倒装芯片结构中,上面形成电极焊盘的半导体芯片的表面面对布线基板侧,并且半导体芯片利用设置在电极焊盘上的端子安装在布线基板上。在倒装芯片结构中,可以提供盖,用于辐射来自半导体芯片的热量或者保护半导体芯片(例如,参见日本未审查专利申请公开 No. 2012-54597)的目的。

[0005] 日本未审查专利申请公开 No. 平 5(1993)-275552 公开了上面安装有诸如压电振荡器的电子部件的绝缘基底的角被切角(notch)。

发明内容

[0006] 本发明人已经研究了,为了小型化具有半导体器件的电子装置,在没有安装半导体芯片的布线基板的表面上安装了至今已被安装在母板上的电子部件(例如,电容元件或电阻元件)。为了进行这种安装,在布线基板的第一表面上布置了半导体芯片和诸如盖的覆盖构件之后,必需将布线基板的第一表面侧保持到固定夹具(retention jig)上。在这种情况下,覆盖构件可以抵接固定夹具以间接地确定布线基板相对于固定夹具的位置。

[0007] 另一方面,由于使用粘接层将覆盖构件固定到布线基板上,所以覆盖构件可以相对于布线基板的第一表面倾斜。在这种情况下,布线基板相对于固定夹具的位置有变化的可能。当该位置改变时,电子部件在布线基板上的安装位置会产生错误。从本说明书的描述和附图,其它问题和新颖特征将变得显而易见。

[0008] 根据实施例,第一半导体芯片安装在布线基板的主表面上。盖覆盖布线基板的主表面和第一半导体芯片。电子部件安装在布线基板的背表面上。布线基板的主表面至少在彼此相对的两个角处具有没有覆盖有盖的未覆盖区域。

[0009] 根据该实施例,在半导体芯片和诸如盖的覆盖构件布置在布线基板的第一表面上之后,在将布线基板的第一表面侧保持到固定夹具时,布线基板的未覆盖区域可以由固定夹具保持。因此,提高了布线基板相对于固定夹具的位置的精度。

附图说明

[0010] 图 1 是示出根据实施例的半导体器件的构造的平面图;

- [0011] 图 2 是沿图 1 中的线 A-A' 得到的截面图；
- [0012] 图 3 是示出布线基板的主表面的构造的图；
- [0013] 图 4 是示出半导体器件的背表面的第一实例的图；
- [0014] 图 5 是示出半导体器件的背表面的第二实例的图；
- [0015] 图 6 是示出连接至电子部件的端子和电极之间的距离的图；
- [0016] 图 7 是示出第一半导体芯片的构造的截面图；
- [0017] 图 8A 至 8C 是示出制造半导体器件的方法的截面图；
- [0018] 图 9A 和 9B 是示出制造半导体器件的方法的截面图；
- [0019] 图 10 是示出固定夹具的构造的平面图；
- [0020] 图 11 是沿图 10 的 B-B' 线得到的截面图；
- [0021] 图 12 是沿图 10 中的 C-C' 线得到的截面图；
- [0022] 图 13 是示出通过在布线基板上提供未覆盖区域所获得的优点的图；
- [0023] 图 14 是示出通过在布线基板上提供未覆盖区域所获得的优点的图；
- [0024] 图 15 是示出根据变形例 1 的半导体器件的构造的平面图；
- [0025] 图 16 是示出其中从图 15 所示的半导体器件移除盖的状态的平面图；
- [0026] 图 17 是示出布线基板的背表面的第一实例的图；
- [0027] 图 18 是示出布线基板的背表面的第二实例的图；
- [0028] 图 19 是示出布线基板的背表面的第三实例的图；
- [0029] 图 20 是示出固定夹具的平面图；
- [0030] 图 21 是沿图 20 的 B-B' 线得到的截面图；
- [0031] 图 22 是沿图 20 的 C-C' 线得到的截面图；
- [0032] 图 23 是示出根据变形例 2 的半导体器件的布线基板的背表面的图；
- [0033] 图 24 是示出图 23 的变形例的图；
- [0034] 图 25 是示出图 23 的变形例的图；
- [0035] 图 26 是示出图 23 的变形例的图；
- [0036] 图 27 是示出根据变形例 3 的制造半导体器件的方法的图；
- [0037] 图 28A 和 28B 是示出根据变形例 3 的制造半导体器件的方法的图；
- [0038] 图 29A 和 29B 是示出根据变形例 3 的制造半导体器件的方法的图；
- [0039] 图 30A 和 30B 是示出根据变形例 3 的制造半导体器件的方法的图；
- [0040] 图 31 是半导体器件的顶视图；
- [0041] 图 32 是图 31 所示的半导体器件的后视图；
- [0042] 图 33 是示出半导体器件的变形例的后视图；
- [0043] 图 34 是示出半导体器件的变形例的后视图；
- [0044] 图 35 是示出半导体器件的变形例的后视图；和
- [0045] 图 36 是示出半导体器件的变形例的截面图。

具体实施方式

[0046] 在下文中,将参考附图说明实施例。在所有附图中,相同的部件用相同的符号表示,并且将适当省略对它们的描述。

[0047] 实施例

[0048] 图 1 是示出根据实施例的半导体器件 SD 的构造的平面图。图 2 是沿图 1 中的线 A-A' 得到的截面图。在图 2 中,为便于附图的可视化,减少了外部连接端子 SB 的数量和电子部件 ELP1 的数量。

[0049] 根据本实施例的半导体器件 SD 包括:第一半导体芯片 SC1、布线基板 ISUB、盖 LID(覆盖构件)和电子部件 ELP1。第一半导体芯片 SC1 的背表面 SFC4 是其主表面 SFC3 的相反表面。布线基板 ISUB 为矩形,并且包括主表面 SFC1(第二主表面)和背表面 SFC2(第二背表面)。第一半导体芯片 SC1 安装在主表面 SFC1 上。盖 LID 覆盖布线基板 ISUB 的主表面 SFC1 和第一半导体芯片 SC1。电子部件 ELP1 安装在布线基板 ISUB 的背表面 SFC2 上。布线基板 ISUB 的主表面 SFC1 至少在彼此面对的两个角处具有未被盖 LID 覆盖的未覆盖区域 LDO。换句话说,在主表面 SFC1 上的至少彼此面对的两个角处,未覆盖有盖 LID 的部分的宽度比主表面 SFC1 的边缘的其它部分宽。在下文中,将详细说明该构造。

[0050] 如图 2 所示,第一半导体芯片 SC1 以倒装芯片方式安装在布线基板 ISUB 上。第一半导体芯片 SC1 被配置为例如逻辑芯片,但也可以配置为存储器芯片、其中逻辑芯片和存储器电路混合在一起的芯片、或者控制电功率的功率芯片。

[0051] 多个电极焊盘 EL(稍后将参照图 7 描述)形成在第一半导体芯片 SC1 的主表面 SFC3 上。第一半导体芯片 SC1 以主表面 SFC3 面对布线基板 ISUB 的主表面 SFC1 的方向安装在主表面 SFC1 上。电极焊盘 EL 通过端子 BMP(例如,焊料凸块、或者诸如 Cu 柱或 Au 柱的导体柱)连接到形成在布线基板 ISUB 的主表面 SFC1 上的端子(未示出)。形成在第一半导体芯片 SC1 的主表面 SFC3 与布线基板 ISUB 的主表面 SFC1 之间的空间是由底部填充树脂 UFR1 密封的。底部填充树脂 UFR1 的一部分沿第一半导体芯片 SC1 的侧面蔓延以形成嵌边(fillet)。

[0052] 第一半导体芯片 SC1 的背表面 SFC4 通过粘接层固定到盖 LID。优选的是,粘接层的热导率高。

[0053] 盖 LID 是通过拉伸由诸如 Cu 的金属制成的板形成的。结果,使盖 LID 成形,使得与第一半导体芯片 SC1 接触的中心部 CNT 和边缘 EDG 通过斜坡部 SLP 彼此连接。随着倾斜部 SLP 更离开中心部 CNT,倾斜部 SLP 倾斜以更接近布线基板 ISUB。倾斜部 SLP 相对中心部 CNT 的倾斜角可以是接近垂直的。盖 LID 的边缘 EDG 变为与布线基板 ISUB 的位于底部填充树脂 UFR1 外部的区域相接触。盖 LID 的边缘 EDG 的至少一部分通过粘接层固定到布线基板 ISUB。

[0054] 如图 1 所示,盖 LID 的平面形状在彼此相对的矩形的两个角处被切角。盖 LID 的四个角与布线基板 ISUB 的相应的四个角重叠。布线基板 ISUB 的未涂覆区域 LDO 位于盖 LID 的其中角被切角的部分处。未涂覆区域 LDO 的与布线基板 ISUB 的对角线重叠的部分的宽度,例如,等于或大于 1mm,并且等于或小于 6mm。

[0055] 盖 LID 的倾斜部 SLP 沿着其中矩形的四个角被切角的轮廓线形成。换句话说,倾斜部 SLP 沿着八边形的各个边形成。在八边形中,分别彼此相对的两个边是互相平行的,并且面对布线基板 ISUB 的四个角的四个边每个都比面对布线基板 ISUB 的四个边的四个边短。

[0056] 如图 2 所示,布线基板 ISUB 例如由树脂中介层形成,并且在背表面 SFC2 上具有多个电极 LND(第一背电极)。多个电极 LND 通过布线基板 ISUB 内的贯通孔(未示出)或布

线（未示出）连接到端子 BMP。多个电极 LND 的一部分可以通过布线基板 ISUB 内的线连接到电子部件 ELP。电极 LND 提供有外部连接端子 SB。例如，外部连接端子 SB 是由焊料球构成的。

[0057] 电子部件 ELP 安装在布线基板 ISUB 的背表面 SFC2 上。电子部件 ELP 被配置为例如诸如电容器、电阻器或电感器的分立部件，但也可以由构成电路的芯片配置。电子部件 ELP 连接到设置在背表面 SFC2 上的端子 ELA。

[0058] 而且，如图 1 所示，布线基板 ISUB 的主表面 SFC1 提供有对准标记 AMK1。对准标记 AMK1 是由与形成在主表面 SFC1 上的线相同的导体（例如，铜）制成的图案，并且当第一半导体芯片 SC1 和盖 LID 安装在主表面 SFC1 上时用作定位图案。对准标记 AMK1 位于主表面 SFC1 的任意的未涂覆区域 LD0。

[0059] 图 3 是示出布线基板 ISUB 的主表面 SFC1 的构造的图。多个电极 FNG（第二电极）形成在其中第一半导体芯片 SC1 将被布置在主表面 SFC1 上的区域中。各电极 FNG 通过端子 BMP 连接到第一半导体芯片 SC1 的电极焊盘 EL。

[0060] 图 4 是示出半导体器件 SD 的背表面的第一实例的图。在该图所示的实例中，多个外部连接端子 SB 和多个电极 LND 布置在背表面 SFC2 的除了与第一半导体芯片 SC1 二维地、换句话说在格点上重叠的部分以外的区域中。多个电子部件 ELP1 安装在背表面 SFC2 的其中没有形成电极 LND 和外部连接端子 SB 的部分，也就是说，与第一半导体芯片 SC1 重叠的部分上。电子部件 ELP1 通过布线基板 ISUB 的贯通孔和布线连接到第一半导体芯片 SC1。采用这种布置，可以减小连接第一半导体芯片 SC1 和电子部件 ELP1 的连接路径的电感。电子部件 ELP1 由例如功率增强电容器配置。

[0061] 图 5 是示出半导体器件 SD 的背表面的第二实例的图。该图中所示的实例除了以下构造之外与图 4 所示的实例相同。首先，电极 LND 和外部连接端子 SB 形成在背表面 SFC2 的与第一半导体芯片 SC1 重叠的部分下面。电子部件 ELP1 布置在第一半导体芯片 SC1 的边缘附近。采用这种布置，与图 4 中所示的实例相比，可以增加外部连接端子 SB 的数量。而且，可以抑制连接第一半导体芯片 SC1 和电子部件 ELP1 的连接路径的电感。

[0062] 在图 4 和 5 的每一个中，可以省略电极 LND 和外部连接端子 SB 的至少一部分。而且，当电子部件 ELP1 安装在背表面 SFC2 上时，背表面 SFC2 的电极 LND 的至少一部分用作定位标记。例如，电极 LND 位于背表面 SFC2 的角处。

[0063] 图 6 是示出连接到电子部件 ELP 的端子 ELA 和电极 LND 之间的距离的图。电子部件 ELP 每个都有两个端子 ELB。对应于这些端子 ELB，对于一个电子部件 ELP 在背表面 SFC2 上形成两个端子 ELA。假定在第一方向（图中的 X 方向）上排列的一个端子 ELA 的中心与电极 LND 的中心之间的距离为 LB_{BC} ，在第二方向（图中的 Y 方向）上排列的另一端子 ELA 的中心与电极 LND 的中心之间的距离是 LA_{BC} 。而且，假定电极 LND 的半径为 r ，端子 ELA 在第一方向（图中的 X 方向）上的半宽度是 B_p ，并且端子 ELA 在第二方向（图中的 Y 方向）上的半宽度是 A_p 。而且，假定端子 ELB 在第一方向（图中的 X 方向）上的半宽度为 B_c ，端子 ELB 在第二方向（图中的 Y 方向）上的半宽度是 A_c 。而且，假定两个端子 ELA 之间的间隔为 G 。然后，满足下面描述的式 (1)、(2) 或 (3)。选择表达式 (2) 和 (3) 中的在右边大的任一个。

$$[0064] \quad LA_{BC} > r + A_c + A_p \quad \dots (1)$$

$$[0065] \quad LB_{BC} > r + B_c + B_p \quad \dots (2)$$

[0066] $LB_{BC} > r + G + B_p \cdot \cdot \cdot (3)$

[0067] 在图 6 所示的实例中, 电子部件 ELP 包括两种电子部件 ELP1 和 ELP2。电子部件 ELP1 和 ELP2 的平面形状每个都是矩形。电子部件 ELP1 的端子 ELB 是沿着矩形的两条长边形成的, 电子部件 ELP2 的端子 ELB 是沿着矩形的两条短边形成的。

[0068] 图 7 是示出第一半导体芯片 SC1 的构造的截面图。第一半导体芯片 SC1 具有其中多层布线层 MINC 堆叠在基板 SUB 上的构造。例如, 基板 SUB 是由硅基板形成的。多个半导体元件, 例如, 晶体管形成在基板 SUB 上。电极焊盘 EL 形成在多层布线层 MINC 的最上面的布线层上。电极焊盘 EL 通过图 2 中所示的端子 BMP 连接到图 3 所示的布线基板 ISUB 的电极 FNG。

[0069] 图 8A 到 8C 和图 9A、9B 是示出制造半导体器件 SD 的方法的截面图。在这些图所示的那些工艺之前, 制备第一半导体芯片 SC1。例如, 如下形成第一半导体芯片 SC1。

[0070] 首先, 在基板 SUB 上形成元件隔离膜。元件形成区域被元件隔离膜隔离。元件隔离膜例如通过 STI 技术形成, 但也可以通过 LOCOS 技术形成。然后, 在位于元件形成区域的基板 SUB 上形成栅极绝缘膜和栅电极。栅极绝缘膜可以由氧化硅膜形成, 或者可以由介电常数比氧化硅膜高的高介电常数膜 (例如, 铪硅膜) 形成。当栅极绝缘膜由氧化硅膜形成时, 栅电极由多晶硅膜形成。而且, 当栅极绝缘膜为高介电常数膜时, 栅电极由金属膜 (例如, TiN) 和多晶硅膜的叠层膜形成。而且, 当栅电极由多晶硅制成时, 在形成栅电极的工艺中可以在元件隔离膜上形成多晶硅电阻器。

[0071] 随后, 在位于元件形成区域中的基板 SUB 上形成源极和漏极的延伸区。然后, 在栅电极的侧壁上形成侧壁。然后, 在位于元件形成区域中的基板 SUB 上形成杂质区, 该杂质区形成源极和漏极。以这种方式, 在基板 SUB 上形成 MOS 晶体管。

[0072] 然后, 在元件隔离膜和 MOS 晶体管上形成多层布线层 MINC。在最上面的布线层上形成电极焊盘 EL。然后, 在多层布线层 MINC 上形成保护绝缘膜 (钝化膜)。位于 EL 上的开口形成在保护绝缘膜上。然后, 在电极焊盘 EL 上形成端子 BMP。

[0073] 然后, 如图 8A 所示, 在布线基板 ISUB 的主表面 SFC1 上安装第一半导体芯片 SC1。然后, 如图 8B 所示, 允许底部填充树脂 UFR1 流入形成在主表面 SFC1 和第一半导体芯片 SC1 之间的空间中。底部填充树脂 UFR1 可以由 NCF (非导电膜) 形成。在这种情况下, 在第一半导体芯片 SC1 安装在主表面 SFC1 上之前, NCF 形成在主表面 SFC1 上。

[0074] 然后, 如图 8C 所示, 将盖 LID 固定到第一半导体芯片 SC1 的背表面 SFC4 和布线基板 ISUB 的主表面 SFC1 上。

[0075] 在图 8A 到 8C 所示的工艺中, 使用对准标记 AMK1 来确定第一半导体芯片 SC1 和盖 LID 相对于布线基板 ISUB 的定向。基于形成在布线基板 ISUB 的主表面 SFC1 上的另一个对准标记进行第一半导体芯片 SC1 和盖 LID 相对于布线基板 ISUB 的定位。

[0076] 然后, 如图 9A 所示, 向上翻转布线基板 ISUB 的背表面 SFC2。然后, 将电子部件 ELP 安装在背表面 SFC2 上。之后, 如图 9B 所示, 在背表面 SFC2 的电极 LND 上安装外部连接端子 SB。

[0077] 图 10 是示出当在背表面 SFC2 上安装电子部件 ELP 和外部连接端子 SB 时使用的固定夹具 HLD 的构造的平面图。图 11 是沿着图 10 中的 B-B' 线得到的截面图, 图 12 是沿着图 10 中的 C-C' 线得到的截面图。

[0078] 固定夹具 HLD 由板构件形成,并且在其中心部具有开口 OP。开口 OP 的平面形状大致为矩形,并且与布线基板 ISUB 的平面形状的大小大致相同。也就是说,将布线基板 ISUB 适配到开口 OP 中。开口 OP 的四个角中彼此面对的两个角每个都形成有支撑部 PRJ。支撑部 PRJ 中的每一个都被成形为从开口 OP 的内表面对开口 OP 的内侧突出。其上适配有布线基板 ISUB 的支撑部 PRJ 的表面的高度比固定夹具 HLD 的主体低。在该图所示的实例中,支撑部 PRJ 每个都沿着构成开口 OP 的角的两个侧表面形成。

[0079] 然后,将粘附了第一半导体芯片 SC1 和盖 LID 的布线基板 ISUB 以主表面 SFC1 面对固定夹具 HLD 的方向安装到固定夹具 HLD 中。在这种情况下,使布线基板 ISUB 的未覆盖区域 LDO 配置为面对支撑部 PRJ。采用上述构造,支撑部 PRJ 的上表面抵接布线基板 ISUB 的未覆盖区域 LDO,并且由布线基板 ISUB 的支撑部 PRJ 定位。

[0080] 随后,将利用图 13 和 14 描述通过在布线基板 ISUB 上提供未覆盖区域 LDO 所获得的优点。

[0081] 利用粘接层 ADA 将盖 LID 固定到布线基板 ISUB,但是粘接层 ADA 的厚度可能会变化。为此,可以使盖 LID 相对于布线基板 ISUB 倾斜。

[0082] 如果没有在布线基板 ISUB 上提供未覆盖区域 LDO,布线基板 ISUB 的大致整个表面覆盖有盖 LID。为此,如图 13 所示,固定夹具 HLD 的支撑部 PRJ 支撑盖 LID 的边缘 EDG。在该实例中,当盖 LID 相对于基板 SUB 倾斜时,背表面 SFC2 也被包括在其中布线基板 ISUB 由固定夹具 HLD 保持的状态。

[0083] 当背表面 SFC2 倾斜时,存在邻近于将用作对准标记的电极 LND 定位的电极 LND 被错误地认作对准标记的问题。在这种情况下,存在电子部件 ELP 安装在不正确位置的问题。

[0084] 而且,当在上面形成外部连接端子 SB 之前通过丝网印刷技术将焊剂涂覆在布线基板 ISUB 上时,如果背表面 SFC2 倾斜,丝网掩膜可能会变形,或焊剂涂覆的量可能变得不均匀。

[0085] 相反,在本实施例中,如图 14 所示,因为固定夹具 HLD 的支撑部 PRJ 的上表面抵接布线基板 ISUB 的未覆盖区域 LDO,所以由支撑部 PRJ 定位布线基板 ISUB。因此,即使盖 LID 相对于布线基板 ISUB 是倾斜的,也以相对固定夹具 HLD 的给定角度(例如,平行)定位布线基板 ISUB 的背表面 SFC2。因此,难以产生参照图 13 描述的缺点。

[0086] 变形例 1

[0087] 图 15 是示出根据变形例 1 的半导体器件 SD 的构造的平面图。图 16 是示出其中从图 15 所示的半导体器件 SD 移除盖的状态的平面图。除了下面的构造之外,根据本变形例的半导体器件具有与根据实施例的半导体器件 SD 相同的构造。

[0088] 首先,如图 15 所示,盖 LID 的所有的四个角都被切角。为布线基板 ISUB 的所有的四个角设置未覆盖区域 LDO。

[0089] 而且,如图 16 所示,第一半导体芯片 SC1 以及第二半导体芯片 SC2 都被安装在布线基板 ISUB 的主表面 SFC1 上。第二半导体芯片 SC2 具有与图 8 所示的第一半导体芯片 SC1 相同的构造。而且,用于连接到第二半导体芯片 SC2 的电极焊盘 EL(第三电极)的电极 FNG(第四电极)被形成在布线基板 ISUB 的面对第二半导体芯片 SC2 的区域中。第二半导体芯片 SC2 如同第一半导体芯片 SC1 以倒装芯片的方式安装在主表面 SFC1 上。上面形成有电极焊盘 EL 的第二半导体芯片 SC2 的表面(第五主表面)由底部填充树脂 UFR2 密封。

[0090] 在该变形例中,第一半导体芯片 SC1 和第二半导体芯片 SC2 每个 都是矩形的,并且在各个长边相互平行的方向上安装在主表面 SFC1 上。为此,应力容易在沿着第一半导体芯片 SC1 的长边的方向(图中的 Y 方向)翘曲的方向上施加在布线基板 ISUB 上。在该图所示的实例中,第一半导体芯片 SC1 的短边平行于布线基板 ISUB 的第三边 SID3 和第四边 SID4,并且第一半导体芯片 SC1 的长边平行于布线基板 ISUB 的第一边 SID1 和第二边 SID2。

[0091] 相反,在本变形例中,如图 15 所示,作为与第一半导体芯片 SC1 的短边平行的区域的边缘 EDG1 和 EDG2 的宽度比作为与第一半导体芯片 SC1 的长边平行的区域的边缘 EDG3 和 EDG4 的宽度宽。盖 LID 的边缘 EDG1 和 EDG2 被固定到主表面 SFC1。然而,边缘 EDG3 和 EDG4 仅仅与主表面 SFC1 接触。换句话说,盖 LID 沿着布线基板 ISUB 的第一边 SID1 和第二边 SID2 固定。然而,盖 LID 没有固定到第三边 SID3 和第四边 SID4。采用上述构造,布线基板 ISUB 的翘曲可以通过盖 LID 抑制。

[0092] 图 17 是示出在该变形例中的布线基板 ISUB 的背表面 SFC2 的第一实例的图。在图 17 所示的实例中,电子部件 ELP 被设置在背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域中,以及背表面 SFC2 的与第二半导体芯片 SC2 重叠的区域中。位于与第一半导体芯片 SC1 重叠的区域中的电子部件 ELP 被电连接到第一半导体芯片 SC1。而且,位于与第二半导体芯片 SC2 重叠的区域中的电子部件 ELP 被电连接到第二半导体芯片 SC2。

[0093] 图 18 是示出在该变形例中的布线基板 ISUB 的背表面 SFC2 的第二实例的图。在图 18 所示的实例中,电子部件 ELP 至少被设置在背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域周围,和背表面 SFC2 的与第二半导体芯片 SC2 重叠的区域周围。在图 18 所示的实例中,第一半导体芯片 SC1 比第二半导体芯片 SC2 大。电子部件 ELP 被设置在背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域周围。这些电子部件 ELP 电连接到第一半导体芯片 SC1。

[0094] 图 19 是示出在该变形例中的布线基板 ISUB 的背表面 SFC2 的第三实例的图。在图 19 所示的实例中,第一半导体芯片 SC1 比第二半导体芯片 SC2 大。电子部件 ELP 被设置在背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域周围,以及背表面 SFC2 的与第二半导体芯片 SC2 重叠的区域中。位于与第一半导体芯片 SC1 重叠的区域周围的电子部件 ELP 被电连接到第一半导体芯片 SC1。位于与第二半导体芯片 SC2 重叠的区域中的电子部件 ELP 被电连接到第二半导体芯片 SC2。

[0095] 除了固定夹具 HLD 的开口 OP 的形状之外,制造根据本变形例的半导体器件 SD 的方法与制造根据实施例的半导体器件 SD 的方法相同。

[0096] 图 20 是示出本变形例中使用的固定夹具 HLD 的构造的平面图。图 21 是沿着图 20 的 B-B' 线得到的截面图。图 22 是沿着图 20 的 C-C' 线得到的截面图。除了支撑部 PRJ 形成在开口 OP 的各自的四个角之外,在这些图中示出的固定夹具 HLD 与实施例中所示的固定夹具 HLD 的构造相同。

[0097] 该变形例也获得了与实施例相同的优点。而且,各个未覆盖区域 LDO 形成在布线基板 ISUB 的所有四个角处。而且,对应于该构造,各个支撑部 PRJ 形成在固定夹具 HLD 的开口 OP 的所有四个角处。因此,当布线基板 ISUB 适配到开口 OP 中时,可以防止布线基板 ISUB 相对于固定夹具 HLD 移动。

[0098] 变形例 2

[0099] 图 23 是示出根据变形例 2 的半导体器件 SD 中的布线基板 ISUB 的背表面 SFC2 的图。除了至少一个第二背电极 AMK2 (导体图案) 被设置在背表面 SFC2 上之外, 根据本变形例的半导体器件与根据实施例的半导体器件 SD 的构造相同。

[0100] 第二背电极 AMK2 由与电极 LND 相同层的导体图案 (例如, Cu 图案) 构成, 并且在与电极 LND 相同的工序中形成。然而, 第二背电极 AMK2 与电极 LND 的尺寸和形状中的至少一项不同。当电子部件 ELP 安装在背表面 SFC2 上时, 第二背电极 AMK2 用作定位标记。在图 23 所示的实例中, 第二背电极 AMK2 布置在背表面 SFC2 上彼此面对的相应的两个角处。在这种情况下, 电极 LND 不形成在背表面 SFC2 的与第二背电极 AMK2 相比更靠近背表面 SFC2 的边缘的区域中。

[0101] 外部连接端子 SB 不形成在第二背电极 AMK2 上。采用上述构造, 可以任意设定第二背电极 AMK2 的形状和尺寸。外部连接端子 SB 可以形成在第二背电极 AMK2 上。

[0102] 而且, 如图 24 所示, 第二背电极 AMK2 可以布置在背表面 SFC2 的其中形成了电极 LND 的区域中。在图 24 所示的实例中, 两个第二背电极 AMK2 布置在跨背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域彼此面对的位置上。换句话说, 第二背电极 AMK2 布置在跨多个电子部件 ELP 彼此面对的位置上。

[0103] 如图 25 和 26 所示, 第二背电极 AMK2 可以布置在根据变形例 1 半导体器件 SD 中。

[0104] 在图 25 所示的实例中, 设置了四个第二背电极 AMK2。这些第二背电极 AMK2 中的两个布置在跨背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域彼此面对的位置处, 并且两个剩余的第二背电极 AMK2 布置在跨背表面 SFC2 的与第二半导体芯片 SC2 重叠的区域彼此面对的位置。

[0105] 在图 26 所示的实例中, 设置了两个第二背电极 AMK2。第一个第二背电极 AMK2 布置在背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域附近, 并且第二个第二背电极 AMK2 布置在背表面 SFC2 的与第二半导体芯片 SC2 重叠的区域附近。

[0106] 本变形例也获得了与实施例相同的优点。而且, 除电极 LND 以外, 将第二背电极 AMK2 设置为定位标记。第二背电极 AMK2 与电极 LND 不同之处在于平面形状和尺寸中的至少一项。为此, 电极 LND 被错误地识别为第二背电极 AMK2 的可能性变低。因此, 当电子部件 ELP 安装在布线基板 ISUB 的背表面 SFC2 上时, 可以进一步防止电子部件 ELP 的位置偏移。

[0107] 变形例 3

[0108] 根据本变形例的半导体器件 SD 具有密封树脂 MDR, 代替盖 LID。然后, 使用接合线 WIR 在布线基板 ISUB 上安装第一半导体芯片 SC1。

[0109] 图 27 至图 30 是示出制造根据本变形例的半导体器件 SD 的方法的图。首先, 如图 27 的平面图所示, 制备布线基板 ISUB。在这些图所示的状态中, 多个 (例如, $1 \times n$ 个) 布线基板 ISUB 彼此连接。

[0110] 然后, 如图 28A 的平面图和图 28B 的截面图所示, 第一半导体芯片 SC1 和电子部件 ELP 安装在多个布线基板 ISUB 的主表面 SFC1 的每一个上。在背表面 SFC4 面对布线基板 ISUB 的主表面 SFC1 的方向上, 在主表面 SFC1 上安装第一半导体芯片 SC1。然后, 使用接合线 WIR 将第一半导体芯片 SC1 的电极焊盘 EL 连接到布线基板 ISUB。

[0111] 然后, 如图 29A 的截面图所示, 在布线基板 ISUB 的主表面 SFC1 上布置模具 MMD。

模具 MMD 在面对各个布线基板 ISUB 的区域中具有空腔。然后,使密封树脂 MDR 流入多个空腔中的每一个。之后,如图 29B 所示,移除模具 MMD。通过这种方式,多个第一半导体芯片 SC1 分别被密封树脂 MDR 密封。主表面 SFC1 上的电子部件 ELP 也由密封树脂 MDR 密封。在该实例中,布线基板 ISUB 的位于其两端的边缘的至少一部分未覆盖有密封树脂 MDR,并且形成有未覆盖区域 LDO。

[0112] 之后,如图 30A 所示,电子部件 ELP 和外部连接端子 SB,以布线基板 ISUB 的背表面 SFC2 向上翻转的这种方式,安装在背表面 SFC2 上。在这种情形下,像该实施例一样,使用固定夹具 HLD。固定夹具 HLD 的支撑部 PRJ 抵接布线基板 ISUB 的位于其两端的边缘的没有覆盖密封树脂 MDR 的区域(未覆盖区域 LDO)。为此,即使密封树脂 MDR 的上表面是倾斜的,也可以防止布线基板 ISUB 的背表面 SFC2 相对于固定夹具 HLD 倾斜,如同实施例一样。

[0113] 之后,如图 30B 所示,分割布线基板 ISUB,并切割半导体器件 SD。

[0114] 图 31 是根据本变形例的半导体器件 SD 的顶视图。除了没有提供边缘 EDG 之外,密封树脂 MDR 的上表面的形状与根据变形例 1 的盖 LID 的上表面的形状基本相同。对准标记 AMK1 的一部分由树脂密封 MDR 密封。

[0115] 图 32 是图 31 所示的半导体器件 SD 的后视图。而且,在该变形例中,多个外部连接端子 SB 设置在布线基板 ISUB 的背表面 SFC2 上。多个电子部件 ELP 安装在背表面 SFC2 的与第一半导体芯片 SC1 重叠的区域中。这些电子部件 ELP 电连接到第一半导体芯片 SC1。

[0116] 如图 33 所示,变形例 2 中所示的第二背电极 AMK2 可以设置在布线基板 ISUB 的背表面 SFC2 上。在图 33 所示的实例中,第二背电极 AMK2 设置在切割区 DSA 中。

[0117] 而且,如图 34 所示,在半导体器件 SD 尚未被切割的状态下, $n \times m$ 个布线基板 ISUB 可以彼此连接。在这种情况下,如图 35 所示,可以设置第二背电极 AMK2。

[0118] 而且,如图 36 所示,模具 MMD 可被成形为具有一个空腔。在这种情况下,多个第一半导体芯片 SC1 和多个电子部件 ELP 位于同一空腔内,并且第一半导体芯片 SC1 和电子部件 ELP 由密封树脂 MDR 一体地密封。而且,在该实例中,布线基板 ISUB 的位于其两端的边缘的至少一部分没有被密封树脂 MDR 密封。因此,固定夹具 HLD 的支撑部 PRJ 抵接布线基板 ISUB 的位于其两端的边缘的没有覆盖密封树脂 MDR 的区域(未覆盖区域 LDO)。为此,可以防止布线基板 ISUB 的背表面 SFC2 相对于固定夹具 HLD 倾斜。

[0119] 基于上述实施例,上文具体描述了由本发明人做出的发明。然而,本发明并不限于这些实施例,而是可以在不脱离本发明的精神的情况下进行各种改变。

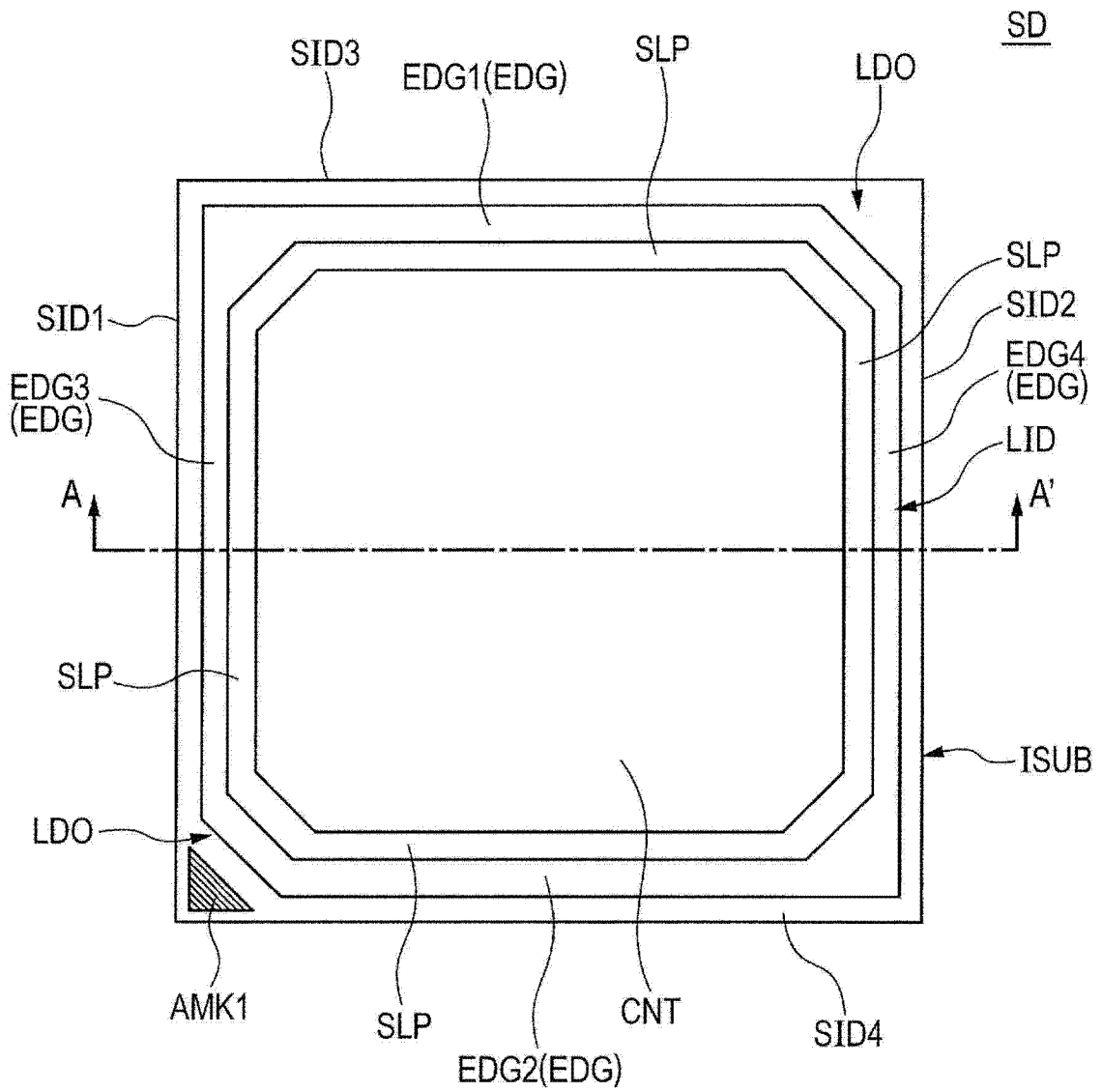


图 1

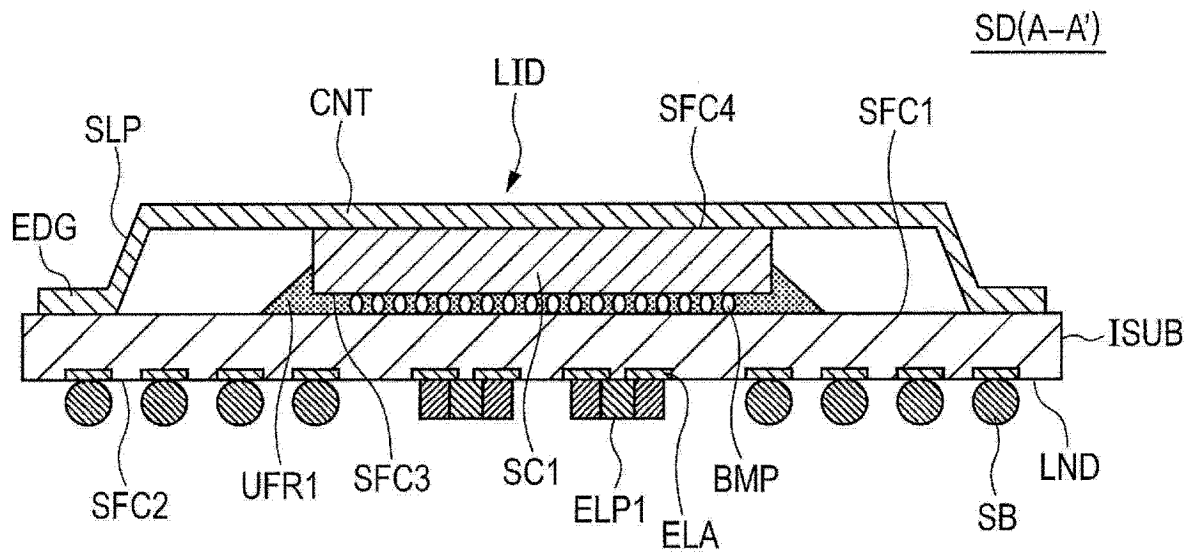


图 2

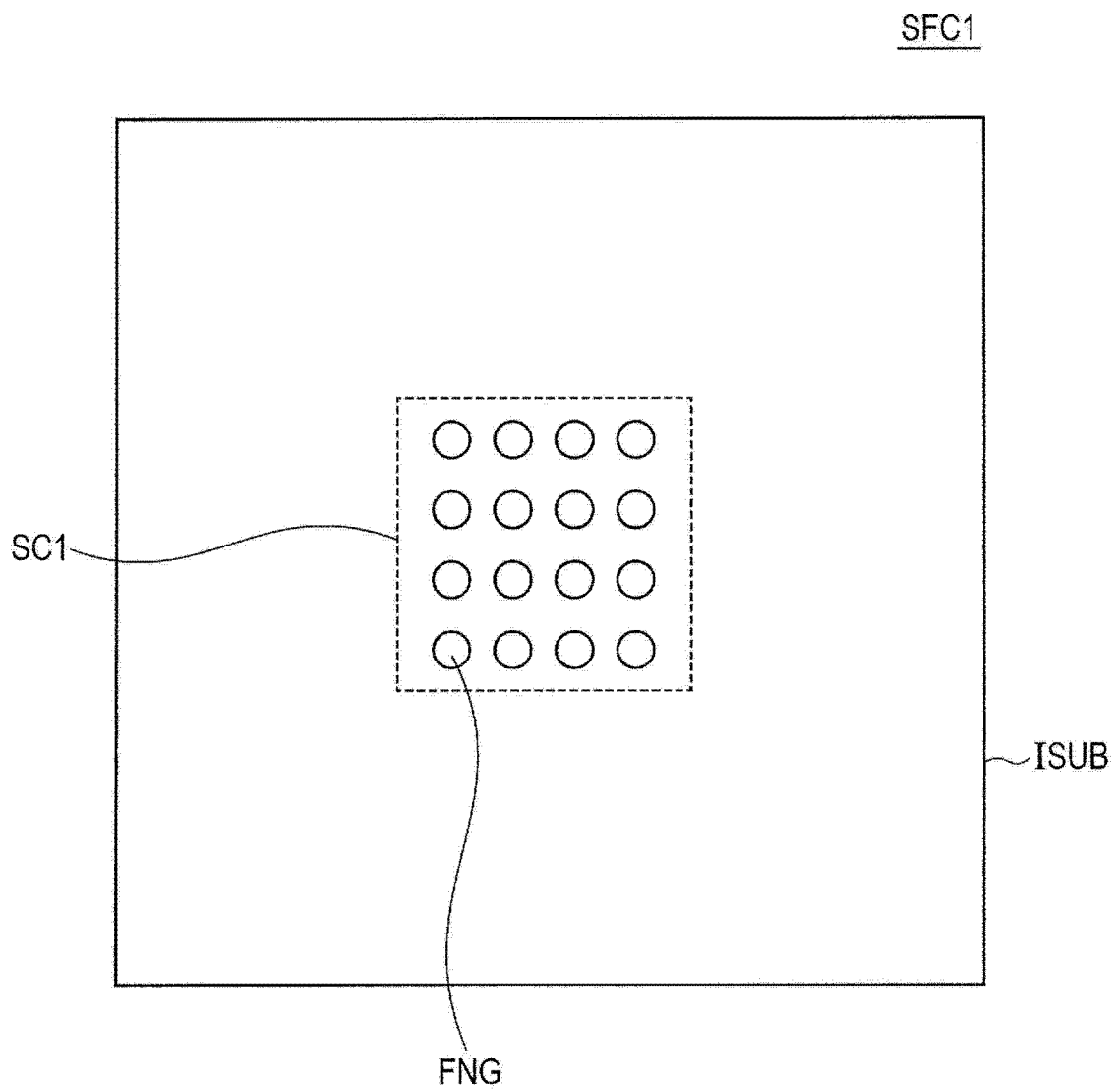


图 3

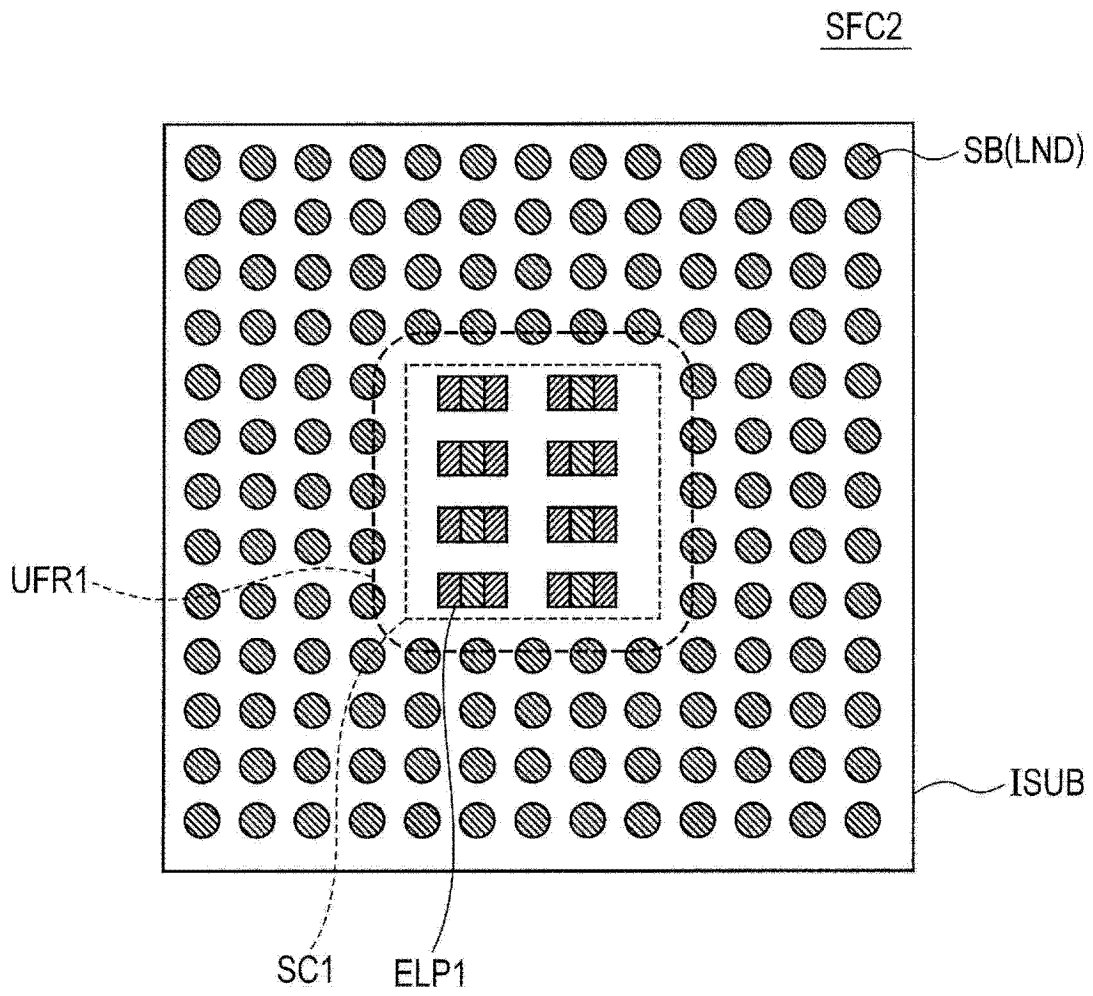


图 4

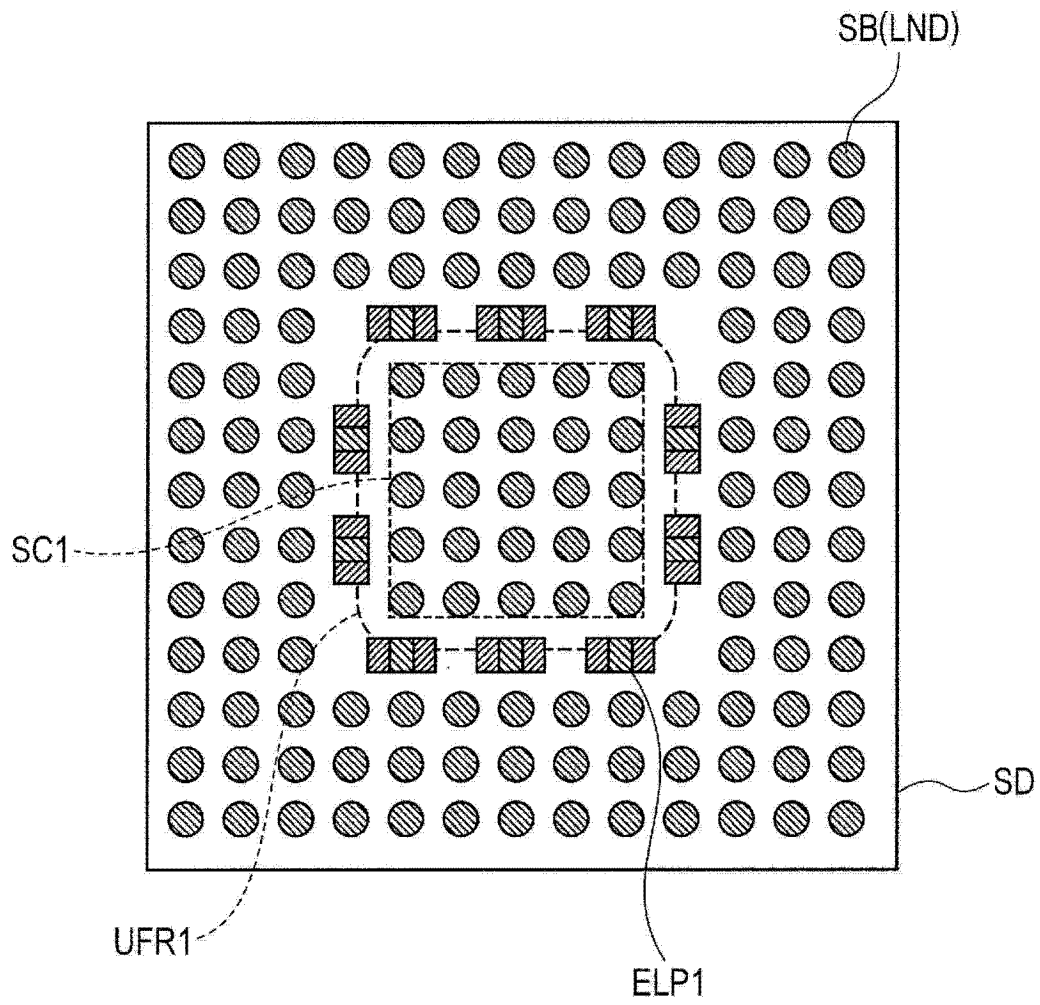


图 5

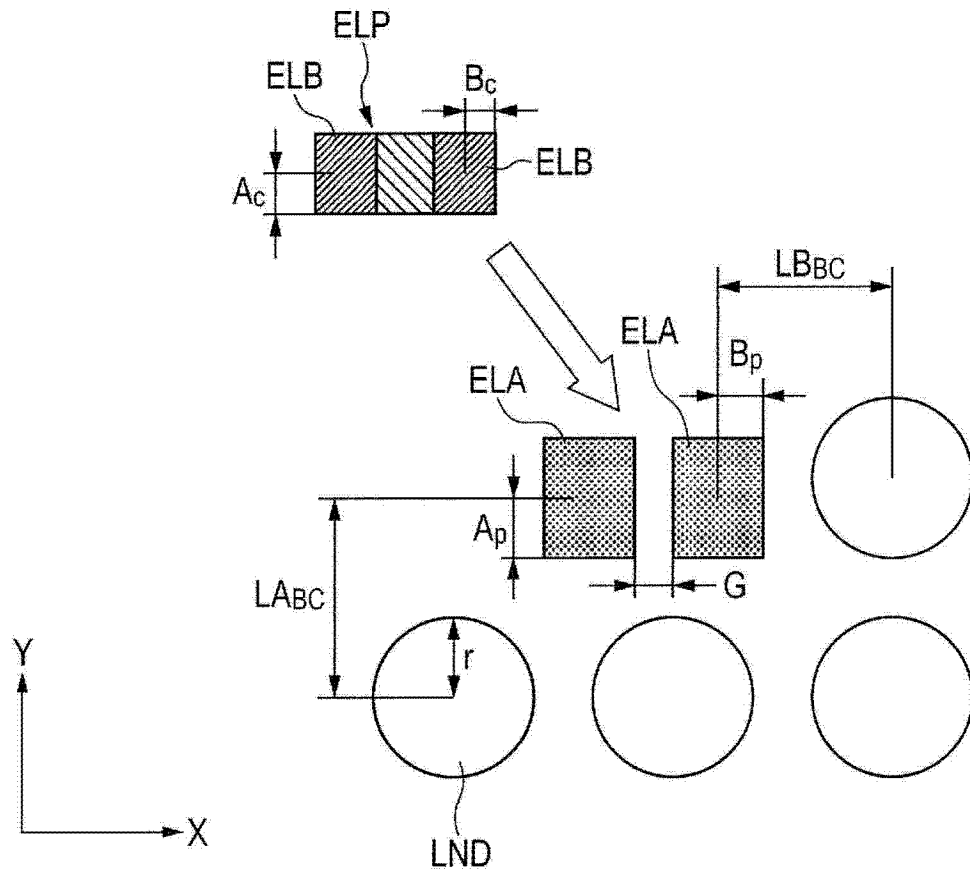


图 6

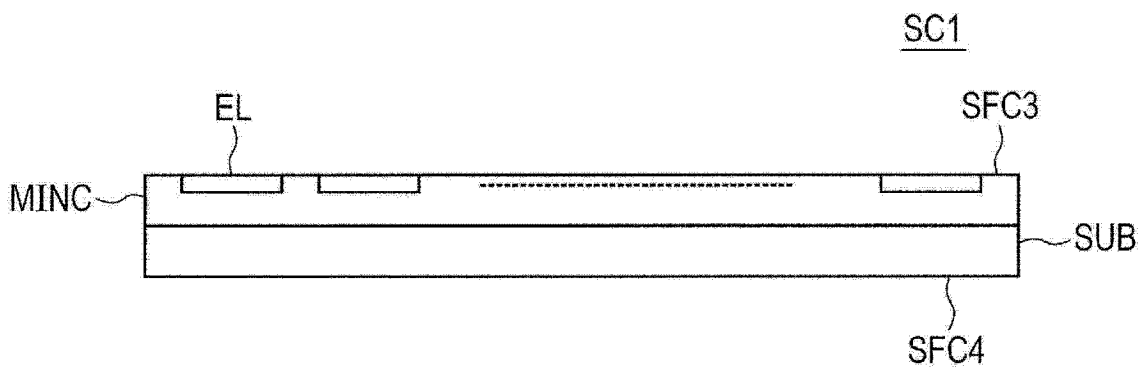


图 7

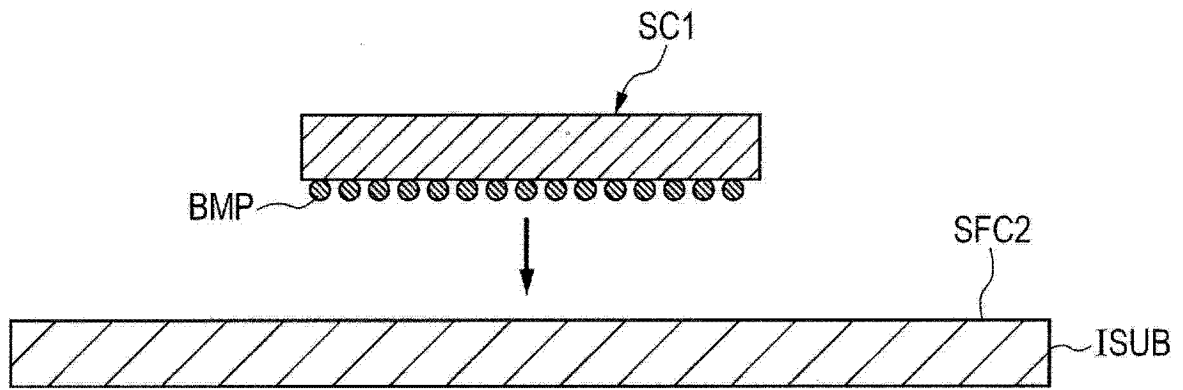


图 8A

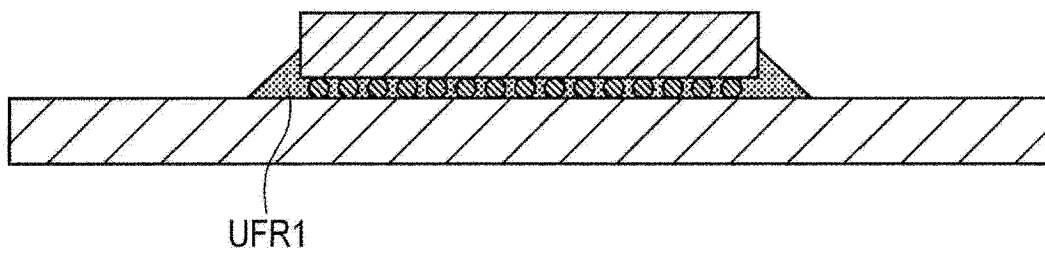


图 8B

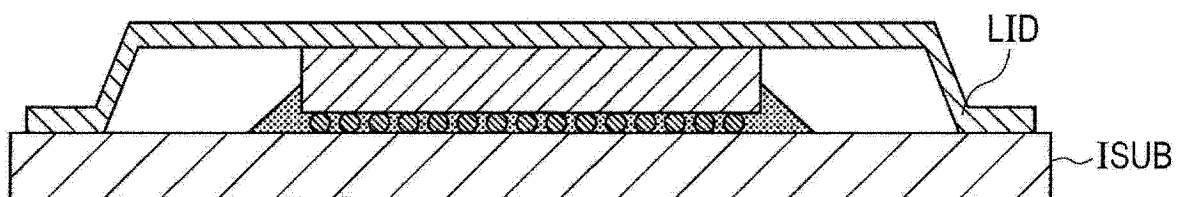


图 8C

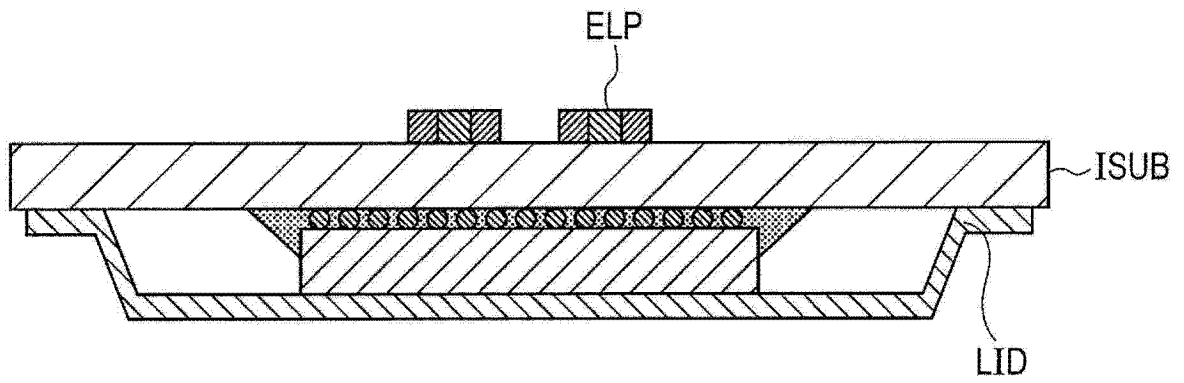


图 9A

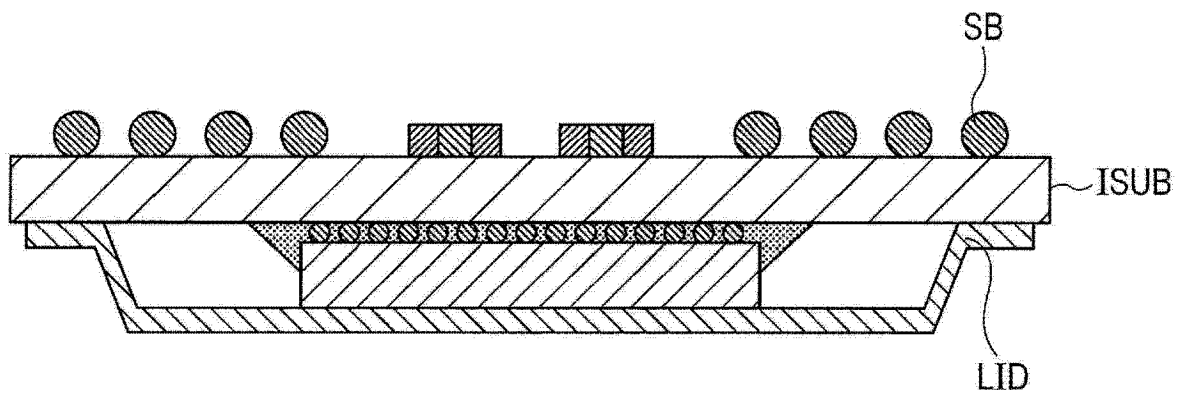


图 9B

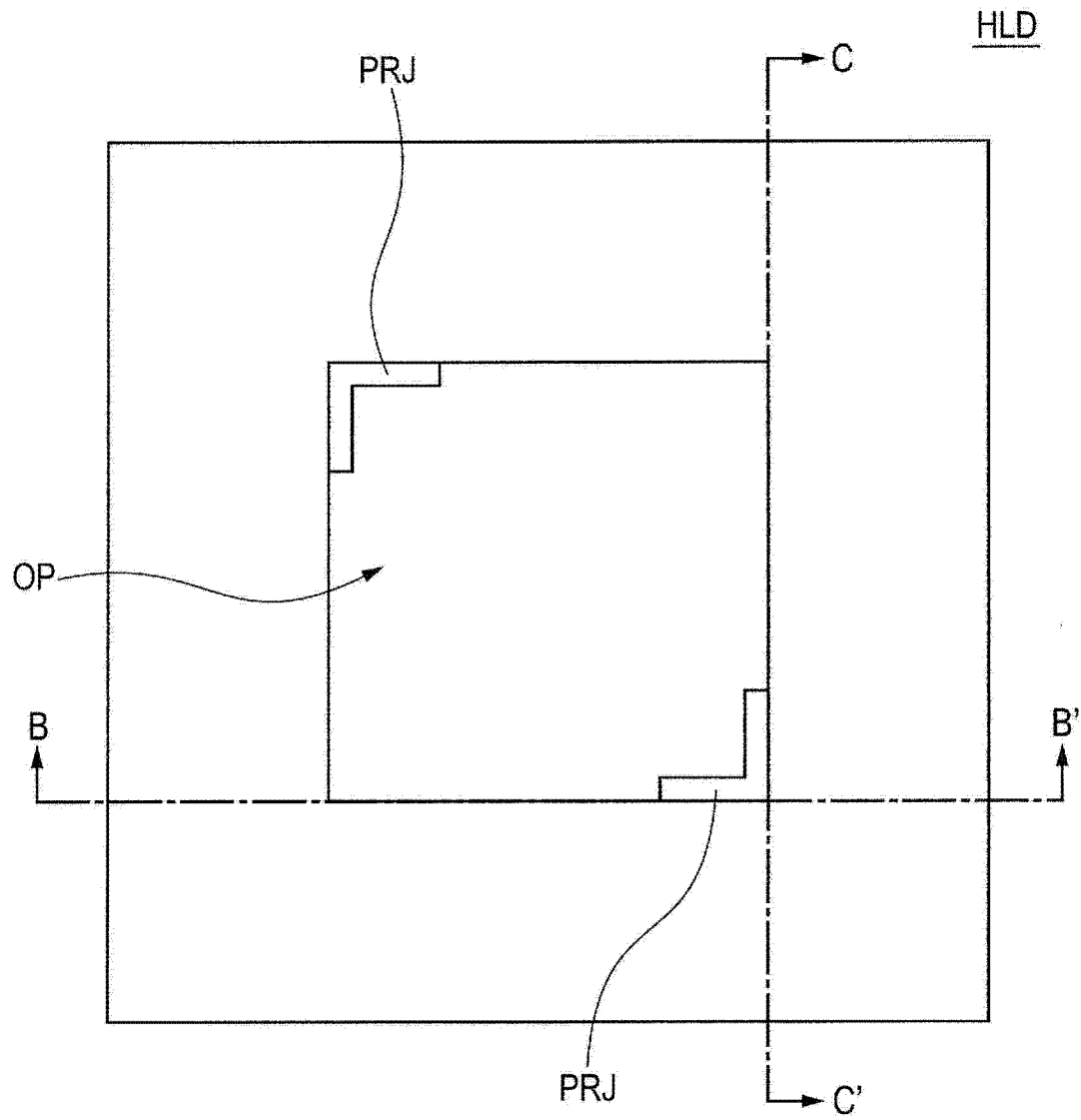


图 10

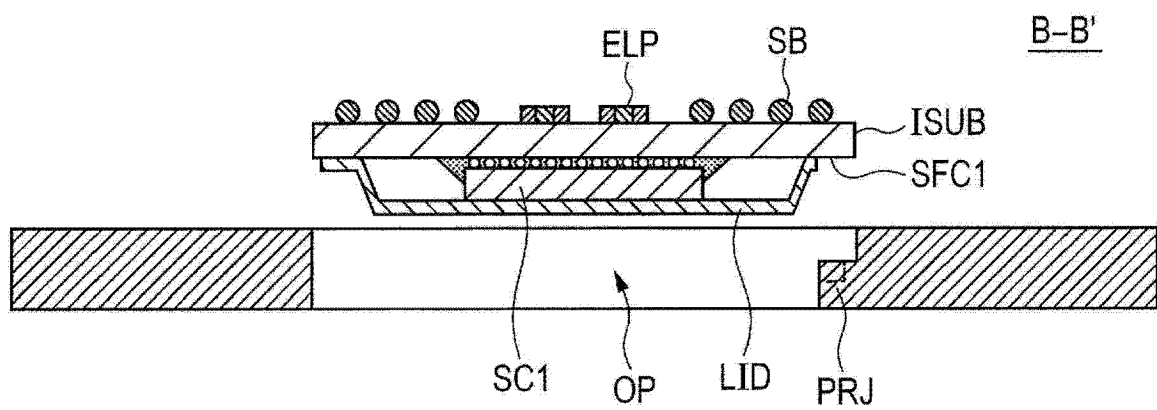


图 11

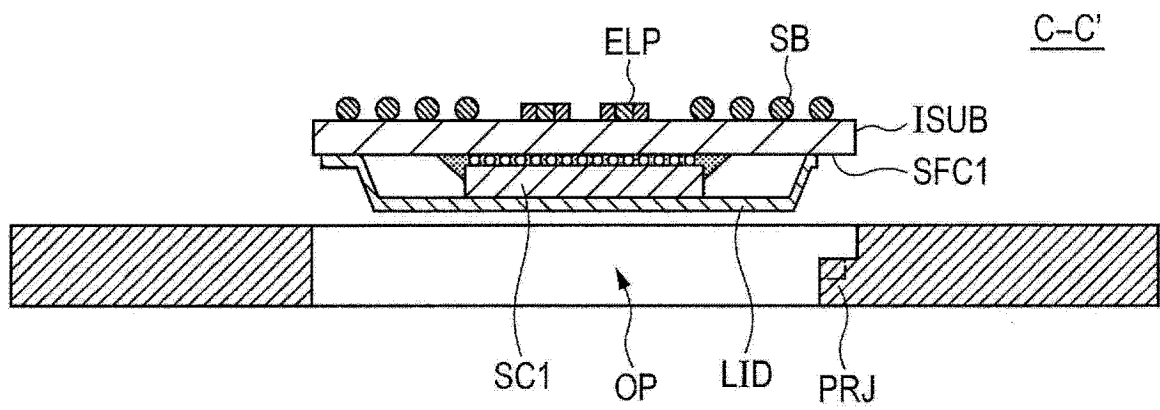


图 12

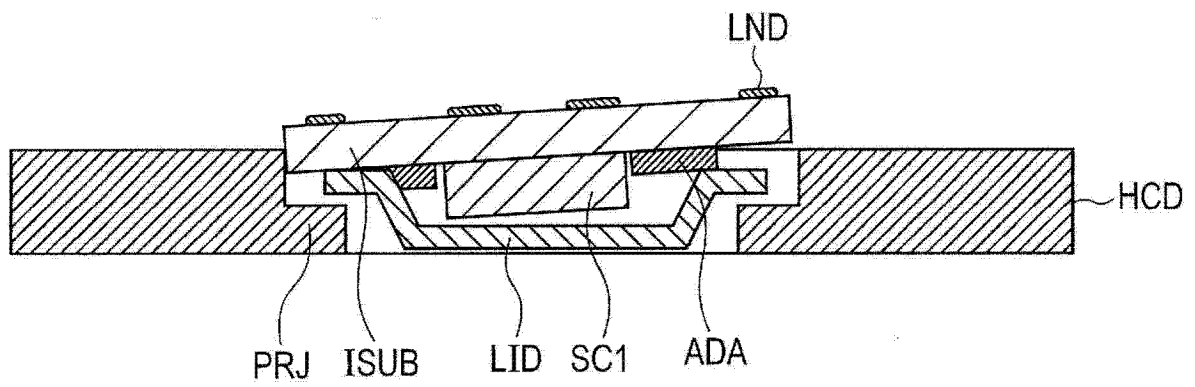


图 13

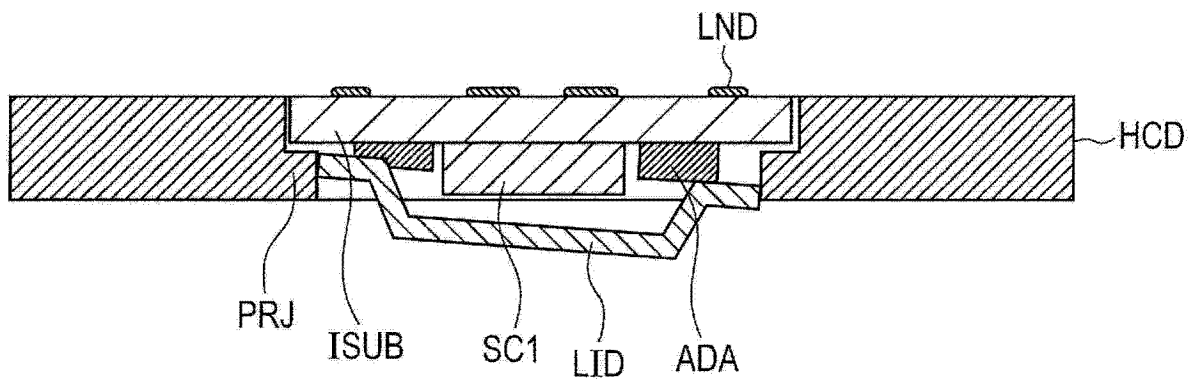


图 14

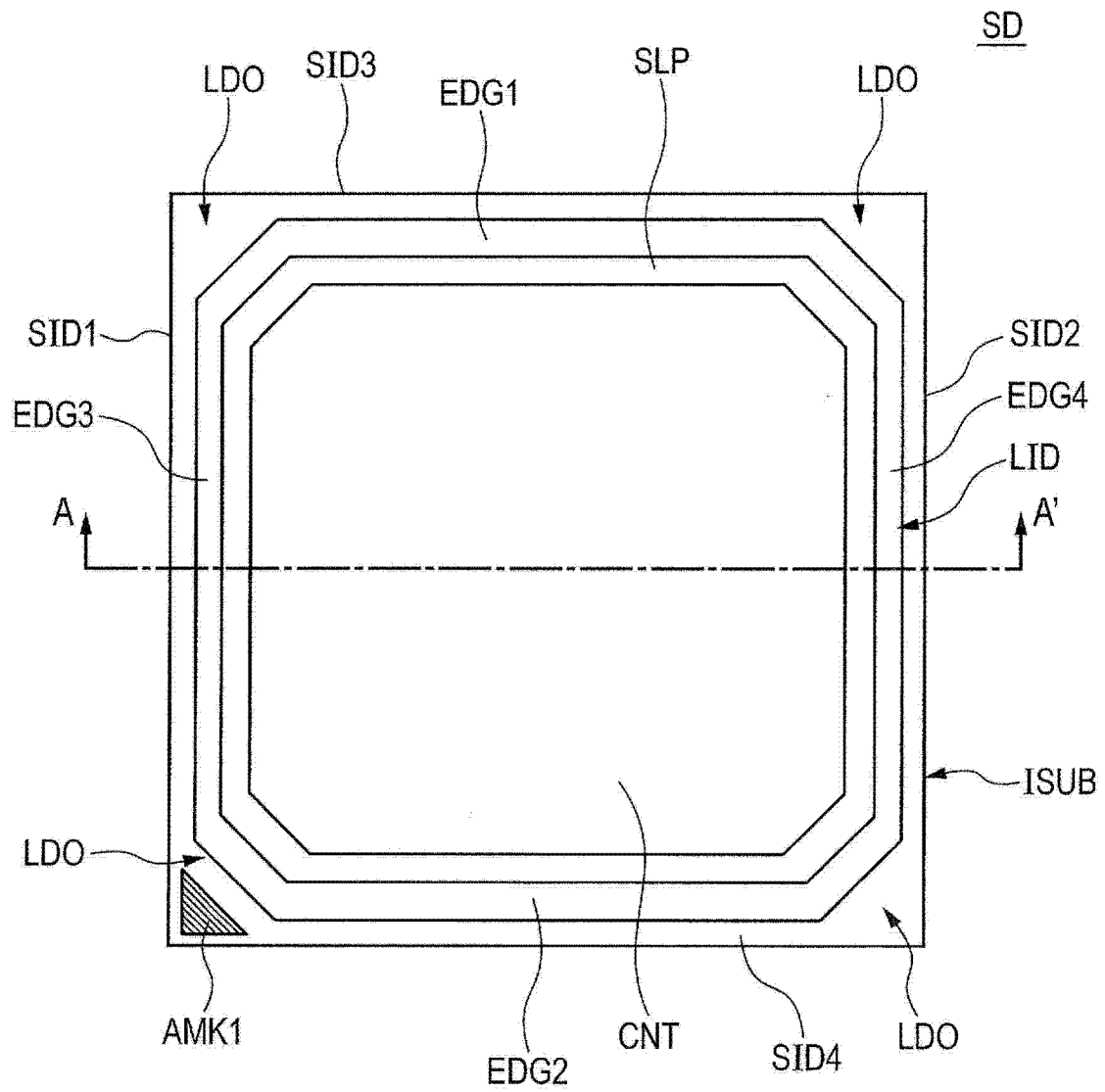


图 15

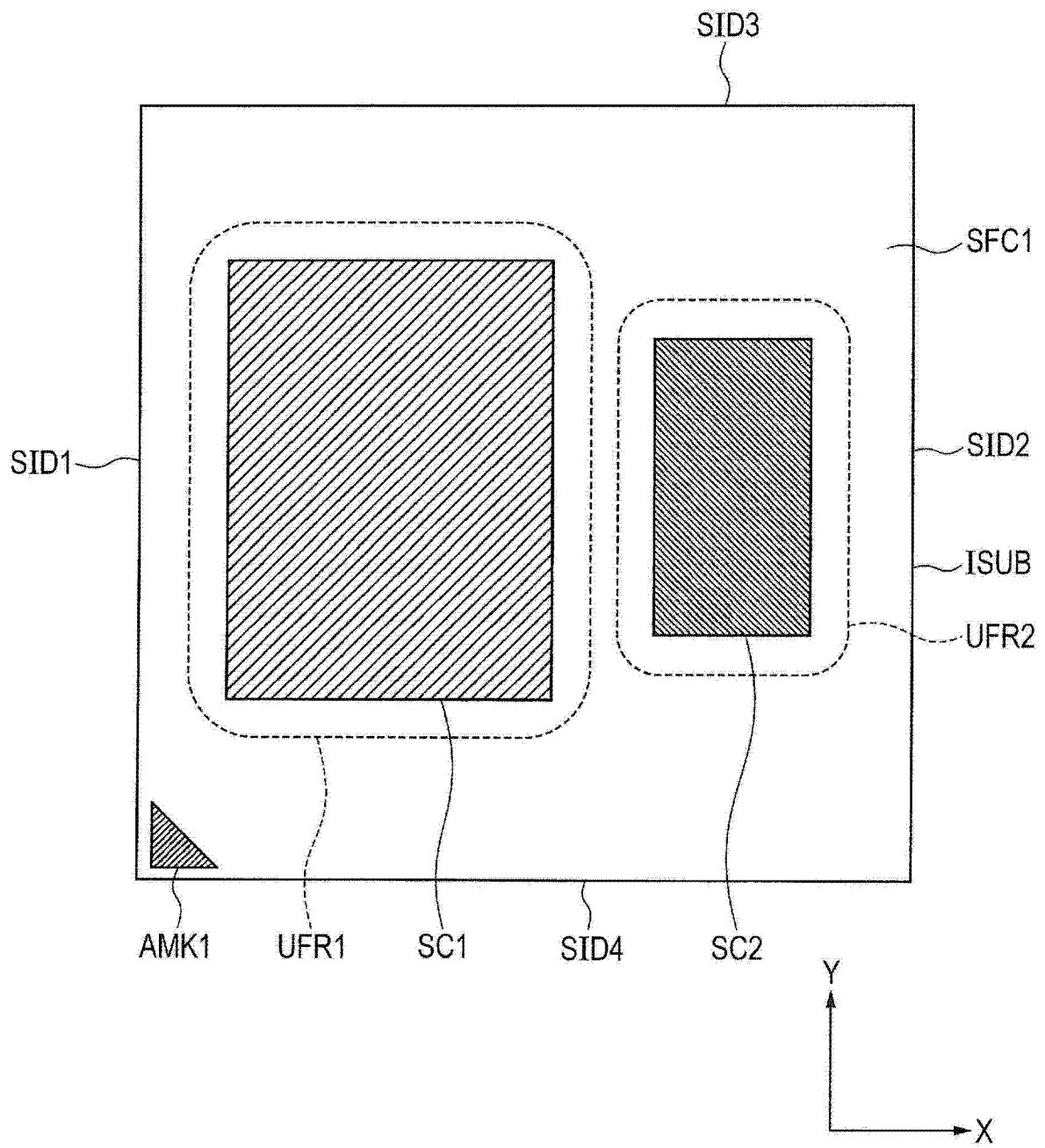


图 16

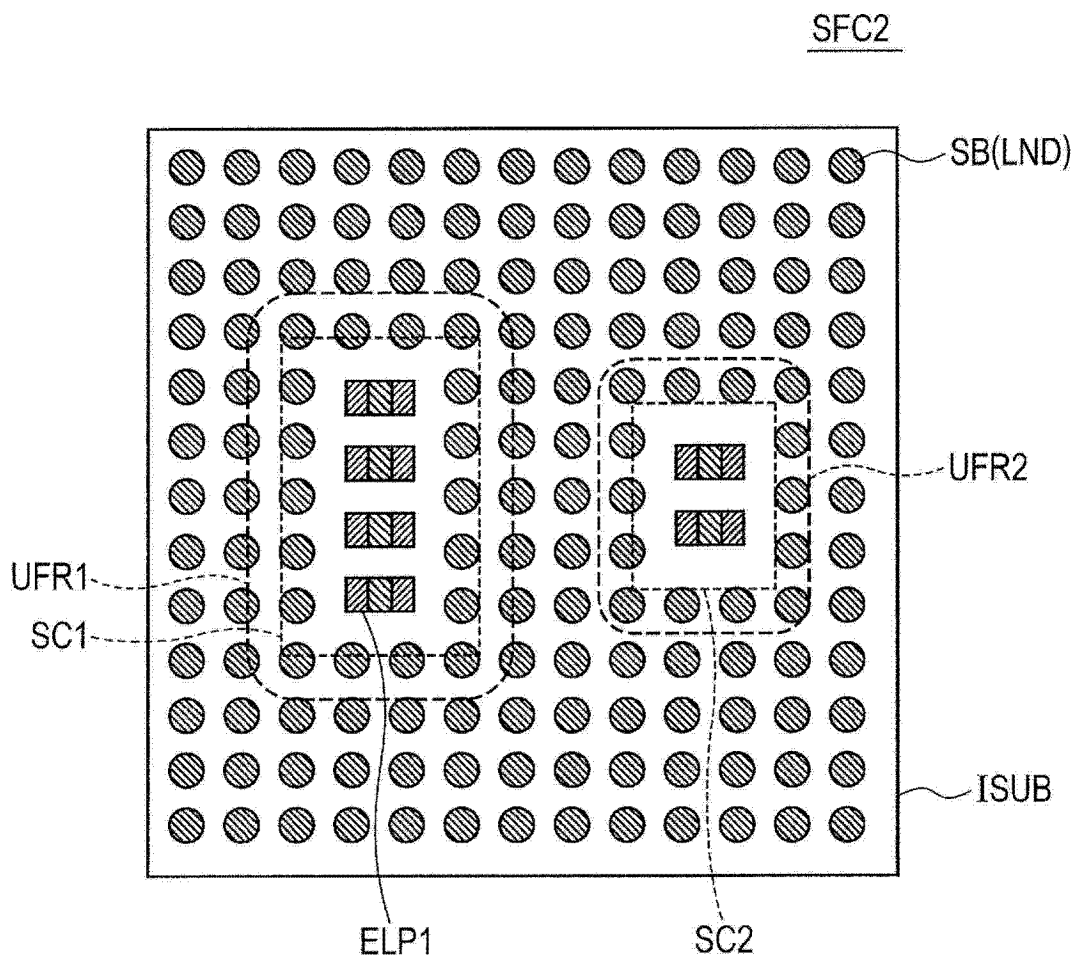


图 17

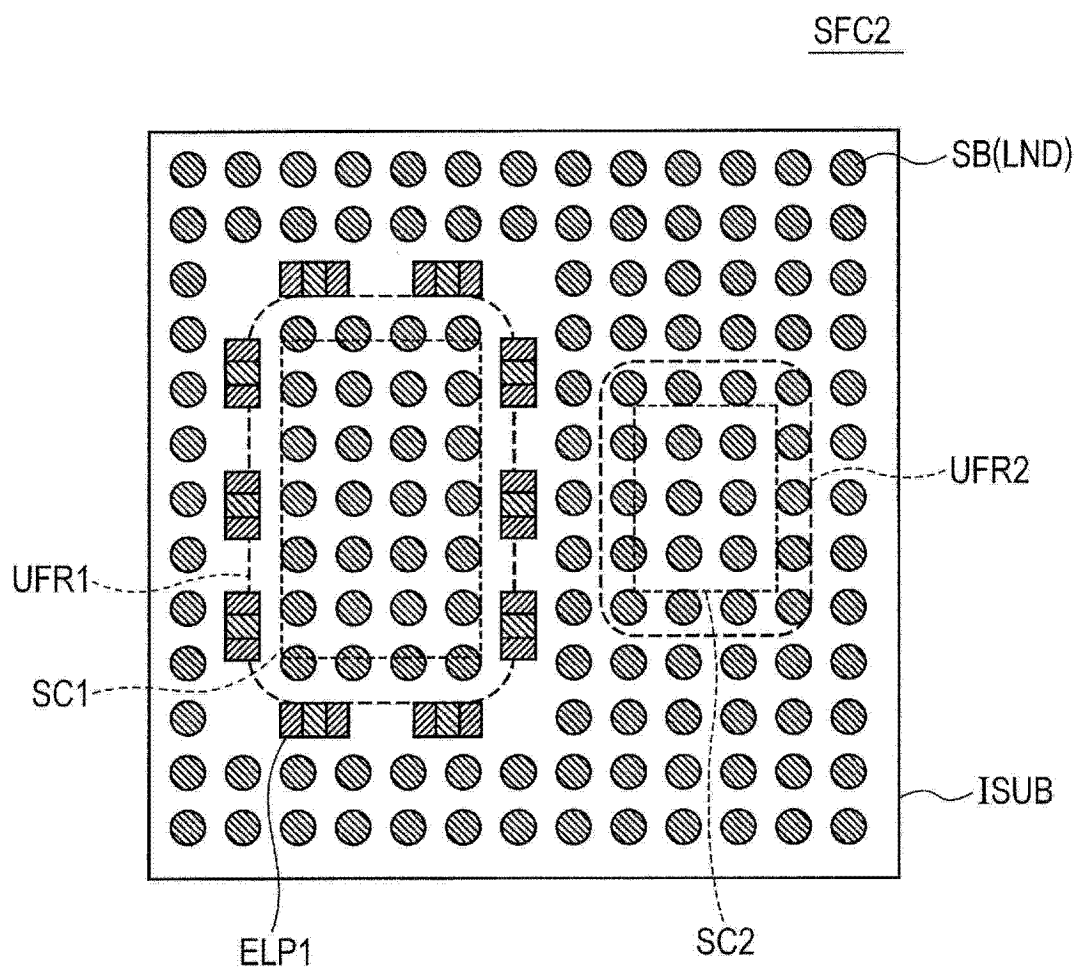


图 18

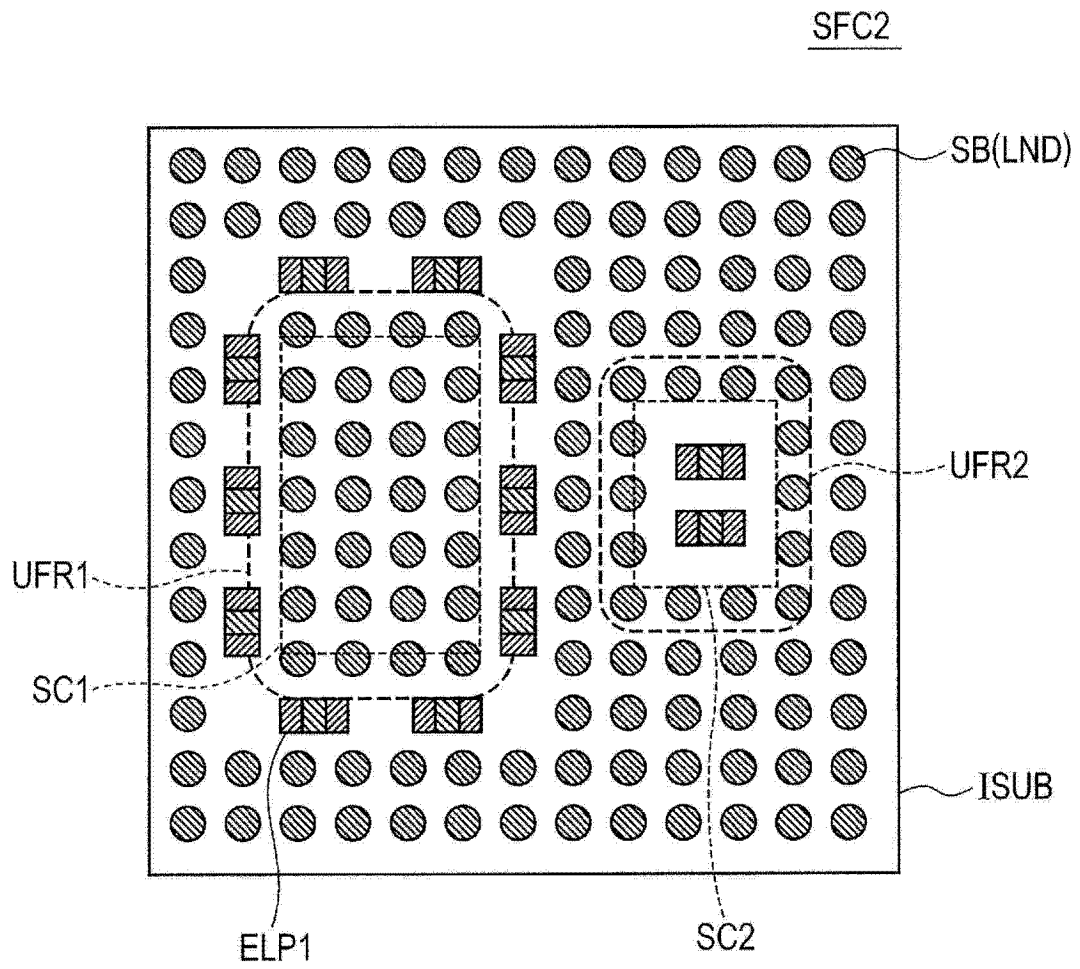


图 19

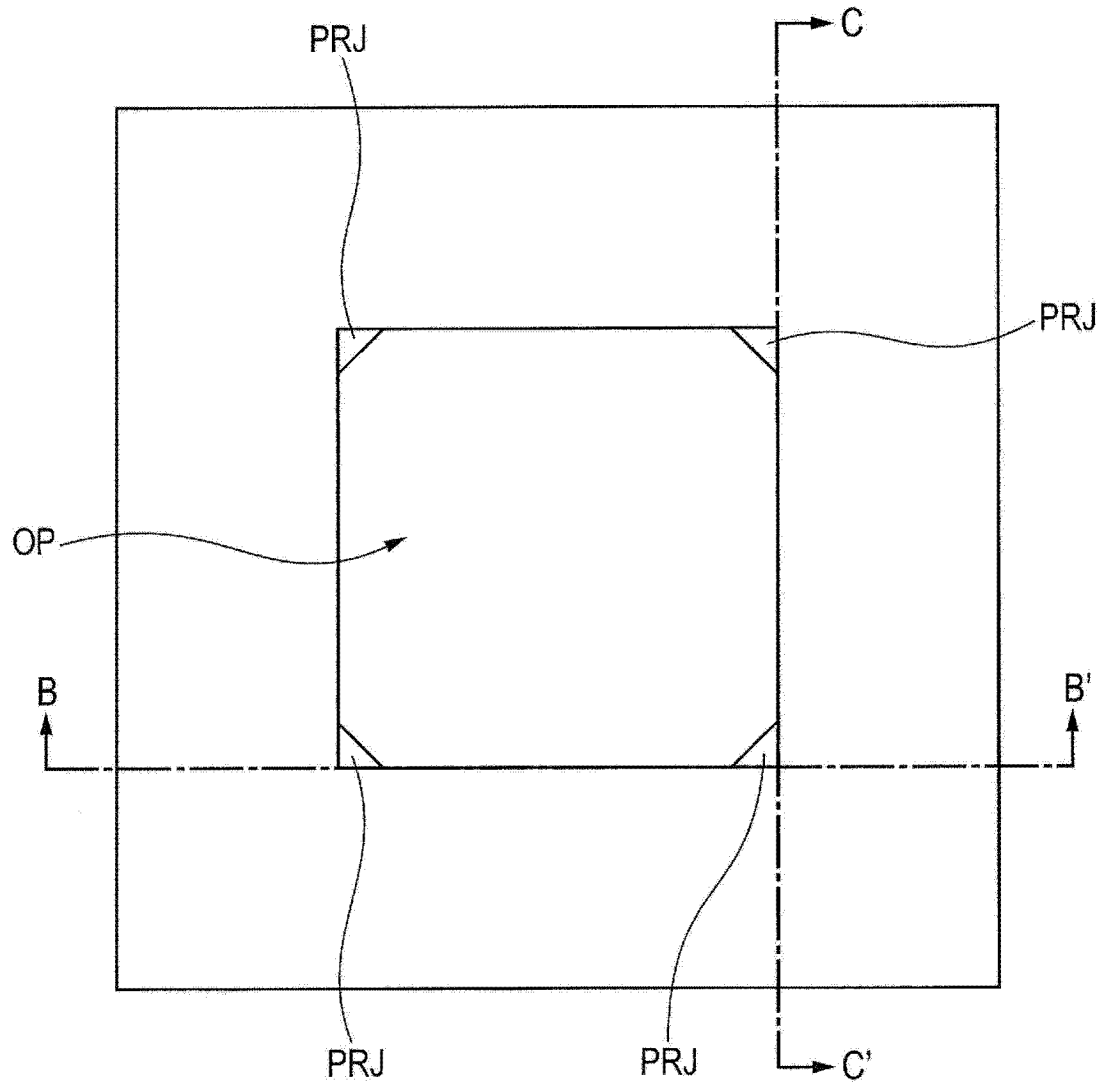


图 20

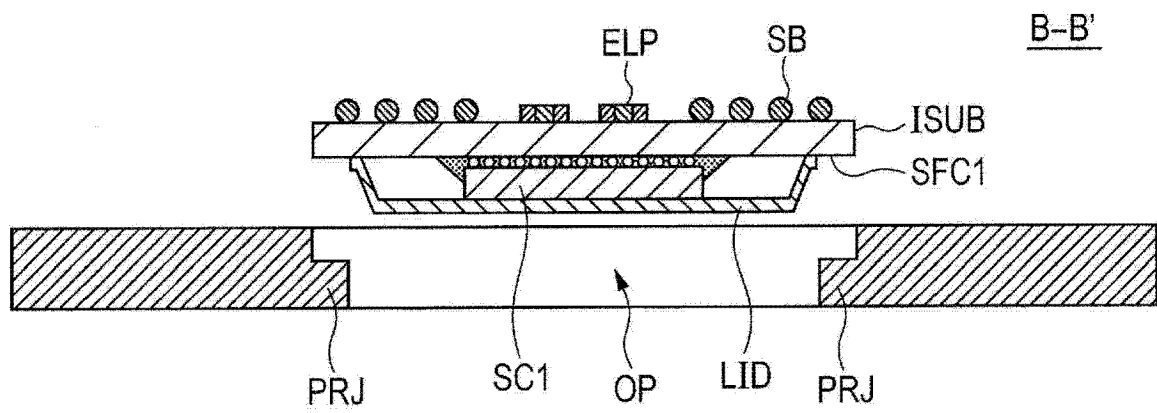


图 21

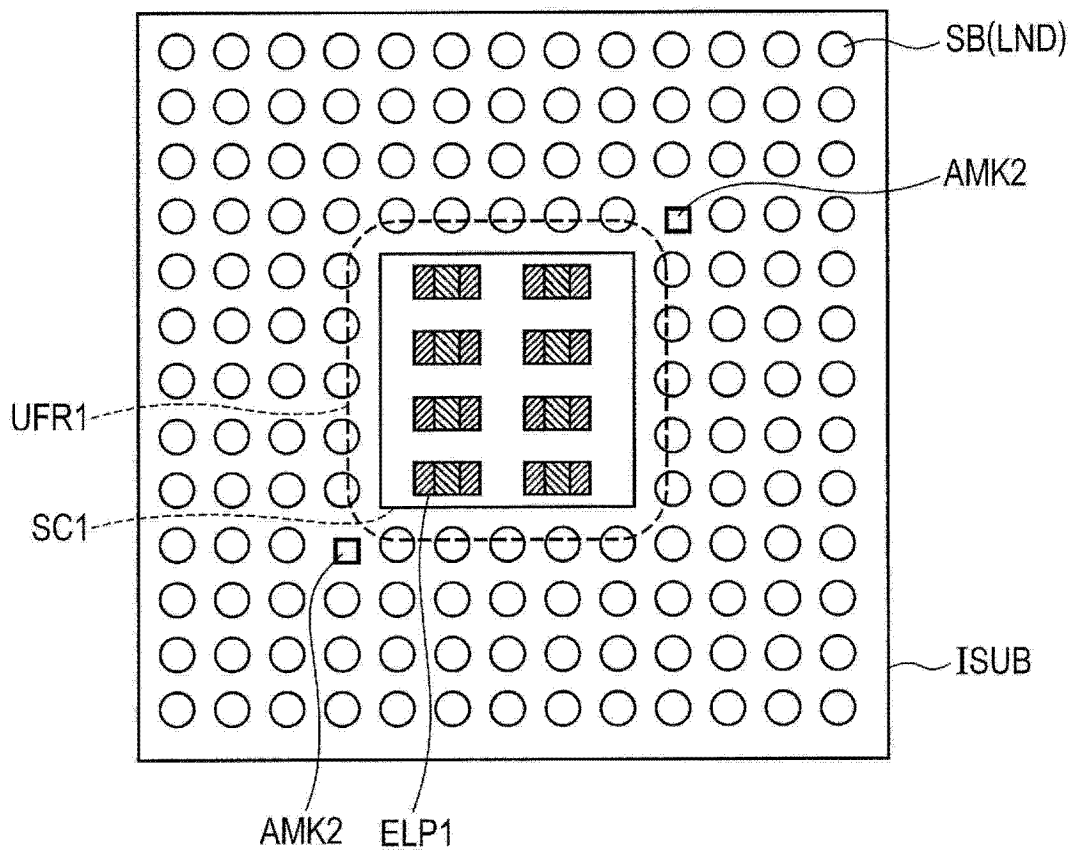


图 24

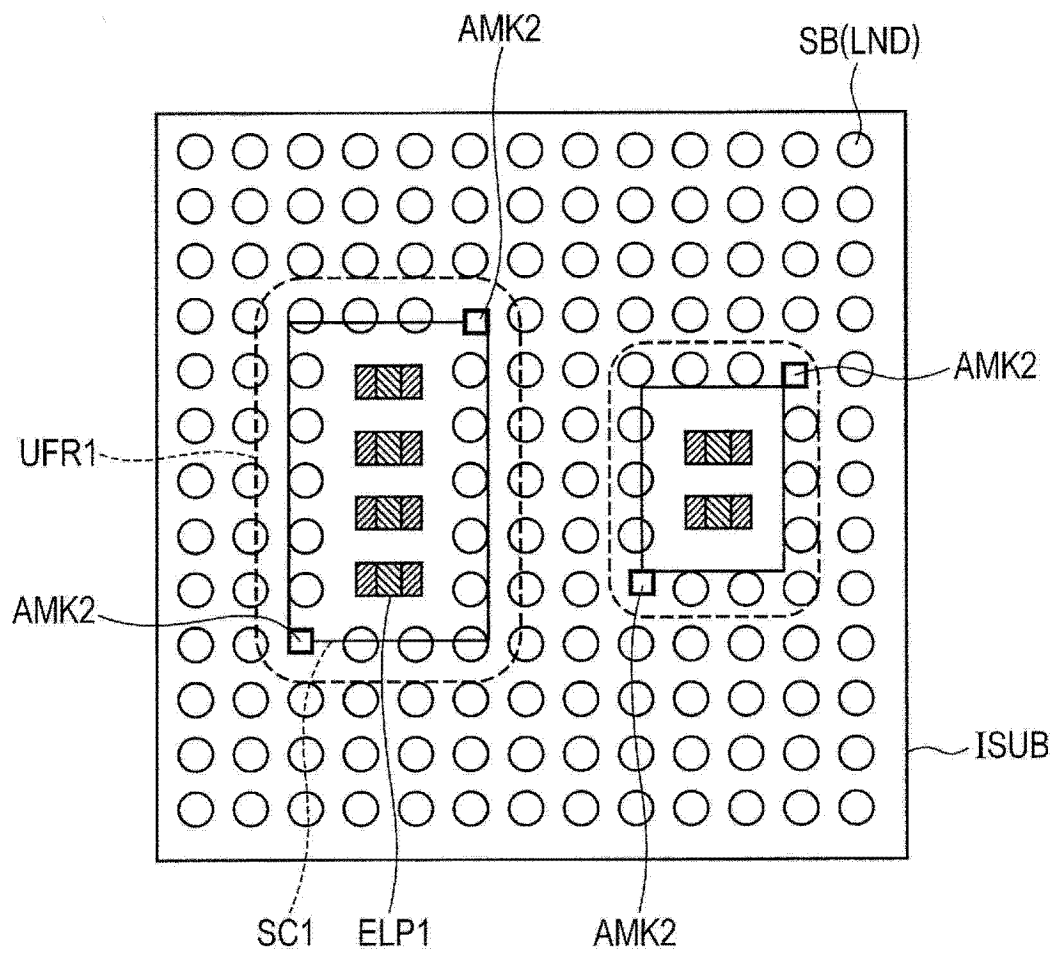


图 25

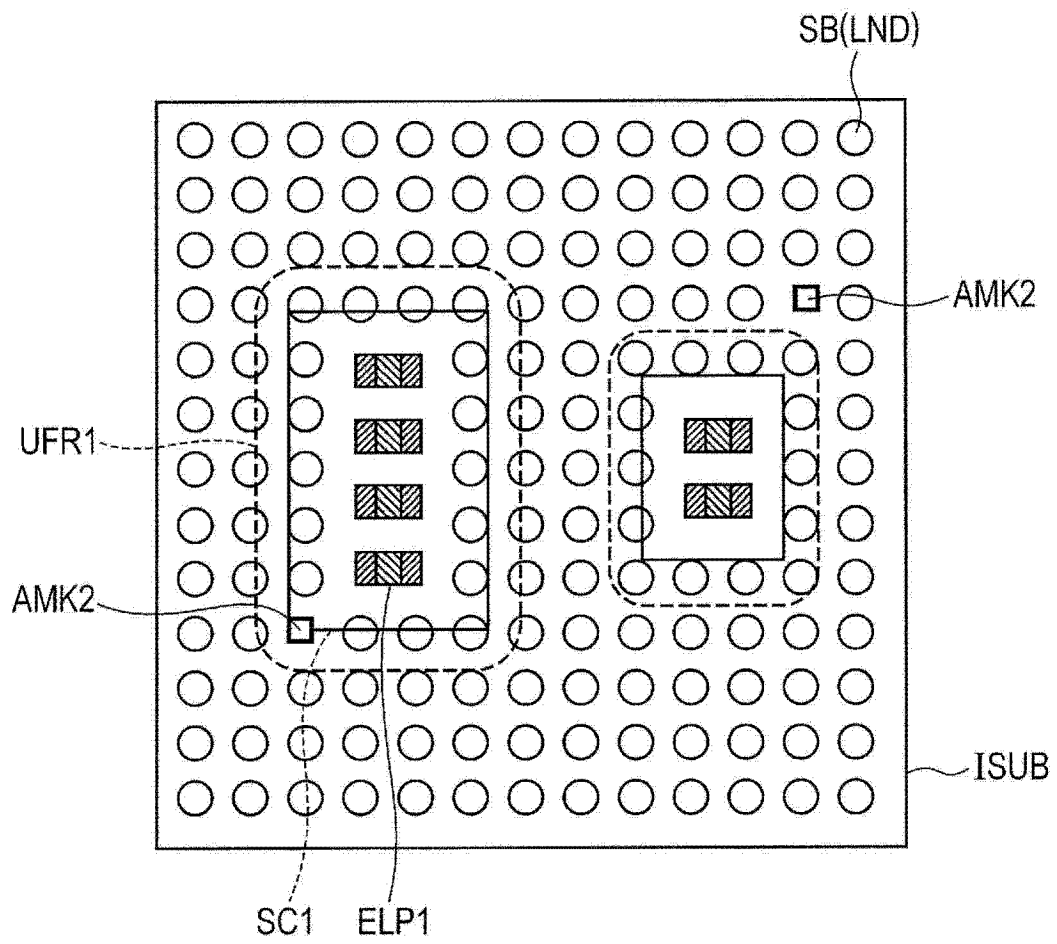


图 26

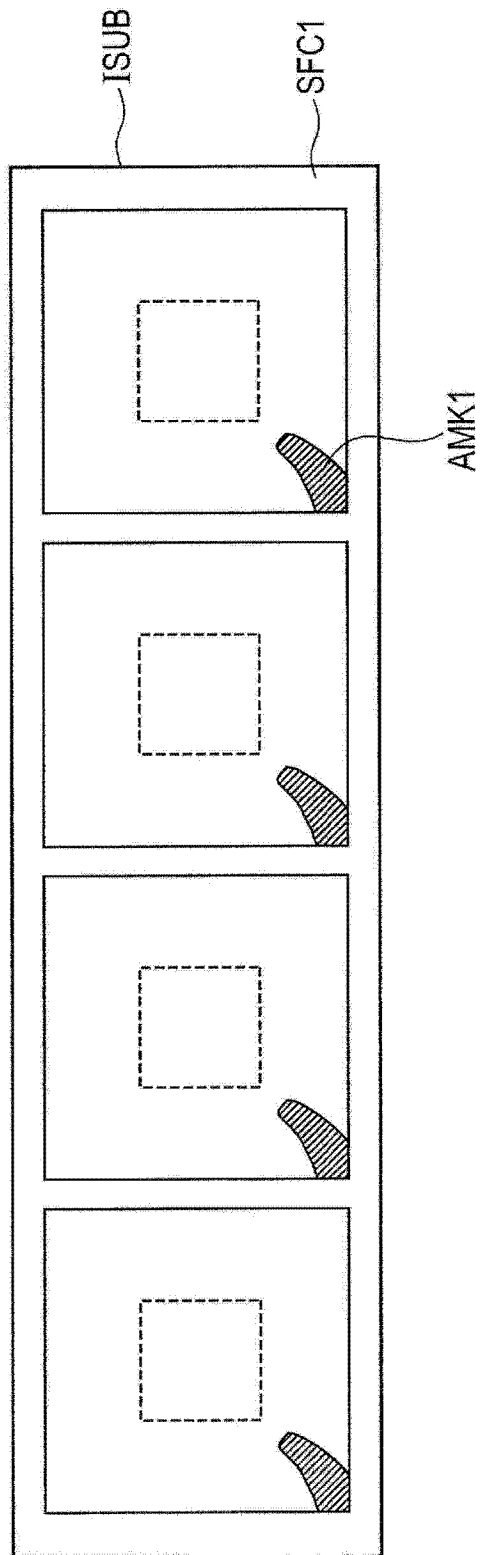


图 27

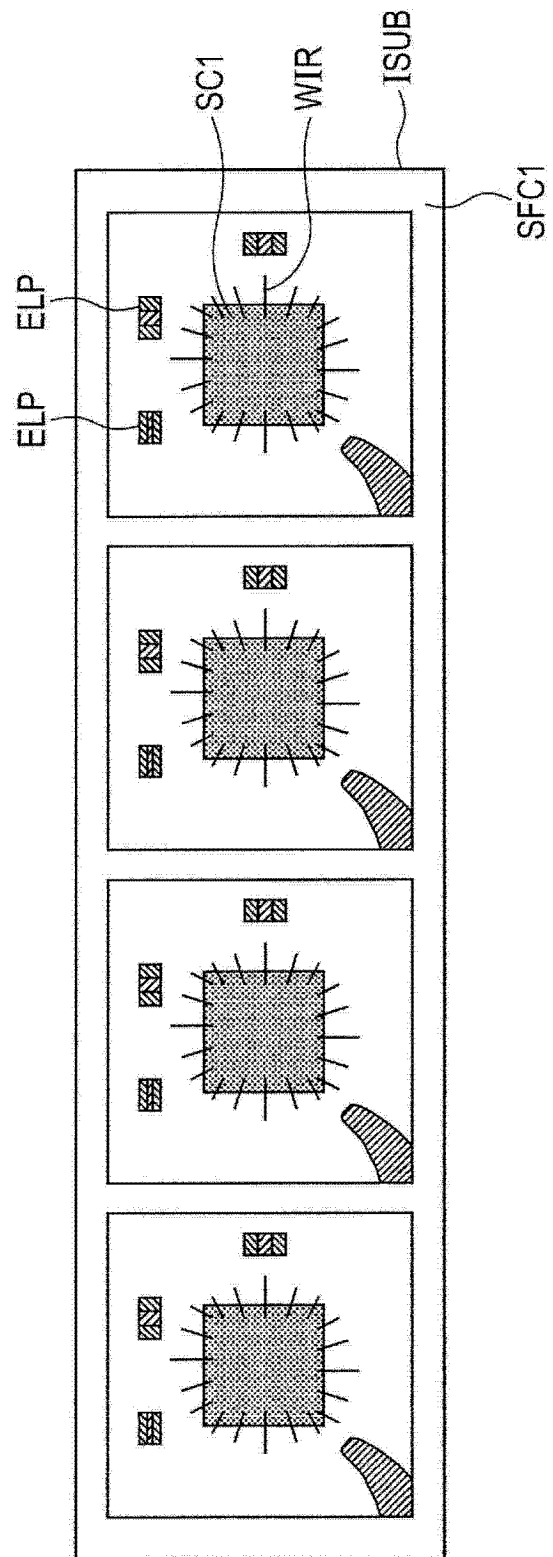


图 28A

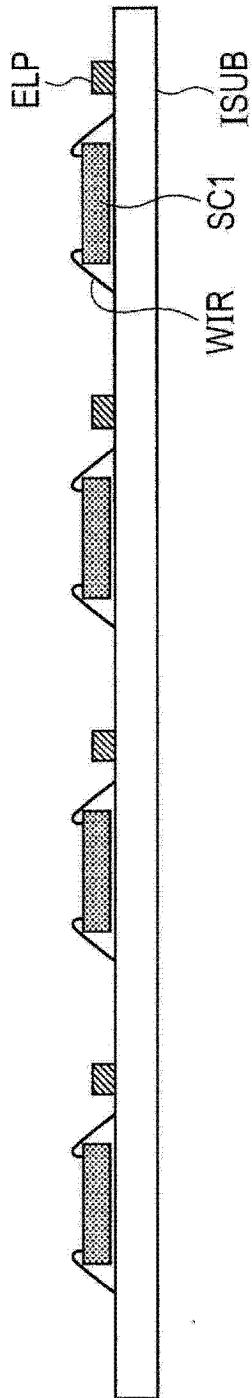


图 28B

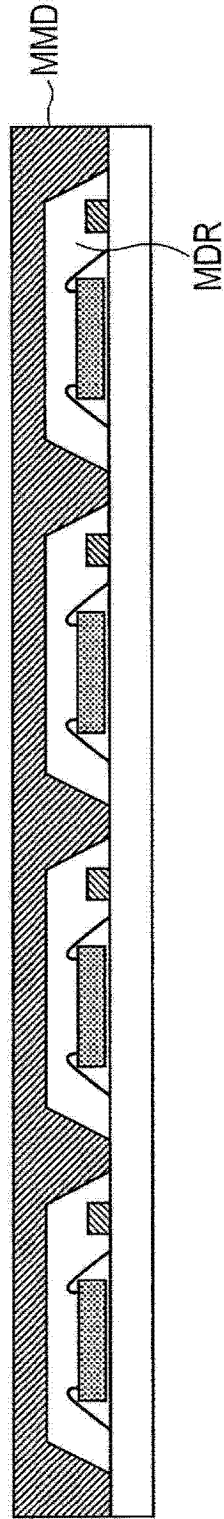


图 29A

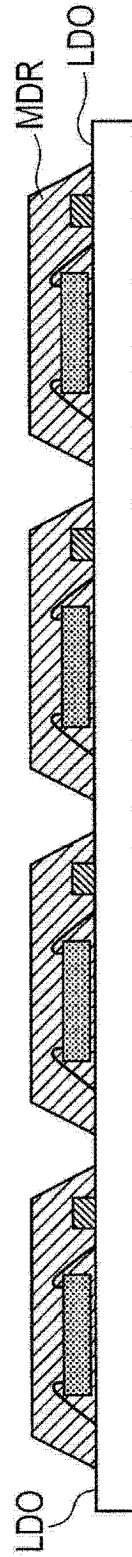


图 29B

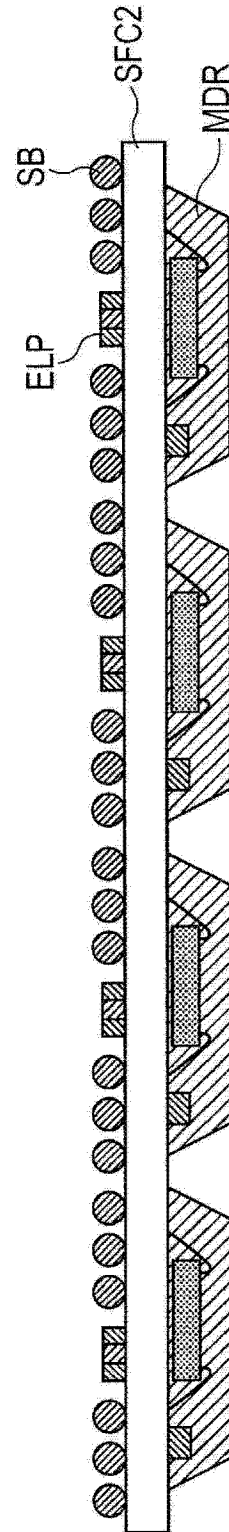


图 30A

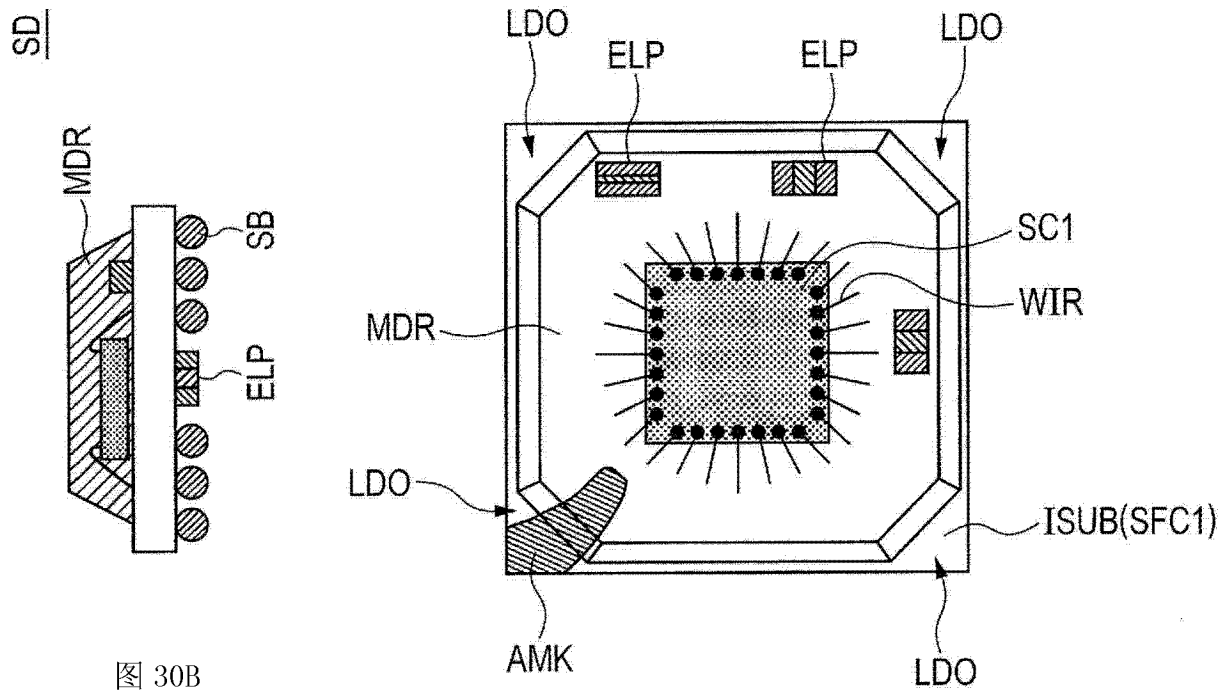


图 30B

图 31

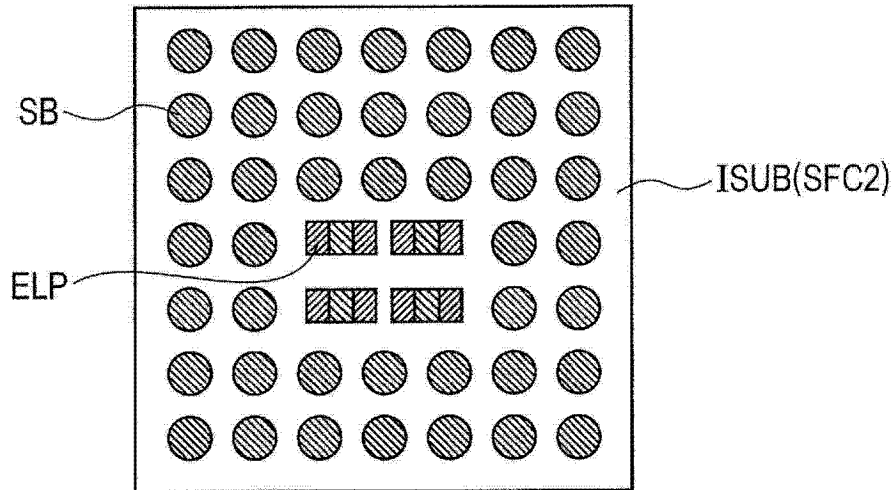


图 32

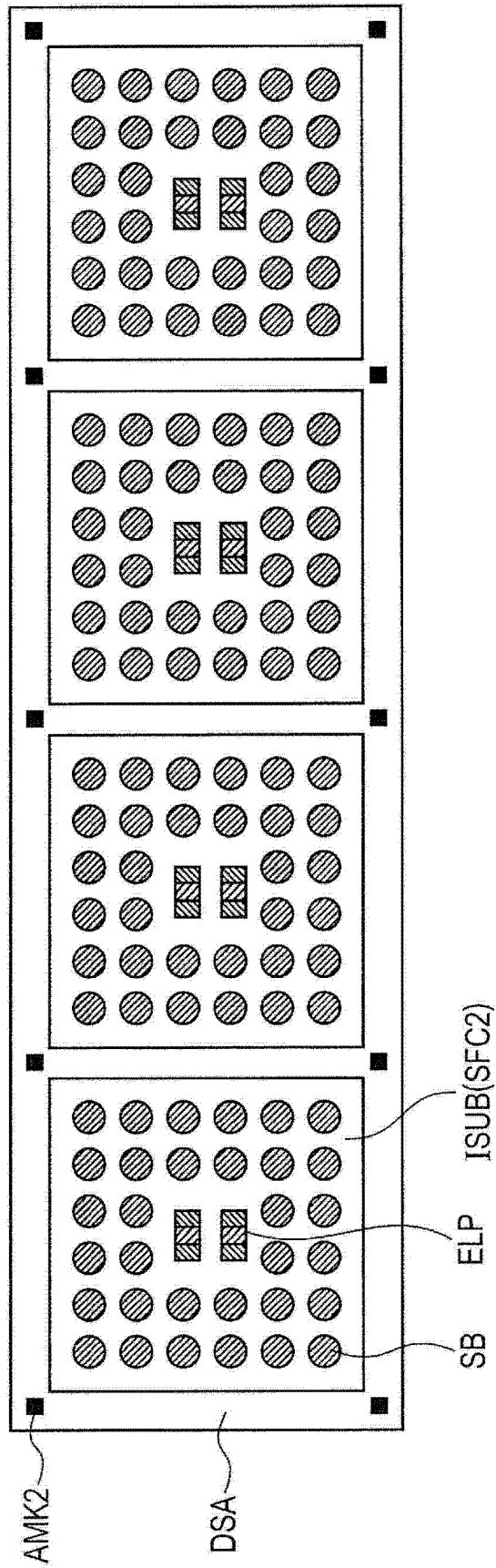


图 33

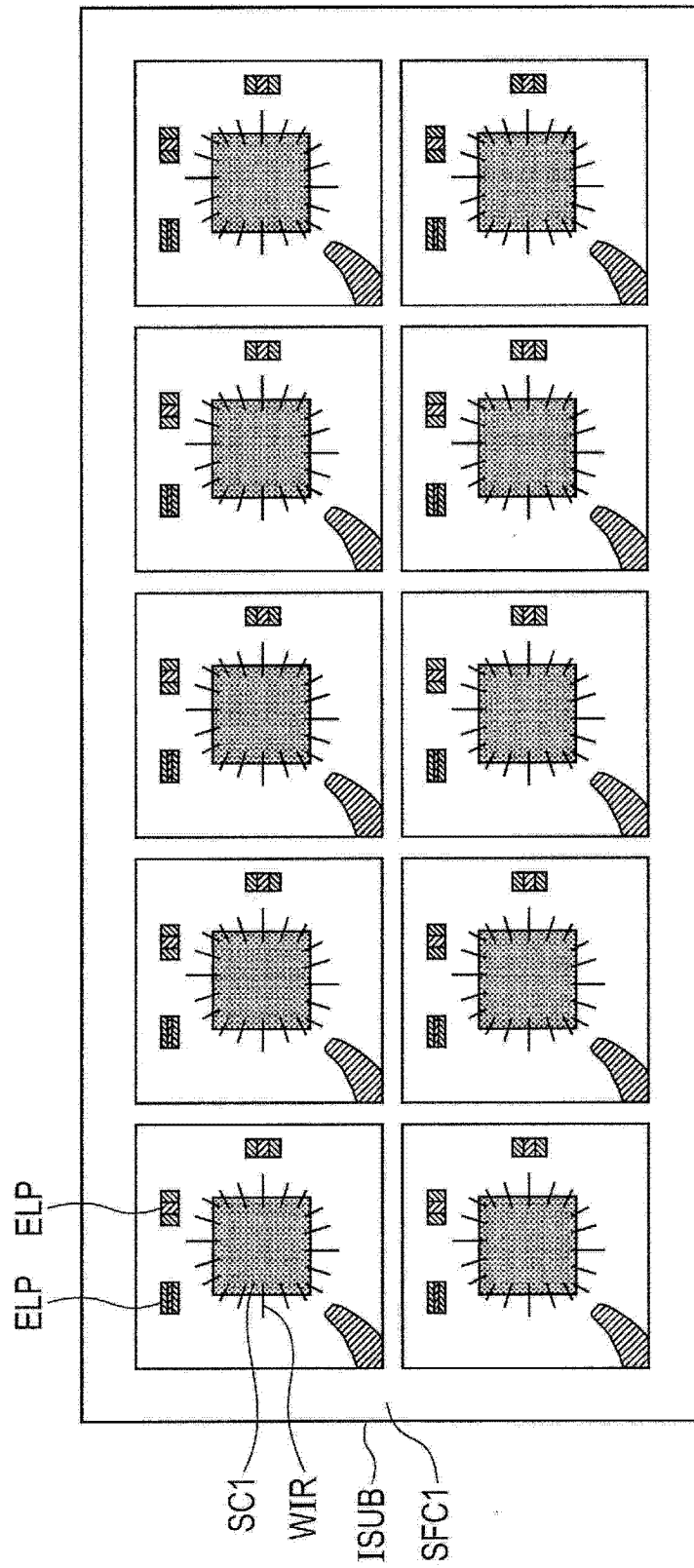


图 34

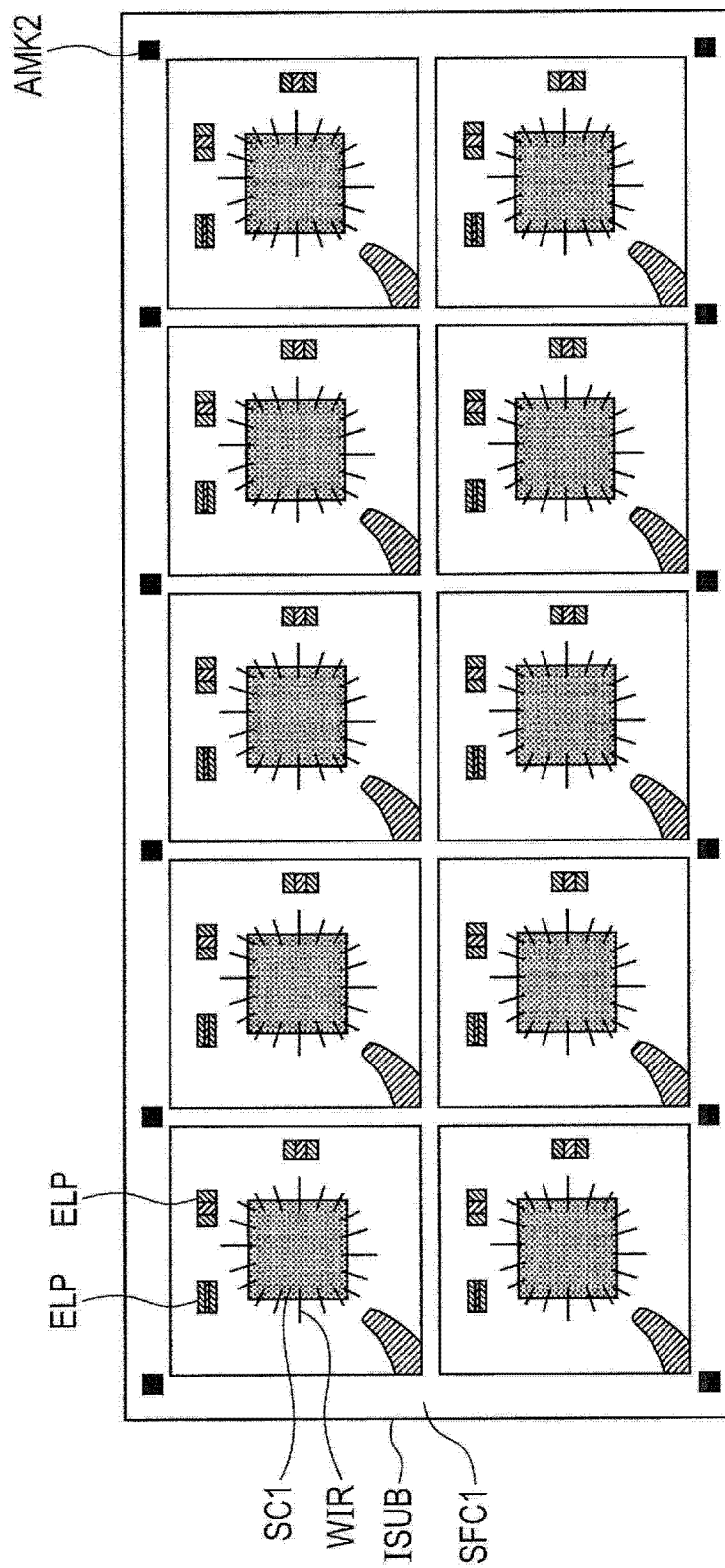


图 35

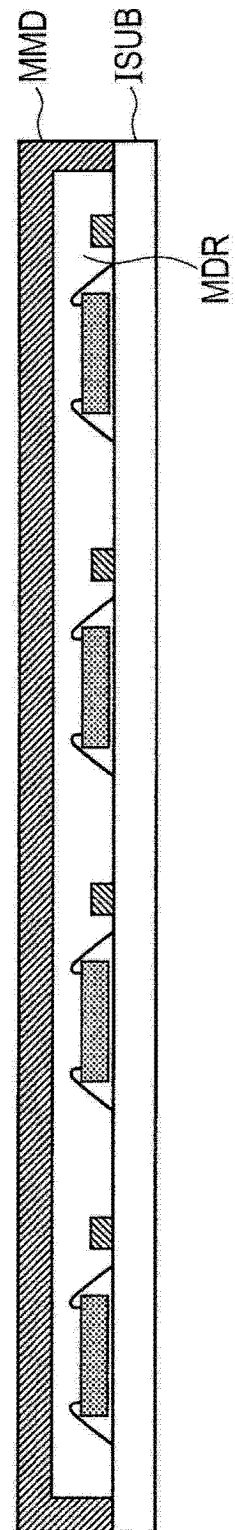


图 36