

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-282960  
(P2004-282960A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H02J 7/00	H02J 7/00 302C	5G003
H01M 10/44	H01M 10/44 P	5H030

審査請求 未請求 請求項の数 2 O L (全 12 頁)

(21) 出願番号	特願2003-74175 (P2003-74175)	(71) 出願人	000010076 ヤマハ発動機株式会社 静岡県磐田市新貝2500番地
(22) 出願日	平成15年3月18日 (2003.3.18)	(74) 代理人	100083806 弁理士 三好 秀和
		(74) 代理人	100068342 弁理士 三好 保男
		(74) 代理人	100100712 弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100087365 弁理士 栗原 彰
		(74) 代理人	100100929 弁理士 川又 澄雄
		(74) 代理人	100095500 弁理士 伊藤 正和

最終頁に続く

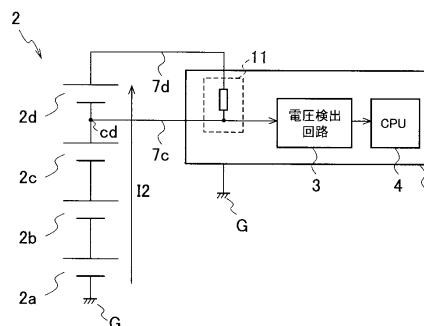
(54) 【発明の名称】 容量バラツキ抑制回路

(57) 【要約】

【課題】 組電池2を構成する電池2a～2dの電圧を検出するために用いる検出線7cに電流が流れることにより、この検出線7cを境として組電池2が複数のブロック(2a～2cと2d)に分かれた場合に、この分かれたブロック間で消費電流の差が生じるために発生するブロックの容量のバラツキを抑制することを目的としたものである。

【解決手段】 複数のブロックのうちで、電流値が一番高いブロック(2a～2c)の消費電流に他のブロック(2d)の電流値を合わせるように計算された回路又は素子を、上記電流値が一番高いブロック(2a～2c)以外のブロック(2d)の正負極間に挿入した。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

組電池を構成する電池の電圧を検出するために用いる検出線に電流が流れることにより、この検出線を境として前記組電池が複数のブロックに分かれた場合に、前記分かれたブロック間で消費電流の差が生じるために発生するブロックの容量のバラツキを抑制する容量バラツキ抑制回路であって、  
前記複数のブロックのうちで、電流値が一番高いブロックの消費電流に他のブロックの電流値を合わせるように計算された回路又は素子であると共に、前記電流値が一番高いブロック以外のブロックの正負極間に挿入されていることを特徴とする容量バラツキ抑制回路。

10

## 【請求項 2】

前記容量バラツキ抑制回路は、定電流ダイオード、定電流回路、又は、抵抗であることを特徴とする請求項 1 に記載の容量バラツキ抑制回路。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、組電池を構成する電池の電圧を検出するために用いる検出線に電流が流れることにより、この検出線を境として前記組電池が複数のブロックに分かれた場合に、この分かれたブロック間で消費電流の差が生じるために発生するブロックの容量のバラツキを抑制する発明に関する。

20

## 【0002】

## 【従来の技術】

従来、リチウムイオン電池のように、直列に接続した複数の電池から構成される組電池において、任意電池の電圧を検出する場合には、検出線に流れる電流により検出線を境に上位ブロックと下位ブロックとの間で消費電流の差が生じ、容量のバラツキが発生する。即ち、図 7 に示すように、制御基板 101 に電圧検出回路 3 及び CPU (Central Processing Unit) 4 を取り付け、組電池 2 を構成する電池 2d の電圧を検出する場合には、検出線 7c に流れる電流 ( $I_2 - I_1$ ) により検出線 7c を境に上位ブロックである電池 2d には電流  $I_1$  が流れ、下位ブロックである電池 2a, 2b, 2c から成る電池群 2A には電流  $I_2$  が流れる。このように、上位ブロックと下位ブロックとの間で消費電流の差が生じ、電池の電圧にバラツキが発生する。尚、ここでは、電源線 6 は検出線も兼ねている。

30

## 【0003】

このようなバラツキが発生すると、電池の実力容量に対して使用できる容量が減少するため、発生したバラツキを補正するために、容量の高い電池 (セル)、若しくはブロックを個別に放電させる必要があった。そのため、従来から、電池の電圧にバラツキが生じた場合には、このバラツキを検出して能動的にバラツキを抑えるようにしていた (例えば、特許文献 1 を参照)。

## 【0004】

## 【特許文献 1】

特開平 6 - 253463 号公報

40

## 【0005】

## 【発明が解決しようとする課題】

しかしながら、従来から提案されている容量のバランスを取るための技術は、電池の細かな制御が必要であり、複雑な構成となっていた。

## 【0006】

本発明は上述した事情を鑑みてなされたものであり、電池の電圧のバラツキ自体を抑制することにより、バラツキが生じた後に能動的にバラツキを抑える制御をするまでもない発明を提案することを目的としたものである。

## 【0007】

50

**【課題を解決するための手段】**

上述した目的を達成するため、請求項 1 に係る発明は、組電池を構成する電池の電圧を検出するために用いる検出線に電流が流れることにより、この検出線を境として前記組電池が複数のブロックに分かれた場合に、前記分かれたブロック間で消費電流の差が生じるために発生するブロックの容量のバラツキを抑制する容量バラツキ抑制回路であって、前記複数のブロックのうちで、電流値が一番高いブロックの消費電流に他のブロックの電流値を合わせるように計算された回路又は素子であると共に、前記電流値が一番高いブロック以外のブロックの正負極間に挿入されていることを特徴とする容量バラツキ抑制回路である。

**【0008】**

請求項 2 に係る発明は、前記容量バラツキ抑制回路は、定電流ダイオード、定電流回路、又は、抵抗であることを特徴とする請求項 1 に記載の容量バラツキ抑制回路である。

**【0009】****【発明の実施の形態】**

以下、図 1 及び図 2 を用いて、本発明の一実施形態を説明する。

**【0010】**

図 1 は、図 7 における  $I_2 > I_1$  のときに本発明を適用した実施形態を示しており、本発明の一実施形態に係る容量バラツキ抑制回路 11 を含んだ制御基板 1 及び組電池（パックバッテリー）2 の構成図である。図 2 は、図 7 における  $I_2 < I_1$  のときに本発明を適用した実施形態を示しており、同じく容量バラツキ抑制回路 11' を含んだ制御基板 1 及び組電池 2 の構成図である。

**【0011】**

図 1 に示す制御基板 1 は、組電池 2 の充・放電制御と容量（残量）管理を行うために使用する基板である。制御基板 1 には、組電池 2 の電圧を検出するための電圧検出回路 3 と、検出結果を受けて次の処理に反映した命令を出すための CPU 4 と、本実施形態の特徴部分である容量バラツキ抑制回路 11 が取り付けられている。また、この制御基板 1 はグラウンド G に接続されている。

**【0012】**

一方、組電池 2 は、本実施形態では、4 つの電池 2 a , 2 b , 2 c , 2 d を直列接続して構成されている。組電池 2 の負極はグラウンド G に接続されており、組電池 2 の正極は、電源線を兼ねている検出線 7 d を介して容量バラツキ抑制回路 11 に接続されている。

**【0013】**

また、電池 2 c と電池 2 d の間には、電圧検出端子 c d が設けられており、ここから検出線 7 c が電圧検出回路 3 に延出されている。検出線 7 d と検出線 7 c が組になって、電池 2 d の電圧、若しくは電池 2 a , 2 b , 2 c（電池群 2 A）の総電圧を検出することができる。

**【0014】**

更に、容量バラツキ制御回路 11 は、図 7 における電流値が低い電池 2 d の消費電流を、電流値が高い電池群 2 A の電流値（ $I_2$ ）に合わせるように計算された回路又は素子であり、制御基板 1 上で電池 2 d の正負極間に挿入されている。

換言すると、上記ブロック（電池 2 d、電池群 2 A）のうちで、電流値が一番高いブロック（電池群 2 A）の消費電流に他のブロック（電池 2 d）の電流値を合わせるように計算された回路又は素子であると共に、電流値が一番高いブロック（電池群 2 A）以外のブロック（電池 2 d）の正負極間に容量バラツキ抑制回路 11 を挿入している。

**【0015】**

本実施形態では、初めから、ある程度のバラツキが分かっているため、それに合わせて容量バラツキ抑制回路 11 を所定位置に挿入しておけば、電圧のバラツキ自体を抑制することができ、バラツキが生じた後に能動的にバラツキを抑える制御をするまでもない。

**【0016】**

以上説明したように本実施形態によれば、上記所定位置に容量バラツキ抑制回路 11 を取

10

20

30

40

50

り付けることで、組電池 2 を構成する全ての電池 2 a , 2 b , 2 c , 2 d を流れる電流が、電流値の大きい方の  $I_2$  に合わせて等しく流れるため、各電池の容量のバラツキを抑制することができる。

【0017】

尚、図 7 において、 $I_1 > I_2$  の場合は、電流値が大きい方の  $I_1$  に合わせて電流を流す必要がある。そのため、図 2 に示すように、電池群 2 A の消費電流を電池 2 d の消費電流と合わせるように計算された容量バラツキ抑制回路 1 1 ' は、制御基板 1 ' 上で電池群 2 A の正負極間に挿入される。この場合の電源線 6 は、検出線と兼ねていない。

【0018】

【実施例】

次に、上記実施形態を具体的に示した実施例について説明する。

【0019】

〔第 1 の実施例〕

以下、図 3 及び図 4 を用いて、本発明に係る第 1 の実施例を説明する。

【0020】

第 1 の実施例では、検出線の負荷が定電流負荷の場合を示している。図 3 は、本実施例の容量バラツキ抑制回路 1 2 を取り付けていない状態を示した図である。図 4 は、本実施例の容量バラツキ抑制回路 1 2 を取り付けた状態を示した図である。尚、上記実施形態と同一の構成については、同一の符号を付して、その説明を省略する。

【0021】

図 3 に示すように、電圧検出回路 3 及び CPU 4 は、制御基板 2 1 に取り付けられている。また、本実施例では、4 つ全ての電池 2 a , 2 b , 2 c , 2 d の電圧を検出するために、4 つの検出線 7 a , 7 b , 7 c , 7 d が取り付けられている。即ち、電池 2 a と電池 2 b の間には、電圧検出端子 a b が設けられており、ここから検出線 7 a が電圧検出回路 3 に延出されている。電池 2 b と電池 2 c の間には、電圧検出端子 b c が設けられており、ここから検出線 7 b が電圧検出回路 3 に延出されている。電池 2 c と電池 2 d の間には、電圧検出端子 c d が設けられており、ここから検出線 7 c が電圧検出回路 3 に延出されている。また、電池 2 d の正極側から電源線を兼ねた検出線 7 d が電圧検出回路 3 に延出されている。これにより、グランド G と検出線 7 a が組になって電池 2 a の電圧を検出し、検出線 7 a と検出線 7 b が組になって電池 2 b の電圧を検出し、検出線 7 b と検出線 7 c が組になって電池 2 c の電圧を検出し、検出線 7 c と検出線 7 d が組になって電池 2 d の電圧を検出することができる。

【0022】

また、この実施例では、上記の如く、各検出線 7 a , 7 b , 7 c , 7 d の負荷が定電流負荷 ( $I$ ) の場合を示しており、容量バラツキ抑制回路 1 2 を取り付ける前においては、組電池 2 の各電池では、電池 2 a で  $4I$  ( $I$  の 4 倍)、電池 2 b で  $3I$  ( $I$  の 3 倍)、電池 2 c で  $2I$  ( $I$  の 2 倍)、電池 2 d で  $I$  の電流が流れている。

【0023】

上記のような構成において本実施例では、図 4 に示すように、電池 2 b、2 c、2 d の消費電流を電池 2 a の消費電流と合わせるように計算された容量バラツキ抑制回路 1 2 を、制御基板 2 1 に取り付ける。この容量バラツキ抑制回路 2 1 は、例えば、3 つの定電流ダイオード 1 2 b、1 2 c、1 2 d によって構成されている。このうち、定電流ダイオード 1 2 b は電池 2 b の正負極間に挿入され、定電流ダイオード 1 2 c は電池 2 c の正負極間に挿入され、定電流ダイオード 1 2 d は電池 2 d の正負極間に挿入されている。尚、定電流ダイオードの代わりに、定電流回路を取り付けてもよい。

【0024】

以上説明したように本実施例によれば、上記所定位置に容量バラツキ抑制回路 1 2 を取り付けることで、組電池 2 を構成する全ての電池 2 a , 2 b , 2 c , 2 d を流れる電流が、電流値の一番大きい  $4I$  に合わせて等しく流れるため、各電池の容量のバラツキを抑制することができる。

10

20

30

40

50

## 【 0 0 2 5 】

## 〔 第 2 の 実 施 例 〕

以下、図 5 及び図 6 を用いて、本発明に係る第 2 の実施例を説明する。

## 【 0 0 2 6 】

第 2 の実施例では、検出線の負荷が定抵抗負荷の場合を示している。図 5 は、本実施例の容量バラツキ抑制回路 1 3 を取り付けていない状態を示した図である。図 6 は、本実施例の容量バラツキ抑制回路 1 3 を取り付けた状態を示した図である。尚、上記実施形態及び実施例と同一の構成については、同一の符号を付して、その説明を省略する。

## 【 0 0 2 7 】

図 5 に示すように、電圧検出回路 3 ' 及び CPU 4 は、制御基板 3 1 に取り付けられている。本実施例の電圧検出回路 3 ' は、差動増幅回路 5 と、同じ抵抗値 R の 4 つの分圧抵抗 6 a , 6 b , 6 c , 6 d によって構成されている。また、各抵抗は、何れもグランド G に接続されている。そして、差動増幅回路 5 は、各分圧抵抗を用いて検出した分圧値から各電池の電圧を検出することができる。

10

## 【 0 0 2 8 】

また、組電池 2 を構成する 4 つの電池 2 a , 2 b , 2 c , 2 d の電圧は、それぞれ V、2 V ( V の 2 倍 )、3 V ( V の 3 倍 )、4 V ( V の 4 倍 ) である。また、容量バラツキ抑制回路 1 3 を取り付ける前においては、4 つの電池 2 a , 2 b , 2 c , 2 d の電流が、それぞれ、1 0 I ( I の 1 0 倍 )、9 I ( I の 9 倍 )、7 I ( I の 7 倍 )、4 I ( I の 4 倍 ) であり、4 つの検出線 7 a , 7 b , 7 c , 7 d を流れる電流が、それぞれ、I、2 I ( I の 2 倍 )、3 I ( I の 3 倍 )、4 I ( I の 4 倍 ) である。

20

## 【 0 0 2 9 】

上記のような構成において本実施例では、図 6 に示すように、電池 2 b、2 c、2 d の消費電流を電池 2 a の消費電流と合わせるように計算された容量バラツキ抑制回路 1 3 を、制御基板 3 1 に取り付ける。この容量バラツキ抑制回路 3 1 は、例えば、3 つの抵抗 1 3 b , 1 3 c , 1 3 d によって構成されている。このうち、抵抗 1 3 b は、抵抗値 R の抵抗であり、電池 2 b の正負極間に挿入されている。抵抗 1 3 c は、抵抗値 R / 3 の抵抗であり、電池 2 c の正負極間に挿入されている。また、抵抗 1 3 d は、抵抗値 R / 6 の抵抗であり、電池 2 d の正負極間に挿入されている。

## 【 0 0 3 0 】

以上説明したように本実施例によれば、上記所定位置に容量バラツキ抑制回路 1 3 を取り付けることで、組電池 2 を構成する全ての電池 2 a , 2 b , 2 c , 2 d を流れる電流が、電流値の一番大きい 1 0 I に合わせて等しく流れるため、各電池の容量のバラツキを抑制することができる。

30

## 【 0 0 3 1 】

## 【 発 明 の 効 果 】

以上説明したように本発明によれば、上記所定位置に容量バラツキ抑制回路を取り付けることで、組電池を構成する全ての電池を流れる電流が、電流値の一番大きい電流値に合わせて等しく流れるため、各電池の容量のバラツキを抑制することができる。

## 【 図 面 の 簡 単 な 説 明 】

40

【 図 1 】 本 発 明 の 一 実 施 形 態 に 係 る 容 量 バ ラ ツ キ 抑 制 回 路 1 1 を 含 ん だ 制 御 基 板 1 及 び 組 電池 ( パ ッ ク バ ッ テ リ ) 2 の 構 成 図 。

【 図 2 】 本 発 明 の 一 実 施 形 態 に 係 る 容 量 バ ラ ツ キ 抑 制 回 路 1 1 ' を 含 ん だ 制 御 基 板 1 及 び 組 電池 2 の 構 成 図 である。

【 図 3 】 第 1 の 実 施 例 の 容 量 バ ラ ツ キ 抑 制 回 路 1 2 を 取 り 付 け て い な い 状 態 を 示 し た 図 。

【 図 4 】 第 1 の 実 施 例 の 容 量 バ ラ ツ キ 抑 制 回 路 1 2 を 取 り 付 け た 状 態 を 示 し た 図 。

【 図 5 】 第 2 の 実 施 例 の 容 量 バ ラ ツ キ 抑 制 回 路 1 3 を 取 り 付 け て い な い 状 態 を 示 し た 図 。

【 図 6 】 第 2 の 本 実 施 例 の 容 量 バ ラ ツ キ 抑 制 回 路 1 3 を 取 り 付 け た 状 態 を 示 し た 図 。

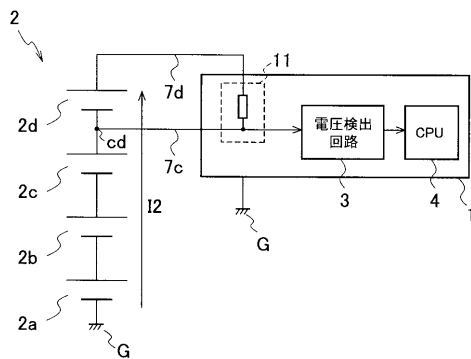
【 図 7 】 容 量 バ ラ ツ キ 抑 制 回 路 1 1 を 含 ん で い な い 制 御 基 板 1 及 び 組 電池 ( パ ッ ク バ ッ テ リ ) 2 の 構 成 図 。

50

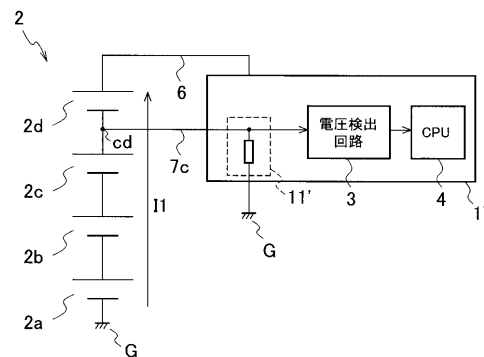
## 【符号の説明】

- 1 制御基板
- 2 組電池
- 2 a , 2 b , 2 c , 2 d 電池
- 2 A 電池群
- 3 電圧検出回路
- 3 ' 電圧検出回路
- 4 CPU
- 5 差動増幅回路
- 6 電源線
- 7 a , 7 b , 7 c , 7 d 検出線
- 8 a , 8 b , 8 c , 8 d 抵抗
- 1 1 容量バラツキ抑制回路
- 1 1 ' 容量バラツキ抑制回路
- 1 2 容量バラツキ抑制回路
- 1 2 b , 1 2 c , 1 2 d 定電流素子
- 1 3 容量バラツキ抑制回路
- 1 3 b , 1 3 c , 1 3 d 抵抗

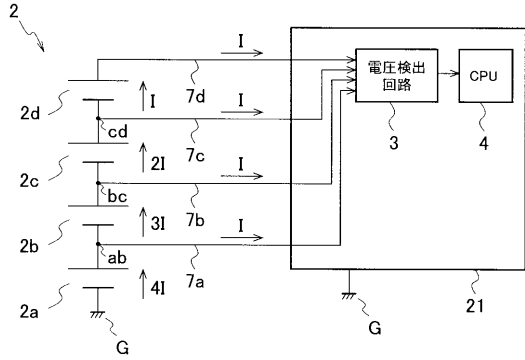
【図 1】



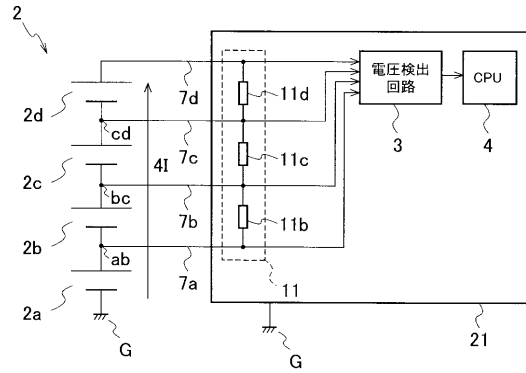
【図 2】



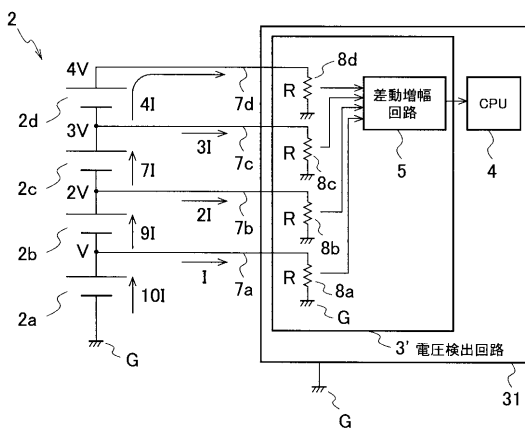
【 図 3 】



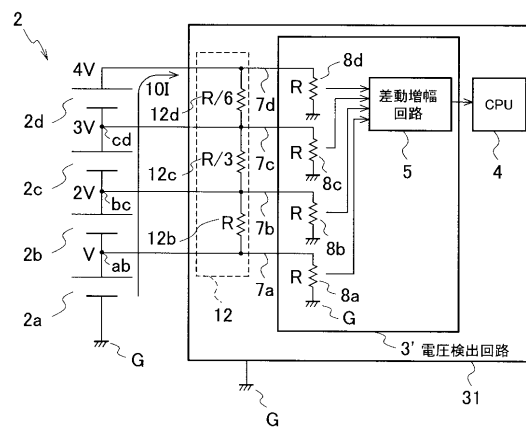
【 図 4 】



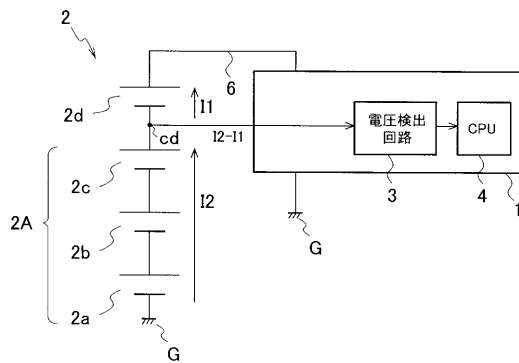
【 図 5 】



【 図 6 】



【 図 7 】



## 【 手続補正書 】

【 提出日 】平成16年3月2日(2004.3.2)

## 【 手続補正 1 】

【 補正対象書類名 】明細書

【 補正対象項目名 】0029

【 補正方法 】変更

## 【 補正の内容 】

## 【 0029 】

上記のような構成において本実施例では、図6に示すように、電池2b、2c、2dの消費電流を電池2aの消費電流と合わせるように計算された容量バラツキ抑制回路13を、制御基板31に取り付ける。この容量バラツキ抑制回路13は、例えば、3つの抵抗13b、13c、13dによって構成されている。このうち、抵抗13bは、抵抗値Rの抵抗であり、電池2bの正負極間に挿入されている。抵抗13cは、抵抗値R/3の抵抗であり、電池2cの正負極間に挿入されている。また、抵抗13dは、抵抗値R/6の抵抗であり、電池2dの正負極間に挿入されている。

## 【 手続補正 2 】

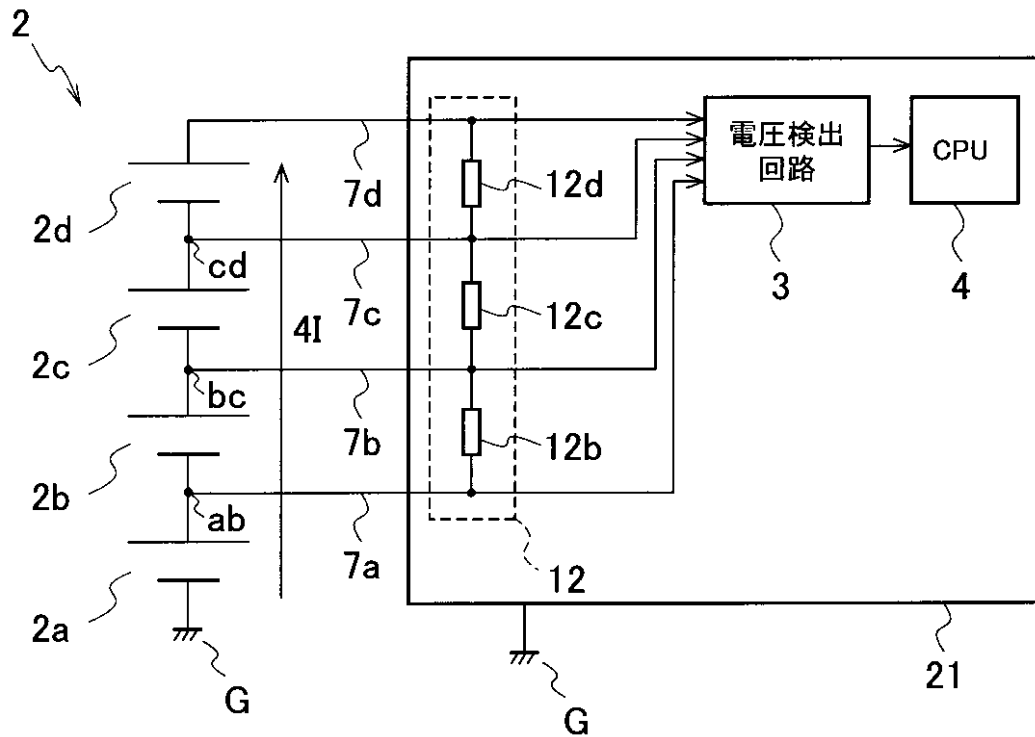
【 補正対象書類名 】図面

【 補正対象項目名 】図4

【 補正方法 】変更

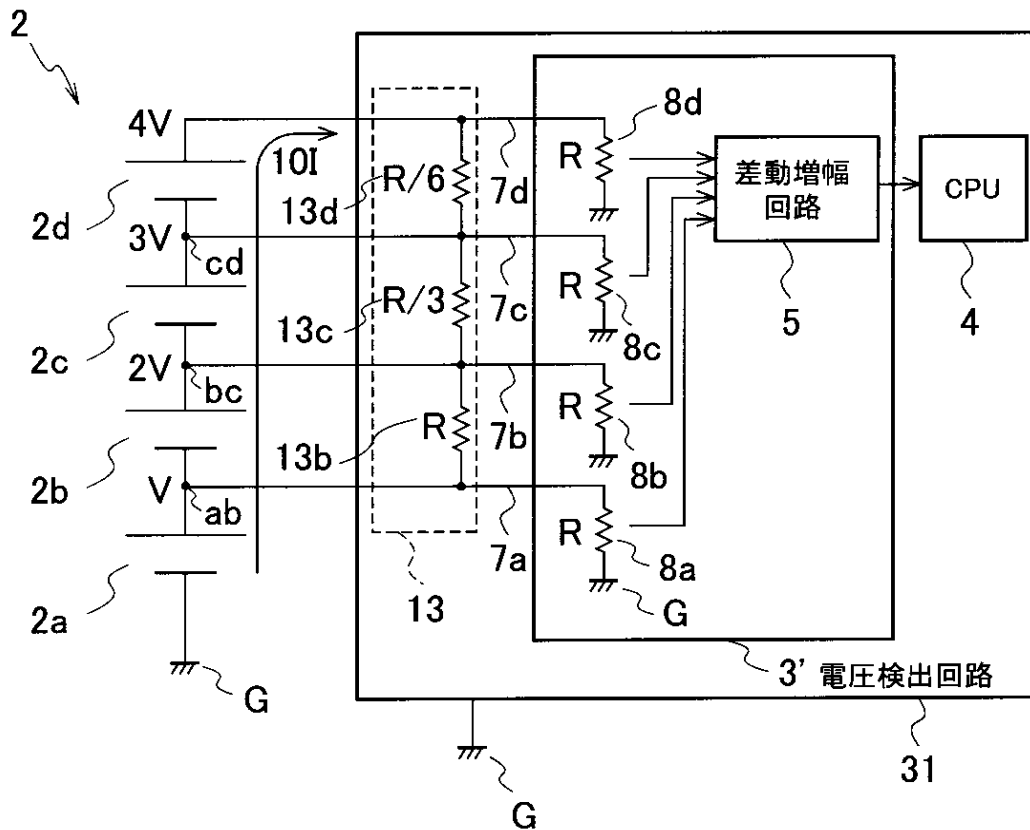
## 【 補正の内容 】

【 図 4 】



【 手続補正 3 】  
【 補正対象書類名 】 図面  
【 補正対象項目名 】 図 6  
【 補正方法 】 変更  
【 補正の内容 】

【図6】



## 【手続補正書】

【提出日】平成16年3月17日(2004.3.17)

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

【従来の技術】

従来、リチウムイオン電池のように、直列に接続した複数の電池から構成される組電池において、任意電池の電圧を検出する場合には、検出線に流れる電流により検出線を境に上位ブロックと下位ブロックとの間で消費電流の差が生じ、容量のバラツキが発生する。即ち、図7に示すように、制御基板1に電圧検出回路3及びCPU(Central Processing Unit)4を取り付け、組電池2を構成する電池2dの電圧を検出する場合には、検出線7cに流れる電流( $I_2 - I_1$ )により検出線7cを境に上位ブロックである電池2dには電流 $I_1$ が流れ、下位ブロックである電池2a, 2b, 2cから成る電池群2Aには電流 $I_2$ が流れる。このように、上位ブロックと下位ブロックとの間で消費電流の差が生じ、電池の電圧にバラツキが発生する。尚、ここでは、電源線6は検出線も兼ねている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

上記のような構成において本実施例では、図4に示すように、電池2b、2c、2dの消費電流を電池2aの消費電流と合わせるように計算された容量バラツキ抑制回路12を、制御基板21に取り付ける。この容量バラツキ抑制回路12は、例えば、3つの定電流ダイオード12b、12c、12dによって構成されている。このうち、定電流ダイオード12bは電池2bの正負極間に挿入され、定電流ダイオード12cは電池2cの正負極間に挿入され、定電流ダイオード12dは電池2dの正負極間に挿入されている。尚、定電流ダイオードの代わりに、定電流回路を取り付けてもよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

図5に示すように、電圧検出回路3'及びCPU4は、制御基板31に取り付けられている。本実施例の電圧検出回路3'は、差動増幅回路5と、同じ抵抗値Rの4つの分圧抵抗8a, 8b, 8c, 8dによって構成されている。また、各抵抗は、何れもグランドGに接続されている。そして、差動増幅回路5は、各分圧抵抗を用いて検出した分圧値から各電池の電圧を検出することができる。

---

フロントページの続き

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 近藤 敏郎

静岡県磐田市新貝 2 5 0 0 番地 ヤマハ発動機株式会社内

Fターム(参考) 5G003 BA03 DA02 GC05

5H030 AA03 AA04 BB03 BB21 FF43 FF44