

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5239773号
(P5239773)

(45) 発行日 平成25年7月17日 (2013. 7. 17)

(24) 登録日 平成25年4月12日 (2013. 4. 12)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 0 K

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 2 0 6 7 0 J

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 2 0 6 4 1 P

G 0 9 G 3 / 2 0 6 4 2 P

H 0 5 B 3 3 / 1 4 A

請求項の数 5 (全 35 頁)

(21) 出願番号 特願2008-293286 (P2008-293286)
(22) 出願日 平成20年11月17日 (2008. 11. 17)
(65) 公開番号 特開2010-122277 (P2010-122277A)
(43) 公開日 平成22年6月3日 (2010. 6. 3)
審査請求日 平成23年11月7日 (2011. 11. 7)

(73) 特許権者 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100082131
弁理士 稲本 義雄
(74) 代理人 100121131
弁理士 西川 孝
(72) 発明者 山下 淳一
東京都港区港南1丁目7番1号 ソニー株
式会社内
(72) 発明者 内野 勝秀
東京都港区港南1丁目7番1号 ソニー株
式会社内

審査官 森口 忠紀

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

自発光素子により発光する画素が行列状に複数配置されているパネルと、
前記パネルのうちの所定の領域に配置される複数の画素からの光を受光し、その受光量
に応じた電圧のアナログ信号を受光信号として出力する受光センサと、

前記所定の領域内の1以上の画素からなる画素群を発光させた場合に前記受光センサか
ら出力された前記受光信号の電圧値をオフセット値として取得し、前記所定の領域内の所
定の1つの画素を注目画素として、前記注目画素を除く前記画素群の発光を維持させたま
ま、前記注目画素の発光輝度のみを変化させた場合に前記受光センサから出力された前記
受光信号の電圧値と、前記オフセット値との差分を演算するアナログ差分手段と、

前記アナログ差分手段から出力された前記受光信号を所定の増幅率で増幅する増幅手段
と、

前記増幅手段による増幅後の前記受光信号をデジタルデータに変換して出力する変換手
段と、

前記変換手段から出力された前記デジタルデータに基づいて、経時劣化による輝度低下
の補正データを演算し、その補正データに基づいて、前記注目画素に対応する映像信号を
補正し、補正された前記映像信号を前記注目画素に供給させる信号処理手段と

を備える表示装置。

【請求項 2】

前記オフセット値は、前記所定の領域内の前記画素群を所定の階調で一律に発光させた

10

20

場合に前記受光センサから出力されたアナログ電圧値である

請求項 1 に記載の表示装置。

【請求項 3】

前記受光信号は、前記注目画素を除く前記画素群の発光を維持させたまま、前記注目画素の輝度の階調のみを高くさせた場合に前記受光センサから出力されたアナログ電圧値である

請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記受光センサは、受光素子と抵抗を有し、

前記アナログ差分手段は、

第 1 のスイッチ、第 2 のスイッチ、および第 3 のスイッチ、並びに、同一容量の第 1 のキャパシタおよび第 2 のキャパシタを有し、

前記アナログ差分手段の入力端子と出力端子の間に前記第 1 のスイッチが接続され、

前記第 2 のスイッチと前記第 3 のスイッチとは直列接続され、その直列接続のうち、前記第 2 のスイッチ側の端は前記出力端子に接続され、前記第 3 のスイッチの端は接地され、

前記第 1 のキャパシタと前記第 2 のキャパシタとは直列接続され、その直列接続回路のうち、前記第 2 のキャパシタ側の端は、前記出力端子に接続され、前記第 1 のキャパシタ側の端は、前記受光センサの前記受光素子と同電位に保たれ、

前記第 2 のスイッチと前記第 2 のキャパシタとは、前記出力端子と接続されている端とは反対側の端同士で接続され、

前記入力端子は、前記受光センサの前記受光素子と前記抵抗との間に接続されている

請求項 1 乃至 3 のいずれかに記載の表示装置。

【請求項 5】

前記アナログ差分手段は、

前記第 1 のスイッチと前記第 2 のスイッチをオン状態とし、前記第 3 のスイッチをオフ状態とし、

これらの状態で、前記所定の領域内の 1 以上の画素からなる画素群を発光させた場合における、前記第 1 のキャパシタと第 2 のキャパシタとの間の電圧値を、前記オフセット値として取得し、

前記第 1 のスイッチはオン状態のまま維持させ、前記第 2 のスイッチをオン状態からオフ状態に遷移させ、前記第 3 のスイッチをオフ状態のまま維持させて、

これらの状態で、前記注目画素を除く前記画素群の発光を維持させたまま、前記注目画素の前記発光輝度のみが変化された場合における、前記キャパシタの前記出力端側の電圧を、前記信号の電圧値として取得し、

前記第 1 のスイッチをオン状態からオフ状態に遷移させ、前記第 3 のスイッチをオフ状態からオン状態に遷移させることで、前記受光信号の電圧値と、前記オフセット値との差分を演算する

請求項 4 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示制御方法に関し、特に、焼き付き補正を高速に行うことができるようにする表示装置に関する。

【背景技術】

【0002】

発光素子として有機 EL (Electro Luminescent) デバイスを用いた平面自発光型のパネル (EL パネル) の開発が近年盛んになっている。有機 EL デバイスは、ダイオード特性を有し、有機薄膜に電界をかけると発光する現象を利用したデバイスである。有機 EL デバイスは、印加電圧が 10 V 以下で駆動するため低消費電力であり、自ら光を発する自発

10

20

30

40

50

光素子である。このため、有機ＥＬデバイスは、照明部材を必要とせず軽量化及び薄型化が容易であるという特長を有する。また、有機ＥＬデバイスの応答速度は数 μ s程度と非常に高速である。よって、ＥＬパネルは、動画表示時の残像が発生しないという特性を有する。

【０００３】

有機ＥＬデバイスを画素に用いた平面自発光型のパネルの中でも、とりわけ駆動素子として薄膜トランジスタを各画素に集積形成したアクティブマトリクス型のパネルの開発が盛んである。アクティブマトリクス型平面自発光パネルは、例えば次の特許文献１乃至５に開示されている。

【０００４】

【特許文献１】特開２００３－２５５８５６号公報

【特許文献２】特開２００３－２７１０９５号公報

【特許文献３】特開２００４－１３３２４０号公報

【特許文献４】特開２００４－０２９７９１号公報

【特許文献５】特開２００４－０９３６８２号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

ところで、有機ＥＬデバイスはまた、発光量および発光時間に比例して輝度効率が低下するという特性を有している。有機ＥＬデバイスの発光輝度は電流値と輝度効率の積で表されるため、輝度効率の低下は発光輝度の低下につながる。画面に表示される内容として、各画素で一様な表示を行う画像は稀であり、画素ごとに発光量が異なるのが一般的である。従って、過去の発光量および発光時間の違いにより、同一の駆動条件下であっても各画素で発光輝度の低下の度合いが異なることになる。その結果、輝度効率の低下度合いが他と比較して著しい画素において、あたかも焼き付きが生じているような現象（以下、焼き付き現象と称する）がユーザに視認される。

【０００６】

このため、従来の有機ＥＬデバイスを搭載する表示装置の中には、輝度効率低下がまちまちである各画素に対して、各輝度効率を統一にする補正（以下、焼き付き補正と称する）を行っているものも存在する。しかしながら、このような焼き付き補正を行う場合、補正システム全体の処理時間が長時間となってしまう場合があった。

【０００７】

本発明は、このような状況に鑑みてなされたものであり、焼き付き補正を高速に行うことができるようにするものである。

【課題を解決するための手段】

【０００８】

本発明の一側面の表示装置は、自発光素子により発光する画素が行列状に複数配置されているパネルと、前記パネルのうちの所定の領域に配置される複数の画素からの光を受光し、その受光量に応じた電圧のアナログ信号を受光信号として出力する受光センサと、前記所定の領域内の１以上の画素からなる画素群を発光させた場合に前記受光センサから出力された前記受光信号の電圧値をオフセット値として取得し、前記所定の領域内の所定の１つの画素を注目画素として、前記注目画素を除く前記画素群の発光を維持させたまま、前記注目画素の発光輝度のみを変化させた場合に前記受光センサから出力された前記受光信号の電圧値と、前記オフセット値との差分を演算するアナログ差分手段と、前記アナログ差分手段から出力された前記受光信号を所定の増幅率で増幅する増幅手段と、前記増幅手段による増幅後の前記受光信号をデジタルデータに変換して出力する変換手段と、前記変換手段から出力された前記デジタルデータに基づいて、経時劣化による輝度低下の補正データを演算し、その補正データに基づいて、前記注目画素に対応する映像信号を補正し、補正された前記映像信号を前記注目画素に供給させる信号処理手段とを備える。

【０００９】

本発明の一側面の表示装置においては、自発光素子により発光する画素が行列状に複数配置されているパネルと、前記パネルのうちの所定の領域に配置される複数の画素からの光が受光され、その受光量に応じた電圧のアナログ信号が受光信号として出力される受光センサと、前記所定の領域内の1以上の画素からなる画素群が発光された場合に前記受光センサから出力された前記受光信号の電圧値がオフセット値として取得され、前記所定の領域内の所定の1つの画素を注目画素として、前記注目画素を除く前記画素群の発光が維持されたまま、前記注目画素の発光輝度のみを変化させた場合に前記受光センサから出力された前記受光信号の電圧値と、前記オフセット値との差分が演算され、出力された前記受光信号が所定の増幅率で増幅され、増幅後の前記受光信号がデジタルデータに変換されて出力され、出力された前記デジタルデータに基づいて、経時劣化による輝度低下の補正データが演算され、その補正データに基づいて、前記注目画素に対応する映像信号が補正され、補正された前記映像信号が前記注目画素に供給される。

10

【発明の効果】

【0010】

本発明の一側面によれば、焼き付き補正を高速に行うことができる。

【発明を実施するための最良の形態】

【0011】

<本発明の実施の形態>

〔表示装置の構成〕

図1は、本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

20

【0012】

図1の表示装置1は、ELパネル2、複数の受光センサ3からなるセンサ群4、および制御部5を含むように構成されている。ELパネル2は、有機ELデバイス（自発光素子）として用いたパネルとして構成されている。受光センサ3は、ELパネル2の発光輝度を測定するセンサとして構成されている。制御部5は、複数の受光センサ3から得たELパネル2の発光輝度に基づいてELパネル2の表示を制御する。

【0013】

〔ELパネルの構成〕

図2は、ELパネル2の構成例を示すブロック図である。

【0014】

30

ELパネル2は、画素アレイ部102、水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105を含むように構成されている。画素アレイ部102は、 $N \times M$ 個(N, M は相互に独立した1以上の整数値)の画素(画素回路)101-(1,1)乃至101-(N,M)が行列状に配置されて構成されている。水平セクタ(HSEL)103、ライトスキャナ(WSCN)104、および電源スキャナ(DSCN)105は、画素アレイ部102を駆動する駆動部として動作する。

【0015】

また、ELパネル2は、M本の走査線WSL10-1乃至10-M、M本の電源線DSL10-1乃至10-M、およびN本の映像信号線DTL10-1乃至10-Nも有する。

40

【0016】

なお、以下において、走査線WSL10-1乃至10-Mそれぞれを特に区別する必要がない場合、単に、走査線WSL10と称する。また、映像信号線DTL10-1乃至10-Nそれぞれを特に区別する必要がない場合、単に、映像信号線DTL10と称する。画素101-(1,1)乃至101-(N,M)および電源線DSL10-1乃至10-Mについても同様に、画素101および電源線DSL10と称する。

【0017】

画素101-(1,1)乃至101-(N,M)のうちの第1行目の画素101-(1,1)乃至101-(N,1)は、走査線WSL10-1でライトスキャナ104と、電

50

源線DSL10-1で電源スキャナ105とそれぞれ接続されている。また、画素101-(1,1)乃至101-(N,M)のうちの第M行目の画素101-(1,M)乃至101-(N,M)は、走査線WSL10-Mでライトスキャナ104と、電源線DSL10-Mで電源スキャナ105とそれぞれ接続されている。画素101-(1,1)乃至101-(N,M)の行方向に並ぶその他の画素101についても同様である。

【0018】

また、画素101-(1,1)乃至101-(N,M)のうちの第1列目の画素101-(1,1)乃至101-(1,M)は、映像信号線DTL10-1で水平セクタ103と接続されている。画素101-(1,1)乃至101-(N,M)のうちの第N列目の画素101-(N,1)乃至101-(N,M)は、映像信号線DTL10-Nで水平セクタ103と接続されている。画素101-(1,1)乃至101-(N,M)の列方向に並ぶその他の画素101についても同様である。

10

【0019】

ライトスキャナ104は、走査線WSL10-1乃至10-Mに水平周期(1H)で順次制御信号を供給して画素101を行単位で線順次走査する。電源スキャナ105は、線順次走査に合わせて電源線DSL10-1乃至10-Mに第1電位(後述するVcc)または第2電位(後述するVss)の電源電圧を供給する。水平セクタ103は、線順次走査に合わせて各水平期間内(1H)で映像信号に対応する信号電位Vsigと基準電位Vofsとを切換えて列状の映像信号線DTL10-1乃至10-Mに供給する。

【0020】

20

[画素101の配列構成]

図3は、ELパネル2の各画素101が発光する色の配列を示している。

【0021】

画素アレイ部102の各画素101は、赤(R)、緑(G)、または青(B)のいずれかの色を発光するいわゆる副画素(サブピクセル)に相当し、行方向(図面左右方向)に並ぶ赤、緑、および青の3つの画素101で表示単位としての1画素が構成される。

【0022】

なお、図3では、ライトスキャナ104が画素アレイ部102の左側に配置されるとともに、走査線WSL10および電源線DSL10が画素101の下側から接続されている点が図2と異なる。水平セクタ103、ライトスキャナ104、電源スキャナ105、および、各画素101と接続される配線は、必要に応じて適切な位置に配置することができる。

30

【0023】

[画素101の詳細回路構成]

図4は、ELパネル2に含まれるN×M個の画素101のうちの1つの画素101を拡大することにより、画素101の詳細な回路構成を示したブロック図である。

【0024】

なお、図4において画素101と接続されている走査線WSL10、映像信号線DTL10、および電源線DSL10のそれぞれは、図2に対応させると次のようになる。即ち、図2における画素101-(n,m)(n=1,2,...,N,m=1,2,...,M)に対する、走査線WSL10-(n,m)、映像信号線DTL10-(n,m)、および電源線DSL10-(n,m)のそれぞれが対応する。

40

【0025】

図4の画素101は、サンプリング用トランジスタ31、駆動用トランジスタ32、蓄積容量33、および発光素子34を有する。サンプリング用トランジスタ31のゲートは走査線WSL10と接続され、サンプリング用トランジスタ31のドレインは映像信号線DTL10と接続されるとともに、ソースが駆動用トランジスタ32のゲートgと接続されている。

【0026】

駆動用トランジスタ32のソース及びドレインの一方は発光素子34のアノードに接続

50

され、他方が電源線 D S L 1 0 に接続される。蓄積容量 3 3 は、駆動用トランジスタ 3 2 のゲート g と発光素子 3 4 のアノードに接続されている。また、発光素子 3 4 のカソードは所定の電位 V c a t に設定されている配線 3 5 に接続されている。この電位 V c a t は GND レベルであり、従って、配線 3 5 は接地配線である。

【 0 0 2 7 】

サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、いずれも N チャネル型トランジスタである。よって、サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、低温ポリシリコンよりも安価に作成できるアモルファスシリコンで作成することができる。これにより、画素回路の製造コストをより安価にすることができる。勿論、サンプリング用トランジスタ 3 1 および駆動用トランジスタ 3 2 は、低温ポリシリコンや単結晶シリコンで作成しても構わない。

10

【 0 0 2 8 】

発光素子 3 4 は、有機 E L 素子で構成される。有機 E L 素子はダイオード特性を有する電流発光素子である。よって、発光素子 3 4 は、供給される電流値 I d s に応じた階調の発光を行う。

【 0 0 2 9 】

以上のように構成される画素 1 0 1 において、サンプリング用トランジスタ 3 1 が、走査線 W S L 1 0 からの制御信号に応じてオン（導通）し、映像信号線 D T L 1 0 を介して階調に応じた信号電位 V s i g の映像信号をサンプリングする。蓄積容量 3 3 は、映像信号線 D T L 1 0 を介して水平セクタ 1 0 3 から供給された電荷を蓄積して保持する。駆動用トランジスタ 3 2 は、第 1 電位 V c c にある電源線 D S L 1 0 から電流の供給を受け、蓄積容量 3 3 に保持された信号電位 V s i g に応じて駆動電流 I d s を発光素子 3 4 に流す（供給する）。発光素子 3 4 に所定の駆動電流 I d s が流れることにより、画素 1 0 1 が発光する。

20

【 0 0 3 0 】

画素 1 0 1 は、閾値補正機能を有する。閾値補正機能とは、駆動用トランジスタ 3 2 の閾値電圧 V t h に相当する電圧を蓄積容量 3 3 に保持させる機能である。閾値補正機能を発揮させることで、E L パネル 2 の画素毎のばらつきの原因となる駆動用トランジスタ 3 2 の閾値電圧 V t h の影響をキャンセルすることができる。

【 0 0 3 1 】

また、画素 1 0 1 は、上述した閾値補正機能に加え、移動度補正機能も有する。移動度補正機能とは、蓄積容量 3 3 に信号電位 V s i g を保持する際、駆動用トランジスタ 3 2 の移動度 μ に対する補正を信号電位 V s i g に加える機能である。

30

【 0 0 3 2 】

さらに、画素 1 0 1 は、ブートストラップ機能も備えている。ブートストラップ機能とは、駆動用トランジスタ 3 2 のソース電位 V s の変動にゲート電位 V g を連動させる機能である。ブートストラップ機能の発揮により、駆動用トランジスタ 3 2 のゲートとソース間の電圧 V g s を一定に維持することが出来る。

【 0 0 3 3 】

[画素 1 0 1 の動作説明]

図 5 は、画素 1 0 1 の動作を説明するタイミングチャートである。

40

【 0 0 3 4 】

図 5 は、同一の時間軸（図面横方向）に対する走査線 W S L 1 0、電源線 D S L 1 0、および映像信号線 D T L 1 0 の電位変化と、それに対応する駆動用トランジスタ 3 2 のゲート電位 V g 及びソース電位 V s の変化を示している。

【 0 0 3 5 】

図 5 において、時刻 t_1 までの期間は、前の水平期間（1 H）の発光がなされている発光期間 T_1 である。

【 0 0 3 6 】

発光期間 T_1 が終了した時刻 t_1 から時刻 t_4 までは、駆動用トランジスタ 3 2 のゲート

50

電位 V_g 及びソース電位 V_s を初期化することで閾値電圧補正動作の準備を行う閾値補正準備期間 T_2 である。

【 0 0 3 7 】

閾値補正準備期間 T_2 では、時刻 t_1 において、電源スキャナ 105 が、電源線 $DSL10$ の電位を高電位である第 1 電位 V_{cc} から低電位である第 2 電位 V_{ss} に切換える。そして、時刻 t_2 において、水平セクタ 103 が、映像信号線 $DTL10$ の電位を信号電位 V_{sig} から基準電位 V_{ofs} に切換える。次に、時刻 t_3 において、ライトスキャナ 104 が、走査線 $WSL10$ の電位を高電位に切換え、サンプリング用トランジスタ 31 をオンさせる。これにより、駆動用トランジスタ 32 のゲート電位 V_g が基準電位 V_{ofs} にリセットされ、且つ、ソース電位 V_s が映像信号線 $DTL10$ の第 2 電位 V_{ss} にリセットされる。

10

【 0 0 3 8 】

時刻 t_4 から時刻 t_5 までは、閾値補正動作を行う閾値補正期間 T_3 である。閾値補正期間 T_3 では、時刻 t_4 において、電源スキャナ 105 により、電源線 $DSL10$ の電位が高電位 V_{cc} に切換えられ、閾値電圧 V_{th} に相当する電圧が、駆動用トランジスタ 32 のゲートとソースとの間に接続された蓄積容量 33 に書き込まれる。

【 0 0 3 9 】

時刻 t_5 から時刻 t_7 までの書き込み + 移動度補正準備期間 T_4 では、走査線 $WSL10$ の電位が高電位から低電位に一旦切換えられる。また、時刻 t_7 の前の時刻 t_6 において、水平セクタ 103 が、映像信号線 $DTL10$ の電位を基準電位 V_{ofs} から階調に応じた信号電位 V_{sig} に切換える。

20

【 0 0 4 0 】

そして、時刻 t_7 から時刻 t_8 までの書き込み + 移動度補正期間 T_5 において、映像信号の書き込みと移動度補正動作が行われる。即ち、時刻 t_7 から時刻 t_8 までの間、走査線 $WSL10$ の電位が高電位に設定され、これにより、映像信号に対応する信号電位 V_{sig} が閾値電圧 V_{th} に足し込まれる形で蓄積容量 33 に書き込まれる。また、移動度補正用の電圧 ΔV_μ が蓄積容量 33 に保持された電圧から差し引かれる。

【 0 0 4 1 】

書き込み + 移動度補正期間 T_5 終了後の時刻 t_8 において、走査線 $WSL10$ の電位が低電位に設定され、それ以降、発光期間 T_6 として、信号電圧 V_{sig} に応じた発光輝度で発光素子 34 が発光する。信号電圧 V_{sig} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 ΔV_μ とによって調整されているため、発光素子 34 の発光輝度は駆動用トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けない。

30

【 0 0 4 2 】

なお、発光期間 T_6 の最初でブートストラップ動作が行われ、駆動用トランジスタ 32 のゲート - ソース間電圧 $V_{gs} = V_{sig} + V_{th} - \Delta V_\mu$ を一定に維持したまま、駆動用トランジスタ 32 のゲート電位 V_g 及びソース電位 V_s が上昇する。

【 0 0 4 3 】

また、時刻 t_8 から所定時間経過後の時刻 t_9 において、映像信号線 $DTL10$ の電位が、信号電位 V_{sig} から基準電位 V_{ofs} に落とされる。図 5 において、時刻 t_2 から時刻 t_9 までの期間は水平期間 (1H) に相当する。

40

【 0 0 4 4 】

以上のようにして、EL パネル 2 の各画素 101 では、駆動用トランジスタ 32 の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることなく、発光素子 34 を発光させることができる。

【 0 0 4 5 】

[画素 101 の動作の別の例説明]

図 6 は、画素 101 の動作の別の例を説明するタイミングチャートである。

【 0 0 4 6 】

上述した図 5 の例では、閾値補正動作は 1H 期間に 1 回行われていた。ただし、1H 期

50

間が短く、1 H 期間内で閾値補正動作を行うことが難しい場合がある。そのような場合には、複数の1 H 期間にわたって複数回の閾値補正動作を行わせることができる。行うこともできる。

【0047】

図6の例では、閾値補正動作は、連続する3 H 期間で行われる。即ち、図6の例では、閾値補正期間 T_3 が3回に分割されている。なお、その他の画素101の動作は、図5の例の動作と同様である。よって、これらの動作の説明については省略する。

【0048】

[焼き付き補正制御の説明]

【0049】

ところで、有機ELデバイスは、発光量および発光時間に比例して発光輝度が低下する特性を有している。そのため、所定の時間が経過すると、同一の駆動条件下でも、それまでの発光量および発光時間に応じて各画素101の輝度効率の低下の度合いが異なってくる。このため、各画素101の輝度効率低下のばらつきにより、輝度効率の低下度合が他と比較して著しい画素101が生じる。その結果、かかる画素101において、あたかも焼き付きが生じているような現象（以下、焼き付き現象と称する）がユーザに視認される。そこで、表示装置1は、輝度効率低下がまちまちである各画素101に対して、各輝度効率を統一にする補正（以下、焼き付き補正と称する）を行っている。

【0050】

[焼き付き補正制御を実行するために必要な表示装置1の機能的構成例]

図7は、焼き付き補正制御を実行するために必要な表示装置1の機能的構成例を示す機能ブロック図を示している。

【0051】

受光センサ3は、ELパネル2の表示面またはそれと対向する面（以下、前者の面を表面と、後者の面を裏面と、それぞれ称する）のうち、各画素101の発光の妨げとならない位置に配置される。また、ELパネル2が複数の領域に区分され、その領域毎に1つの受光センサ3が配置される。即ち、1つの領域につき1個の割合で均等に配置された複数の受光センサ3により、センサ群4が構成されている。例えば、図7の例では、センサ群4は9個の受光センサ3により構成されている。勿論ELパネル2に配置される受光センサ3の個数は、図7の例に限定されるものではない。

【0052】

各受光センサ3のそれぞれは、自分が担当する領域内の各画素101からの光を受光し、それらの受光量に応じたアナログの受光信号（電圧信号）を生成し、制御部5に供給する。なお、受光センサ3がELパネル2の裏面に配置されている場合、各画素101から発光された光は、ELパネル2の前面のガラス基板等に反射して、受光センサ3に入射する。本発明の実施の形態においては、受光センサ3がELパネル2の裏面に配置されているとする。

【0053】

図7の例では、制御部5は、増幅部51、A/D変換部52、および信号処理部53を含むように構成されている。

【0054】

増幅部51は、各受光センサ3から供給されるアナログの受光信号を増幅してA/D変換部52に供給する。A/D変換部52は、増幅部51から供給される増幅後のアナログの受光信号をデジタルデータに変換し、信号処理部53に供給する。

【0055】

信号処理部53のメモリ61には、画素アレイ部102の各画素101について、輝度データの初期値（出荷状態時の輝度データ）が初期データとして記憶されている。信号処理部53は、処理の対象として注目すべき画素101（以下、注目画素Pと称する）についてのデジタルデータがA/D変換部52から供給されてきたとき、そのデジタルデータに基づいて、所定期間経過後（経時劣化後）の注目画素Pの輝度データを認識する。信号処

10

20

30

40

50

理部 53 は、注目画素 P について、所定期間経過後の輝度値の初期データ（初期輝度値）に対する輝度低下量を算出する。そして、信号処理部 53 は、注目画素 P について、輝度低下を補正する補正データを、その輝度低下量に基づいて演算する。このような補正データは、画素アレイ部 102 の各画素 101 が注目画素 P に順次設定されることで、各画素 101 毎に算出され、メモリ 61 に記憶される。

【0056】

なお、信号処理部 53 のうち、上述の補正データを演算する部分は、例えば、FPGA (Field Programmable Gate Alley)、ASIC(Application Specific Integrated Circuit)などの信号処理 IC で構成することができる。

【0057】

以上説明したように、メモリ 61 には、所定期間経過時点の各画素 101 の補正データが記憶される。また、メモリ 61 には、各画素 101 についての初期データも記憶される。その他、メモリ 61 には、後述する各種処理を実現する上で必要な各種情報も記憶される。

【0058】

信号処理部 53 はまた、水平セクタ 103 を制御して、各画素 101 毎に、表示装置 1 に入力された映像信号に対応する信号電位 V_{sig} を供給させる。このとき、信号処理部 53 は、各画素 101 の補正データをメモリ 61 からそれぞれ読み出して、経時劣化による輝度低下を補正した信号電位 V_{sig} を各画素 101 毎に決定する。

【0059】

[従来の焼き付き補正制御]

【0060】

ここで、[発明が解決しようとする課題]の欄で説明した従来の焼き付き補正制御の問題点を説明する。

【0061】

上述の如く、焼き付き補正制御では、注目画素 P の輝度データが用いられる。注目画素の輝度データは、受光センサ 3 の受光信号が増幅され、増幅後のアナログの信号に対して A/D 変換が施された結果得られるデジタルデータに基づいて生成される。

【0062】

しかしながら、図 7 に示されるように、1つの画素 101 に対して1つの受光センサ 3 が用いられるのではなく、複数の画素 101 から構成される領域に対して1つの受光センサ 3 が用いられている。よって、領域を構成する各画素 101 のそれぞれと、受光センサ 3 との間の距離はまちまちになる。このような場合の受光センサ 3 の受光信号の出力電圧は図 8 に示されるようになる。

【0063】

図 8 は、 20×20 の画素 101 から構成される領域の中心に受光センサ 3 が配置されている場合における、受光センサ 3 の出力電圧の関係の例を示す図である。前提として、 20×20 の各画素 101 の発光輝度自体は同一に保たれている。図 8 の A において、横軸は、受光センサ 3 からの水平方向の距離（単位は画素数）を示しており、縦軸は、受光センサ 3 の出力電圧（mV）を示している。図 8 の B において、横軸は、受光センサ 3 からの垂直方向の距離（単位は画素数）を示しており、縦軸は、受光センサ 3 の出力電圧（mV）を示している。

【0064】

図 8 に示されるように、領域を構成する各画素 101 の発光輝度自体は同一に保っても、受光センサ 3 の受光信号の出力電圧は、各画素 101 と受光センサ 3 との間の距離が長くなるほど小さくなっていく。このような特性を一般化すると、図 9 に示されるような特性を受光センサ 3 は有していることになる。

【0065】

図 9 は、受光センサ 3 の出力電圧の、画素 101 との間の距離の依存性の関係を示す図である。図 9 において、縦軸は、受光センサ 3 の出力電圧を示している。横軸は、受光セ

10

20

30

40

50

ンサ 3 からの所定方向の距離（単位は画素数）を示している。

【 0 0 6 6 】

図 1 0 は、受光センサ 3 の受光時間と受光電流の関係を示す図である。図 1 0 において、縦軸は、受光センサ 3 の受光時間（s）を示している。横軸は、受光センサ 3 の受光電流（A）を示している。

【 0 0 6 7 】

図 9 に示されるように、受光センサ 3 との距離が画素数にして 0 だけ離れている画素 1 0 1（以下、距離 0 の画素 1 0 1 と称する）が注目画素 P として設定された場合、受光センサ 3 の出力電圧は V_0 となる。これに対して、注目画素 P として、受光センサ 3 との距離が画素数にして α （ α は 1 以上の整数値）だけ離れている画素 1 0 1（以下、距離 α の画素 1 0 1 と称する）が設定された場合、注目画素 P の発光輝度が距離 0 の画素 1 0 1 と同一であったとしても、受光センサ 3 の出力電圧は V_0 よりも遥かに低い V_α となる。受光センサ 3 の出力電圧が低くなることは、受光センサ 3 の受光電流が小さくなることを意味している。そして、図 1 0 によれば、受光センサ 3 には、受光電流が小さくなる程その受光時間が長くなっていくという特性、即ち、出力電圧を出力するまでの応答時間が長くなるという特性が存在する。

【 0 0 6 8 】

しかしながら、かかる特性を従来考慮していなかったことが、[発明が解決しようとする課題] で生ずる問題点、即ち、補正システム全体の処理時間が長時間となってしまうという問題点の発生要因である。以下、図 1 1 を参照して、このことについてさらに詳しく説明する。

【 0 0 6 9 】

図 1 1 は、従来の焼き付き補正制御を説明する図である。

【 0 0 7 0 】

図 1 1 の A 乃至 G には、 5×5 の画素 1 0 1 から構成される領域が示されている。この領域の中心には、受光センサ 3 が配置されている。

【 0 0 7 1 】

図 1 1 の A は、焼き付き補正制御における注目画素 P の設定順序を示している。処理対象行が i 行（図 1 1 の例では、 i は 1 乃至 5 のうちの何れかの整数値）である場合、 i 行目に配置されている 5 つの画素 1 0 1 のそれぞれが、左端（1 列目）の画素 1 0 1 から右端（5 列目）の画素 1 0 1 に向かう順番で順次注目画素 P として設定されていく。そして、 i 行の右端（5 列目）の画素 1 0 1 が注目画素 P に設定されると、処理対象行は、次の $i+1$ 行に遷移し、 i 行と同様の順序で注目画素 P が順次設定されていく。

【 0 0 7 2 】

この場合、従来の焼き付き補正制御においては、信号処理部 5 3 は、注目画素 P のみを予め決められた所定の階調で発光させる。即ち、信号処理部 5 3 は、それ以外の 2 4 個の画素 1 0 1 を消光させる。

【 0 0 7 3 】

即ち、図 1 1 の B に示されるように、最初に、1 行目が処理対象行となり、1 列目の画素 1 0 1 が注目画素 P となる。よって、1 行 1 列目の注目画素 P のみが、予め決められた所定の階調で発光する。すると、受光センサ 3 は、注目画素 P の受光輝度に応じた受光信号（電圧信号）を制御部 5 に出力する。制御部 5 は、注目画素 P の受光信号に基づいて、注目画素 P の補正データを算出し、メモリ 6 1 に記憶させる。

【 0 0 7 4 】

次に、図 1 1 の C に示されるように、信号処理部 5 3 は、これまで注目画素 P とされていた 1 行 1 列の画素 1 0 1 の右隣の画素 1 0 1、即ち、1 行 2 列目の画素 1 0 1 を注目画素 P に設定する。よって、1 行 2 列目の注目画素 P のみが、予め決められた所定の階調で発光する。すると、受光センサ 3 は、注目画素 P の受光輝度に応じた受光信号（電圧信号）を制御部 5 に出力する。制御部 5 は、注目画素 P の受光信号に基づいて、注目画素 P の補正データを算出し、メモリ 6 1 に記憶させる。

【 0 0 7 5 】

以下、図 1 1 の D 乃至 G に示されるように、上述の順番で注目画素 P が順次設定され、注目画素 P の受光信号が受光センサ 3 から出力される。その結果、注目画素 P の受光信号に基づいて、注目画素 P の補正データが算出されてメモリ 6 1 に記憶される。

【 0 0 7 6 】

ここで、図 1 1 の B の注目画素 P と、図 1 1 の F の注目画素 P とに着目する。この場合、図 1 1 の B の注目画素 P と受光センサ 3 との間の距離は、図 1 1 の F の注目画素 P と受光センサ 3 との間の距離よりも遠い。よって、受光センサ 3 が注目画素 P からの光を受光してその受光信号を出力するまでの応答時間は、注目画素 P が図 1 1 の B の場合の方が、図 1 1 の F の場合よりも長くなる。その結果、図 1 1 の B の注目画素 P の補正データが生成されてメモリ 6 1 に記憶されるまでの一連の処理時間は、図 1 1 の F の注目画素 P についての一連の処理時間よりも長くなってしまふ。

10

【 0 0 7 7 】

このように、注目画素 P として設定された画素 1 0 1 と受光センサ 3 との間の距離が遠方になればなる程、その補正データが生成されてメモリ 6 1 に記憶されるまでの一連の処理時間は長くなる。即ち、図 1 1 の B のように受光センサ 3 から遠距離に位置する画素 1 0 1 が存在する分だけ、焼き付き補正システム全体の応答時間が長くなってしまふ。このようにして、[発明が解決しようとする課題] の欄で説明した従来の焼き付き補正制御の問題点が発生してしまふ。

【 0 0 7 8 】

20

そこで、本問題点を解決すべく、即ち、焼き付き補正システムの処理時間の短縮を図るべく、本発明人は、次のような焼き付き補正制御手法を発明した。即ち、受光センサ 3 との距離が遠方である画素 1 0 1 に対する受光センサ 3 の受光強度を高めて焼き付き補正を行う、という焼き付き補正制御手法が本発明人により発明された。以下、かかる手法を、本発明の焼き付き補正制御手法と称する。

【 0 0 7 9 】

[本発明の焼き付き補正制御手法の第 1 の例]

図 1 2 は、本発明の焼き付き補正制御手法の第 1 の例を説明する図である。

【 0 0 8 0 】

図 1 2 の A 乃至 H には、 5×5 の画素 1 0 1 から構成される領域が示されている。この領域の中心には、受光センサ 3 が配置されている。図 1 2 において、画素 1 0 1 を示すブロック内の模様のうち、網かけの模様（薄い模様）は、一定の階調で画素 1 0 1 が発光していることを示している。一方、右斜線の模様（濃い模様）は、画素 1 0 1 が消光していることを示している。

30

【 0 0 8 1 】

第 1 の例では、信号処理部 5 3 は、領域を構成する各画素 1 0 1 の全てを発光させうえて、焼き付き補正制御を行う。このようにすることで、受光センサ 3 の受光強度上げることができ、受光センサ 3 の受光時間を短縮すること、即ち、受光センサ 3 の応答速度を上げることができる。

【 0 0 8 2 】

40

図 1 2 の A は、第 1 の例における注目画素 P の設定順序を示している。注目画素 P の設定順序自体は、図 1 1 の A の注目画素 P の設定順序と同様とされている。

【 0 0 8 3 】

初期状態として、図 1 2 の B に示されるように、信号処理部 5 3 は、領域を構成する各画素 1 0 1 を所定の階調で一律に発光させる。

【 0 0 8 4 】

その後、図 1 2 の C 乃至 H に示されるように、信号処理部 5 3 は、領域を構成する 2 5 個（ $= 5 \times 5$ 個）の画素 1 0 1 を 1 つずつ、上述の順番で注目画素 P に順次設定していく。そして、信号処理部 5 3 は、注目画素 P となった画素 1 0 1 のみを順次消光させていく。即ち、注目画素 P 以外の 2 4 個の画素 1 0 1 は、所定の階調での発光を維持する。

50

【 0 0 8 5 】

このように、図 1 2 の B の初期状態において、領域を構成する各画素 1 0 1 は全て所定の階調で一律に発光する。その結果、受光センサ 3 には、領域を構成する各画素 1 0 1 から発光されたそれぞれの光が到達することになる。よって、初期状態の受光センサ 3 の出力電圧（受光信号の電圧）は、これらの 2 5 個（ $= 5 \times 5$ 個）の画素 1 0 1 から到達した全ての光の積算量（以下、全画素光積算量と称する）を示すことになる。ここで、図 1 2 の C 乃至 H に示されるように、注目画素 P のみを消光させると、受光センサ 3 の出力電圧（受光信号の電圧）は、全画素光積算値に対して、注目画素 P が消光した分（ $=$ 注目画素 P の発光輝度分）だけ低くなる。よって、初期状態の受光センサ 3 の受光信号と、注目画素 P だけ消光させた状態（以下、注目画素消光状態と称する）の受光センサ 3 の受光信号との差分を取ると、注目画素 P の発光輝度が得られることになる。

10

【 0 0 8 6 】

そこで、第 1 の例では、初期状態（図 1 2 の B の状態）の受光センサ 3 の受光信号が増幅され、A/D 変換された結果得られるデジタルデータが、オフセットデータとしてメモリ 6 1 に予め記憶される。この場合、オフセットデータの値は、アナログ信号に換算すると（A/D 変換前の状態では）、例えば図 1 3 に示される値となる。

【 0 0 8 7 】

図 1 3 は、本発明の焼き付き補正制御手法の第 1 の例のうち、注目画素の輝度値の算出手法を説明する図である。図 1 3 において、縦軸は、受光センサ 3 の受光信号の増幅後の電圧を示している。横軸は、受光センサ 3 からの所定方向の距離（単位は画素数）を示している。

20

【 0 0 8 8 】

ここで、注目画素消光状態での受光センサ 3 の受光信号が増幅され、A/D 変換された結果得られるデジタルデータを、受光データと称することにする。この場合、受光データのアナログ信号の換算値（A/D 変換前の状態の値）は、図 1 3 に示されるように、オフセットデータの値に対して、注目画素 P が消光した分（ $=$ 注目画素 P の発光輝度分）だけ低くなる。そこで、信号処理部 5 3 は、オフセットデータの値から、注目画素 P の受光データの値を減算することで、注目画素の輝度値を算出できるようになる。

【 0 0 8 9 】

なお、図 1 3 において、受光センサ 3 に近づく程受光データの値が低くなっている理由は、図 9 を用いて説明したように、画素 1 0 1 の発光輝度自体は同一であっても、受光センサ 3 に近いほど、受光センサ 3 が感知する受光量が多くなるからである。即ち、全画素光積算値の中で、注目画素 P の発光に基づく受光量が占める割合は、注目画素 P が受光センサ 3 に近づくほど高くなるからである。

30

【 0 0 9 0 】

ここで注目すべき点は、受光センサ 3 から遠方の画素 1 0 1 が注目画素 P に設定された場合であっても、受光データの値は一定以上の値を保っている点、即ち、オフセットデータの値に近い値を保っている点である。即ち、注目画素消光状態の受光センサ 3 の出力電圧（受光信号の電圧）は、受光センサ 3 と注目画素 P との間の距離によらず、一定以上の値を確保している点である。このことは、受光センサ 3 は、注目画素 P との間の距離によらず、一定以上の応答速度で受光信号を常に出力できる、ことを意味する。よって、焼き付き補正システム全体の処理時間として総合的に従来と比較すると、その処理時間の短縮を図ることができるようになるのである。即ち、上述した問題を解決できるようになるのである。

40

【 0 0 9 1 】

なお、上述の如く、注目画素 P の輝度値は、オフセットデータの値との差分さえ測定できれば算出可能である。よって、注目画素 P は、消光させるのではなく、周囲の画素 1 0 1 の発光輝度の階調よりも低い階調で発光させるようにしてもよい。

【 0 0 9 2 】

[本発明の焼き付き補正制御手法の第 1 の例が適用された初期データ取得処理]

50

【 0 0 9 3 】

図 1 4 は、表示装置 1 が実行する処理のうち、本発明の焼き付き補正制御手法の第 1 の例を実現するための初期データを取得するまでの一連の処理（以下、初期データ取得処理）の一例を説明するフローチャートである。

【 0 0 9 4 】

図 1 4 の例の初期データ取得処理は、例えば、E L パネル 2 が区分された各領域毎に並行して実行される。即ち、図 1 4 の初期データ取得処理は、各受光センサ 3 毎に並行して実行される。

【 0 0 9 5 】

ステップ S 1 において、信号処理部 5 3 は、図 1 3 を用いて説明したオフセットデータを生成し、メモリ 6 1 に記憶させる。なお、以下、オフセットデータを生成し、メモリ 6 1 に記憶させるまでの一連の処理を、オフセット値取得処理と称する。ここで、オフセット値取得処理の詳細例について、図 1 5 を参照して説明する。

10

【 0 0 9 6 】

[オフセット値取得処理]

【 0 0 9 7 】

図 1 5 は、本発明が適用されるオフセット値取得処理の一例を説明するフローチャートである。

【 0 0 9 8 】

ステップ S 2 1 において、信号処理部 5 3 は、領域を構成する各画素 1 0 1 を所定の階調で発光させる。

20

【 0 0 9 9 】

ステップ S 2 2 において、受光センサ 3 は、領域を構成する各画素 1 0 1 全体の受光輝度に応じたアナログの受光信号（電圧信号）を制御部 5 の増幅部 5 1 に出力する。

【 0 1 0 0 】

ステップ S 2 3 において、増幅部 5 1 は、受光センサ 3 の受光信号を所定の増幅率で増幅し、A/D変換部 5 2 に供給する。

【 0 1 0 1 】

ステップ S 2 4 において、A/D変換部 5 2 は、増幅後のアナログの受光信号を、デジタルの信号であるオフセットデータに変換し、信号処理部 5 3 に供給する。

30

【 0 1 0 2 】

ステップ S 2 5 において、信号処理部 5 3 は、オフセットデータをメモリ 6 1 に記憶させる。

【 0 1 0 3 】

これにより、オフセット値取得処理は終了する。いまの場合、図 1 4 のステップ S 1 の処理が終了し、処理はステップ S 2 に進む。

【 0 1 0 4 】

ステップ S 2 において、信号処理部 5 3 は、領域を構成する各画素 1 0 1 のうち輝度データが取得されていない画素 1 0 1 を注目画素 P に設定する。なお、注目画素 P の設定順序は、図 1 2 の A を用いて説明した通りである。

40

【 0 1 0 5 】

ステップ S 3 において、信号処理部 5 3 は、注目画素 P を、消光させる。即ち、図 1 2 の C 乃至 H に示されるように、領域を構成する各画素 1 0 1 のうち、注目画素 P のみが消光し、それ以外の画素 1 0 1 は発光を維持する。

【 0 1 0 6 】

ステップ S 4 において、受光センサ 3 は、領域を構成する各画素 1 0 1 のうちの注目画素 P を除く画素 1 0 1 全体の受光輝度に応じたアナログの受光信号（電圧信号）を制御部 5 の増幅部 5 1 に出力する。

【 0 1 0 7 】

ステップ S 5 において、増幅部 5 1 は、受光センサ 3 の受光信号を所定の増幅率で増幅

50

し、A/D変換部 5 2 に供給する。

【 0 1 0 8 】

ステップ S 6 において、A/D変換部 5 2 は、増幅後のアナログの受光信号を、デジタルの信号である受光データに変換し、信号処理部 5 3 に供給する。

【 0 1 0 9 】

ステップ S 7 において、信号処理部 5 3 は、オフセットデータの値と受光データの値との差分を取ることににより、注目画素の輝度値を算出する（図 1 3 参照）。

【 0 1 1 0 】

ステップ S 8 において、信号処理部 5 3 は、注目画素の輝度値を示す輝度データを初期データとしてメモリ 6 1 に記憶させる。

10

【 0 1 1 1 】

ステップ S 9 において、信号処理部 5 3 は、領域内のすべての画素 1 0 1 について輝度データを取得したかを判定する。ステップ S 9 において、領域内のすべての画素 1 0 1 についてまだ輝度データを取得していないと判定された場合、処理はステップ S 2 に戻され、ステップ S 2 乃至 S 9 の処理のループ処理が繰り返される。即ち、領域を構成する各画素 1 0 1 のそれぞれが順次注目画素 P に設定され、かかるループ処理が繰り返し実行されることで、領域を構成する全画素 1 0 1 の初期データが取得されメモリ 6 1 に記憶される。

【 0 1 1 2 】

これにより、ステップ S 9 において、領域内のすべての画素 1 0 1 について輝度データを取得したと判定されて、初期データ取得処理は終了する。

20

【 0 1 1 3 】

[本発明の焼き付き補正制御手法の第 1 の例が適用された補正データ取得処理]

【 0 1 1 4 】

図 1 6 は、図 1 4 の初期データ処理を行ってから所定期間経過後に実行される処理であって、補正データを取得するまでの一連の処理（以下、補正データ取得処理と称する）の一例を説明するフローチャートである。補正データ取得処理も、図 1 4 の初期データ処理と同様に、E L パネル 2 が区分された各領域毎に並行して実行される。

【 0 1 1 5 】

ステップ S 4 1 乃至 S 4 7 の処理は、上述した図 1 4 のステップ S 1 乃至 S 7 の処理とそれぞれ同様であるので、その説明は省略する。即ち、ステップ S 4 1 乃至 S 4 7 の処理によって、初期データ取得処理と同一の条件の下で、注目画素 P の輝度値が取得される。

30

【 0 1 1 6 】

ここで注目すべき点は、補正データ取得処理においても、初期データ取得処理とは別に、図 1 5 のオフセット値取得処理が再度実行される点である。即ち、図 1 2 を用いて説明したように、領域を構成する各画素 1 0 1 が一律に発光された後、注目画素 P のみが消光されることで、注目画素 P の輝度値が取得される点である。

【 0 1 1 7 】

なお、オフセット値取得処理のステップ S 2 1 である「所定の階調」としては、各画素 1 0 1 が実際に発生した輝度の階調という点では、各画素 1 0 1 が劣化するために、図 1 4 の初期データ取得処理と図 1 6 の補正データ取得処理とは異なってくる。しかしながら、各画素 1 0 1 に与える目標の階調という点では、オフセット値取得処理のステップ S 2 1 である「所定の階調」としては、図 1 4 の初期データ取得処理と図 1 6 の補正データ取得処理とで同一の階調が採用されたとする。

40

【 0 1 1 8 】

同様に、ステップ S 4 3 である「所定の階調」は、注目画素 P が実際に発生した輝度の階調という点では、注目画素 P として設定される各画素 1 0 1 が劣化するために、図 1 4 の初期データ取得処理のステップ S 3 である「所定の階調」とは異なった階調になる。しかしながら、注目画素 P に与える目標の階調という点では、ステップ S 4 3 である「所定の階調」は、図 1 4 の初期データ取得処理のステップ S 3 である「所定の階調」と同一の

50

階調が採用されるとする。

【 0 1 1 9 】

ステップ S 4 8 において、信号処理部 5 3 は、注目画素 P の初期データの値（初期輝度値）をメモリ 6 1 から取得する。

【 0 1 2 0 】

ステップ S 4 9 において、信号処理部 5 3 は、注目画素 P の輝度値の初期輝度値に対する輝度低下量を算出する。

【 0 1 2 1 】

ステップ S 5 0 において、信号処理部 5 3 は、注目画素 P の輝度低下量に基づいて、注目画素 P の補正データを算出し、メモリ 6 1 に記憶させる。

10

【 0 1 2 2 】

ステップ S 5 1 において、信号処理部 5 3 は、領域内のすべての画素 1 0 1 について補正データを取得したかを判定する。ステップ S 5 1 において、領域内のすべての画素 1 0 1 についてまだ補正データを取得していないと判定された場合、処理はステップ S 4 2 に戻され、ステップ S 4 2 乃至 S 5 1 の処理のループ処理が繰り返される。即ち、領域を構成する各画素 1 0 1 のそれぞれが順次注目画素に設定され、かかるループ処理が繰り返し実行されることで、領域を構成する全画素 1 0 1 の補正データが取得されメモリ 6 1 に記憶される。

【 0 1 2 3 】

これにより、ステップ S 5 1 において、領域内のすべての画素 1 0 1 について補正データを取得したと判定されて、補正データ取得処理は終了する。

20

【 0 1 2 4 】

以上のように、図 1 4 の初期データ取得処理実行後、図 1 6 の補正データ取得処理が所定時間経過後に実行されると、画素アレイ部 1 0 2 の各画素 1 0 1 についての補正データが、メモリ 6 1 に記憶される。即ち、その後も、随時補正データ取得処理が実行される毎に、補正データが更新されてメモリ 6 1 に記憶される。

【 0 1 2 5 】

これにより、信号処理部 5 3 の制御の下、映像信号の信号電位として、補正データにより経時劣化による輝度低下が補正された信号電位 V s i g が、画素アレイ部 1 0 2 の各画素 1 0 1 に供給されることになる。即ち、信号処理部 5 3 は、表示装置 1 に入力された映像信号の信号電位として、補正データによる電位を上乗せした信号電位 V s i g を画素 1 0 1 に供給するように水平セクタ 1 0 3 を制御することができるようになる。

30

【 0 1 2 6 】

なお、メモリ 6 1 に記憶される補正データは、表示装置 1 に入力された映像信号の信号電位に、所定の比率を乗算するような値でも良いし、所定の電圧値をオフセットさせるような値でもよい。また、表示装置 1 に入力された映像信号の信号電位に対応した補正テーブルとして保有することも可能である。即ち、メモリ 6 1 に記憶される補正データの形態は特に限定されない。

【 0 1 2 7 】

[本発明の焼き付き補正制御の第 2 の例]

40

【 0 1 2 8 】

次に、本発明の焼き付き補正制御の第 2 の例について説明する。

【 0 1 2 9 】

図 1 2 を用いて説明した第 1 の例では、初期状態（図 1 2 の B の状態）では、領域を構成する各画素 1 0 1 の発光輝度（より正確には、各画素 1 0 1 の劣化度合いが異なるので、目標輝度値）は一律に同一の階調とされた。しかしながら、この場合、図 1 3 に示されるように、受光センサ 3 に近い画素 1 0 1 が注目画素 P に設定された場合、遠方の画素 1 0 1 と比較して、受光データの値が低くなってしまう。このことは、受光センサ 3 の応答時間、即ち、受光信号が出力されるまでの時間は、遠い画素 1 0 1 が消光された場合に比較して、近い画素 1 0 1 が消光された場合の方が遅くなってしまう。即ち、受光センサ 3

50

の応答時間は、注目画素 P に設定された画素 101 の配置位置によってまちまちになってしまう。そこで、初期状態では、即ち、オフセット値取得処理のステップ S21 の処理（図 15 参照）では、領域を構成する各画素 101 の発光輝度を一律にするのではなく、受光センサ 3 からの距離が遠方になる画素 101 程明るくするようにしてもよい。具体的には例えば、図 17 の B に示されるようにしてもよい。

【0130】

図 17 は、本発明の焼き付き補正制御手法の第 2 の例を説明する図である。

【0131】

図 17 の A 乃至 H には、 5×5 の画素 101 から構成される領域が示されている。この領域の中心には、受光センサ 3 が配置されている。図 17 において、画素 101 を示すブロック内の模様のうち、網かけの模様のうち薄い模様（図 17 中一番薄い模様）は、一定の第 1 の階調で注目画素 P が発光していることを示している。網かけの模様のうち濃い模様（即ち、図 17 中一番薄い模様よりは濃い模様）は、一定の第 2 の階調で注目画素 P が発光していることを示している。ただし、第 2 の階調は、第 1 の階調よりも暗い階調とされている。また、点線の模様は、注目画素 P が消光していることを示している。なお、ここでいう第 1 の階調、第 2 の階調と、他の図でいう第 1 の階調、第 2 の階調とは必ずしも一致しない点注意を要する。

【0132】

第 2 の例でも、信号処理部 53 は、領域を構成する各画素 101 の全てを発光させたうえで、焼き付き補正制御を行うこと自体は変わらない。よって、第 2 の例でも、受光センサ 3 の受光強度上げることができ、受光センサ 3 の受光時間を短縮すること、即ち、受光センサ 3 の応答速度を上げることができる。

【0133】

図 17 の A は、第 2 の例における注目画素 P の設定順序を示している。注目画素 P の設定順序自体は、図 12 の A の第 1 の例と同様とされている。

【0134】

初期状態として、図 17 の B に示されるように、信号処理部 53 は、領域を構成する各画素 101 のそれぞれを、受光センサ 3 から遠方に行くほど明るくなるような階調で（グラデーション的に明るくなるように）発光させる。

【0135】

その後の第 2 の例の処理は、図 17 の C 乃至 H と、図 12 の C 乃至 H とを比較すれば分かるように、第 1 の例の処理と同様となる。よって、第 2 の例についても、第 1 の例と同様に、図 14 乃至図 16 のフローチャートに従った処理をそのまま適用できる。

【0136】

[本発明の焼き付き補正制御の第 3 の例]

【0137】

次に、本発明の焼き付き補正制御の第 3 の例について説明する。

【0138】

第 1 の例と第 2 の例で説明したように、本発明の焼き付き補正制御では、初期状態として、領域を構成する各画素 101 を発光させた場合の受光センサ 3 の受光信号の値に基づいて、オフセットデータが生成される。そして、オフセットデータの値と、受光データの値との差分から、注目画素の輝度値が求められる。即ち、受光データとしては、第 1 の例や第 2 の例に限定されず、このような差分を求められる形態であれば足りる。即ち、第 1 の例と第 2 の例においては、図 13 に示されるように、オフセットデータの値よりも低い値となる受光データが採用された。これに対して、第 3 の例では、オフセットデータの値よりも高い値となる受光データが採用される。

【0139】

図 18 は、本発明の焼き付き補正制御手法の第 3 の例を説明する図である。

【0140】

図 18 の A 乃至 H には、 5×5 の画素 101 から構成される領域が示されている。この

領域の中心には、受光センサ 3 が配置されている。図 1 8 において、画素 1 0 1 を示すブロック内の模様のうち、網かけの模様のうち薄い模様は、一定の第 1 の階調で注目画素 P が発光していることを示している。網かけの模様のうち濃い模様は、一定の第 2 の階調で注目画素 P が発光していることを示している。ただし、第 2 の階調は、第 1 の階調よりも暗い階調とされている。なお、ここでいう第 1 の階調、第 2 の階調と、他の図でいう第 1 の階調、第 2 の階調とは必ずしも一致しない点注意を要する。

【 0 1 4 1 】

図 1 8 の A は、第 3 の例における注目画素 P の設定順序を示している。注目画素 P の設定順序自体は、図 1 2 の A の第 1 の例や図 1 7 の A の第 2 の例と同様とされている。

【 0 1 4 2 】

初期状態として、図 1 8 の B に示されるように、信号処理部 5 3 は、領域を構成する各画素 1 0 1 を所定の階調で一律に発光させる。ただし、第 3 の例における各画素 1 0 1 の一律の階調とは、図 1 2 の B の第 1 の例の初期状態の場合と比較して、暗い階調であると好適である。第 1 の例では、注目画素 P を消光または初期状態より暗く発光させたのに対して、第 3 の例では、注目画素 P を、初期状態より明るく発光させるからである。

【 0 1 4 3 】

即ち、初期状態の後図 1 8 の C 乃至 H に示されるように、信号処理部 5 3 は、領域を構成する 2 5 個 (= 5 × 5 個) の画素 1 0 1 を 1 つずつ、上述の順番で注目画素 P に順次設定していく。そして、信号処理部 5 3 は、注目画素 P となった画素 1 0 1 のみを初期状態の所定の階調よりも明るい階調で順次発光させていく。即ち、注目画素 P 以外の 2 4 個の画素 1 0 1 は、初期状態の所定の階調での発光を維持する。

【 0 1 4 4 】

その後の第 3 の例の処理は、図 1 8 の C 乃至 H と、図 1 2 または図 1 7 の C 乃至 H とを比較すれば分かるように、第 1 の例や第 2 の例の処理と同様となる。ただし、第 3 の例では、信号処理部 5 3 は、注目画素 P となった画素 1 0 1 のみを初期状態の所定の階調よりも明るい階調で順次発光させていく。

【 0 1 4 5 】

このように、図 1 8 の B の初期状態において、領域を構成する各画素 1 0 1 は全て所定の階調で一律に発光する。よって、初期状態の受光センサ 3 の出力電圧 (受光信号の電圧) は、全画素光積算量を示すことになる。ここで、図 1 8 の C 乃至 H に示されるように、注目画素 P のみを初期状態の所定の階調よりも明るい階調で発光させると、受光センサ 3 の出力電圧 (受光信号の電圧) は、全画素光積算値に対して、注目画素 P が発光した分 (= 注目画素 P の発光輝度分) だけ高くなる。よって、注目画素 P のみを初期状態の所定の階調よりも明るい階調で発光させた、注目画素発光状態の受光センサ 3 の受光信号と、初期状態の受光センサ 3 の受光信号との差分を取ると、注目画素 P の発光輝度が得られることになる。

【 0 1 4 6 】

そこで、第 3 の例では、初期状態 (図 1 8 の B の状態) の受光センサ 3 の受光信号が増幅され、A/D変換された結果得られるデジタルデータが、オフセットデータとしてメモリ 6 1 に予め記憶される。この場合、オフセットデータの値は、アナログ信号に換算すると (A/D変換前の状態では) 、例えば図 1 9 に示される値となる。

【 0 1 4 7 】

図 1 9 は、本発明の焼き付き補正制御手法の第 3 の例のうち、注目画素の輝度値の算出手法を説明する図である。図 1 9 おいて、縦軸は、受光センサ 3 の受光信号の増幅後の電圧を示している。横軸は、受光センサ 3 からの所定方向の距離 (単位は画素数) を示している。

【 0 1 4 8 】

ここで、注目画素発光状態での受光センサ 3 の受光信号が増幅され、A/D変換された結果得られるデジタルデータ、即ち、受光データのアナログ信号の換算値 (A/D変換前の状態の値) は、図 1 9 に示されるようになる。即ち、受光データのアナログ信号の換算値は

10

20

30

40

50

、図 19 に示されるように、オフセットデータの値に対して、注目画素 P が初期状態の所定の階調よりも明るい階調で発光した分（＝注目画素 P の発光輝度分）だけ高くなる。そこで、信号処理部 53 は、受光データの値から、オフセットデータの値を減算することで、注目画素の輝度値を算出できるようになる。

【0149】

なお、図 19 において、受光センサ 3 に近づく程受光データの値が高くなっている理由は、図 9 を用いて説明したように、画素 101 の発光輝度自体は同一であっても、注目画素 P として設定された画素 101 が受光センサ 3 に近いほど、受光センサ 3 が感知する受光量が多くなるからである。

【0150】

ここで注目すべき点は、第 1 の例と同様に、注目画素発光状態の受光センサ 3 の出力電圧（受光信号の電圧）は、受光センサ 3 と注目画素 P との間の距離によらず、一定以上の値を確保している点、即ち、第 3 の例では、少なくともオフセットデータの値以上を確保している点である。このことは、受光センサ 3 は、注目画素 P との間の距離によらず、一定以上の応答速度で受光信号を常に出力できる、ことを意味する。よって、焼き付き補正システム全体の処理時間として総合的に従来と比較すると、その処理時間の短縮を図ることができるようになるのである。即ち、第 3 の例においても、上述した問題を解決できるようになるのである。

【0151】

[本発明の焼き付き補正制御手法の第 3 の例が適用された初期データ取得処理]

【0152】

図 20 は、表示装置 1 が実行する処理のうち、本発明の焼き付き補正制御手法の第 3 の例を実現するための初期データ取得処理の一例を説明するフローチャートである。

【0153】

図 20 の例の初期データ取得処理は、例えば、EL パネル 2 が区分された各領域毎に並行して実行される。即ち、図 20 の初期データ取得処理は、各受光センサ 3 毎に並行して実行される。

【0154】

図 20 と図 14 とを比較すれば容易にわかることであるが、図 20 の例の初期データ取得処理の一連の流れは、図 14 の例の初期データ取得処理の一連の流れと基本的に同様である。よって、以下、図 20 の例の初期データ取得処理のうち、図 14 の例の初期データ取得処理とは異なる処理についてのみ説明する。

【0155】

最初のステップ S61 において、オフセット値取得処理が実行されることは、図 14 のステップ S1 の処理と同様である。即ち、ステップ S61 の処理として、図 15 のオフセット値取得処理が実行される。ただし、図 15 のステップ S21 の処理でいう「所定の階調」は、上述の如く、図 20 の例のステップ S61 としてのオフセット値取得処理の場合の方が、図 14 の例のステップ S1 としてのオフセット値取得処理の場合よりも暗い階調となる。

【0156】

このため、図 14 の例のステップ S3 の処理として「注目画素を消光させる」という処理が採用されていたのに対して、図 20 の例のステップ S63 の処理として「注目画素を所定の階調で発光させる」という処理が採用されている。なお、ステップ S63 でいう「所定の階調」は、図 20 の例のステップ S61 としてのオフセット値取得処理のうちの図 15 のステップ S21 でいう「所定の階調」よりも明るい階調となる。

【0157】

また、図 14 の例のステップ S7 の処理として、「オフセットデータの値と受光データの値との差分を取ることにより、注目画素の輝度値を算出する（図 13 参照）」という処理が採用されている。これに対して、図 20 の例のステップ S67 の処理として、「受光データの値とオフセットデータの値との差分を取ることにより、注目画素の輝度値を算出

10

20

30

40

50

する（図１９参照）」という処理が採用されている。

【０１５８】

[本発明の焼き付き補正制御手法の第３の例が適用された補正データ取得処理]

【０１５９】

図２１は、図２０の初期データ取得処理を行ってから所定期間経過後に実行される補正データ取得処理の一例を説明するフローチャートである。補正データ取得処理も、図２０の初期データ取得処理と同様に、ＥＬパネル２が区分された各領域毎に並行して実行される。

【０１６０】

図２１と図１６とを比較すれば容易にわかることであるが、図２１の例の補正データ取得処理の一連の流れは、図１６の例の補正データ取得処理の一連の流れと基本的に同様である。よって、以下、図２１の例の補正データ取得処理のうち、図１６の例の補正データ取得処理とは異なる処理についてのみ説明する。

【０１６１】

最初のステップＳ８１において、オフセット値取得処理が実行されることは、図１６のステップＳ４１の処理と同様である。即ち、ステップＳ８１の処理として、図１５のオフセット値取得処理が実行される。ただし、図１５のステップＳ２１でいう「所定の階調」は、上述の如く、図２１の例のステップＳ８１としてのオフセット値取得処理の場合の方が、図１６の例のステップＳ４１としてのオフセット値取得処理の場合よりも暗い階調となる。

【０１６２】

換言すると、オフセット値取得処理のステップＳ２１でいう「所定の階調」としては、各画素１０１が実際に発生した輝度の階調という点では各画素１０１が劣化するために、図２０の初期データ取得処理と図２１の補正データ取得処理とは異なってくる。しかしながら、各画素１０１に与える目標の階調という点では、オフセット値取得処理のステップＳ２１でいう「所定の階調」としては、図２０の初期データ取得処理と図２１の補正データ取得処理とで同一の階調が採用されたとする。

【０１６３】

このため、図１６の例のステップＳ４３の処理として「注目画素を消光させる」という処理が採用されていたのに対して、図２１の例のステップＳ８３の処理として「注目画素を所定の階調で発光させる」という処理が採用されている。

【０１６４】

なお、ステップＳ８３でいう「所定の階調」は、図２０の例のステップＳ６１としてのオフセット値取得処理のうちの図１５のステップＳ２１の処理でいう「所定の階調」よりも明るい階調となる。

【０１６５】

換言すると、ステップＳ８３でいう「所定の階調」は、注目画素Ｐが実際に発生した輝度の階調という点では、注目画素Ｐとして設定される各画素１０１が劣化するために、図２０の初期データ取得処理のステップＳ６３でいう「所定の階調」とは異なった階調になる。しかしながら、注目画素Ｐに与える目標の階調という点では、ステップＳ８３でいう「所定の階調」は、図２０の初期データ取得処理のステップＳ６３でいう「所定の階調」と同一の階調が採用されたとする。

【０１６６】

また、図１６の例のステップＳ４７の処理として、「オフセットデータの値と受光データの値との差分を取ることにより、注目画素の輝度値を算出する（図１３参照）」という処理が採用されている。これに対して、図２１の例のステップＳ８７の処理として、「受光データの値とオフセットデータの値との差分を取ることにより、注目画素の輝度値を算出する（図１９参照）」という処理が採用されている。

【０１６７】

[本発明の焼き付き補正制御の第４の例]

10

20

30

40

50

【 0 1 6 8 】

次に、本発明の焼き付き補正制御の第 4 の例について説明する。

【 0 1 6 9 】

図 1 8 を用いて説明した第 3 の例では、初期状態（図 1 8 の B の状態）では、領域を構成する各画素 1 0 1 の発光輝度（より正確には、各画素 1 0 1 の劣化度合いが異なるので、目標輝度値）は一律に同一の階調とされた。しかしながら、本発明の焼き付き補正制御（後述する第 5 の例除く）では、オフセットデータの値と、受光データの値との差分から、注目画素の輝度値が求められる。よって、オフセットデータの値は、第 3 の例に限定されず、このような差分を求められる形態であれば足りる。即ち、第 3 の例では、初期状態で同一の階調で発光する画素 1 0 1 は、領域を構成する全ての画素 1 0 1 とされた。しかしながら、初期状態で同一の階調で発光する画素 1 0 1 の個数は、第 3 の例に限定されず、決められた画素 1 0 1 が発光する限り、任意の個数でよい。即ち、第 4 の例では、初期状態では、領域を構成する各画素 1 0 1 のうち、所定の一部の画素 1 0 1 のみが同一の階調で発光する。具体的には例えば、第 4 の例の初期状態は、図 2 2 の B に示されるようになる。

10

【 0 1 7 0 】

図 2 2 は、本発明の焼き付き補正制御手法の第 4 の例を説明する図である。

【 0 1 7 1 】

図 2 2 の A 乃至 H には、5 × 5 の画素 1 0 1 から構成される領域が示されている。この領域の中心には、受光センサ 3 が配置されている。図 2 2 において、画素 1 0 1 を示すブロック内の模様のうち、網かけの模様のうち薄い模様（図 2 2 中一番薄い模様）は、一定の第 1 の階調で注目画素 P が発光していることを示している。網かけの模様のうち濃い模様（即ち、図 2 2 中一番薄い模様よりも濃い模様）は、一定の第 2 の階調で注目画素 P が発光していることを示している。ただし、第 2 の階調は、第 1 の階調よりも暗い階調とされている。また、右斜線の模様（図 2 2 中一番濃い模様）は、注目画素 P が消光していることを示している。なお、ここでいう第 1 の階調、第 2 の階調と、他の図でいう第 1 の階調、第 2 の階調とは必ずしも一致しない点注意を要する。

20

【 0 1 7 2 】

第 4 の例では、信号処理部 5 3 は、領域を構成する各画素 1 0 1 のうちの一部を発光させたうえで、焼き付き補正制御を行う。よって、第 4 の例でも、受光センサ 3 の受光強度を上げることができ、受光センサ 3 の受光時間を短縮すること、即ち、受光センサ 3 の応答速度を上げることができる。

30

【 0 1 7 3 】

図 2 2 の A は、第 4 の例における注目画素 P の設定順序を示している。注目画素 P の設定順序自体は、図 1 8 の A の第 3 の例等と同様とされている。

【 0 1 7 4 】

初期状態として、図 2 2 の B に示されるように、信号処理部 5 3 は、領域を構成する各画素 1 0 1 のうち、一部の画素 1 0 1（図 2 2 の B の例では、下 3 行に配置されている画素 1 0 1）のそれぞれを、一定の階調で発光させる。

【 0 1 7 5 】

その後の第 4 の例の処理は、図 2 2 の C 乃至 H と、図 1 8 の C 乃至 H とを比較すれば分かるように、第 3 の例の処理と同様となる。よって、第 4 の例についても、第 3 の例と同様に、図 2 0 , 図 2 1 , 図 1 5 のフローチャートに従った処理をそのまま適用できる。

40

【 0 1 7 6 】

[本発明の焼き付き補正制御の第 5 の例]

【 0 1 7 7 】

次に、本発明の焼き付き補正制御の第 5 の例について説明する。上述した本発明の焼き付き補正制御の第 1 乃至第 4 の例では、オフセットデータの値と、受光データの値との差分から、注目画素の輝度値が求められる。このオフセットデータの値とは、初期状態で領域を構成する各画素 1 0 1 のうちの少なくとも一部を発光させた場合における受光センサ

50

3の受光信号に対応する値となっている。このような初期状態を設ける目的は、受光センサ3の応答速度を挙げることである。即ち、この目的を達成するために、オフセットデータが必要となるのである。しかしながら、注目画素Pの焼き付き補正の精度の視点で考えると、オフセットデータがあると、その分だけ精度が荒くなってしまう。このことについて、図23を用いてさらに説明する。

【0178】

図23は、受光センサ3の受光信号（アナログ信号）の最大電圧と、そのアナログ信号がデジタル化された場合の階調数の関係を示す図である。具体的には、図23のAは、本発明の焼き付き補正制御の第3の例が適用された場合の図である。図23のBは、本発明の焼き付き補正制御の第5の例が適用された場合の図である。図23において、縦軸は、受光センサ3の受光信号のアナログ信号の最大電圧を示している。横軸は、受光センサ3からの所定方向の距離（単位は画素数）を示している。

10

【0179】

図23のAに示されるように、注目画素Pとして、受光センサ3との距離が画素数にして0だけ離れている画素101が設定された場合、受光センサ3の受光信号の電圧 V_L が10となったとする。また、初期状態の受光センサ3の受光信号の電圧 V_{off} が1であったとする。即ち、この電圧 V_{off} に対応するデジタルデータの値が、オフセットデータの値となる。よって、受光センサ3の受光信号（アナログ信号）の電圧 V_L と電圧 V_{off} との差分電圧 $V_p = 9$ が、注目画素Pの輝度値に相当するアナログ電圧となる。ここで、10の電圧のアナログ信号が、8ビットの256階調のデジタルデータに変換されるとする。この場合、差分電圧 V_p のアナログ信号が8ビットの230階調のデジタルデータに変換されたものが、注目画素Pの輝度データと等価である。よって、この場合の、注目画素Pの焼き付き補正の精度は、230階調の精度（約0.45%毎の精度）となり、256階調の精度（0.4%毎の補正精度）と比較すると低下してしまう。

20

【0180】

そこで、第5の例では、受光センサ3の受光信号（アナログ信号）の段階で、そのアナログ電圧からオフセット分のアナログ電圧の差分が取られ、その差分電圧のアナログ信号が適切に増幅された上で、A/D変換が施される。例えば、図23の例でいえば、受光センサ3の受光信号（アナログ信号）の電圧 V_L と電圧 V_{off} との差分電圧 $V_p = 9$ のアナログ信号が生成され、そのアナログ信号が10/9倍に増幅されて上で、A/D変換が施される。すると、図23のBに示されるように、当該アナログ信号は、8ビットの256階調のデジタルデータに変換されることになる。第5の例では、かかるデジタルデータが、注目画素Pの輝度データとして採用される。その結果、注目画素Pの焼き付き補正の精度を、256階調の精度、即ち、0.4%毎の補正精度という最高精度にすることができるようになる。

30

【0181】

[焼き付き補正制御の第5の例を実行するために必要な表示装置1の機能的構成例]

【0182】

図24は、焼き付き補正制御の第5の例を実行するために必要な表示装置1の機能的構成例を示す機能ブロック図を示している。なお、図24において、図7と対応する箇所には、同一符号が付してあり、それらの説明については適宜省略する。

40

【0183】

図24の例では、制御部5は、図7の例の構成に対して、さらにアナログ差分回路81を含むように構成されている。

【0184】

[アナログ差分回路81の構成例と動作例]

【0185】

図25は、アナログ差分回路81の構成例を示している。

【0186】

アナログ差分回路81は、スイッチング素子としての3つのトランジスタTr1乃至Tr3（

50

以下、スイッチTr1乃至Tr3と称する)、および2つのキャパシタC1,C2を含むように構成されている。具体的には、アナログ差分回路81の入力端子INと出力端子OUTの間にスイッチTr1が接続される。スイッチTr2とスイッチTr3との直列接続回路のうち、スイッチTr2側の端は、出力端子OUTに接続され、スイッチTr3側の端は接地(GND)される。キャパシタC1とキャパシタC2との直列接続回路のうち、キャパシタC2側の端は、出力端子OUTに接続され、キャパシタC1側の端は、受光センサ3の受光素子LDの電位Vccの線と接続される。スイッチTr2とキャパシタC2とは、出力端子OUTと接続されている端(同一電圧Vaが引加される端)とは反対側の端同士で接続される。その結果、当該反対側の端には同一電圧Vbが引加されることになる。入力端子INは、受光センサ3の受光素子LDと抵抗Rとの間に接続される。

10

【0187】

図26、図27、および図28は、このような構成のアナログ差分回路81の動作例を説明する図である。

【0188】

なお、焼き付き補正制御全体の処理の流れは、図18の第3の例と基本的に同様の流れとなる。

【0189】

即ち、最初に、初期状態として、図18のBに示されるように、信号処理部53は、領域を構成する各画素101を所定の階調で一律に発光させる。このとき、アナログ差分回路81は、図26に示されるように、スイッチTr1,Tr2をオン状態とし、スイッチTr3をオフ状態とする。この場合、受光センサ3の受光信号に基づく電荷は、スイッチTr1,Tr2を介して、キャパシタC1に書き込まれる。すると、キャパシタC1とキャパシタC2との間の電圧Vbは、受光センサ3を流れる電流I1と抵抗Rの積、即ち、 $Vb = I1 \times R$ となる。ここで、 $I1 \times R = V1$ と記述すると、初期状態では、 $Vb = V1$ となる。この電圧V1こそが、オフセットデータの値に対応するアナログ電圧値(以下、オフセットのアナログ電圧値と称する)となる。

20

【0190】

初期状態の後、図18のCに示される注目画素P(1行1列目の画素101)の発光が開始される前に、アナログ差分回路81は、図27に示されるように、スイッチTr1はオン状態のまま維持させ、スイッチTr2をオン状態からオフ状態に遷移させ、スイッチTr3をオフ状態のまま維持させる。

30

【0191】

その後、信号処理部53は、図18のCに示されるように、注目画素Pとなった画素101のみを初期状態の所定の階調よりも明るい階調で発光させる。この場合、受光センサ3の受光信号に基づく電荷は、スイッチTr1を介して、キャパシタC2に書き込まれる。すると、キャパシタC2の出力端子OUT側の電圧Vaは、受光センサ3を流れる電流I2と抵抗Rの積、即ち、 $Va = I2 \times R$ となる。ここで、 $I2 \times R = V2$ と記述すると、この時点では、 $Va = V2$ となる。この電圧V2が、受光信号のアナログ電圧値、即ち、受光データの値に対応するアナログ電圧である。このとき、キャパシタC1,C2の容量が等しいとすると、 $Vb = (V2 - V1) / 2$ となる。即ち、電圧Vbは、受光信号のアナログ電圧値とオフセットのアナログ電圧値とのアナログ差分の電圧値(正確にはその1/2の電圧値)となっている。

40

【0192】

そこで、アナログ差分回路81は、図28に示されるように、スイッチTr1はオン状態からオフ状態に遷移させ、スイッチTr3をオフ状態からオン状態に遷移させる。すると、電圧Vbは、GNDレベルまで落とされることになる。これにより、 $Va = (V2 - V1) / 2$ となる。よって、この電圧 $(V2 - V1) / 2$ 、即ち、受光信号のアナログ電圧値とオフセットのアナログ電圧値とのアナログ差分の電圧 $Va = (V2 - V1) / 2$ の信号(以下、アナログの差分信号と称する)が、アナログ差分回路81の出力端子OUTから出力される。

【0193】

[本発明の焼き付き補正制御手法の第5の例が適用された初期データ取得処理]

50

【 0 1 9 4 】

図 2 9 は、表示装置 1 が実行する処理のうち、本発明の焼き付き補正制御手法の第 5 の例を実現するための初期データ取得処理の一例を説明するフローチャートである。

【 0 1 9 5 】

図 2 9 の例の初期データ取得処理は、例えば、E L パネル 2 が区分された各領域毎に並行して実行される。即ち、図 2 9 の初期データ取得処理は、各受光センサ 3 毎に並行して実行される。

【 0 1 9 6 】

図 2 9 と図 2 0 とを比較すれば容易にわかることであるが、図 2 9 の例の初期データ取得処理の一連の流れは、図 2 0 の例の初期データ取得処理の一連の流れと類似している。よって、以下、図 2 9 の例の初期データ取得処理のうち、図 2 0 の例の初期データ取得処理とは異なる処理についてのみ説明する。

10

【 0 1 9 7 】

最初のステップ S 1 0 1 において、図 2 0 のステップ S 6 1 のオフセット値取得処理の代わりに、アナログ差分回路 8 1 がオフセット値を保持するための一連の処理が実行される。以下、かかる処理を、オフセット値保持処理と称する。

【 0 1 9 8 】

図 3 0 は、ステップ S 1 0 1 のオフセット値保持処理の詳細例を説明するフローチャートである。

【 0 1 9 9 】

20

図 3 0 と図 1 5 とを比較すれば容易にわかることであるが、図 3 0 の例のステップ S 1 2 1 と S 1 2 2 との処理は、図 1 5 のオフセット値取得処理のステップ S 2 1 と S 2 2 と同様の処理である。よって、これらの説明については省略する。

【 0 2 0 0 】

ステップ S 1 2 3 において、アナログ差分回路 8 1 は、オフセット電圧値を保持する。即ち、ステップ S 1 2 3 の処理として、図 2 6 と図 2 7 を用いて説明した処理が実行される。オフセット値保持処理が終了すると、即ち、図 2 9 のステップ S 1 0 1 の処理が終了すると、処理はステップ S 1 0 2 に進む。

【 0 2 0 1 】

ステップ S 1 0 2 乃至 S 1 0 4 までの処理は、図 2 0 のステップ S 6 2 乃至 S 6 4 までの処理と同様なので、その説明については省略する。

30

【 0 2 0 2 】

ステップ S 1 0 5 において、アナログ差分回路 8 1 は、アナログの受光信号の電圧値とオフセットの電圧値との差分を取り、アナログの差分信号を出力する。

【 0 2 0 3 】

ステップ S 1 0 6 において、増幅部 5 1 は、アナログの差分信号を所定の増幅率で増幅し、A/D変換部 5 2 に供給する。

【 0 2 0 4 】

ステップ S 1 0 7 において、A/D変換部 5 2 は、増幅後のアナログの差分信号を、デジタルの信号である輝度データに変換し（図 2 3 の B 参照）、信号処理部 5 3 に供給する。

40

【 0 2 0 5 】

なお、図 2 9 の例では、ステップ S 1 0 5 の処理で、アナログ信号の段階での差分処理が行われるので、図 2 0 の例のステップ S 6 7 の処理のようなデジタルデータの段階での差分処理は不要となる。

【 0 2 0 6 】

ステップ S 1 0 8 において、信号処理部 5 3 は、輝度データを初期データとしてメモリ 6 1 に記憶させる。

【 0 2 0 7 】

ステップ S 1 0 9 において、信号処理部 5 3 は、領域内のすべての画素 1 0 1 について輝度データを取得したかを判定する。ステップ S 1 0 9 において、領域内のすべての画素

50

101についてまだ輝度データを取得していないと判定された場合、処理はステップS101に戻され、ステップS101乃至S109の処理のループ処理が繰り返される。即ち、領域を構成する各画素101のそれぞれが順次注目画素Pに設定され、かかるループ処理が繰り返し実行されることで、領域を構成する全画素101の初期データが取得されメモリ61に記憶される。

【0208】

これにより、ステップS109において、領域内のすべての画素101について輝度データを取得したと判定されて、初期データ取得処理は終了する。

【0209】

[本発明の焼き付き補正制御手法の第5の例が適用された補正データ取得処理]

10

【0210】

図31は、図29の初期データ処理を行ってから所定期間経過後に実行される補正データ取得処理の一例を説明するフローチャートである。補正データ取得処理も、図29の初期データ取得処理と同様に、ELパネル2が区分された各領域毎に並行して実行される。

【0211】

ステップS141乃至S147の処理は、上述した図29のステップS101乃至S107の処理とそれぞれ同様であるので、その説明は省略する。また、ステップS148乃至S150の処理は、上述した図16のステップS48乃至S50の処理とそれぞれ同様であるので、その説明は省略する。

【0212】

20

ステップS151において、信号処理部53は、領域内のすべての画素101について補正データを取得したかを判定する。ステップS151において、領域内のすべての画素101についてまだ補正データを取得していないと判定された場合、処理はステップS141に戻され、ステップS141乃至S151の処理のループ処理が繰り返される。即ち、領域を構成する各画素101のそれぞれが順次注目画素に設定され、かかるループ処理が繰り返し実行されることで、領域を構成する全画素101の補正データが取得されメモリ61に記憶される。

【0213】

これにより、ステップS151において、領域内のすべての画素101について補正データを取得したと判定されて、補正データ取得処理は終了する。

30

【0214】

[本発明の適用先]

【0215】

ところで、本発明の実施の形態は、上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能である。

【0216】

例えば、上述した画素101のパターン構造は、有機EL(Electro Luminescent)デバイスを用いた自発光型のパネルのほか、FED(Field Emission Display)などのその他の自発光型のパネルに採用することもできる。

【0217】

40

また、上述した画素101は、図4を参照して説明したように、2個のトランジスタ(サンプリング用トランジスタ31と駆動用トランジスタ32)と1個のキャパシタ(蓄積容量33)で構成されていたが、その他の回路構成を採用することもできる。

【0218】

その他の画素101の回路構成としては、例えば、2個のトランジスタと1個のキャパシタの構成(以下、2Tr/1C画素回路とも称する)の他に、次のような回路構成を採用できる。即ち、第1乃至第3のトランジスタを加えた、5個のトランジスタと1個のキャパシタの構成(以下、5Tr/1C画素回路とも称する)を採用することもできる。5Tr/1C画素回路を採用した画素101では、水平セレクト103から映像信号線DTL10を介してサンプリング用トランジスタ31に供給される信号電位がVsig固定と

50

なる。その結果、サンプリング用トランジスタ 31 は駆動用トランジスタ 32 への信号電位 V_{sig} の供給をスイッチングする機能としてのみ動作する。また、電源線 D_{SL10} を介して駆動用トランジスタ 32 に供給される電位が第 1 電位 V_{cc} 固定となる。そして、追加された第 1 のトランジスタは、駆動用トランジスタ 32 への第 1 電位 V_{cc} の供給をスイッチングする。第 2 のトランジスタは、駆動用トランジスタ 32 への第 2 電位 V_{ss} の供給をスイッチングする。また、第 3 のトランジスタは、駆動用トランジスタ 32 への基準電位 V_{of} の供給をスイッチングする。

【0219】

また、その他の画素 101 の回路構成としては、 $2Tr/1C$ 画素回路と $5Tr/1C$ 画素回路の中間的な回路構成を採用することもできる。即ち、4 個のトランジスタと 1 個のキャパシタからなる構成 ($4Tr/1C$ 画素回路) や、3 個のトランジスタと 1 個のキャパシタからなる構成 ($3Tr/1C$ 画素回路) を採用することもできる。 $4Tr/1C$ 画素回路および $3Tr/1C$ 画素回路としては、例えば、水平セレクト 103 からサンプリング用トランジスタ 31 に供給する信号電位を V_{sig} と V_{ofs} でパルス化するなどする構成を取ることができる。即ち、第 3 のトランジスタの 1 つか、または、第 2 および第 3 のトランジスタの両方を省略した構成を取ることができる。

【0220】

さらに、 $2Tr/1C$ 画素回路、 $3Tr/1C$ 画素回路、 $4Tr/1C$ 画素回路、または $5Tr/1C$ 画素回路には、有機発光材料部の容量成分を補う等の目的で、発光素子 34 のアノード - カソード間に補助容量を追加してもよい。

【0221】

本明細書において、フローチャートに記述されたステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

【0222】

また、本発明は、図 1 の表示装置 1 に適用できたように、各種表示装置に適用可能である。また、本発明が適用される表示装置は、様々な電子機器に入力された、若しくは、様々な電子機器内で生成した映像信号を画像若しくは映像として表示するディスプレイに適用することが可能である。ここで、様々な電子機器としては、例えば、デジタルスチルカメラやデジタルビデオカメラ、ノート型パーソナルコンピュータ、携帯電話、テレビジョン受像機などが存在する。以下この様な表示装置が適用された電子機器の例を示す。

【0223】

例えば、本発明は、電子機器の一例であるテレビジョン受像機に適用できる。このテレビジョン受像機は、フロントパネル、フィルターガラス等から構成される映像表示画面を含み、本発明の表示装置をその映像表示画面に用いることにより作製される。

【0224】

例えば、本発明は、電子機器の一例であるノート型パーソナルコンピュータに適用できる。このノート型パーソナルコンピュータにおいて、その本体には文字等を入力するとき操作されるキーボードを含み、その本体カバーには画像を表示する表示部を含む。このノート型パーソナルコンピュータは、本発明の表示装置をその表示部に用いることにより作製される。

【0225】

例えば、本発明は、電子機器の一例である携帯端末装置に適用できる。この携帯端末装置は、上部筐体と下部筐体とを有している。この携帯端末装置の状態としては、それらの 2 つの筐体が開いた状態と、閉じた状態とが存在する。この携帯端末装置は、上述した上側筐体と下側筐体との他、連結部 (ここではヒンジ部)、ディスプレイ、サブディスプレイ、ピクチャーライト、カメラ等を含み、本発明の表示装置をそのディスプレイやサブディスプレイに用いることにより作製される。

【0226】

例えば、本発明は、電子機器の一例であるデジタルビデオカメラに適用可能である。デ

10

20

30

40

50

デジタルビデオカメラは、本体部、前方を向いた側面に被写体撮影用のレンズ、撮影時のスタート/ストップスイッチ、モニター等を含み、本発明の表示装置をそのモニターに用いることにより作製される。

【図面の簡単な説明】

【 0 2 2 7 】

【図 1】本発明を適用した表示装置の一実施の形態の構成例を示すブロック図である。

【図 2】図 1 の表示装置の E L パネルの構成例を示すブロック図である。

【図 3】図 2 の E L パネルを構成する画素が発光する色の配列を示す図である。

【図 4】図 2 の E L パネルを構成する画素の詳細な回路構成を示したブロック図である。

【図 5】図 2 の E L パネルを構成する画素の動作の一例を説明するタイミングチャートである。 10

【図 6】図 2 の E L パネルを構成する画素の動作の別の例を説明するタイミングチャートである。

【図 7】図 1 の表示装置の機能的構成例であって、焼き付き補正制御を実行するために必要な表示装置の機能ブロック図である。

【図 8】受光センサ 3 の出力電圧の関係の例を示す図である。

【図 9】受光センサ 3 の出力電圧の、画素 1 0 1 との間の距離の依存性の関係を示す図である。

【図 1 0】受光センサ 3 の受光時間と受光電流の関係を示す図である。

【図 1 1】従来の焼き付き補正制御を説明する図である。 20

【図 1 2】本発明の焼き付き補正制御手法の第 1 の例を説明する図である。

【図 1 3】本発明の焼き付き補正制御手法の第 1 の例のうち、注目画素の輝度値の算出手法を説明する図である。

【図 1 4】本発明の焼き付き補正制御手法の第 1 の例を実現するための初期データ取得処理の一例を説明するフローチャートである。

【図 1 5】本発明が適用されるオフセット値取得処理の一例を説明するフローチャートである。

【図 1 6】図 1 4 の初期データ処理を行ってから所定期間経過後に実行される補正データ取得処理の一例を説明するフローチャートである。

【図 1 7】本発明の焼き付き補正制御手法の第 2 の例を説明する図である。 30

【図 1 8】本発明の焼き付き補正制御手法の第 3 の例を説明する図である。

【図 1 9】本発明の焼き付き補正制御手法の第 3 の例のうち、注目画素の輝度値の算出手法を説明する図である。

【図 2 0】本発明の焼き付き補正制御手法の第 3 の例を実現するための初期データ取得処理の一例を説明するフローチャートである。

【図 2 1】図 2 0 の初期データ処理を行ってから所定期間経過後に実行される補正データ取得処理の一例を説明するフローチャートである。

【図 2 2】本発明の焼き付き補正制御手法の第 4 の例を説明する図である。

【図 2 3】受光センサ 3 の受光信号（アナログ信号）の最大電圧と、そのアナログ信号がデジタル化された場合の階調数の関係を示す図である。 40

【図 2 4】焼き付き補正制御の第 5 の例を実行するために必要な表示装置 1 の機能的構成例を示す機能ブロック図である。

【図 2 5】アナログ差分回路 8 1 の構成例を示す図である。

【図 2 6】アナログ差分回路 8 1 の動作例を説明する図である。

【図 2 7】アナログ差分回路 8 1 の動作例を説明する図である。

【図 2 8】アナログ差分回路 8 1 の動作例を説明する図である。

【図 2 9】本発明の焼き付き補正制御手法の第 5 の例を実現するための初期データ取得処理の一例を説明するフローチャートである。

【図 3 0】オフセット値保持処理の詳細例を説明するフローチャートである。

【図 3 1】図 2 9 の初期データ処理を行ってから所定期間経過後に実行される補正データ 50

取得処理の一例を説明するフローチャートである。

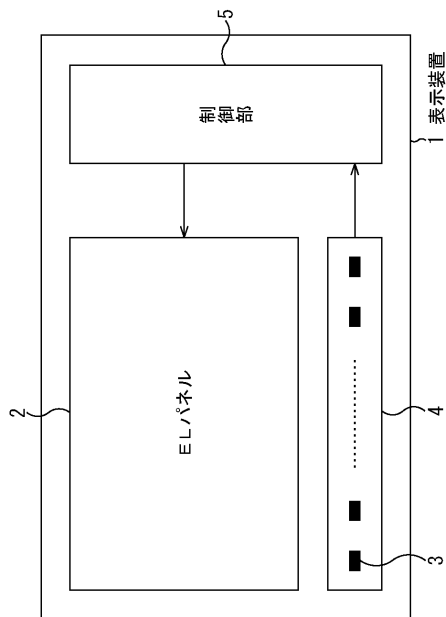
【符号の説明】

【 0 2 2 8 】

1 表示装置, 2 ELパネル, 3 受光センサ, 5 制御部, 31 サンプル用トランジスタ, 32 駆動用トランジスタ, 33 蓄積容量, 34 発光素子, 51 増幅部, 52 A/D変換部, 53 信号処理部, 61 メモリ, 81 アナログ差分回路 101 画素

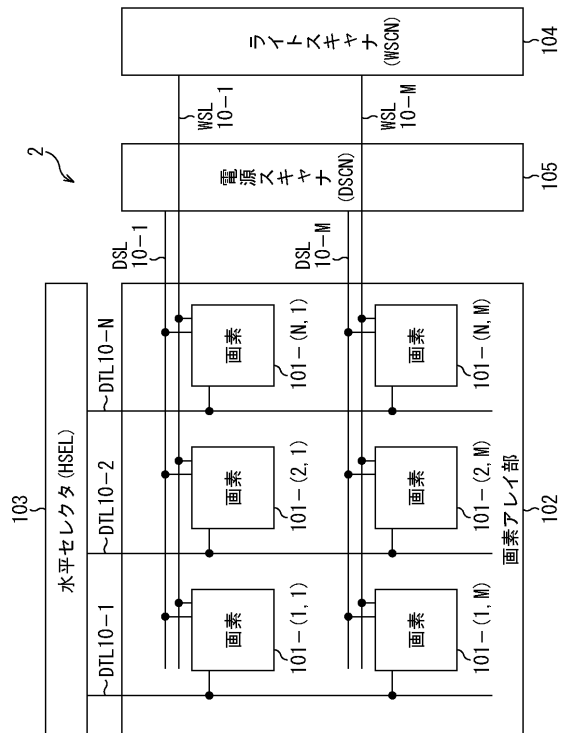
【図1】

図1



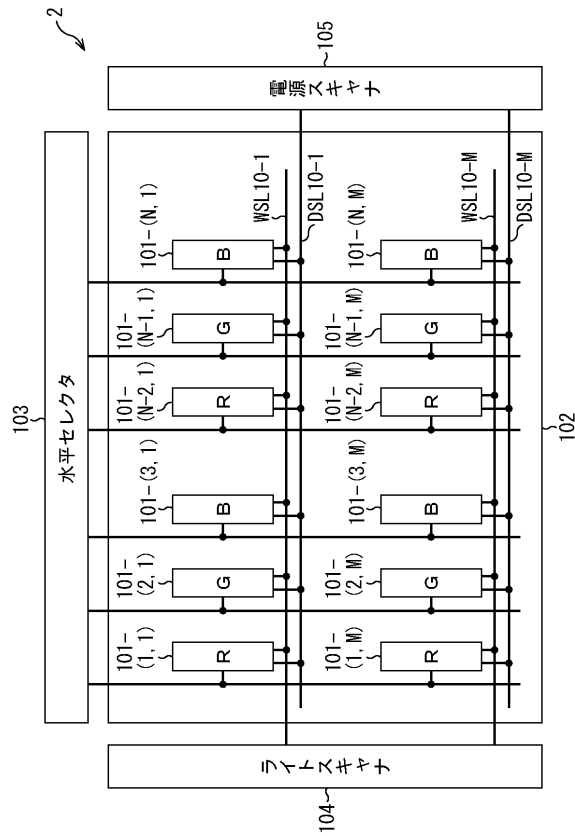
【図2】

図2



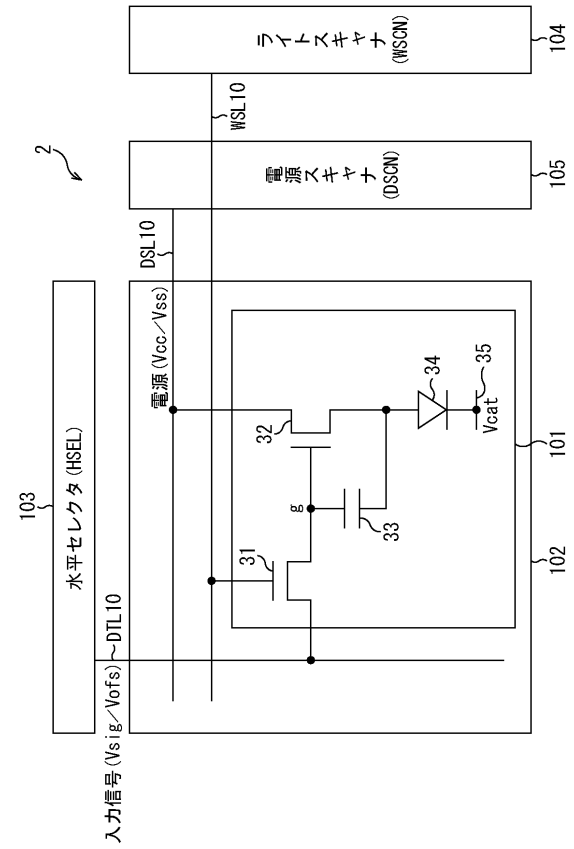
【図 3】

図3



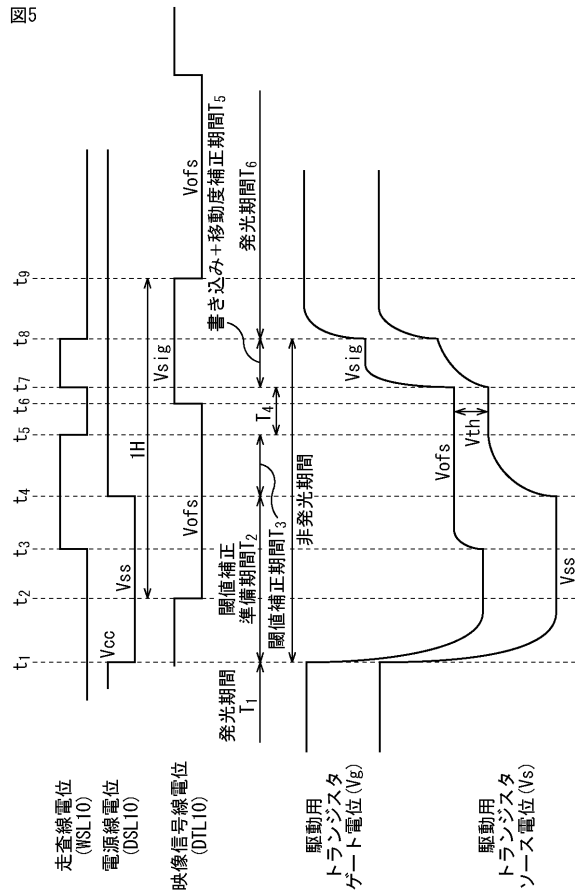
【図 4】

図4



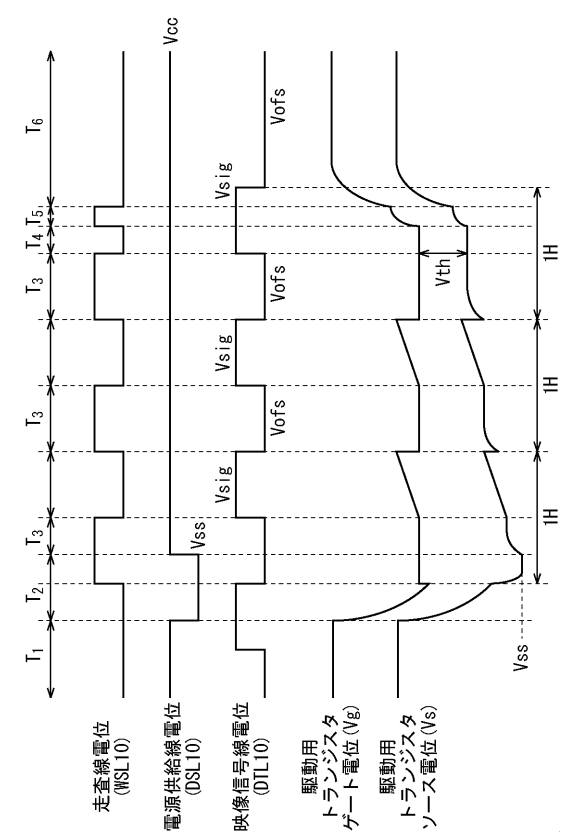
【図 5】

図5



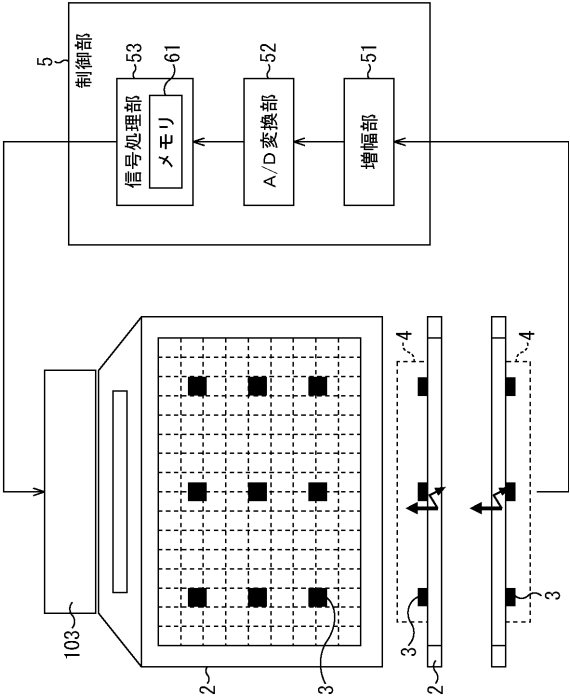
【図 6】

図6



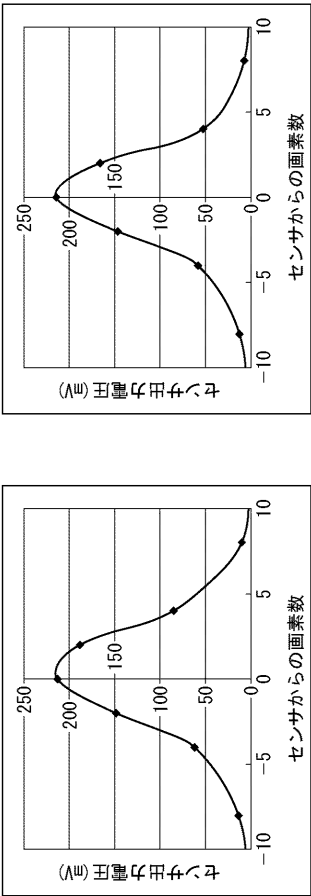
【図 7】

図7



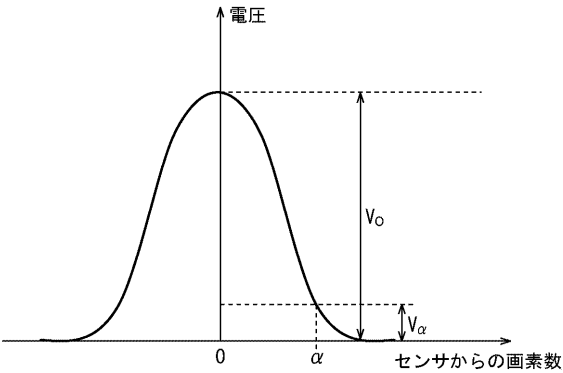
【図 8】

図8



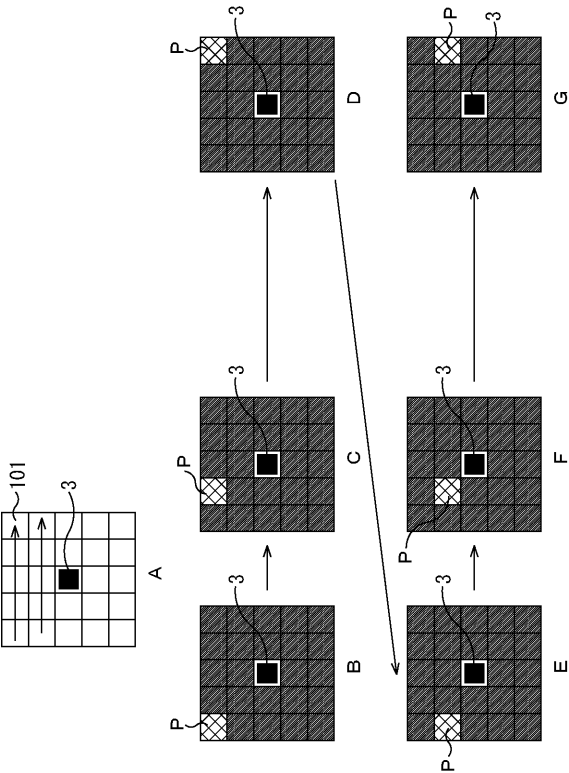
【図 9】

図9



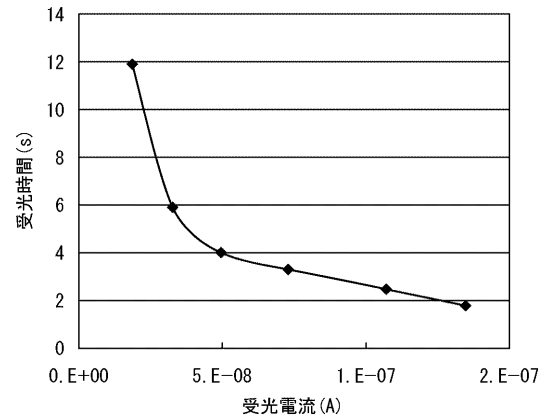
【図 1 1】

図11



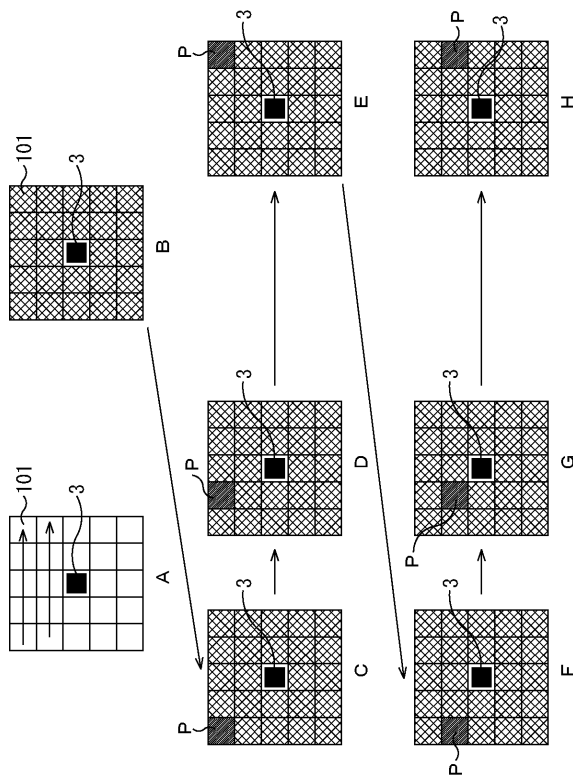
【図 1 0】

図10



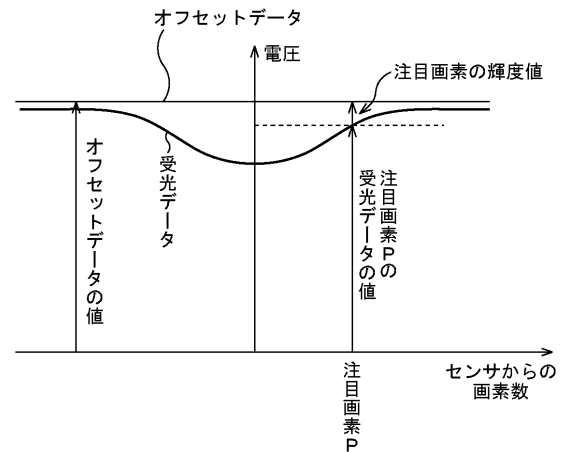
【図 12】

図12



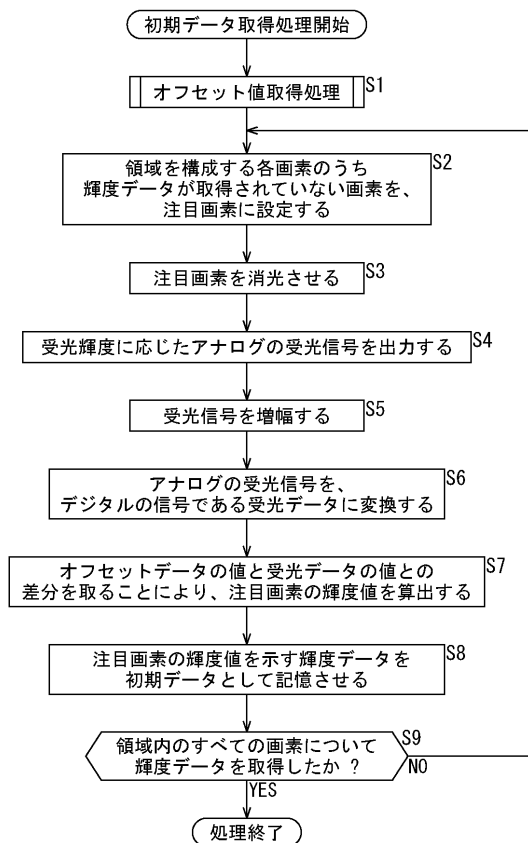
【図 13】

図13



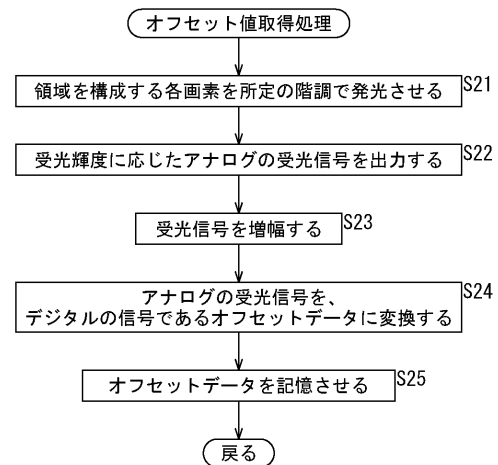
【図 14】

図14



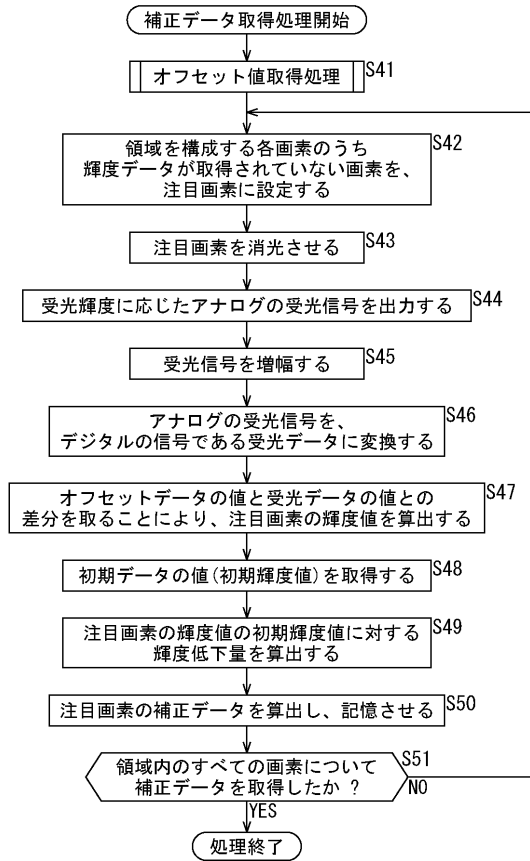
【図 15】

図15



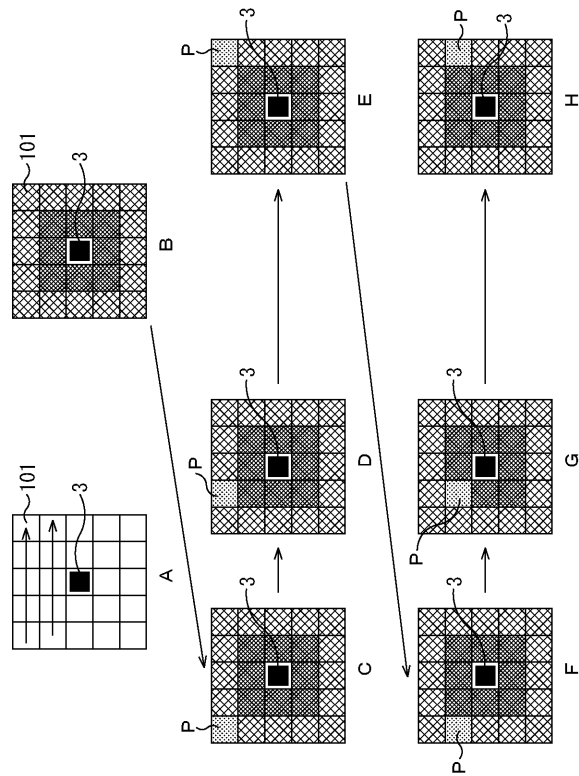
【図 16】

図16



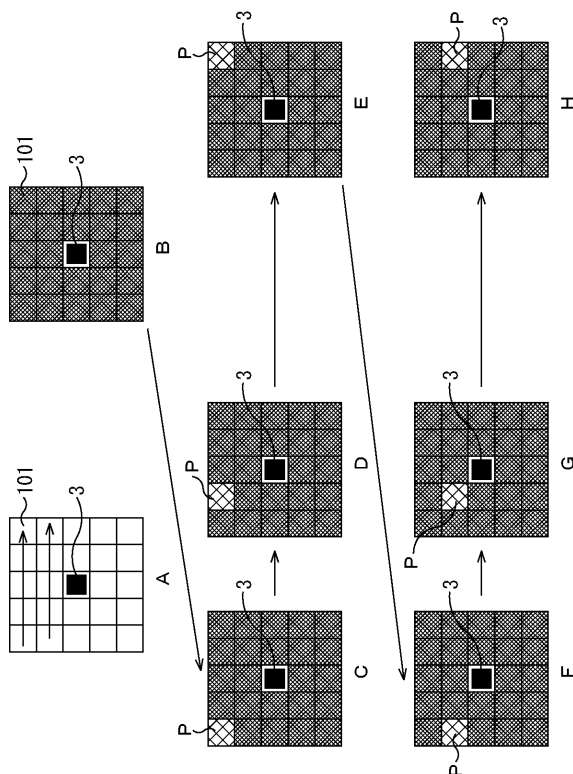
【図 17】

図17



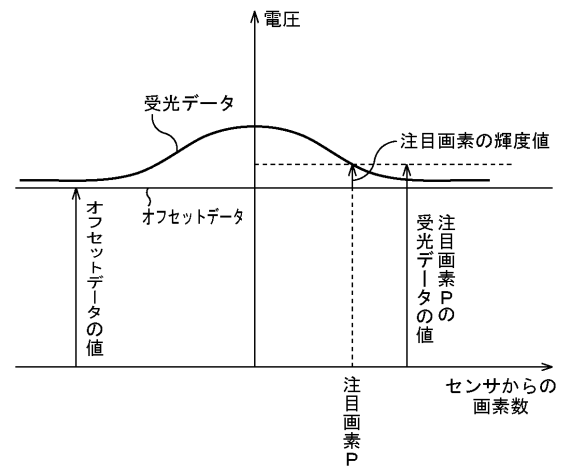
【図 18】

図18



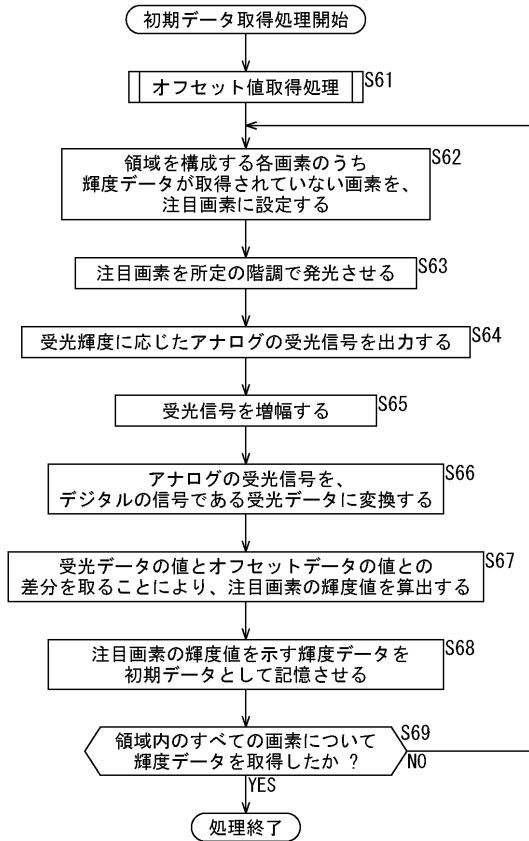
【図 19】

図19



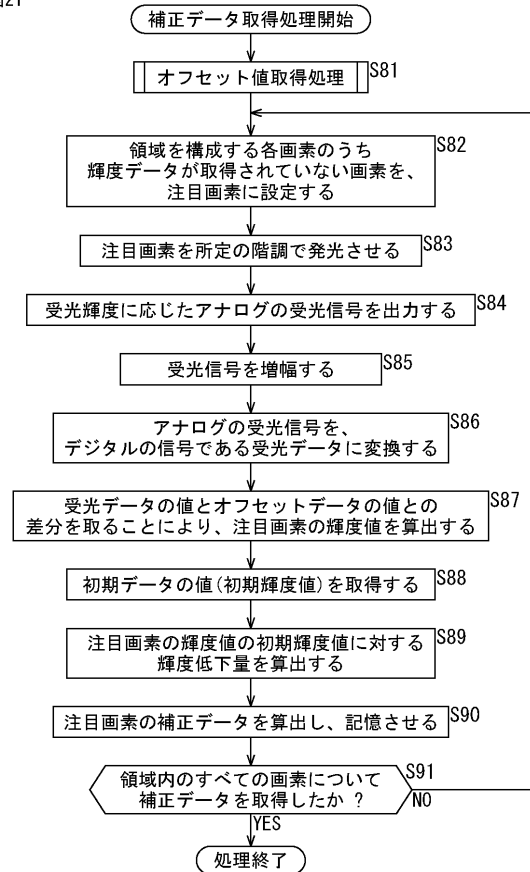
【図 20】

図20



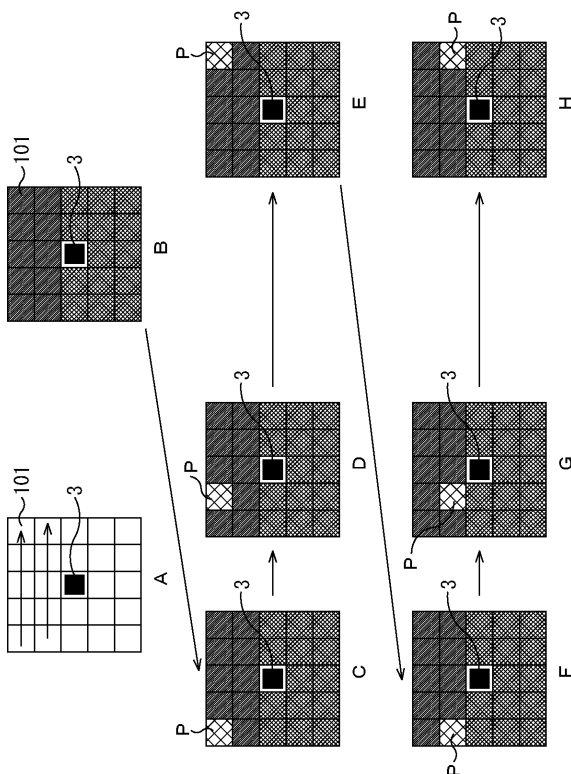
【図 21】

図21



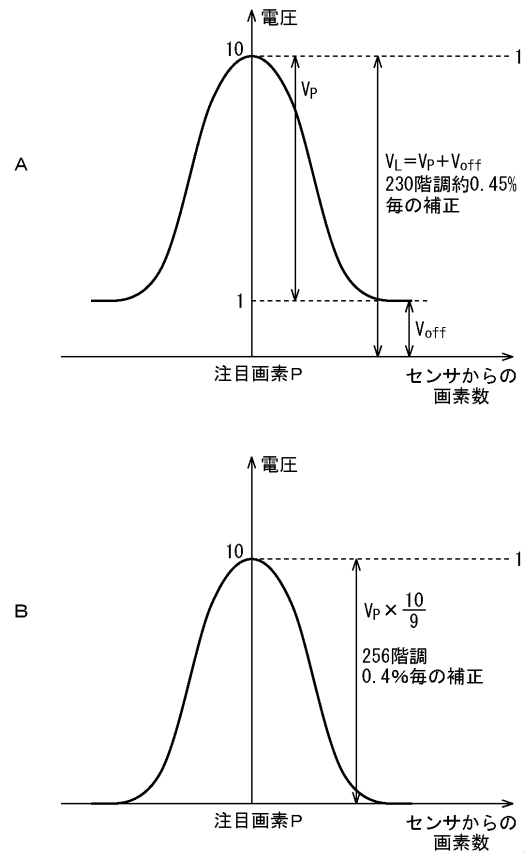
【図 22】

図22



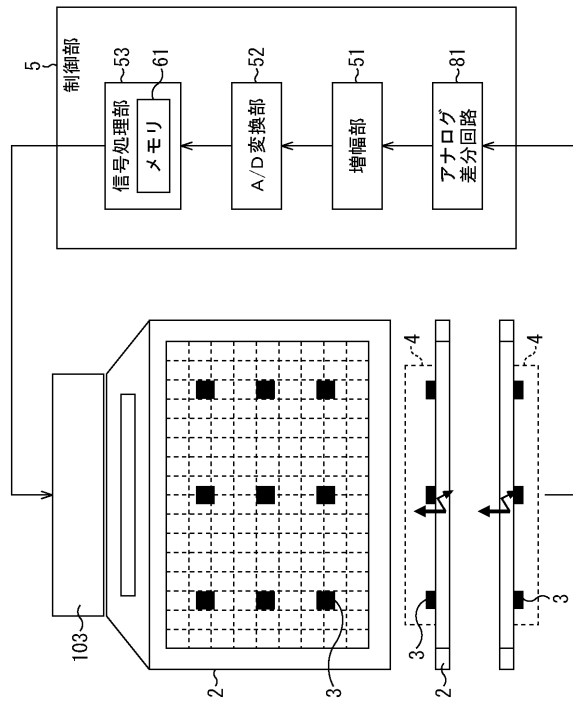
【図 23】

図23



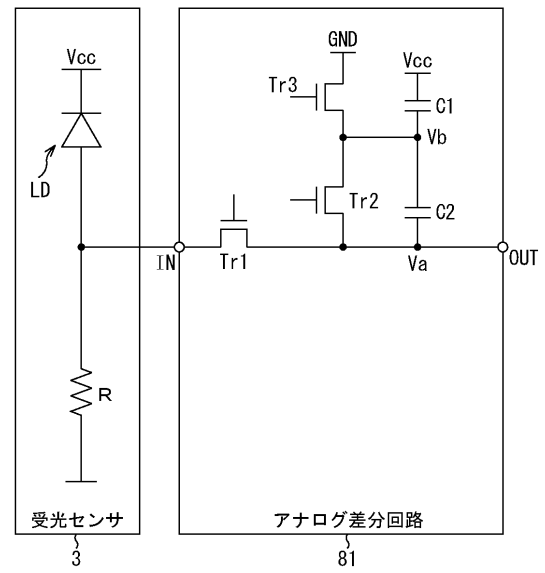
【図 24】

図24



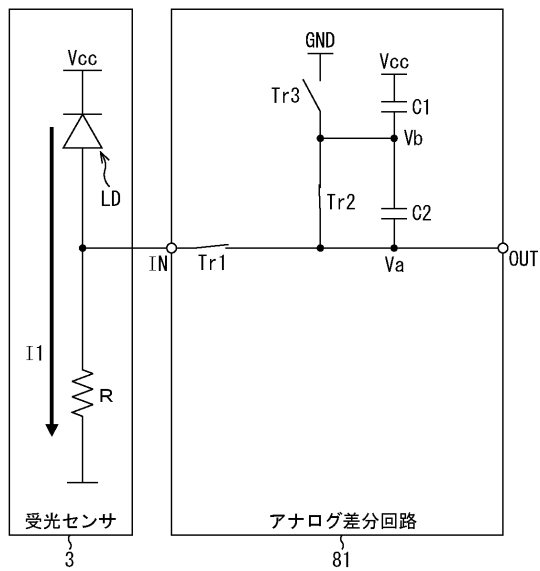
【図 25】

図25



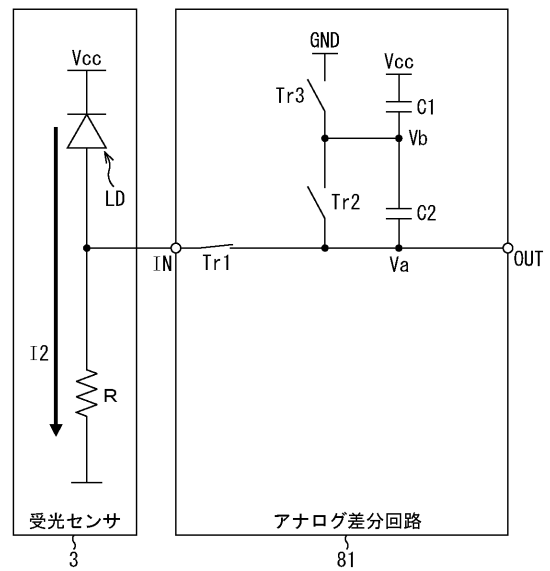
【図 26】

図26



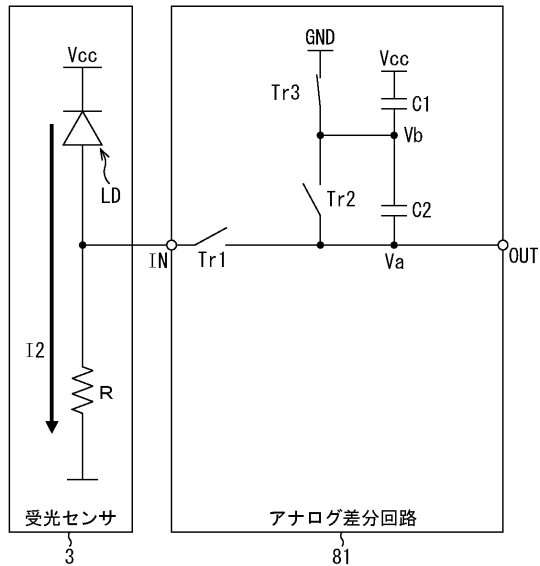
【図 27】

図27



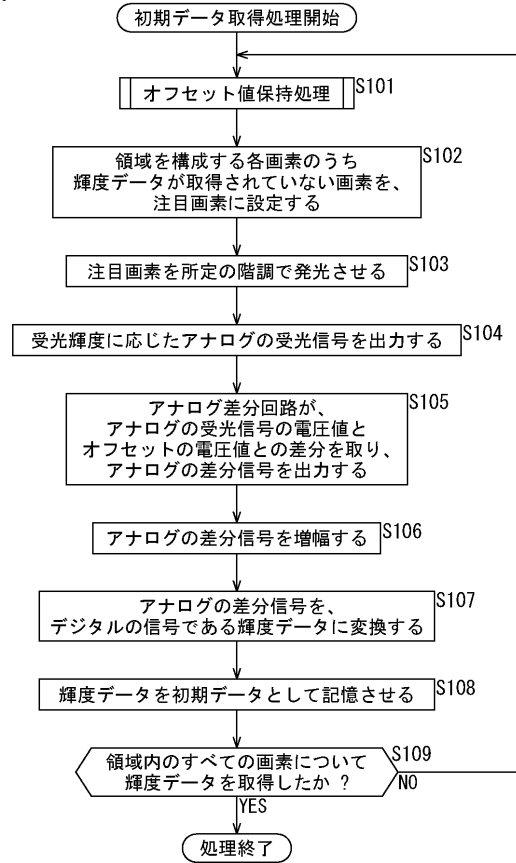
【図 28】

図28



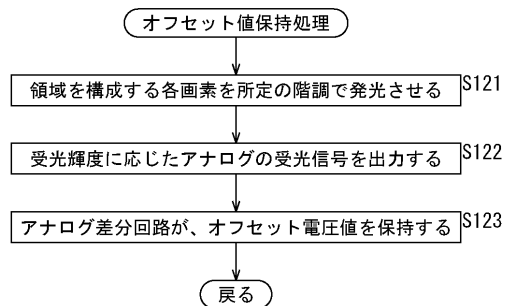
【図 29】

図29



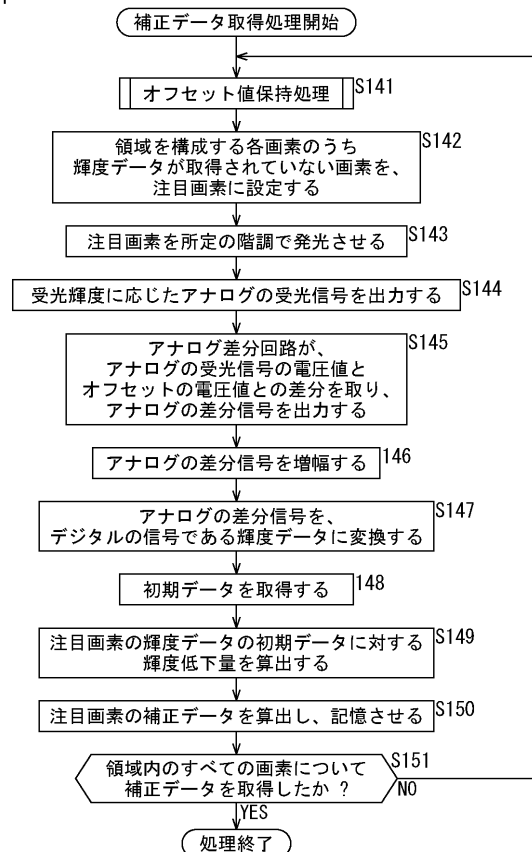
【図 30】

図30



【図 31】

図31



フロントページの続き

(56)参考文献 特開2007-214053(JP,A)
特開2010-122276(JP,A)
特開2003-173869(JP,A)
特開2008-176115(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00-3/38