

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：91139507

※申請日期：97.10.15

※IPC 分類：H01L 21/20 (2006.01)

H01L 21/62 (2006.01)

一、發明名稱：(中文/英文)

製造於塊狀(BULK)半導體晶圓中之局部化絕緣體上半導體(SOI)結構之方法

METHOD OF MANUFACTURING LOCALIZED SEMICONDUCTOR-ON-INSULATOR (SOI)

STRUCTURES IN A BULK SEMICONDUCTOR WAFER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

恩智浦股份有限公司 / NXP B.V.

代表人：(中文/英文)

佩尼斯 漢斯 / PENNINGS, HANS

住居所或營業所地址：(中文/英文)

荷蘭愛因和文市高科技園區 60 號

High Tech Campus 60, 5656 AG Eindhoven, The Netherlands

國 籍：(中文/英文)

荷蘭 / The Netherlands

三、發明人：(共 1 人)

姓 名：(中文/英文)

穆勒 馬可斯 G.A. / MULLER, MARKUS GERHARD ANDREAS

國 籍：(中文/英文)

德國 / GERMANY

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. EPO、 2007/10/18、 07291271.0

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關在一塊狀半導體中製造局部化SOI結構
5 的方法，尤其是，但非一定唯獨地，可用以製造一用於互補金屬氧化物半導體(CMOS)整合的初始材料者。

由於半導體裝置持續地快速縮減尺寸，故寄生效應的控制，譬如短通道效應和汲極致生的障壁減降等，愈來愈變得逐更重要。針對該等問題之一種傳統的解決方案係使用絕緣體上半導體(SOI)結構，其中有一薄矽層會被一遍佈
10 整個晶圓的埋入式氧化物層來與該塊狀的矽基材分開。但是，該埋入的氧化物層係為一不佳的熱導體。且，針對一單獨晶圓上之核心和周邊裝置的整合，通常較好是僅將核心裝置提供於SOI上，而將周邊裝置提供在塊體矽上，以確保較佳的匹配。因此乃需要提供一種具有局部化SOI區域的
15 半導體晶圓。

【先前技術】

發明背景

歐洲專利申請案EP-A-1193752揭示一種在一半導體晶
20 圓中形成局部化SOI結構的方法，其中有一介電質(氧化物)係形成於該基材的整個表面上，嗣一多晶矽會沈積在該介電層上。然後，該多晶矽層和該介電層會被蝕刻成與所需的SOI區域對應。半導體材料會沈積在該整個表面上，而導致生長在該晶圓的曝露區域上及生長在該多晶矽層上。

該半導體材料係藉磊晶生長來沈積，其在該多晶矽層的區域中，會生成一厚度為10至30 μm 的多晶體層。此層必須被熱處理，而未在該氧化物上產生一單晶體區域。在提供一頂蓋氧化物之後，該晶圓會被置於一快速熱反應爐中來熔化該多晶體層，並在該快速熱退火的凝結步驟時使其再結晶化。但是，此會有一可能性即該熱處理不會產生一完全單晶體的半導體區於該絕緣層上：該多晶矽的晶粒將會生長，但不一定會在該熱處理時消失，且其並非一種可測試並控制該製程來達到所需結果的直接方式。

10 【發明內容】

發明概要

緣是，本發明之一目的係為提供一種在一塊狀半導體晶圓中製造一局部化SOI結構的改良方法，其中上述的缺點會被減輕。

15 依據本發明，係為提供一種在一塊狀半導體基材中形成一局部化SOI結構的方法，該方法包含：

a)於該基材的表面中在該SOI結構的所需位置形成一溝槽；

b)在該溝槽的底部上形成一介電層，而使該等半導體
20 側壁的一部份保留曝露；及

c)藉在該溝槽內磊晶生長，而在該溝槽內形成一半導體區域於該介電層上，以使該半導體區域實質上填滿該溝槽。

即，該基材首先會被圖案化來界定該SOI區要被形成的位置，且在界定該局部化SOI區的半導體材料之選擇性沈積

(藉磊晶生長)之前，該介電層會被沈積和蝕刻(使其僅覆蓋該溝槽的底部)。然後，該選擇性蝕刻會藉側向磊晶生長，或以一側向磊晶生長和非選擇性磊晶生長的組合來進行。若需要一再結晶化，例如尤其在有非選擇性生長發生的情況下，則此再結晶化可在比習知技術所需的完全再熔化較輕易的條件下來被達成，例如可使用一較低的溫度或直接退火。此由一製程控制觀點而言顯然是有利的，而且亦會減少因熔化需要非常高溫(1400°C 以上)致有應力形成於該基材內的風險。

5 在一較佳實施例中，計半導體區域係藉由該溝槽的側壁選擇地側向磊晶生長(即對該非半傳導層有選擇性)來選擇性地形成於該溝槽內的介電層上。故，其並不須要以一多晶體區的熱處理來形成該SOI區，因此，將不會有如上述習知技術在該SOI區中殘留多晶體材料的可能性。而且，其
15 它的結構物得能在該基材被圖案化來界定該局部化的SOI區之前被形成於該基材上。

在另一實施例中，尤其是後一實施例的另一修正側，該SOI區的半導體材料係被選成不同於該基材的材料。較好是，一種材料會被選來作為該SOI區，其具有與該基材材料
20 相同的晶體類型和類似的晶格常數，以便於磊晶生長。假若使用矽作為該基材材料，則適當的材料包括Ge、SiGe、SiC，唯III-V該材料在理論上並不被排除，SiGe係為最佳之例。

最適當的是，該溝槽具有一小於200nm的深度。其係
25 實質上比習知技術的多晶層更薄，後者係為10-30μm厚。較

好是，該凹槽深度係更小於100nm。針對要在完全耗空模式被操作的電晶體而言，一通道厚度即一溝槽深度在50nm以下將會較佳。

此係與本發明的製造技術完全相容。且，由於該較小的厚度，故任何晶格或熱膨脹的不匹配將不會對所造成之具有局部化SOI區的基材之穩定性有太大的影響。

該介電層在理論上可為任何電絕緣層。一具有低介電常數的料層對減少該局部化SOI區的半導體材料與該基材之間的任何靜電耦合乃是較佳的。為能與標準的CMOS處理製程相容，氧化物、氮氧化物和氮化物係為最適合的材料。但，一標準材料(即氧化物、氮氧化物和氮化物)與另一種具有其它性質的材料之組合亦不被排除。較好是，該介電層具有一小於250nm厚度，類似於商業上可得的SOI晶圓。假使一電晶體要與一完全耗空的通道來被操作，且一薄通道要被形成於該局部化SOI區中及其周圍，則該介電層較好具有一小於80nm的厚度，且更好小於50nm。

在某些情況下，產生一三角形晶磊生長廓形將會在該磊晶半導體材料與該埋入的介電質之間造成一三角形空隙。此所謂“三角形生長廓形”係指在一垂直截面中所見的生長廓形。此所造成的空隙亦會作用如一電絕緣體，並具有介電常數比SiO₂更低4倍而使薄膜與基材之間有非常低的耦合之優點，此在當使用該薄膜作為CMOS裝置的通道時將會特別有用。該空隙的尺寸能被減少，若有須要，可在該磊晶生長製程之後當該系統傾向於最小化其表面能量時

藉退火來為之。此係較好在用以平坦化該SOI區的CMP製程之前來完成。

在一變化實施例中，選擇性磊晶生長和非選擇性磊晶生長之一組合亦可被使用。其中，鄰近於該溝槽之一側壁
5 的半導體區(即該單晶體基材之一曝露區段)將會被以一選擇性磊晶生長模式來形成。在該溝槽中央的半導體區域和遠離該埋入之介電層的區域將會被以一非選擇性磊晶生長模式來形成。較適當的是，該選擇性磊晶生長會發生在一
10 早先於該非選擇性磊晶生長製程的沈積步驟中。但是，亦不排除該二生長模式同在單一製程步驟中發生。事實上通常一磊晶單晶層將會被形成鄰接於該等側壁(選擇性模式)，而一多晶層會被形成於其餘地方(非選擇模式)。該多晶層嗣會被後續地再結晶化。此能被以一較友善的方式完成，即以一相較於習知技術中所使用的再熔化較低的溫
15 度。此實施例具有更為實用的優點；例如假使有某些原因令該磊晶生長對該埋入的介電層會有不良的濕化行為時。

此實施例亦能提供可在該局部SOI區中沈積不同於該基材中之另一種材料的選擇。在該溝槽區外部之任何非選擇性生長部份較好會在嗣後被除去，因此對其成分將沒有
20 另外的限界條件。於此情況下，矽烷(SiH_4)或鍺烷(GeH_4)乃可有利地被用作前身質。該磊晶溫度較好為 $500^\circ\text{C} \sim 800^\circ\text{C}$ 。

適當地，在該基材設具該局部化SOI區之後，積體電路的製造會繼續進行植入和擴散步驟。但是，亦不排除某些植入步驟會在將該半導體材料提供於該溝槽中之前先被進

行。此乃可令使用於該提供及任何再結晶化所需的有效溫度相對較低，即較好低於800°C。此較早的植入步驟能確使該局部化SOI區中的半導體材料會保持沒有因植入所致生的電荷載體。

- 5 在另一實施例中，一局部化SOI區的界定乃可較先於在該基材中提供其它的溝槽式裝置。除了提供淺溝氧化作為傳統積體電路製造的一部份之外，若干溝槽裝置曾被研發來供特定用途，包括溝槽電容器、溝槽電晶體、溝槽電池和穿過晶圓的貫孔等。該等裝置與本局部化SOI區的結合係
- 10 被認為有利的，因為該局部化SOI區能提供在任何基材材料上來界定高品質電晶體的選擇。此對選擇該埋設介電層頂上的半導體材料是一種較大的自由。且，該半導體材料的提供係發生在比較溫和的條件下，而不會妨礙界定該局部化SOI區之前已被界定於該基材中的其它元件。

- 15 本發明亦延伸及於所造成的半導體基材，和包含該半導體基材的半導體裝置。

- 詳言之，該半導體基材的特徵係在於其包含一區域具有一埋入的介電層，其上存在一層半導體材料係至少部份地藉側向磊晶生長所產生者。由於該側向生長，一非常規
- 20 則的材料結構會被形成，其係明顯地改良優於需要完全再熔化及再結晶化的習知結構。該再結晶化不會導致側向生長，但會導致由單一或一有限數目的晶核開始的晶體生長，一換言之，其將會導致已存在於該多晶矽中之一或更多晶區域的進一步生長。本發明的側向生長結構會

具有更佳地黏著於該基材的效益。此在該局部化SOI區具有一類似單一場效電晶體之通道大小的尺寸之情況下乃特別地有利。

該等電晶體電極在此情況下係大致被界定成鄰近於該局部化SOI區。若該局部SOI區與該基材之間的介面係較粗糙或含有電荷，則可能會造成劣化的遷移率。因為該通道和電極形成該電晶體的主要部份，故其將會立即對該電晶體的操作具有一負面影響。

最適當的是，在該埋設介電層頂上的半導體層具有一小於200nm的厚度，較好小於100nm，且針對某些特定用途係小於50nm，或甚至小於30nm。此外，該埋設的介電層具有一在20~250nm左右的厚度，較佳為20~150nm，且針對特定用途則較好小於70nm。

在一實施例中，一空隙會存在於該埋入的介電層與該半導體層之間。此會構成一有效的障壁來對抗該基材與該半導體層之間的電容性耦合。

在另一實施例中，多晶矽的區域可被界定在該埋入之介電層上的半導體層內。該等多晶體區域係由如前所述之以一非選擇性磊晶生長模式所形成的多晶矽之一不完全轉變有效地殘留，而可有助於適當的黏著。但是，只要該局部化SOI區係相對較小，則此等黏著區域並不被視為必要或有利的。或者，該等多結晶區域亦能針對其它目的來被設計，即該通道內的電荷傳輸之操控設計。

在又一實施例中，該埋入之介電層上的半導體層具有

另一不同於該半導體基材的成分。較適當的是，該半導體層的成分會形成一晶體具有一類似於該基材材料的晶格。假若使用矽作為該基材材料，則該半導體層的較佳材料包括SiGe和SiC。

- 5 該半導體裝置係以具有本發明的基材為特徵。較適當的是，該基材包含多數個局部化SOI區域。每一該等區域的位置和尺寸將會依據其佈局來被決定。最適當的是，一單獨的局部化SOI區域具有一對應於一場效電晶體之通道的尺寸。而實際尺寸係取決於電晶體的類型(NMOS, PMOS),
- 10 其用途(I/O胞元對邏輯對記憶驅動器)，及該製程節點(C65, C45, C90, CMOS018)。在此情況下，最適當的是，該等源極和汲極電極係被界定鄰近於該局部化SOI區。較好是，該局部化SOI區係被選成具有一比該通道稍大的尺寸，俾可增加製造的適用性。例如，低摻雜的源極和汲極延伸
- 15 部可被界定於該局部化SOI區域內。明顯地許多修正係有可能，包括：

-相對於該局部化SOI區域不對稱地界定該通道(例如不正在中央)；

-僅提供一汲極延伸部；

- 20 -界定一可適於完全耗空操作的平面電晶體(須可用於低待機功率、低功率及甚至高性能裝置，尤其是但非唯獨地可供用於45nm節點和以上的裝置)。

-將一溝槽界定在一叉狀結構中，以容許該電晶體之一叉交的佈局(暗示一較大的側壁會促成較佳的側向生長)。

- 25 將該SOI區限制於一單獨的電晶體之另一優點係該等源極和汲極電極的矽金屬化將能被達成，而相對於製造傳

統的SOI晶圓乃可不必任何另外的磊晶。

假使作為一記憶驅動器，則在該埋入介電層上的電晶體最適當係為一存取電晶體。對一SRAM記憶體而言，其最有利是在該埋設介電層上具有一全反相器。應請瞭解，在
5 該半導體層中具有一與該基材分開的通道之優點係實質上可導致一較高的遷移率，即能夠減少該通道中的摻雜劑濃度。而且，一較佳的VT不匹配行為將能被達成，其能解決在高度縮小尺寸，即先進的短通道SRAM胞元中的主要問題是等之一者。

10 本發明之這些及其它的態樣將可由以下所述的實施例並參閱其說明而更清楚瞭解。

圖式簡單說明

本發明的實施例現將僅藉由舉例並參照所附圖式來被描述說明，其中：

15 第1A至1L係為示出依據本發明之一第一實施例的製造方法之主要步驟的截面示意圖；

第2圖係為一截面示意圖，示出一依據本發明之上述第一實施例所形成的結構；及

第3A和3B圖係為示出一依據本發明之一第二實施例
20 所形成的結構之截面示意圖。

【實施方式】

較佳實施例之詳細說明

請參閱圖式的第1A圖，以一第一半導體基材10(Si、Ge、SiGe、GaAs或其它者)開始，一介電的硬罩12會被沈積

在該基材10的表面上。該硬罩12係被以光微影法圖案化來界定該SOI結構的所須位置。故，參閱第1B圖，一圖案化的光阻層14會被佈設於該硬罩12上，且該光阻層被除去之前，該硬罩12會被蝕刻來在該SOI區的所需位置界定一開孔16，如第1C圖中所示。請參閱第1D圖，嗣一溝槽18會在該半導體基材10中被蝕刻至一適當深度，乃視該最後絕緣層和半導體區的所需厚度而定。請參閱第1E圖，一介電層20會被均勻地沈積在該結構上，而使該溝槽18填滿該介電材料20，且該介電材料嗣會被(以一CMP製程)由該硬罩12所蔽護的晶圓區域除去，而僅保留該溝槽18中填滿介電材料，如第1F圖中所示。該介電材料的進一步薄化能藉一選擇性的濕或乾蝕刻步驟來達成，而留下一薄介電層20於該溝槽18的底部上，如第1G圖中所示。

嗣，一半導體材料22(其可相同或不同於該基材10，乃依需要而定)會被以側向磊晶生長來沈積於該溝槽18中的介電層20上，如第1H圖所示。應請瞭解，若該第二半導體材料22係不相同於該半導體基材10，則其晶體類型必須至少匹配於該基材，且其晶格常數應要類似，以確保良好的磊晶生長。該等磊晶條件必須被小心地選擇，俾使刻面化不會發生且該半導體材料22會“濕化”該介電層20。

如此沈積的半導體層22會被以一第二CMP製程來平坦化，並以一後續的選擇性濕式或乾蝕刻製程來薄化(見第1I圖)，且嗣該硬罩12會被除去(見第1J圖)。在一最後步驟中，該基材10與該沈積的半導體層22皆會被蝕刻來獲得所需的

薄膜厚度而不包含一階形高度(見第1K圖)。退火可被進行來修補任何可能發生的錯位(於該SOI層22與該基材10或介電層20之間)。

如此製成的基材可被用作一供CMOS用途的初始基
5 材，例如，令一CMOS裝置24(示於第1L圖中而由一多晶矽區26和間隔物28等所構成)的閘極較好係位於該SOI區上。

一精習該技術者應可瞭解磊晶係使一種材料的晶體生長在另一種(或相同)材料的晶面上。磊晶會形成一薄膜其材料的晶格結構和定向或晶格對稱性係相同於其所沈積的基
10 材者。最重要的是，若該基材係為一單晶，則該薄膜亦將會是一單晶。

達到上述選擇性磊晶生長所需的製程條件係由所使用的半導體材料來決定。若為矽(Si)和SiGe則較佳的製程條件係如下所示。

15 在該二情況下，其表面在進行磊晶之前，較好會被清潔來除去氧化物殘留物，較好係藉HF清潔(正常為離位的)，嗣再以一典型為850°C的在位Hz“預烤”(在Hz環境中退火)。Si的前身質較好係為SiCH₂Cl₂(二氯矽烷)，且其磊晶溫度係在650°C至900°C之間(典型為700°C~800°C)。若為
20 SiGe，則GeH₄較好被添加於磊晶腔室中，而處理溫度係稍微低些(典型為600°C~700°C)，在該二情況中的最終成分係取決於該等前身質的比率。

請參閱第2圖，在某些情況下，一三角形磊晶生長廓形的發生可能會在該磊晶矽22和埋入的介電層20之間生成一

三角形空隙34，乃視晶體定向而定，其中可能有一些晶體平面會加速生長，而不平行於該溝壁。

如此造成的空隙34可同等地作為一電絕緣體，並具有介電常數比 SiO_2 更低4倍而使薄膜與基材之間有非常低耦合的優點，此在當使用該薄膜作為CMOS裝置的通道時將會特別地有用。該空隙的尺寸可藉在該磊晶生長之後當該系統傾向於最小化其表面能量時將之退火而來減小。此較好係在用以平坦化該SOI區的CMP製程之前來進行。

在一變化實施例中，取代使用選擇性磊晶，非選擇性磊晶亦可被用來填滿該溝槽覆於該介電層20上。在此情況下，矽烷(SiH_4)或鍺烷(GeH_4)可被用作前身質。其磊晶溫度係較好為 $500^\circ\text{C} \sim 800^\circ\text{C}$ 。

請參閱第3A圖，一介電的硬罩12係被提供在該溝槽周圍的基材10之表面上。然後，在本例中矽會被以磊晶來沈積。

此會使多晶矽30以一非選擇性磊晶生長模式來形成。其更會使單晶矽36以一選擇性磊晶生長模式形成於該溝槽的至少一側壁上。該多晶矽與該溝槽內的結晶矽之體積比將由該溝槽的構形來界定。在該磊晶步驟之後，一典型在 500°C 至 750°C 之間，而持續時間典型為30秒至數分鐘之間的“固相磊晶”，即退火，較好會被用來結晶化完全使用該等側壁作為晶種的未來薄膜層，而使其結構較好能消除在此區域中的所有錯位。同樣地，該退火亦能在該CMP和硬罩去除之後才被進行。該固相磊晶退火的所需時間會隨著退火溫度的逐減而顯著地增加。例如，在 700°C 時，該持續

時間可能約為30秒，而在600℃時，該所需時間較可能會在2~3分鐘的範圍內。一熟習該技術者將可輕易瞭解任何的中等退火溫度將會需要一中等的持續時間。

因在磊晶之前該矽(即基材)表面係比該介電層表面(於該溝槽底部)更高，故真正的磊晶生長會發生在該溝槽的側壁上而限制該多晶矽生長在該溝槽的中央。此可促成在退火之後會有一良好品質的晶膜最後生成於該埋入的介電層上。

依據本發明的方法，相對於前述的習知方法，該SOI區乃可確得一單晶結構。

又，上述的習知方法係使用磊晶來形成該SOI區之任一側的塊體區。因此，該SOI區必須是為該基材的相同材料。相對地，在本發明中，該SOI區之任一側的塊體區係由原始的基材所形成，故該SOI區可為一與該基材不同的材料，但能提供相同的晶體類型和類似的晶格常數。又且，該預定的流程能在其它結構已被形成於該基材中或其上之後才來進行該等SOI區的圖案化。此係與習知方法不同的情況。該局部化SOI區較好至少大部份作為一電晶體之一通道。較好是，有多數個局部化SOI區存在於該基材中，而來容配多數個電晶體。但，並不排除某些電晶體係完全地界定在該基材中。亦不排除該局部化SOI區包含一個以上的電晶體，或該局部化SOI區係被界定為另一種不同於一電晶體的裝置。其之一例係為一二極體，其中該半導體層可被用作該等區域之一者。該接面則可在該半導體層的頂上，而較好為一金屬層(以界定一肖特基接面)。或者，該接面亦可側向

地包圍該局部化SOI區，而來界定一傳統的pn接面，或選擇地界定一p-I-n二極體。於後者情況下，該p型區和n型區皆可被界定在一局部化SOI區中。

應請注意上述實施例係為說明而非限制本發明，且精習於該技術者將能設計出許多晶矽變化實施例而不超出由申請專利範圍所界定之本發明的範疇。在該等請求項中，被置於括弧內的標號不應被釋為限制該請求範圍。所用之“包含有”和“包含”及類似用語等，並不排除有列示於任何請求項或整體說明書中以外的元件或步驟存在。一元件的單數表示並不排除有多數個該元件，且反之亦然。在一列舉數個構件的裝置請求項中，若干該等構件可被以一種且相同的硬體物件來實施。惟事實上，某些被界述於不同的獨立請求項中之措施並不表示該等措施之一組合不能被有利地使用。

15 **【圖式簡單說明】**

第1A至1L係為示出依據本發明之一第一實施例的製造方法之主要步驟的截面示意圖；

第2圖係為一截面示意圖，示出一依據本發明之上述第一實施例所形成的結構；及

20 第3A和3B圖係為示出一依據本發明之一第二實施例所形成的結構之截面示意圖。

【主要元件符號說明】

10...半導體基材

14...光阻層

12...硬罩

16...開孔

18...溝槽

20...介電層

22...半導體材料

24...CMOS裝置

26...多晶矽區

28...間隔物

30...多晶矽

34...空隙

36...單晶矽

五、中文發明摘要：

一種在一基材中形成一局部化的絕緣體上半導體(SOI)結構之方法，其中有一溝槽係形成於該基材中，並有一介電層形成於該溝槽的底部上。該溝槽係藉由磊晶生長來填滿半導體材料。

六、英文發明摘要：

A method of forming a localized SOI structure in a substrate (10) wherein a trench (18) is formed in the substrate, and a dielectric layer (20) is formed on the base of the trench (18). The trench is filled with semiconductor material (22) by means of epitaxial growth.

十、申請專利範圍：

1. 一種在一塊狀半導體基材中形成一局部化絕緣體上半導體(SOI)結構的方法，該方法包含：

5 形成一溝槽於該基材的表面中在該SOI結構之所需位置處；

形成一介電層於該溝槽的底部上，而使其半導體側壁的一部份保留曝露；及

於該溝槽內藉磊晶生長在該溝槽內形成一半導體區覆於該介電層上，而使該半導體區實質地填滿該溝槽。

- 10 2. 如申請專利範圍第1項之方法，其中該半導體區係由該溝槽的側壁藉選擇性側向蝕刻生長未選擇地形成於該溝槽內的介電層上，且其中該半導體區係由SiGe所形成，且該側向磊晶生長的前身質較好係為GeH₄，且其中該磊晶溫度較好是在600°C～700°C的範圍內。

- 15 3. 如申請專利範圍第2項之方法，其中該半導體區係藉矽(Si)或SiGe的側向磊晶生長所形成。

4. 如申請專利範圍第3項之方法，其中該溝槽的側壁表面在該選擇性側向磊晶進行之前會被清潔以除去氧化物殘留物。

- 20 5. 如申請專利範圍第2項之方法，其中該半導體區係由矽所形成，且該側向磊晶生長的前身質為SiCH₂Cl₂(二氯矽烷)，且其中該磊晶溫度較好是在650°C至900°C的範圍內，更好係在700～800°C的範圍內。

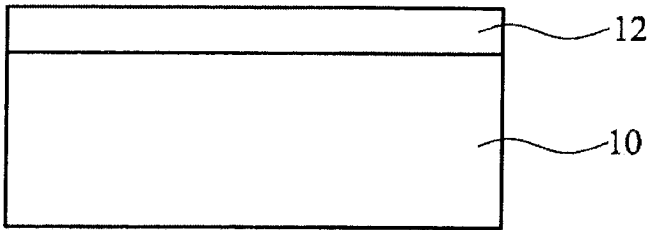
6. 如申請專利範圍第2項之方法，其中一退火製程會在該

磊晶生長製程之後被進行，而來減小任何生成於該半導體區和介電層之間的空隙之尺寸。

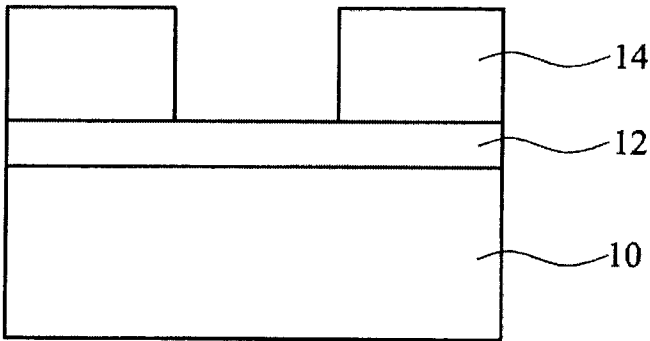
7. 如申請專利範圍第1項之方法，其中有一介電硬罩會被提供於該溝槽周圍的基材之表面上，且單晶半導體材料會被沈積於該整體結構上，而使多晶半導體材料被形成於該硬罩和該介電層上，且單晶半導體材料被形成於該溝槽的側壁上，其中該單晶半導體材料較好包含矽，其係較非選擇性磊晶被沈積在該結構上。
8. 如申請專利範圍第7項之方法，其中矽烷(SiH_4)或鍺烷(GeH_4)係被用作該非選擇性磊晶的前身質，且該磊晶溫度是在 $500^\circ\text{C} \sim 800^\circ\text{C}$ 的範圍內。
9. 如申請專利範圍第7項之方法，更包含一退火步驟用以完全地結晶化該半導體。
10. 一種半導體基材具有至少一局部化的SOI結構，包含一埋入的介電層其上有一層至少部份由側向磊晶生長所產生的半導體材料存在，其中該半導體材料層較好具有一小於200nm的厚度。
11. 如申請專利範圍第10項之半導體基材，其中該層半導體材料具有一不同於該基材的成分。
12. 如申請專利範圍第10項之半導體基材，其中一空隙會存在於該埋入的介電層與該層半導體材料之間，且其中一多晶材料區域係較好存在於該層半導體材料中，該區域與該埋入的介電層具有一介面。
13. 一種半導體裝置包含有如申請專利範圍第10至12項之

任一項的半導體基材。

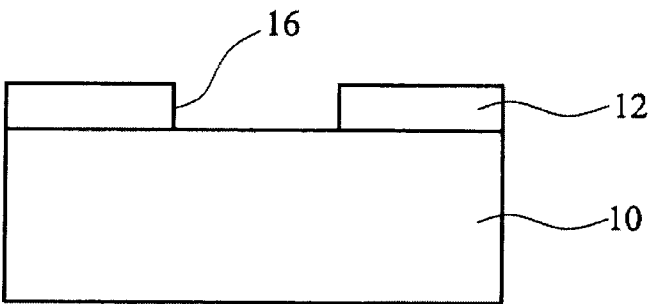
14. 如申請專利範圍第13項之半導體裝置，包含一場效電晶體具有一通道，其係被界定在該局部化的SOI結構中，且其中該場效電晶體較好具有一源極和一汲極電極係被界定為側向地鄰近於該局部化SOI結構，且其中該等源極和汲極電極較好係被界定成一叉交的電極對被該通道互相分開。
15. 如申請專利範圍第14項之半導體裝置，其中該電晶體係操作如一完全耗空的裝置。
16. 如申請專利範圍第13項之半導體裝置，包含一二極體具有一第一導電性類型的第一區及一第二區，其中該局部化SOI結構形成該第一區，且其中該二極體係較好為一肖特基(Schottky)二極體而該第二區被界定在該局部化SOI結構頂上之一層中。
17. 如申請專利範圍第16項之半導體裝置，其中該第二區係界定在側向鄰近於該第一區的基材中。
18. 如申請專利範圍第13項之半導體裝置，更包含一溝槽裝置除了該局部化SOI結構外亦被界定於該基材中。



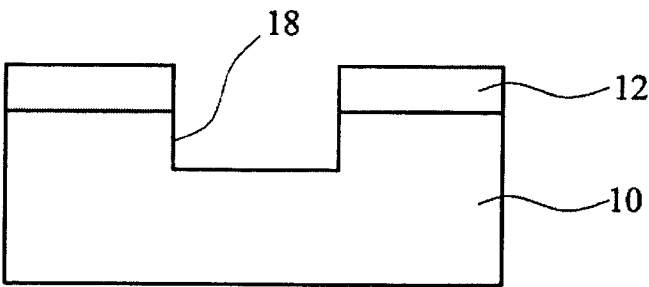
第1A圖



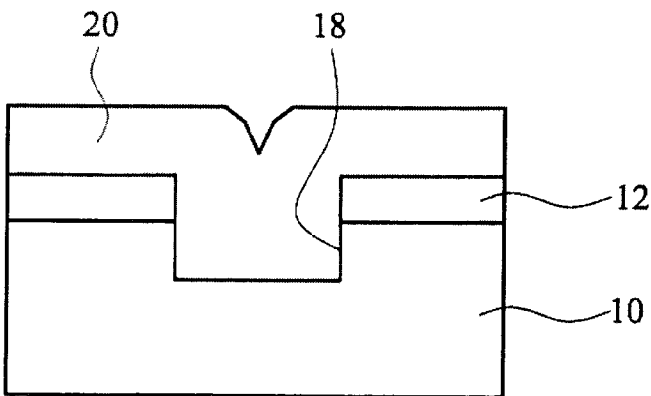
第1B圖



第1C圖

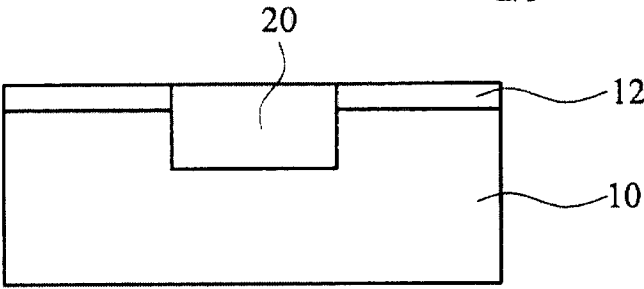


第1D圖

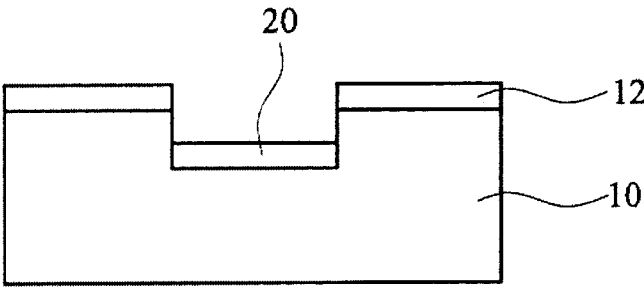


第1E圖

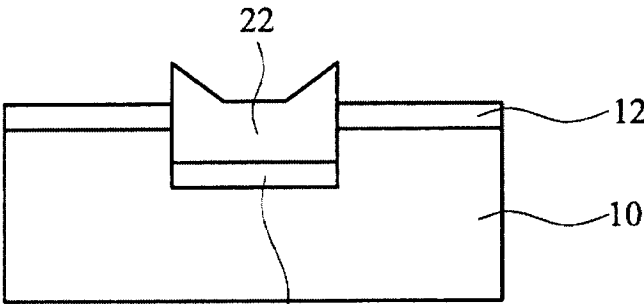
-2/3-



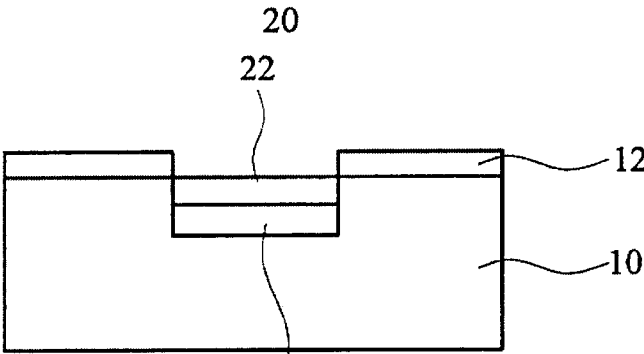
第1F圖



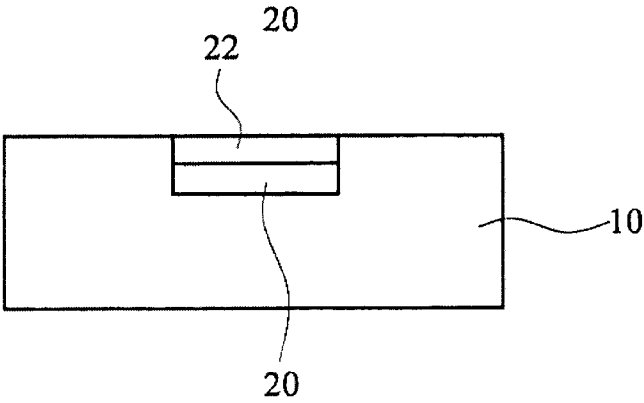
第1G圖



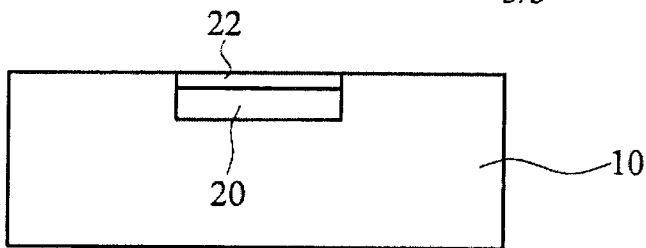
第1H圖



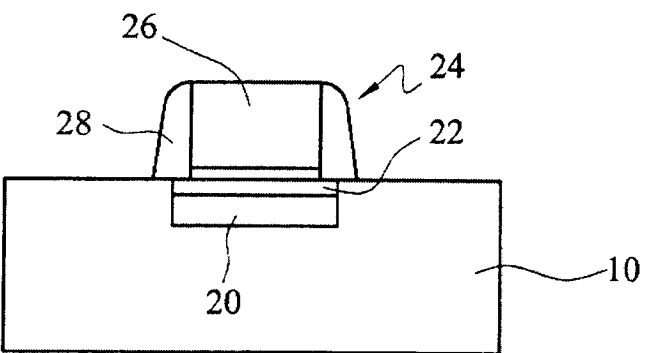
第1I圖



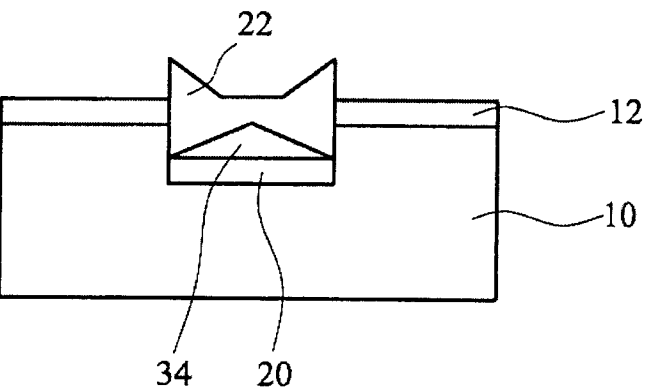
第1J圖



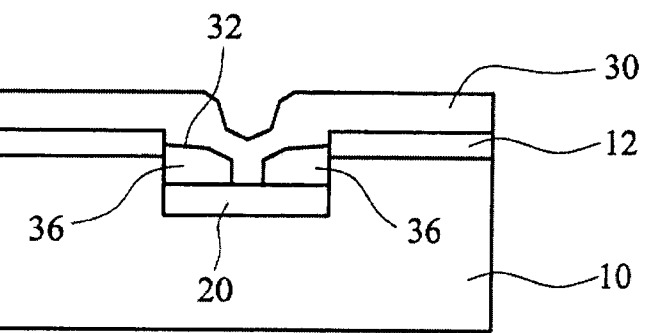
第1K圖



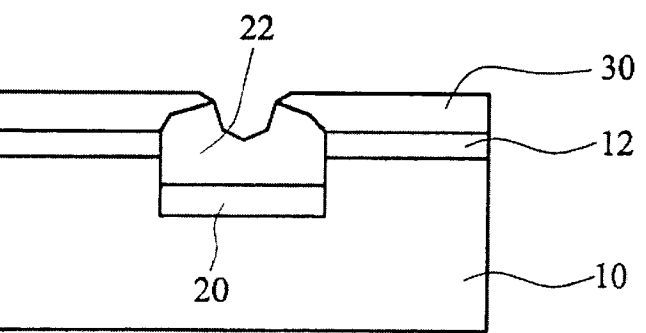
第1L圖



第2圖



第3A圖



第3B圖

七、指定代表圖：

(一)本案指定代表圖為：第 (1J) 圖。

(二)本代表圖之元件符號簡單說明：

10...半導體基材

20...介電層

22...半導體材料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：