



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I464855 B

(45)公告日：中華民國 103 (2014) 年 12 月 11 日

(21)申請案號：101119862

(22)申請日：中華民國 101 (2012) 年 06 月 01 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/306 (2006.01)

H01L27/10 (2006.01)

(30)優先權：2011/06/02 美國

13/151,892

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：費曼 艾瑞克 H FREEMAN, ERIC H. (US) ; 史密斯 麥可 A SMITH, MICHAEL A. (US)

(74)代理人：陳長文

(56)參考文獻：

US 2007/0252201A1

US 2009/0310415A1

審查人員：林士淵

申請專利範圍項數：20 項 圖式數：25 共 64 頁

(54)名稱

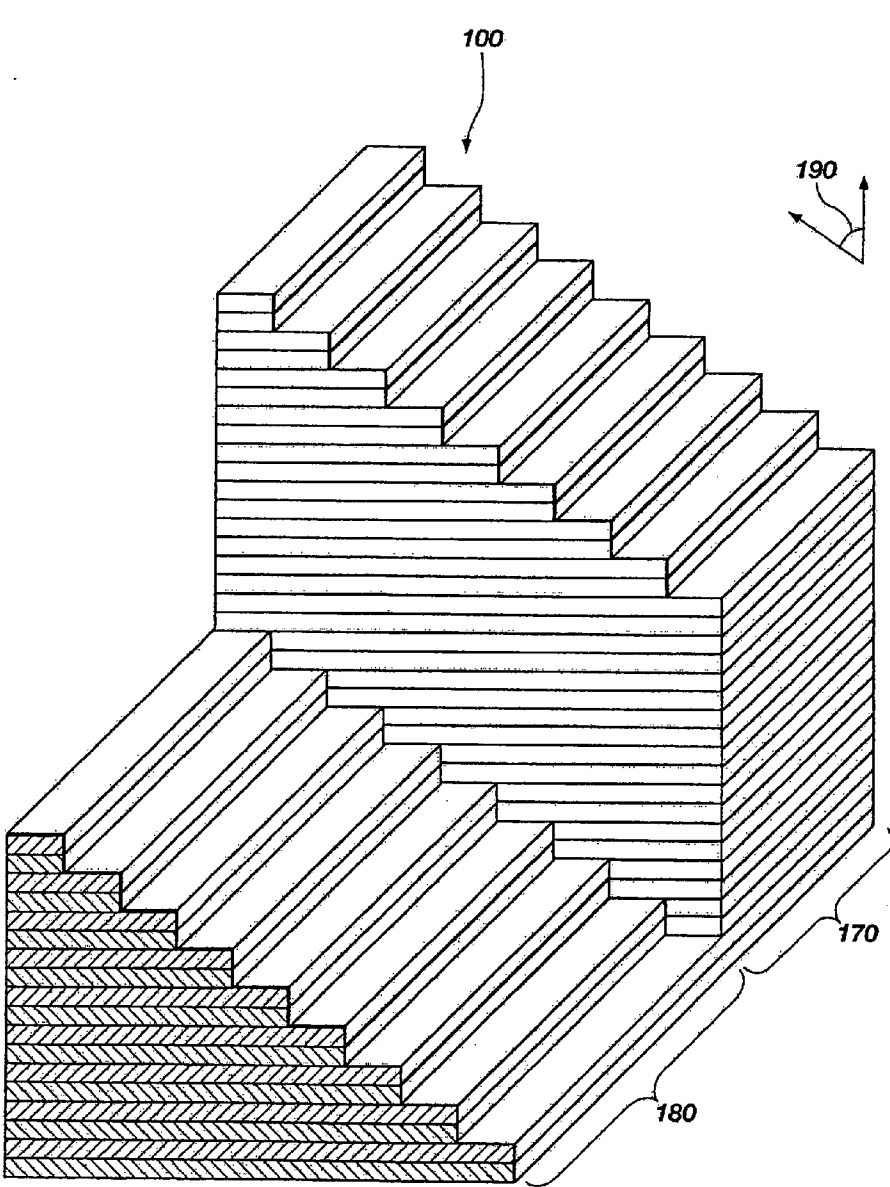
包括階梯結構之裝置及其形成之方法

APPARATUSES INCLUDING STAIR-STEP STRUCTURES AND METHODS OF FORMING THE SAME

(57)摘要

本發明揭示用於形成半導體結構之方法，包括涉及以下之一方法：形成若干組導電材料與絕緣材料；在該等組上方形成一第一遮罩；形成第一數目個接觸區；在該等組之一第一區上方形成一第二遮罩；及在橫向毗鄰該第一區之一第二曝露區中自該等組中移除材料以形成第二數目個接觸區。另一方法包括在若干組導電材料與絕緣材料之部分上形成第一及第二接觸區，該等第二接觸區中之每一者比該等第一接觸區中之每一者更接近於一下伏基板。本發明亦揭示包括橫向毗鄰之第一與第二區之諸如記憶體器件等裝置以及形成此等器件之相關方法，該等橫向毗鄰之第一與第二區各自包括複數種導電材料之一不同部分之接觸區。

Methods for forming semiconductor structures are disclosed, including a method that involves forming sets of conductive material and insulating material, forming a first mask over the sets, forming a first number of contact regions, forming a second mask over a first region of the sets, and removing material from of the sets in a second, exposed region laterally adjacent the first region to form a second number of contact regions. Another method includes forming first and second contact regions on portions of sets of conductive materials and insulating materials, each of the second contact regions more proximal to an underlying substrate than each of the first contact regions. Apparatuses such as memory devices including laterally adjacent first and second regions each including contact regions of a different portion of a plurality of conductive materials and related methods of forming such devices are also disclosed.



- 100 . . . 階梯結構
- 170 . . . 第一區/區
- 180 . . . 第二區/區
- 190 . . . 角度

圖9

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101119862

※申請日：101.6.1

※IPC 分類：H01L 23/52 (2006.01)

H01L 21/306 (2006.01)

H01L 27/10 (2006.01)

一、發明名稱：(中文/英文)

包括階梯結構之裝置及其形成之方法

APPARATUSES INCLUDING STAIR-STEP STRUCTURES AND
METHODS OF FORMING THE SAME

二、中文發明摘要：

本發明揭示用於形成半導體結構之方法，包括涉及以下之一方法：形成若干組導電材料與絕緣材料；在該等組上方形成一第一遮罩；形成第一數目個接觸區；在該等組之一第一區上方形成一第二遮罩；及在橫向毗鄰該第一區之一第二曝露區中自該等組中移除材料以形成第二數目個接觸區。另一方法包括在若干組導電材料與絕緣材料之部分上形成第一及第二接觸區，該等第二接觸區中之每一者比該等第一接觸區中之每一者更接近於一下伏基板。本發明亦揭示包括橫向毗鄰之第一與第二區之諸如記憶體器件等裝置以及形成此等器件之相關方法，該等橫向毗鄰之第一與第二區各自包括複數種導電材料之一不同部分之接觸區。

三、英文發明摘要：

Methods for forming semiconductor structures are disclosed, including a method that involves forming sets of conductive material and insulating material, forming a first mask over the sets, forming a first number of contact regions, forming a second mask over a first region of the sets, and removing material from of the sets in a second, exposed region laterally adjacent the first region to form a second number of contact regions. Another method includes forming first and second contact regions on portions of sets of conductive materials and insulating materials, each of the second contact regions more proximal to an underlying substrate than each of the first contact regions. Apparatuses such as memory devices including laterally adjacent first and second regions each including contact regions of a different portion of a plurality of conductive materials and related methods of forming such devices are also disclosed.

四、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

100	階梯結構
170	第一區/區
180	第二區/區
190	角度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明之實施例係關於諸如三維半導體器件等裝置及包括其之系統。本發明之實施例亦係關於包括呈所謂的「階梯」組態之導電材料之所謂「階梯」結構，其用於(舉例而言)記憶體單元與導電線之間的電連接。本發明之其他實施例係關於用於形成階梯結構之方法及包括階梯結構之器件。

本申請案請求在2011年6月2日提出申請之序列號為13/151,892之美國專利申請案「APPARATUSES INCLUDING STAIR-STEP STRUCTURES AND METHODS OF FORMING THE SAME」的申請日期之權益。

【先前技術】

半導體工業一直以來不斷尋求每記憶體晶粒具有一增加數目個記憶體單元來產生記憶體器件之方式。在非揮發性記憶體(例如，NAND快閃記憶體)中，一種增加記憶體密度之方式係藉由使用一垂直記憶體陣列，其亦稱作一個三維(3-D)記憶體陣列。一種類型之垂直記憶體陣列包括延伸穿過導電材料層(亦稱作字線板或控制閘極板)中之開口(例如，孔)之半導體柱，其中半導體柱與導電材料之每一接面處具有介電材料。因此，可沿每一柱形成多個電晶體。相較於具有電晶體之傳統平面(例如，二維)配置之結構，垂直記憶體陣列結構藉由在一晶粒上向上建立陣列而使得能夠在一單位晶粒面積中定位較大數目個電晶體。

垂直記憶體陣列及其形成之方法闡述於(舉例而言)以下中：Kito等人之第2007/0252201號美國專利申請案；Tanaka等人，「Bit Cost Scalable Technology with Punch及Plug Process for Ultra High Density Flash Memory」，Symposium on VLSI Technology Digest of Technical Papers，pp. 14-15 (2007)；Fukuzumi等人，「Optimal Integration及Characteristics of Vertical Array Devices for Ultra-High Density, Bit-Cost Scalable Flash Memory」，IEDM Technical Digest，pp. 449-52 (2007)；及Endoh等人，「Novel Ultrahigh-Density Flash Memory with a Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell」，IEEE Transactions on Electron Devices，第50卷，第4期，pp. 945-951 (2003年4月)。

習用垂直記憶體陣列需要導電材料(例如，字線板或控制閘極)與存取線(例如，字線)之間的一電連接，以使得三維陣列中之記憶體單元可被唯一地選擇以用於寫入或讀取功能。一種形成一電連接之方法包括在導電材料之邊緣處形成一所謂的「階梯」結構。圖1A至圖1D展示在導電材料12之一堆疊中形成一階梯結構10之一種習用方法。如圖1A中所展示，導電材料12由導電材料12之間的絕緣材料14分離。遮罩16(例如，光阻劑材料)形成於最頂部的絕緣材料14上方且經圖案化以曝露絕緣材料14a之一部分，該曝露部分具有將形成之階梯結構10之一個所謂「梯級」之一寬度。執行一各向異性蝕刻18(諸如一反應離子蝕刻(RIE))

或其他乾式蝕刻)以移除透過遮罩16曝露之部分處之絕緣材料14a。然後將絕緣材料14a中之圖案轉印至導電材料12a。藉由在導電材料12a上停止之一個乾式蝕刻程序移除曝露之絕緣材料14a，且然後藉由在絕緣材料14b上停止之另一乾式蝕刻程序移除曝露之導電材料12a。接下來，藉由移除遮罩之一部分(亦稱作「修整」)，例如藉由各向同性蝕刻來減小遮罩16之大小，以曝露絕緣材料14a之另一部分，如圖1B中所展示。

藉由使該結構經歷一各向異性蝕刻18 (包括移除兩個絕緣材料14a及14b之曝露部分且隨後移除兩個導電材料12a及12b之曝露部分)而重複該程序。如圖1C中所展示，繼續遮罩16之連續大小減小及重複之乾式蝕刻程序，直至曝露絕緣材料14c及導電材料12c、移除遮罩16及一階梯結構10保留下來為止。字線觸點20經形成以延伸穿過每一各別絕緣材料14且電接觸每一導電材料12，如圖1D中所展示。如在圖1D中看到，每一字線觸點20之頂部連接至一導電字線(未展示)。雖然圖1A至圖1D圖解說明使用兩個各向異性蝕刻18來形成階梯結構10之三個所謂「梯級」，但可重複蝕刻絕緣材料14、蝕刻導電材料12及修整遮罩16之動作以形成更多梯級(及因此用於字線觸點之接觸區)。一直以來使用當前習用方法來形成八個以上接觸區(例如，梯級)。

隨著習用階梯結構中之梯級之所要數目增加，當使用習用方法時與形成梯級之程序中之每一動作相關聯之誤差公差相應地減小。舉例而言，且如上文所闡釋，習用方法之

每一反覆包括修整遮罩、蝕刻絕緣材料及蝕刻導電材料。藉由將此等動作重複與堆疊中之導電材料之數目同樣多之次數來形成所要數目個梯級。習用方法之每一動作具有一相關聯蝕刻控制誤差，此乃因每一梯級之大小經設計以落在一特定範圍(例如，公差)內，以允許在其上形成一觸點之足夠空間，同時保持階梯結構之總大小較小。另外，梯級之相對位置經設計以落在一位置範圍內以便在其上準確地形成觸點。隨著反覆之數目增加，自一目標梯級寬度或位置之任何偏離可複合，此乃因一個材料中之誤差轉移至一下伏材料。對於階梯結構中之較高數目個梯級，將針對蝕刻速率控制達成之誤差公差可小於百分之一(1%)。使用習用方法難以獲得小誤差公差且成本高。此外，由於重複地修整遮罩，因此該方法可以高厚度之一遮罩開始，其可難以以具有對梯級寬度之必要控制所需之精確度重複地圖案化及修整。此外，大量的遮罩材料在形成及移除時皆係昂貴且耗費時間的。

可藉由減小一階梯結構覆蓋之區域來實現併入有一垂直記憶體陣列之一記憶體器件中之空間節省。減小此區域之一種方法闡述於頒發給Jin等人之第2009/0310415號美國專利申請公開案中。儘管藉由沿與位元線相同之方向對準字線觸點來節省一些空間，但需要製造此等結構之進一步成本改良及降低以及減小由階梯結構覆蓋之區域之替代方法。舉例而言，Jin等人之美國專利申請公開案中所闡述之方法針對每一蝕刻動作使用一唯一遮罩來形成梯級，由於

用以形成該等遮罩之高數目個光微影光罩，此添加顯著成本。因此需要降低成本及改良製造階梯結構之可控制性。

【實施方式】

以下說明提供特定細節(諸如材料類型、材料厚度及處理條件)以便提供對本發明之實施例之一透徹說明。然而，熟習此項技術者應理解，可在不使用此等特定細節之情形下實踐本發明之實施例。實際上，本發明之實施例可結合工業中採用之習用製作技術來實踐。

除非另外指定，否則本文中所闡述之材料可藉由任一合適技術形成，包含但不限於旋轉塗佈、毯覆式塗佈、化學汽相沈積(CVD)、ALD、電漿增強型ALD或物理汽相沈積(PVD)。該等材料亦可藉由原位生長而形成。取決於將形成之特定材料，熟習此項技術者可選擇用於沈積或生長材料之技術。雖然本文中所闡述及圖解說明之材料可作為層形成，但該等材料並不限於此且可以其他三維組態形成。

在以下詳細說明中，參考形成本發明一部分且其中以圖解說明方式展示可在其中實踐本發明之特定實施例之隨附圖式。充分詳細地闡述此等實施例以使得熟習此項技術者能夠實踐本發明。然而，在不背離本發明之範疇情形下，可利用其他實施例且可作出結構、邏輯及電方面的改變。本文中所呈現之圖解說明不意欲作為任何特定系統、器件或結構之實際視圖，而僅係用以闡述本發明之實施例之理想化表示。本文中所呈現之圖式未必按比例繪製。

如本文中所使用，術語「裝置」包括一器件，諸如一記

憶體器件(例如，一垂直記憶體器件)，或包括此一器件之一系統。

如本文中所使用，術語「實質上」包括熟習此項技術者將理解的以一較小變化程度(諸如在可接受製造公差內)滿足既定參數、性質或條件之一程度。

如本文中所使用，術語「組」包括一(或多個)導電材料及一(或多個)直接毗鄰絕緣材料。每一導電材料可形成藉由絕緣材料與額外導電材料分離之一字線連接。每一絕緣材料可將其組中之導電材料與一毗鄰組之導電材料絕緣(例如，與其電絕緣、分離、隔離)。每一組之導電材料可形成用於將電信號供應至一半導體器件之一導電連接(例如，一字線連接)。儘管本發明及隨附圖式參考各自包括形成於一導電材料上方(例如，在與一基板相對之一側上)之一絕緣材料，但本發明並不受此限制。一組可包括形成於一絕緣材料上方(例如，在與該基板相對之一側上)之一導電材料。術語「組」僅為易於闡述、圖解說明及理解所揭示之方法及結構而使用。

如本文中所使用，任何相關術語(諸如「第一」、「第二」、「在...上方」、「在...下方」、「在...上」、「下伏」、「最頂部」、「下一」等僅為清晰及方便地理解本發明及隨附圖式而使用，且不傳達或任何特定偏好、定向或次序，除非上下文另外明確指示。

如本文中所使用，術語「遠端」及「近端」闡述材料或特徵相對於上面形成有材料或特徵之一基板之位置。舉例

而言，術語「遠端」係指相對較遠離該基板之一位置，且術語「近端」係指相對較接近於該基板之一位置。

如本文中所使用，術語「橫向(lateral)」及「橫向(laterally)」係指平行於階梯結構之一「梯級」(例如，接觸區)延伸之方向之一方向。舉例而言，橫向方向可垂直於存取線(例如，字線)在包括下文將更詳細闡述之一階梯結構之一垂直記憶體器件中延伸之一方向。該橫向方向亦可平行於位元線在包括該階梯結構之一垂直記憶體器件中延伸之一方向。舉例而言，圖7中之箭頭140所指示之方向係橫向方向。

揭示包括所謂的「階梯」上的複數個接觸區之非揮發性記憶體器件(例如，垂直記憶體器件，諸如三維NAND記憶體器件)以及形成此等器件之方法。沿非揮發性記憶體器件之一邊緣定位之接觸區之一圖案可形成於非揮發性記憶體器件中之所謂「梯級」上。一觸點可形成於每一接觸區上以形成至一導電材料之連接(例如，電連接)，例如字線連接或控制閘極。雖然本文中所闡述之非揮發性記憶體器件可特定參考NAND器件，但本發明並不受此限制且可應用於其他半導體及記憶體器件。本發明之一階梯結構之某些實施例及形成此一階梯結構之方法展示於圖2至圖25中且闡述於下文中。為方便讀者，各個圖式中之類似結構或組件可保持相同或類似編號；然而，編號的類似性不意味著該等結構或組件必然在大小、組合物、組態或任何其他性質上相同。本文中所揭示之實施例包括包括彼此橫向毗

鄰之至少兩個區之階梯結構(見圖9、圖10、圖12、圖14、圖20)，該至少兩個區中之每一區提供對複數個導電材料之一部分之接達。一第一區可提供對該複數個導電材料之一第一部分之接達。一第二區可提供對不同於該第一部分之該複數個導電材料之一第二部分之接達。本文中所揭示之實施例亦包括形成階梯結構之方法。

藉助圖2至圖10中之實例來圖解說明形成用於對一垂直器件(例如，記憶體陣列)之電接達之一階梯結構100之一方法的一實施例。可藉由習用方法在一基板(未展示)上形成交替之導電材料112與絕緣材料114。上方形成有導電材料112及絕緣材料114之該基板可係任何實質上平面材料。藉助非限制性實例，該基板可係一半導體材料且可包括一記憶體陣列之電晶體可連接至之電路之至少部分。每一導體材料112可用以形成一導電連接(例如，字線連接、控制閘極)，但本發明並不受此限制。藉助非限制性實例，每一導電材料112可係一實質上平面導電材料112。如本文中所使用，術語「基板」包括一基於半導體之材料，包括矽、絕緣體上矽(SOI)或藍寶石上矽(SOS)技術、摻雜及未摻雜矽、摻雜及未摻雜半導體、由一基底半導體基礎支撐之矽之磊晶層及其他半導體結構。當在以下說明中參考一「基板」時，可能已進行前述程序動作在基底半導體結構或基礎中或上方形成了區或接面。另外，該半導體不需要基於矽，但可基於矽鍺、絕緣體上矽、藍寶石上矽、鍺或砷化鎵及其他。

為清晰且易於理解圖式及相關說明，圖2展示十八組115導體材料112與絕緣材料114。然而，可使用任何數目個組115。換言之，可在不超出本發明之範疇之情形下使用更少或更多的組115。作為實例而非限制，可形成總共三十六個導電材料112及絕緣材料114以產生十八個組115。導電材料112中之每一者可具有相同或一不同組合物且絕緣材料114中之每一者可具有相同或一不同組合物。此外，儘管在本文中以單數形式參考每一導電材料112，但每一組115之導電材料112可包括一或多個導電材料。類似地，每一組之絕緣材料114可包括一或多個絕緣材料。舉例而言，一第一組115之導電材料112可包括形成於一第二導電材料上之一第一導電材料。第一組115之導電材料112中之第一及第二導電材料可藉由一(或多個)絕緣材料114與一毗鄰第二組115之導電材料112分離。

交替之導電材料112與絕緣材料114可包括一陣列區122(例如，一垂直記憶體陣列區)且在一垂直記憶體器件之一階梯區124(亦即，在進一步處理之後可包括一階梯之一區)中。導電材料112可由任何合適導電材料形成。作為實例而非限制，導電材料112可包括多晶矽及一金屬(諸如鎢、鎳、鈦、鉑、鋁、金、氮化鎢、氮化鉭、氮化鈦等)中之一或多者。絕緣材料114可由任何合適絕緣材料形成。作為實例而非限制，絕緣材料114可包括氧化矽(例如， SiO_2)。每一組115導電材料112與絕緣材料114可具有大約為1 μm 之一厚度。可藉由本文中未詳細闡述之習用技

術形成導電材料112及絕緣材料114中之每一者。

該方法可包括按不同於圖2中所展示之次序之一次序形成交替之導電材料112與絕緣材料114。舉例而言，在某些實施例中，每一組115可包括一導電材料112，其中一絕緣材料114形成於其上方(亦即，在與基板相對之一側上，如圖2中所展示)，而在其他實施例中，每一組115可包括一導電材料112，其中一絕緣材料114形成於其下方(亦即，在與基板相同之導電材料112之側上，未展示)。相較於藉由圖2至圖9中所展示之方法形成之一垂直記憶體器件，自此一切換式組態產生之一垂直記憶體器件在功能性或操作性方面具有極少或不具有差異。

可在最頂部組115a導電材料112a與絕緣材料114a上方形成一第一遮罩116。第一遮罩116可稱作一階梯遮罩，此乃因其用以在導電材料112及絕緣材料114中形成複數個梯級(例如，接觸區)。舉例而言，第一遮罩116可由一光阻劑材料形成。如此項技術中已知，可將第一遮罩116圖案化以在階梯區124之一外邊緣處自第一遮罩116移除材料。可自第一遮罩116移除該材料以曝露具有大約係將形成之梯級之一所要寬度之一寬度111之階梯區124中之最頂部絕緣材料114a之一主表面的一部分。作為實例，將藉由此方法形成之一最後階梯結構(下文更詳細闡述)可包括個別梯級，每一個別梯級展現足以提供用於將在其上形成一導電觸點之空間之一寬度111。舉例而言，一梯級之所要寬度可在自約100 nm至約500 nm之一範圍中。因此，寬度111可自

約 100 nm 至約 500 nm。在某些實施例中，寬度 111 可自約 220 nm 至約 250 nm。然而，僅作為實例而非限制來闡述特定寬度。寬度 111 可大於或小於所闡述之特定寬度。

如本文中所使用，措辭「以曝露」包括顯露一材料之一主表面。舉例而言，圖 2 中所展示之絕緣材料 114a 包括曝露之其一主表面之一部分。

在第一遮罩 116 經圖案化之後，可藉由(舉例而言)一各向異性蝕刻 118 移除透過第一遮罩 116 曝露之絕緣材料 114a 之部分。作為實例，各向異性蝕刻 118 可包括移除絕緣材料 114a 之該曝露部分且曝露導電材料 112a 之一第一乾式蝕刻動作，後續接著移除藉由該第一乾式蝕刻動作曝露之導電材料 112a 之一部分之一第二乾式蝕刻動作。各向異性蝕刻 118 之第二乾式蝕刻動作可曝露絕緣材料 114b。第一乾式蝕刻動作及第二乾式蝕刻動作之一項例項在本文中可稱作各向異性蝕刻 118 之一循環。由於第一乾式蝕刻動作及第二乾式蝕刻動作移除絕緣材料 114a 之該部分及導電材料 112a 之該部分，因此第一乾式蝕刻動作及第二乾式蝕刻動作可移除第一組 115a 之一部分。儘管本文中所闡述之方法參考一各向異性蝕刻 118，但本發明並不受此限制。舉例而言，可使用一各向同性蝕刻來取代各向異性蝕刻 118。

各向異性蝕刻 118 之每一循環之第一乾式蝕刻動作可選擇性地移除絕緣材料 114。換言之，第一乾式蝕刻動作可移除絕緣材料 114 之曝露部分且一旦導電材料 112 至少部分地曝露則停止移除材料。可執行各向異性蝕刻 118 之第一

乾式蝕刻動作比必要時間更長的時間，以確保移除實質上所有曝露之絕緣材料114且實質上完全曝露直接在其下方之導電材料112。類似地，各向異性蝕刻118之每一循環之第二乾式蝕刻動作可選擇性地移除導電材料112之曝露部分且一旦曝露直接在其下方之絕緣材料114則停止移除材料。可執行各向異性蝕刻118之第二乾式蝕刻動作比必要時間更長的時間，以確保移除實質上所有導電材料112且實質上完全曝露直接在其下方之絕緣材料114。該等乾式蝕刻動作對於熟習此項技術者而言將係顯而易見的且因此本文中不予以詳細闡述。

然後可移除第一遮罩116之一部分以曝露第一絕緣材料114a之另一部分，從而產生圖3中所展示之結構。可藉由(舉例而言)對於第一遮罩116之材料具選擇性且不實質上移除絕緣材料114或導電材料112之材料之一各向同性蝕刻來移除第一遮罩116之該部分。可以以下程度來移除來自第一遮罩116之材料：曝露之第一絕緣材料114a之部分展現大約係一梯級之一所要寬度之一寬度，如上文所闡述。

可使用另一各向異性蝕刻118來移除絕緣材料114a及114b之曝露部分且隨後移除其下方之導電材料112a及112b之曝露部分。換言之，可藉由各向異性蝕刻118之一個循環移除組115a及組115b之曝露部分。可再次移除第一遮罩116之一部分以曝露絕緣材料114a之又一部分，從而產生圖4中所展示之結構。

可將移除第一遮罩116之一部分、移除曝露之絕緣材料

114及移除曝露之導電材料112之動作重複複數次以曝露絕緣材料114j且形成組115a至115i中之梯級，其覆蓋總數目個組115中之二分之一，如圖5中所展示。換言之且作為實例，其中組115之總數目為十八，第九絕緣材料114i（當以絕緣材料114a開始順序地計數時）可具有形成於其中之一曝露梯級，而其下方之第十絕緣材料114j不具有形成於其中之一梯級。第十絕緣材料114j可使其一部分曝露。然後可藉由習用技術移除第一遮罩116之剩餘部分，該等習用技術本文中未詳細闡述。作為實例，可藉助一乾式或濕式蝕刻動作自第一絕緣材料114a之表面實質上移除第一遮罩116。

如圖6中可見，可形成一中間階梯結構150，其中總數目個組115中之二分之一數目個組115包括形成於其中之梯級。作為實例且如圖6中所展示，對於具有十八個組115之一結構而言，可使用如所闡述之方法形成具有九個組115之一中間階梯結構150，該九個組115具有形成於其中之梯級，而剩餘九個組115不包括形成於其中之梯級。

現在參考圖7，可在絕緣材料114a至114i上方形成一第二遮罩126（亦稱作一截斷(chop)遮罩126）且將其圖案化以覆蓋陣列區122（圖7中未展示）及階梯區124之一第一區170，同時曝露階梯區124之一第二區180。第二區180可係橫向（亦即，沿圖7中之箭頭140之方向）毗鄰第一區170之一區。作為實例，第二區180可具有由組態及將藉助字線觸點最終連接至階梯結構100之字線之大小判定之一長度182。在

其中每一組115具有約1 μm 之一厚度之一實施例中，透過遮罩126曝露之長度182可係約3 μm 。

然後可使第二區180經歷一各向異性蝕刻128，其包括足夠循環以自若干個組115移除材料從而曝露堆疊之底半部之組115，如圖8中所展示。作為實例，各向異性蝕刻128可包括：一第一乾式蝕刻動作，其選擇性地移除絕緣材料114之曝露部分；一第二乾式蝕刻動作，其移除藉由該第一乾式蝕刻動作曝露之導電材料112之部分；一第三乾式蝕刻動作，其移除藉由該第二乾式蝕刻動作曝露之絕緣材料114之部分；及等等，直至移除所要量之材料。藉助非限制性實例且如圖7及圖8中所展示，可將各向異性蝕刻128在原位重複九次以移除九個曝露組115之部分。

如圖9中可見，可移除第二遮罩126，從而提供對第一組115之接達(亦即，提供每一組115之曝露)且形成一階梯結構100。階梯結構100可包括提供組115中之一第一二分之一之曝露之一第一區170及提供組115之一第二半之曝露之橫向毗鄰第一區170之一第二區180。因此，可接達每一組115以分別形成電連接至每一導電材料112之其上之一導電觸點。換言之，每一組115之一曝露部分可稱作一「接觸區」。每一接觸區可自其他接觸區偏移。如本文中所使用，術語「偏移」包括位於距一基板之一不同距離處。舉例而言，自一第二接觸區偏移之一第一接觸區可係指一第一組之接觸區及不同於該第一組之一第二組之接觸區，如圖9中所展示。階梯結構100之接觸區可以一角度190自基

板延伸，如下文將更詳細闡釋。

現在參考圖 10，可形成導電觸點 120 以提供與每一導電材料 112 之電接觸。作為實例，可在階梯區 124 上方形成一第二絕緣材料(未展示)，諸如氧化矽、硼磷矽酸鹽玻璃(BPSG)及一旋塗電介質(SOD)中之一或多者。可視情況藉由(舉例而言)一磨蝕平坦化程序(諸如一化學機械拋光(CMP)程序或一機械拋光程序)將第二絕緣材料平坦化。可穿過第二絕緣材料且穿過絕緣材料 114(其中絕緣材料 114 覆蓋階梯結構 100 之每一接觸區域之頂部，如圖 10 中所展示)形成開口以曝露下伏導電材料 112。然後可用一導電材料(例如，多晶矽、鎢、鈦、鋁等)填充該等開口以分別形成電連接至導電材料 112 之導電觸點 120，如圖 10 中所展示。作為實例，導電觸點 120 可係字線觸點。然後可形成導電字線(未展示)且將其連接至每一字線觸點 120。階梯區 124 之第二區 180 之長度 182(見圖 7)可經挑選以提供用於將形成且彼此電隔離之字線及字線觸點 120 之充足空間。

另一選擇係，導電觸點 120 可經形成而具有不同於圖 10 中所展示之組態之一組態。作為實例，導電觸點 120 可經形成以自每一導電材料 112 穿過階梯結構 100 延伸至基板(而非遠離基板或除遠離基板外)。舉例而言，與本發明同一日期提出申請之序列號為 XX/XXXXXX[代理檔案號 2269-10470US]之美國專利申請案闡述穿過一階梯結構朝向基板延伸之觸點及形成此等觸點之方法。換言之，本發明不限於形成自階梯結構 100 之材料沿遠離基板之一方向延伸之

觸點，如圖10中所展示。

圖2至圖10中所圖解說明之方法產生具有兩個不同區170及180之一階梯結構100。階梯結構100之第一區170包括允許對絕緣材料114與導電材料112之組115之一第一部分之電接達的接觸區域。階梯結構100之第二區180橫向毗鄰第一區170且包括允許對組115之一第二部分之電接達之接觸區域。第一區170可包括組115中之二分之一之接觸區域且第二區180可包括組115中之另一二分之一之接觸區域。

藉由利用圖2至圖10中所圖解說明且隨附文字中所闡述之實施例，可形成一階梯結構100以提供對每一組115之接達。相較於具有相同數目組絕緣材料114與導電材料112之先前技術階梯結構，階梯結構100僅自陣列區122向外延伸一半遠(見圖5)，從而節省空間且減小包括階梯結構100之一記憶體器件之大小。另外，階梯結構100可接近另一垂直器件之另一階梯結構(未展示)而形成。兩個階梯結構之間的一間隙可小於一習用間隙，其可更便宜且更容易地在後續步驟中用材料(例如，上文所闡述之第二絕緣材料)來填充。由於所得填充材料將跨越一較短距離，因此可更容易且更可控制地實現所得填充材料之平坦化。圖2至圖10中所闡述之方法亦可具有形成大數目個梯級之優點，同時極大減小一製造誤差公差。作為實例，可僅進行移除第一遮罩116之部分之動作八次以形成階梯結構100之十八個梯級。相比而言，習用方法可需要將一遮罩修整十七次以形成具有十八個梯級之一階梯結構。因此修整該遮罩之任何

誤差可最多倍增八次而非如藉助習用方法將進行之十七次。換言之，相較於藉由習用方法形成之一階梯結構，本發明中所闡述之方法可提供一較低誤差公差以形成一階梯結構100。此外，本發明中所闡述之方法可包括形成兩個遮罩(第一遮罩116及第二遮罩126)以達成一可管理誤差公差及空間節省，而非如藉助習用方法將進行的那樣使用較大數目個遮罩。由於每一遮罩可需要形成一額外光微影光罩，因此大數目個遮罩給製造程序添加顯著費用。因此，減少用以獲得一較佳誤差公差之遮罩之數目提供成本節省。

用於形成一階梯結構之一方法之另一實施例圖解說明於圖11至圖14中。該方法可以類似於圖2至圖6中所圖解說明之方式之一方式開始以形成一中間階梯結構250。然而，此實施例之中間階梯結構250不同於圖6中所展示之中間階梯結構150，此乃因中間階梯結構250包括曝露絕緣材料214與導電材料212之組215中之四分之一且在其中形成梯級，而非如在圖6中所展示之中間階梯結構150中曝露組115中之二分之一及在其中形成梯級。藉助非限制性實例且為易於圖解說明，圖11中所展示之結構包括總共十六組215。然而，可使用任何所要數目個組215。基本上如上文參考圖2至圖6所闡述的那樣將梯級形成至四個最頂部組215(亦即，總共十六個組215中之四分之一)中以曝露四個最頂部組215中之每一者之絕緣材料214。可在絕緣材料214a至214d上方形成一第二遮罩236且將其圖案化以曝露

橫向毗鄰中間階梯結構250之一第一區240之一第二區260中之組。

可執行一各向異性蝕刻238，其包括移除絕緣材料214及導電材料212之四個循環以在曝露之第二區260中之接下來四個組215 (215e至215h)中曝露並形成梯級，如圖11及圖12中所圖解說明。在執行各向異性蝕刻238之後，可移除第二遮罩236。因此，四個最頂部組215a至215d可曝露且具有在一第一區240中形成於其中之梯級且接下來四個組215e至215h可曝露且具有在橫向毗鄰第一區240之一第二區260中形成於其中之梯級。組215之底半部(亦即，圖12中之第八組215h下方之八個組215)不具有形成於其中之梯級。在於第八組215h中形成一梯級之後，第九組215i之導電材料214i可具有曝露之其一部分。

現在參考圖13，可在第一區240(圖12)之一第一部分241之曝露之絕緣材料214a至214d上方且在第二區260(圖12)之一第一部分261之曝露之絕緣材料214e至214h上方形成一第三遮罩246且將其圖案化以曝露第一區240之一第二部分243及第二區260之一第二部分263。藉助非限制性實例，第一區240及第二區260中之每一者之約二分之一可由第三遮罩246覆蓋，同時可曝露剩餘的約二分之一。

可進行另一各向異性蝕刻248以移除曝露之材料。作為實例，各向異性蝕刻248可包括移除絕緣材料214及導電材料212之八個循環以自曝露部分243及263中之每一者中之八個組215移除材料。如圖14中可見，一所得階梯結構200

可包括彼此橫向毗鄰之四個不同區243、241、261及263，每一區提供總數目個組215中之一不同四分之一之曝露。然後可基本上如上文參考圖10所闡述的那樣形成導電觸點(未展示)以提供與每一導電材料212之電接觸。

注意，圖11至圖14中所展示之實施例可存在變化形式，此不超出本發明之範疇。舉例而言，圖11中所展示之各向異性蝕刻238可移除八個組215而非四個組215且圖13中所展示之各向異性蝕刻248可移除四個組215而非八個組215。儘管每一各向異性蝕刻之循環之數目改變，但一所得結構仍可包括各自提供對組215中之四分之一之接達之四個不同區。亦注意，為方便起見，圖11至圖14中所展示之組215之特定數目為十六個；然而，本發明並不受此限制。可藉由所揭示之方法形成具有任何數目組215絕緣材料214與導電材料212之一階梯結構。

圖11至圖14中所展示之本發明方法之實施例提供優於圖2至圖10中所圖解說明之實施例之某些優點。舉例而言，可實現一甚至更可達到之誤差公差，此乃因可將第一遮罩(亦即，階梯遮罩)修整較少的次數而獲得相同數目個接觸區(例如，梯級)。另外，圖11至圖14中所展示之方法之一階梯區224自一陣列區(例如，一垂直記憶體陣列區)延伸之距離小於圖2至圖10中所展示之方法之階梯區124之距離；因此可實現額外空間節省。然而，可使用一額外光微影光罩來形成在圖2至圖10中所展示之方法中省略之圖13中所佔第三遮罩246。因此，製造藉由圖11至圖14中所展示之

方法形成之階梯結構200可存在某些額外成本。因此，可根據一既定情形中所涉及之成本及益處修改及調整形成本發明之一階梯結構之一方法。

形成用於對一垂直器件(例如，記憶體陣列)之電接達之一階梯結構之一方法之另一實施例作為實例圖解說明於圖15至圖20中。參考圖15，可形成若干組315交替之導電材料312與絕緣材料314。作為實例且為清晰起見，展示十八個組315，但本發明並不受此限制。可在絕緣材料314a上方形成一第一遮罩316(亦稱作一「階梯遮罩316」)以覆蓋一陣列區322(例如，一垂直記憶體陣列區)及一階梯區324兩者。基本上如上文參考圖2所闡述，第一遮罩316可經圖案化以曝露具有與將形成之一階梯結構之一所要梯級之寬度約相同之一寬度之絕緣材料314a的一部分。

可執行一各向異性蝕刻318以移除兩個最頂部組315a及315b之一部分。換言之，各向異性蝕刻318可移除絕緣材料314a之曝露部分、導電材料312a之下伏部分、下一絕緣材料314b之下伏部分及下一導電材料312b之下伏部分。換言之，可執行各向異性蝕刻318之兩個循環以移除兩組315導電材料312與絕緣材料314之部分，而非穿過一個組315之各向異性蝕刻318之一個循環。然後可基本上如上文參考圖2所闡述移除第一遮罩316之一部分以曝露絕緣材料314a之另一部分。

現在參考圖16，可曝露具有絕緣材料314a之約一個所要梯級寬度之一寬度之一部分以及第三絕緣材料314c之一類

似部分。可執行另一各向異性蝕刻318，再次蝕刻穿過兩組315導電材料312與絕緣材料314。可透過一各向同性蝕刻移除第一遮罩316之另一部分，從而產生圖17中所展示之結構。順序各向異性蝕刻318及第一遮罩316之部分之移除可繼續，直至已在組315之一所要分率(諸如二分之一)中形成梯級且形成一中間階梯結構350，如圖18中所展示。換言之，每隔一個組315(當自一基板朝向一最頂部組315a進行時)可使其絕緣材料314之至少一部分曝露，該曝露部分具有足以在其上或穿過其形成一導電觸點之一寬度。

現在參考圖19，可在曝露之絕緣材料314上方形成一第二遮罩326(亦稱作一「截斷遮罩326」)且將其圖案化以覆蓋階梯區324之一第一區370且曝露橫向毗鄰第一區370之一第二區380。可對曝露之第二區380執行另一各向異性蝕刻328之一個循環以自每一梯級移除一個組315之一曝露部分。換言之，各向異性蝕刻328可自曝露之組315中之每一者移除曝露之絕緣材料314且然後可自曝露之組315中之每一者移除下伏導電材料312。以此方式，可藉由執行各向異性蝕刻328之一個循環來曝露圖18中所展示之中間階梯結構350中之未曝露之組315。

可移除第二遮罩326，從而產生圖20中所展示之階梯結構300。階梯結構300可包括提供組315中之二分之一之曝露(亦即，對其之接達)之一第一區370。第一區370可提供每隔一個組315之曝露。階梯結構300亦可包括橫向毗鄰第一區370之一第二區380，其提供組315中之另一二分之一

之曝露。

藉由圖15至圖20中所圖解說明之方法形成之一階梯結構300之一角度390可小於藉由圖2至圖10中所圖解說明之方法形成之一階梯結構100之一角度190。包括一階梯結構300之一器件亦可包括面向第一階梯結構之另一階梯結構(未展示)。一較陡階梯結構(亦即，一較小角度)可在具有小於較不陡(亦即，具有一較大角度)之階梯結構之間的一穀之寬度之相鄰階梯結構之間產生一穀。具有此一較小寬度之一穀可更容易且因此更便宜地用電介質或其他所要材料來填充。用電介質或其他所要材料填充之具有一較小寬度之一穀亦可更容易地平坦化，諸如，在形成提供至階梯結構之導電材料之電連接之觸點之前。

用於形成一階梯結構(諸如圖20中所展示之階梯結構300)之一方法之另一實施例圖解說明於圖21至圖24中。如圖21中所展示，可在一基板上方形成交替之導電材料412與絕緣材料414以形成複數組415，每一組415包括一或多個導電材料412及一或多個絕緣材料414。作為實例而非限制，為清晰起見展示十八個組415，但本發明並不受此限制。可在絕緣材料414a上方形成一第一遮罩426(亦稱作一「截斷遮罩426」)且將其圖案化以曝露橫向毗鄰一第一區470之一第二區480中之絕緣材料414a。第一遮罩426亦可經形成以覆蓋一陣列區(未展示)。可藉由一各向異性蝕刻428之一循環在第二區480中移除來自包括絕緣材料414a及導電材料412a之組415a之材料。

如圖 22 中所展示，組 415a 可在第一區 470 中保留且在第二區 480 中移除，從而曝露第二區 480 中之絕緣材料 414b。可自第一區 470 移除第一遮罩 426 以曝露第一區 470 中之絕緣材料 414a。現在參考圖 23，可在第一區 470 及第二區 480 兩者上方形成一第二遮罩 436 (亦稱作一「階梯遮罩 436」) 且將其圖案化以曝露絕緣材料 414a 及 414b 之大約一個階梯寬度。可藉由一各向異性蝕刻 438 在第一區 470 中移除來自兩個組 415a 及 415b 之材料且可藉由各向異性蝕刻 438 在第二區 480 中移除來自兩個組 415b 及 415c 之材料。換言之，各向異性蝕刻 438 可包括蝕刻穿過絕緣材料 414 及導電材料 412 之兩個循環。然後可移除第二遮罩 436 之一部分以曝露具有大約一個階梯寬度之一寬度之兩個組 415a 及 415b 之一部分，如圖 24 中所圖解說明。

在第一區 470 中，可曝露絕緣材料 414a 之部分及絕緣材料 414c 之部分。在橫向毗鄰第一區 470 之第二區 480 中，可曝露第二絕緣材料 414b 及第四絕緣材料 414d 之部分。可執行另一各向異性蝕刻 438 以移除組 415a、415b、415c 及 415d 之曝露部分，從而再次在每一曝露部分中移除兩個組 415。

可將移除第二遮罩 436 之一部分及各向異性地蝕刻 438 穿過兩個組 415 之曝露部分之動作重複數次，直至曝露每一組 415 之一部分為止。然後可移除第二遮罩 436。參考圖 21 至圖 24 所圖解說明及闡述之實施例可產生組態與圖 20 中所展示之階梯結構 300 實質上相同之一階梯結構 300。

在某些實施例中，可遵循本文中所闡述之方法同時形成多個階梯結構100、200或300，如熟習此項技術者將瞭解。作為實例且如圖25中所圖解說明，可如上文更詳細闡述形成一第一階梯結構100a以包括一第一區170a及橫向毗鄰第一區170a之一第二區180a。同時且藉由遵循相同方法，可橫向毗鄰第一階梯結構100a形成一第二階梯結構100b。舉例而言，可橫向毗鄰第一階梯結構100a之第二區180a形成第二階梯結構100b之一第一區170b。可藉助安置於第一階梯結構100a與第二階梯結構100b之間的一絕緣材料(未展示)將第一階梯結構100a與第二階梯結構100b電絕緣，該絕緣材料可係一空隙。

在某些實施例中，一垂直記憶體器件可包括一階梯結構，諸如階梯結構100、200或300。該階梯結構之每一導電材料112、212、312或412可充當一導電連接(例如，一字線連接)。每一導電材料可提供對一垂直記憶體陣列中之一特定平面中之電晶體(未展示)之電接達。因此，本文中所揭示之階梯結構100、200或300中之任一者可用於一垂直記憶體器件或其他垂直器件中。

已展示及闡述階梯結構之數項實施例及用於形成階梯結構之方法。相較於習用結構及方法，此等實施例可具有優點。舉例而言，相較於習用方法，藉由利用本發明之方法可將形成複數個階梯之誤差公差保持至一更合理且更可達到之位準。可在沒有利用形成複數個遮罩所需之大數目個光罩之費用之情形下達成誤差公差之改良。另外，本發明

之一階梯結構可覆蓋小於某些習用階梯結構之區域。由該階梯結構覆蓋之較小區域可允許更高效且成本有效地產生包括階梯結構之一器件。此外，可減小毗鄰階梯結構之間的一空間之大小且因此更容易及/或更便宜地在後續製造程序中用材料填充及平坦化。

總結

在一項實施例中，闡述一種形成一半導體結構之方法，該方法包括：形成複數組導電材料與絕緣材料；在該複數組中之一最頂部組上方形成一第一遮罩；移除該第一遮罩之一部分以曝露該最頂部組之一主表面之一部分；移除該最頂部組之該曝露部分；移除該第一遮罩之另一部分以曝露該最頂部組之另一部分；及重複該移除該第一遮罩之一部分及該移除該最頂部組之該曝露部分，直至形成第一數目個接觸區為止。該方法亦包括在該複數組之一第一區上方形成一第二遮罩及在橫向毗鄰該第一區之該複數組之一第二曝露區中自該複數組中移除材料以形成第二數目個接觸區。

在另一實施例中，闡述一種形成一階梯結構之方法，該方法包括：在若干組導電材料與絕緣材料之部分上形成第一接觸區；在該等組之一區上方形成一遮罩；及移除未由該遮罩覆蓋之該等組之一部分以形成第二接觸區。第二接觸區中之每一者可比第一接觸區中之每一者更接近於一下伏基板。

在一額外實施例中，闡述一種形成一垂直記憶體器件之

方法，該方法包括形成複數個交替之字線連接與絕緣材料及在該等字線連接之部分上形成接觸區。該方法亦包括：在該等交替之字線連接與絕緣材料之一區上方形成一遮罩；移除未由該遮罩覆蓋之該等字線連接及絕緣材料之一部分；及形成與每一接觸區連接之觸點。

在另一實施例中，闡述一種包括附屬組導電材料與絕緣材料之裝置。該複數組之一第一區包括該複數組之一第一部分之接觸區且該複數組之一第二區包括一第二部分之接觸區。該複數組之該第一區與該第二區彼此橫向毗鄰。該第一區之該等接觸區自該第二區之該等接觸區偏移。

在一額外實施例中，闡述一種裝置，該裝置包括：一垂直記憶體陣列區，其包括複數個導電材料；及一階梯區，其亦包括該複數個導電材料。該階梯區包括一第一區及橫向毗鄰該第一區之一第二區。該第一區包括該複數個導電材料之一第一部分之接觸區且該第二區包括不同於該第一區之該複數個導電材料之一第二部分之接觸區。該第一區之每一接觸區自該第二區之每一接觸區偏移。

在又一實施例中，闡述一種形成一半導體結構之方法，該方法包括：形成複數組導電材料與絕緣材料；移除該複數組中之一最頂部組之一第一部分，從而在該最頂部組之一第二部分之一第一區上方形成一遮罩且曝露該第二部分之一第二區；及移除該最頂部組之該曝露之第二部分。

雖然易於對本發明作出各種修改及替代形式，但其特定實施例已作為實例展示於圖式中且詳細闡述於本文中。然

而，本發明不意欲限於所揭示之特定形式。而是，本發明涵蓋歸屬於由以下隨附申請專利範圍及其合法等效內容所定義之本發明範疇內之所有修改形式、組合形式、等效形式及替代形式。舉例而言，雖然已將本發明之實施例闡述為與垂直記憶體器件相關，但其他器件可包括類似於所闡述之彼等方法及結構之方法及結構，此並不超出本發明之範疇。舉例而言，藉由本文中所揭示之方法形成之一階梯結構可用以形成用於垂直堆疊之佈線匯流排、電容器或任何其他層壓導體組之接觸區。換言之，任何階梯結構可藉由本文中所揭示之方法形成且可相同或類似於本文中所揭示之結構而組態。

【圖式簡單說明】

圖 1A 至圖 1D 圖解說明形成一垂直記憶體陣列之一階梯結構之一習用方法。

圖 2 至圖 10 圖解說明根據本發明用於形成一階梯結構之一程序之一實施例。

圖 11 至圖 14 圖解說明根據本發明用於形成一階梯結構之一程序之另一實施例。

圖 15 至圖 20 圖解說明根據本發明用於形成一階梯結構之一程序之另一實施例。

圖 21 至圖 24 圖解說明根據本發明用於形成一階梯結構之一程序之另一實施例。

圖 25 圖解說明根據本發明橫向毗鄰另一階梯結構形成之一階梯結構之一實施例。

【主要元件符號說明】

10	階梯結構
12a	導電材料
12b	導電材料
12c	導電材料
14a	絕緣材料
14b	絕緣材料
14c	絕緣材料
16	遮罩
18	各向異性蝕刻
20	字線觸點
100	階梯結構
100a	第一階梯結構
100b	第二階梯結構
111	寬度
112	導電材料/實質上平面導電材料/下伏導電材料
112a	導電材料
112b	導電材料
114	絕緣材料
114a	絕緣材料/最頂部絕緣材料/第一絕緣材料
114b	絕緣材料
114c	絕緣材料
114i	第九絕緣材料/絕緣材料
114j	第十絕緣材料/絕緣材料

115a	最頂部組/第一組/組
115b	組
115i	組
116	第一遮罩
118	各向異性蝕刻
120	導電觸點/字線觸點
122	陣列區
124	階梯區
126	第二遮罩/截斷遮罩/遮罩
128	各向異性蝕刻
140	方向/橫向方向
150	中間階梯結構
170	第一區/區
170a	第一區
170b	第一區
180	第二區/區
180a	第二區
182	長度
190	角度
200	所得階梯結構/階梯結構
212	導電材料
214	絕緣材料
214a	絕緣材料
214d	絕緣材料

214e	絕緣材料
214h	絕緣材料
214i	導電材料
215a	最頂部組
215d	最頂部組
215e	組
215h	組/第八組
215i	第九組
224	階梯區
236	第二遮罩
238	各向異性蝕刻
240	第一區
241	第一部分/區
243	第二部分/曝露部分/區
246	第三遮罩
248	各向異性蝕刻
250	中間階梯結構
260	第二區
261	第一部分/區
263	第二部分/曝露部分/區
300	階梯結構
312	導電材料/下伏導電材料
312a	導電材料
312b	導電材料

314	絕緣材料
314a	絕緣材料
314b	下一絕緣材料
314c	第三絕緣材料
315a	最頂部組
315b	最頂部組
316	第一遮罩/階梯遮罩
318	各向異性蝕刻
322	陣列區
324	階梯區
326	第二遮罩/截斷遮罩
328	各向異性蝕刻
350	中間階梯結構
370	第一區
380	第二區/第二部分
390	角度
412a	導電材料
414a	絕緣材料
414b	絕緣材料/第二絕緣材料
414c	絕緣材料
414d	第四絕緣材料
415a	組
415b	組
415c	組

415d	組
426	第一遮罩/截斷遮罩
428	各向異性蝕刻
436	第二遮罩/階梯遮罩
438	各向異性蝕刻
470	第一區
480	第二區

七、申請專利範圍：103年7月4日修正
圖樣(本)

1. 一種形成一半導體結構之方法，其包含：

形成複數組導電材料與絕緣材料；

在該複數組中之一最頂部組上方形成一第一遮罩；

移除該第一遮罩之一部分以曝露該複數組中之該最頂部組之一主表面之一部分；

移除該複數組中之該最頂部組之該曝露部分；

移除該第一遮罩之另一部分以曝露該最頂部組之該主表面之另一部分，該最頂部組之該主表面之該另一部分係毗鄰於該複數組中之該最頂部組之該主表面之該經移除部分；

重複該移除該第一遮罩之一部分及該移除該複數組中之該最頂部組之該曝露部分，直至形成第一數目個接觸區為止，每一接觸區係自其他接觸區偏移；

在該複數組之一第一區上方形成一第二遮罩；及

在橫向毗鄰該第一區之該複數組之一第二曝露區中自該複數組移除材料以形成第二數目個接觸區。

2. 如請求項 1 之方法，其中移除該複數組中之該最頂部組之一曝露部分包含：

各向異性地蝕刻該最頂部組之一導電材料；及

各向異性地蝕刻該最頂部組之一絕緣材料。

3. 如請求項 1 之方法，其中形成複數組導電材料與絕緣材料包含將該複數組中之每一組形成為包含與一基板相對之該導電材料之一側上之該絕緣材料。

4. 如請求項1之方法，其中移除材料包含在該第二曝露區中自該複數組中之二分之一移除所有該等絕緣材料及導電材料。
5. 如請求項1之方法，其中移除該複數組中之該最頂部組之一曝露部分包含移除該複數組中之一個組之一曝露部分。
6. 如請求項1之方法，其中移除該複數組中之該最頂部組之一曝露部分包含各向異性地蝕刻穿過該複數組中之兩個組之部分。
7. 如請求項1之方法，其中重複該移除該第一遮罩之一部分及該移除該複數組中之該最頂部組之該曝露部分直至形成第一數目個接觸區包含：在該複數組之總數目個組中之二分之一上或在該複數組之總數目個組中之四分之一上形成該等接觸區，每一接觸區包含一梯級，每一梯級具有自一毗鄰梯級之一端部分偏移之一端部分。
8. 如請求項1之方法，其中移除材料包含在該複數組之該第二曝露區中形成梯級，該複數組之該第一區中之每一梯級具有自該第二曝露區中之一毗鄰梯級之一端部分偏移之一端部分。
9. 如請求項1之方法，其進一步包含與該等接觸區中之每一者接觸地形成觸點。
10. 如請求項1之方法，其中在於該複數組中之一最頂部組上方形成一第一遮罩、移除該第一遮罩之一部分以曝露該複數組中之該最頂部組之一主表面之一部分及移除該

複數組中之該最頂部組之該曝露部分之前執行在該複數組之一第一區上方形成一第二遮罩及在橫向毗鄰該第一區之該複數組之一第二曝露區中自該複數組移除材料。

11. 如請求項1之方法，其中該第二數目個接觸區中之每一者比該第一數目個接觸區中之每一者更接近於一下伏基板。

12. 如請求項1之方法，其進一步包含：

在該等第一接觸區之一部分及該等第二接觸區之一部分上方形成另一遮罩；及

移除未由該另一遮罩覆蓋之該等組導電材料與絕緣材料之一部分以形成第三接觸區及第四接觸區，其中該等第三及第四接觸區中之每一者比該等第一及第二接觸區中之每一者更接近於一下伏基板。

13. 如請求項1之方法，其中在該複數組中之一最頂部組上方形成一第一遮罩包含在該複數組中之該最頂部組上方形成一階梯遮罩。

14. 如請求項1之方法，其中在該複數組中之一最頂部組上方形成一第一遮罩包含在該複數組中之該最頂部組上方形成一截斷遮罩。

15. 一種半導體結構，其包含：

複數組導電材料與絕緣材料，該複數組包含：

該複數組之一第一區，其包含該複數組之一第一部分之接觸區；及

該複數組之一第二區，其於平行於該複數組之一第一

部分之該等接觸區之每一者所縱向延伸之一方向的一方向中橫向毗鄰該第一區，該複數組之該第二區包含該複數組之一第二部分之接觸區，其中該第一區之該等接觸區係自該第二區之該等接觸區偏移。

16. 如請求項15之半導體結構，其中：

該第一區之該等接觸區包含該複數組中之第一交替組之接觸區；且

該第二區之該等接觸區包含該複數組中之第二交替組。

17. 如請求項15之半導體結構，其中該複數組導電材料與絕緣材料進一步包含：該複數組導電材料與絕緣材料之一垂直記憶體陣列區。

18. 如請求項15之半導體結構，其進一步包含：

該複數組之一第三區，其橫向毗鄰該第二區，包含不同於該等第一及第二部分兩者之該複數組之一第三部分之接觸區；及

該複數組之一第四區，其橫向毗鄰該第三區，包含不同於該等第一、第二及第三部分之該複數組之一第四部分之接觸區。

19. 如請求項15之半導體結構，其進一步包含複數個觸點，該複數個觸點中之每一觸點電連接至該等接觸區中之一各別者。

20. 如請求項15之半導體結構，其中該複數組係形成於一基板上方，且該第二區之每一接觸區比該第一區之該等接觸區中之一各別毗鄰者更靠近於該基板。

八、圖式：

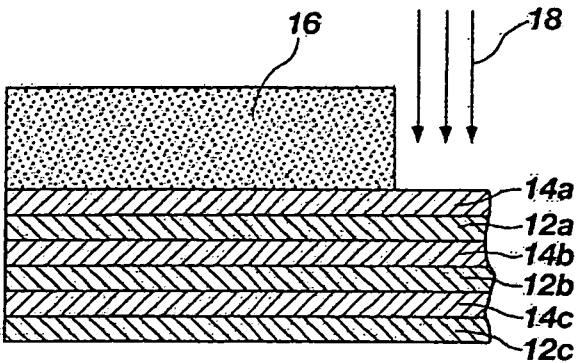


圖 1A

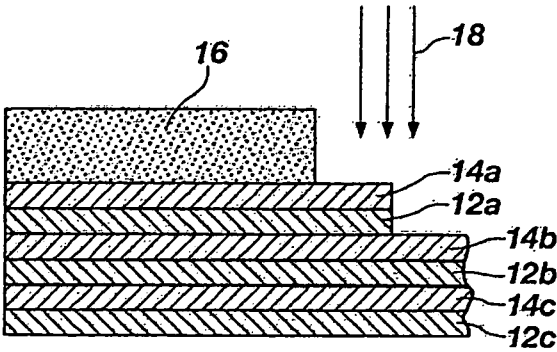


圖 1B

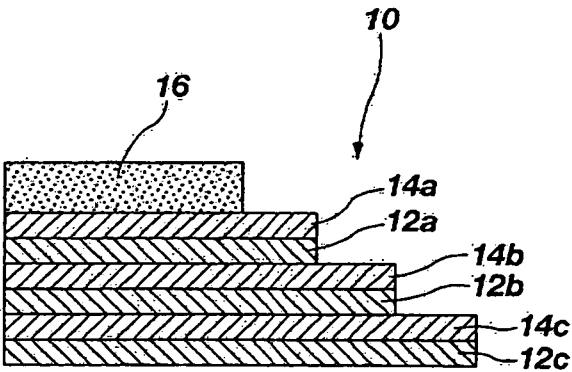


圖 1C

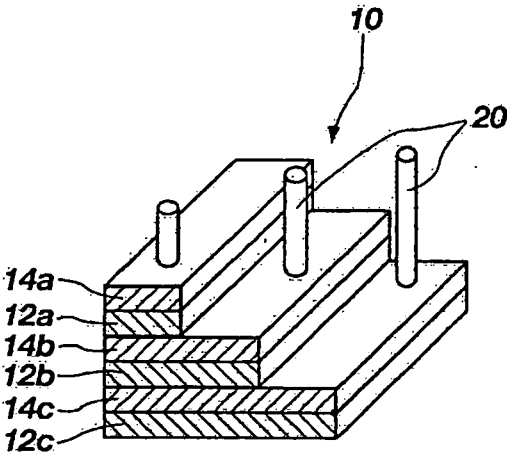


圖 1D

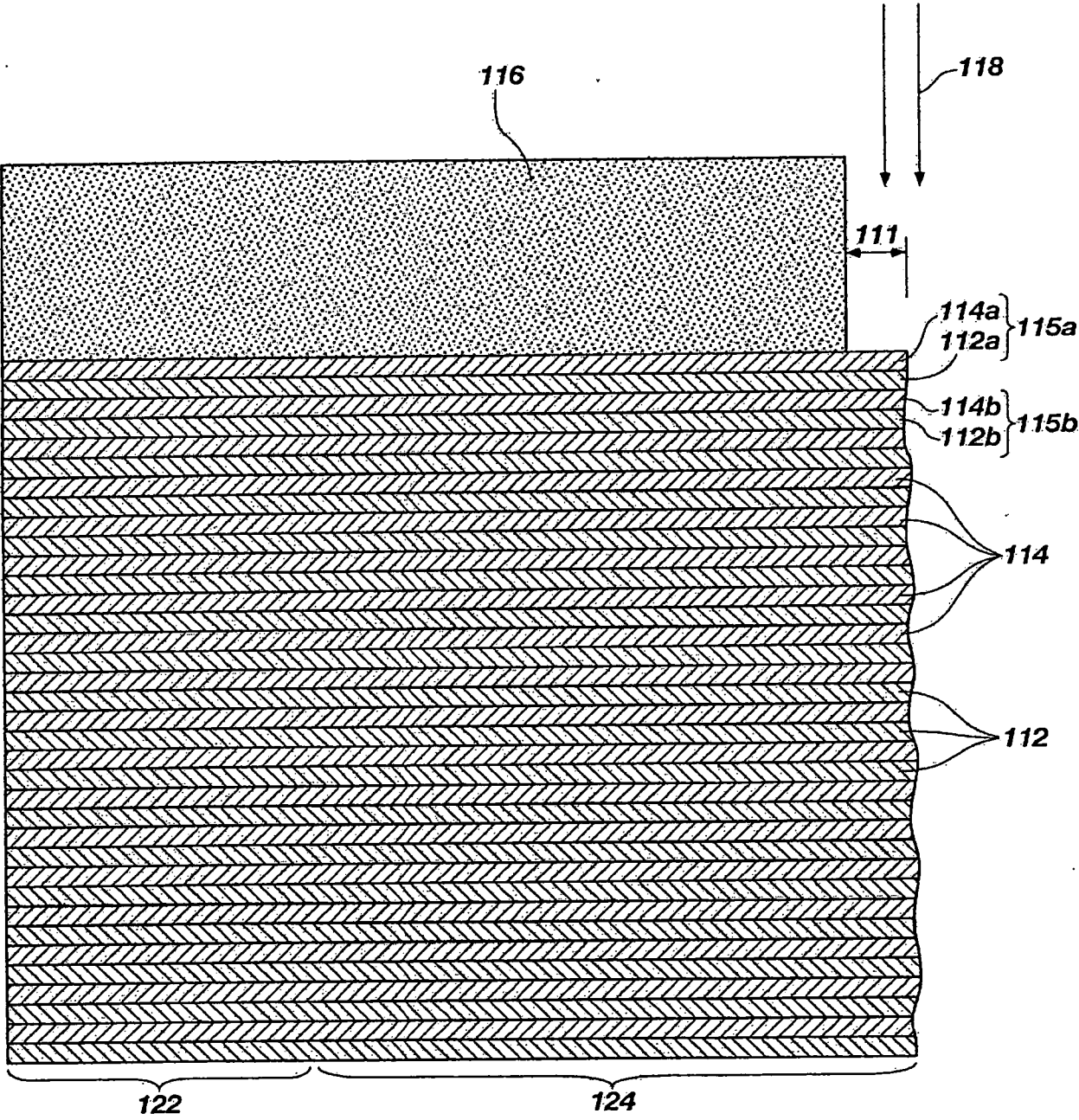


圖2

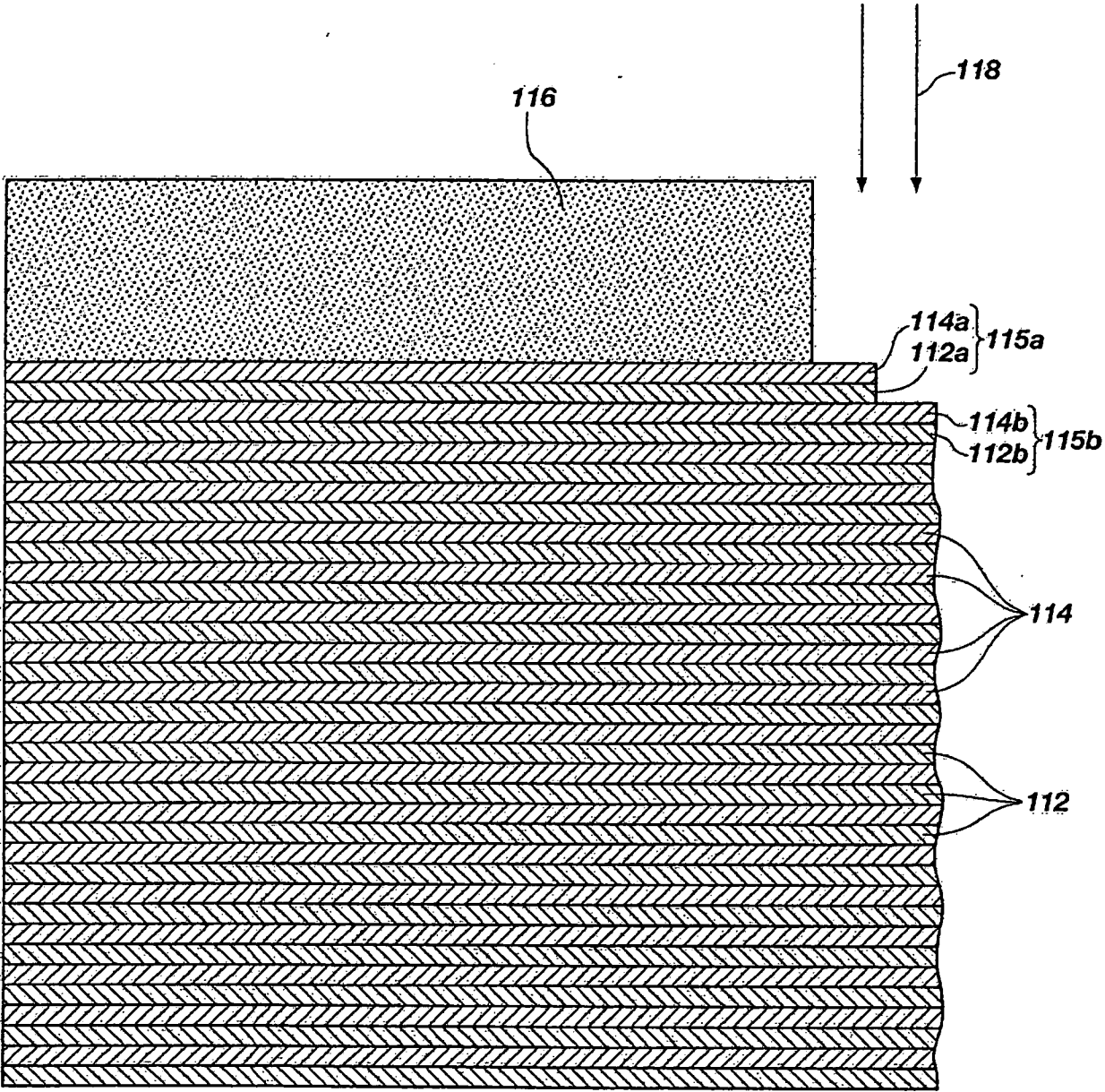


圖3

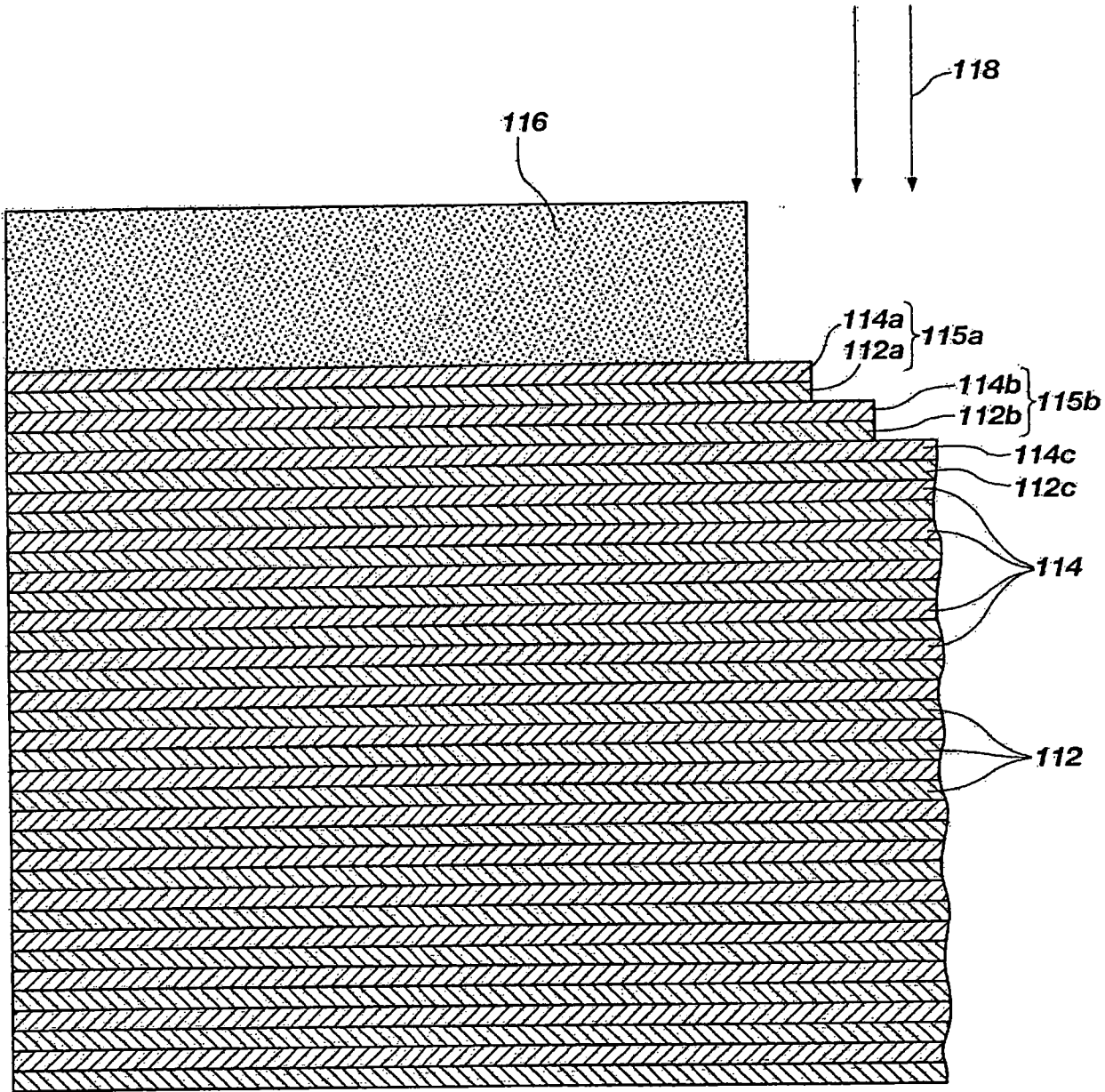


圖4

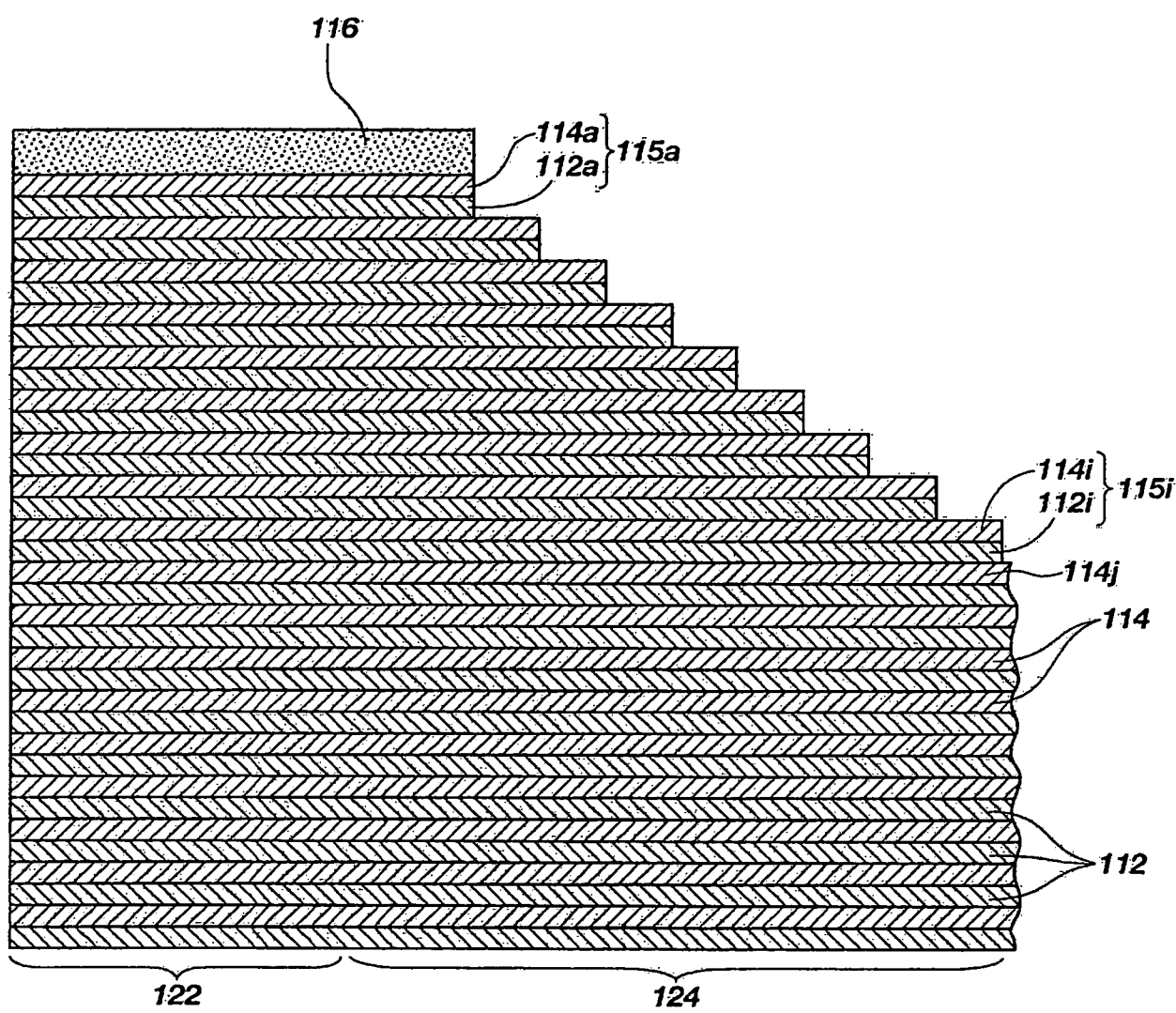


圖 5

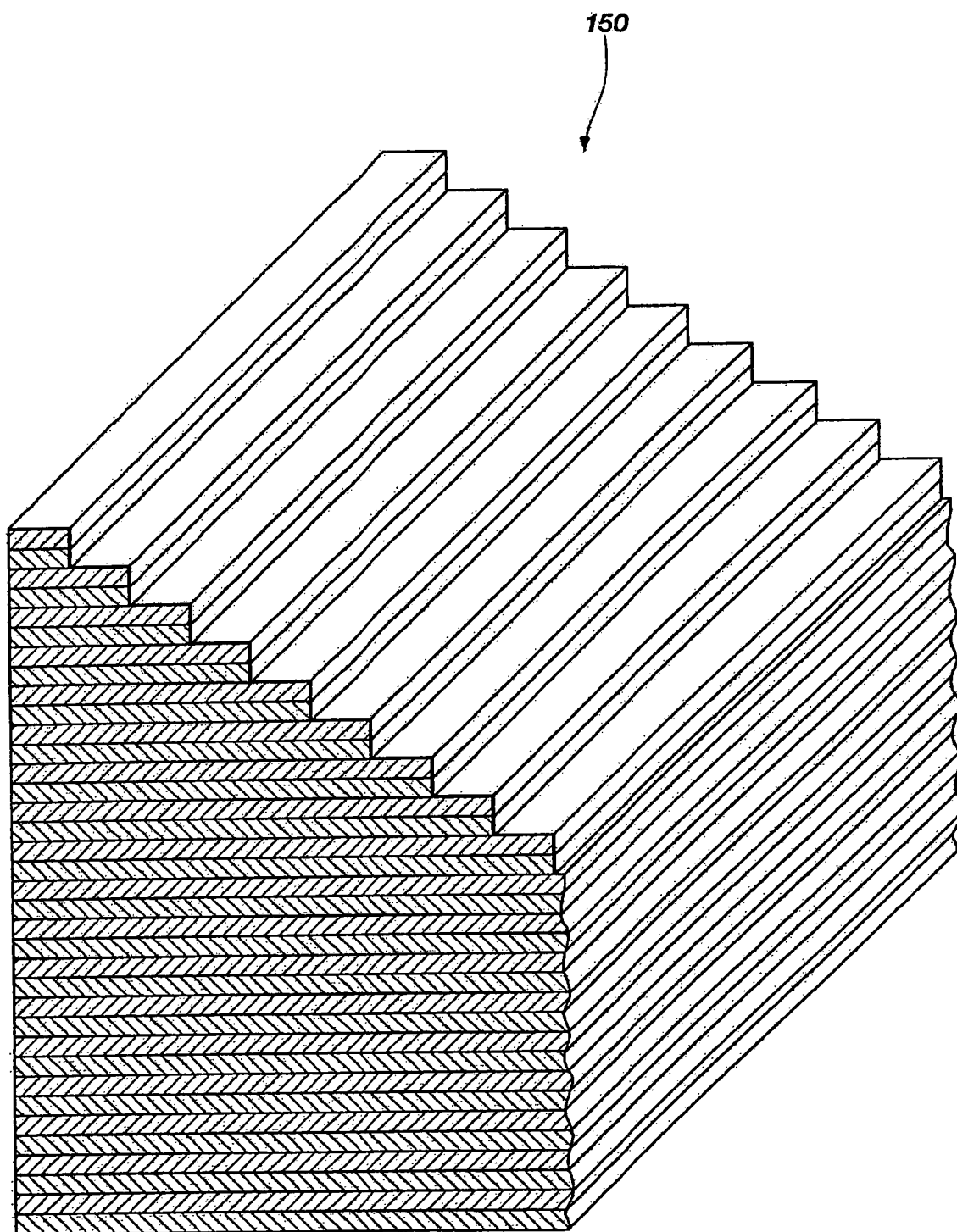


圖6

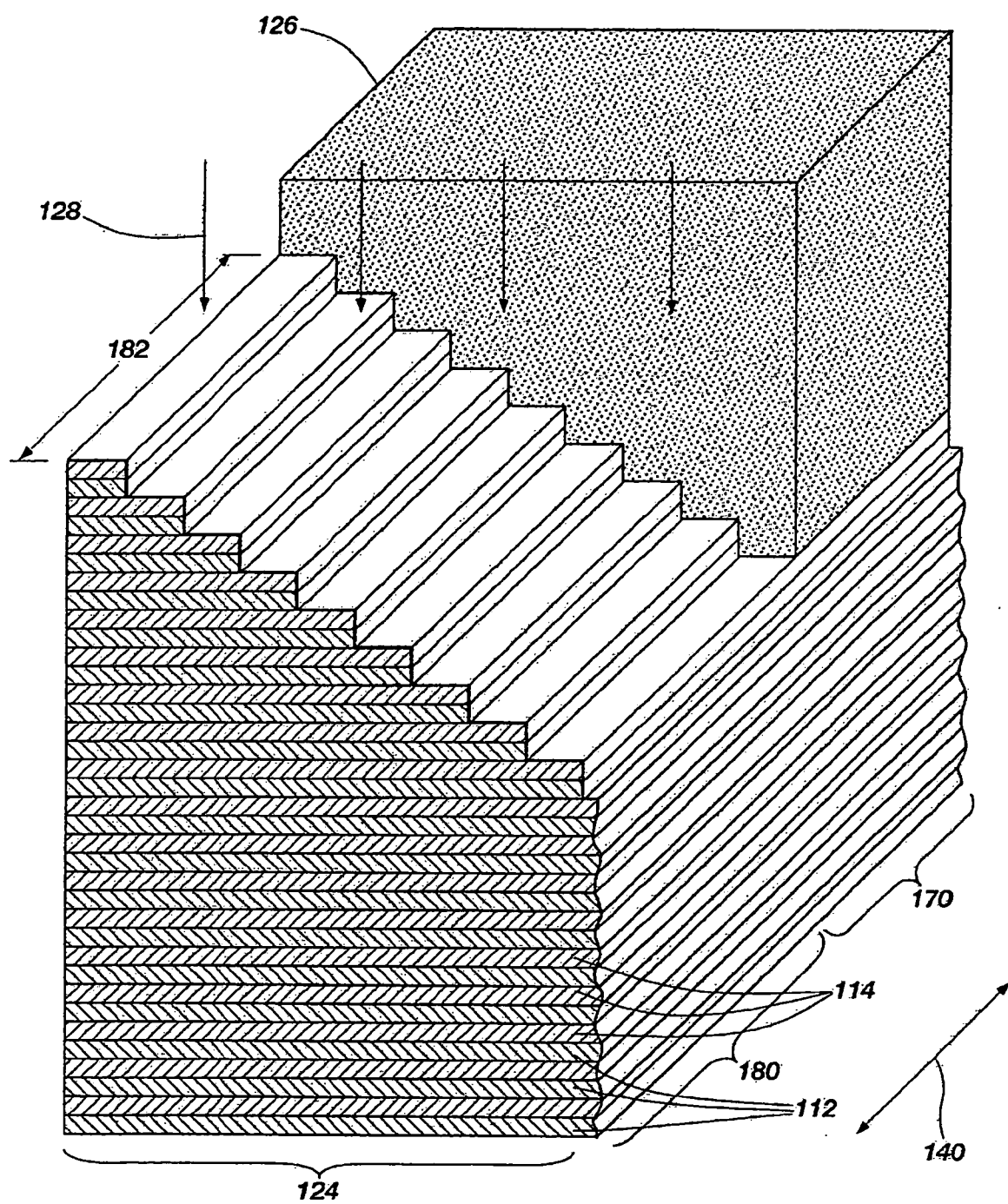


圖 7

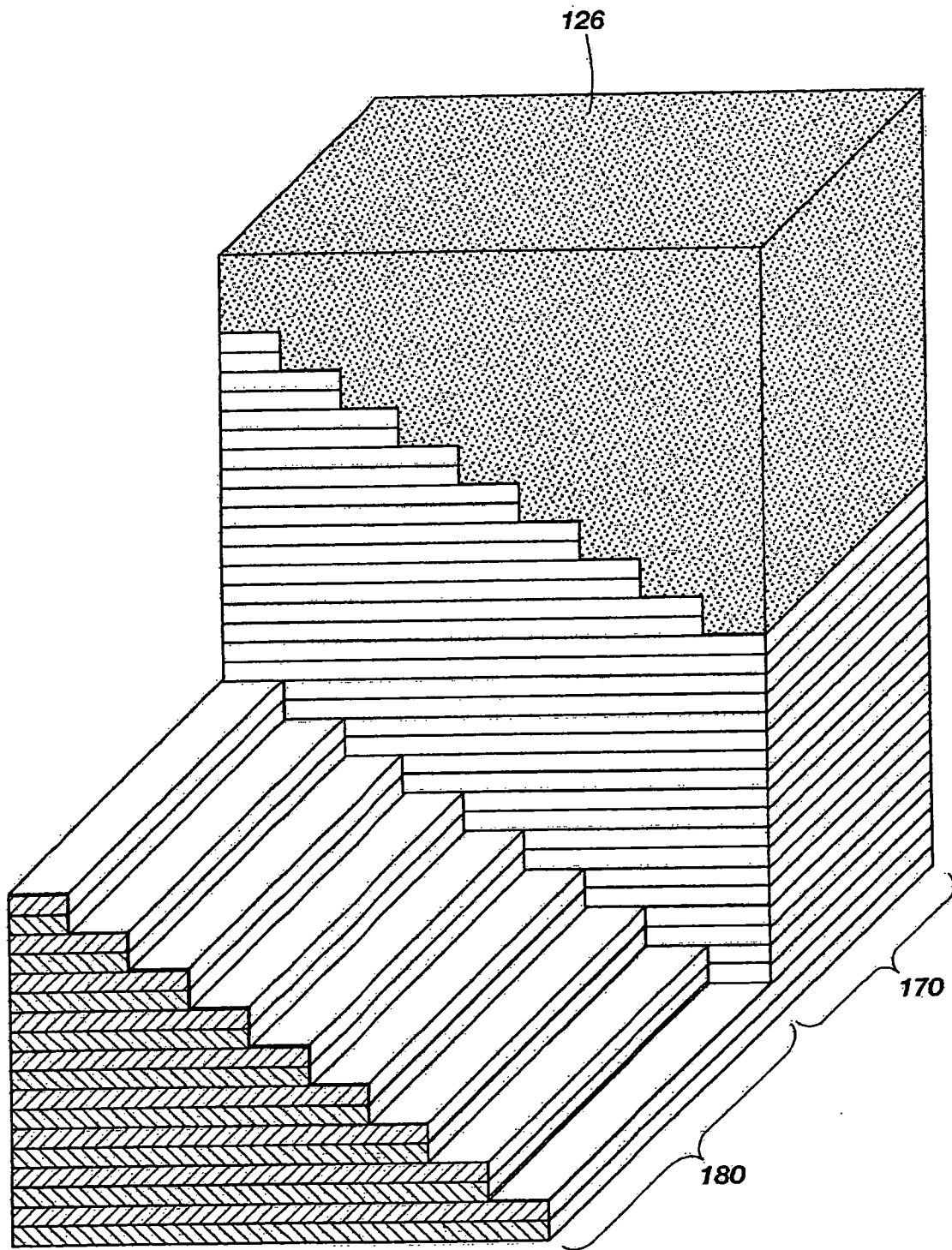


圖 8

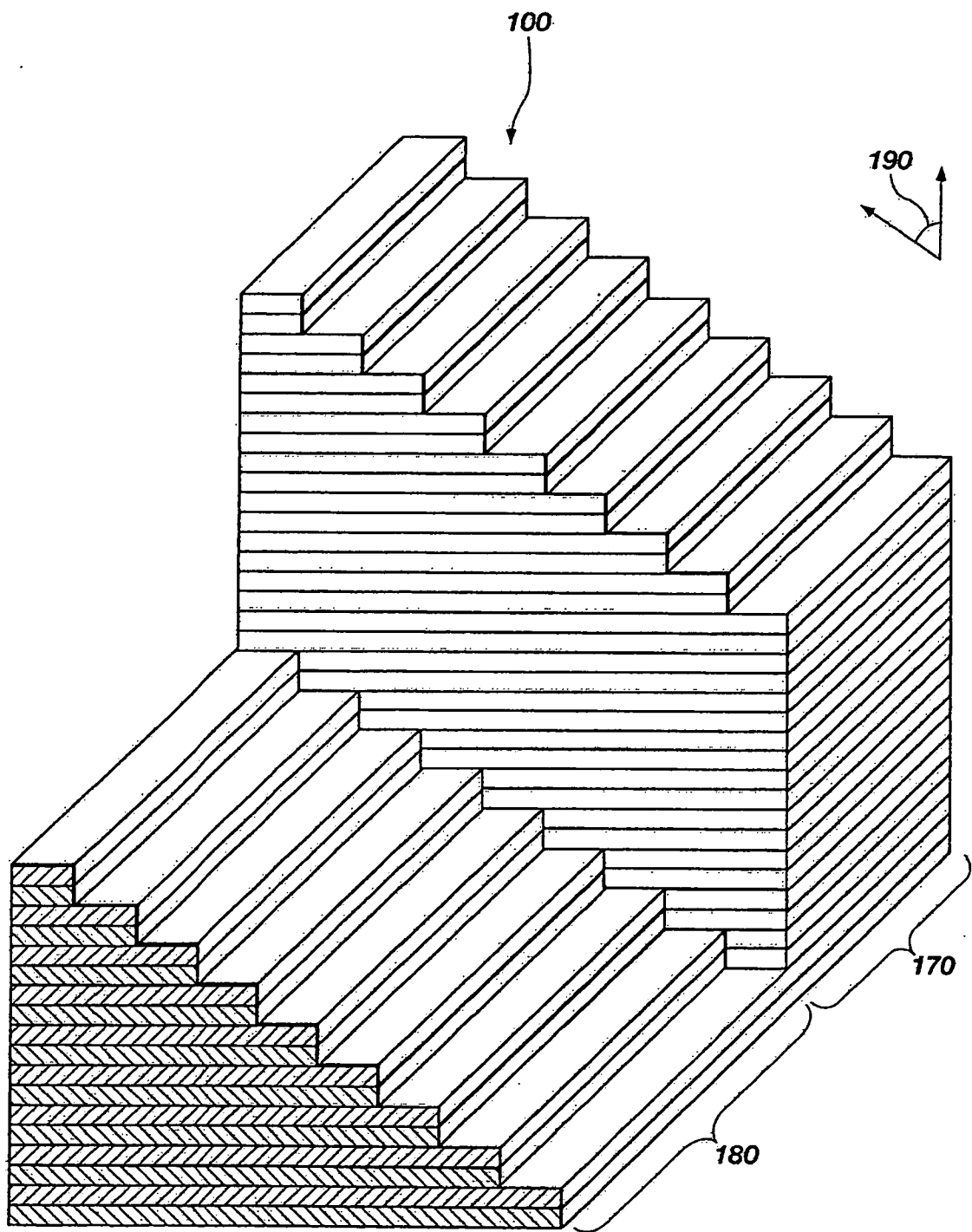


圖9

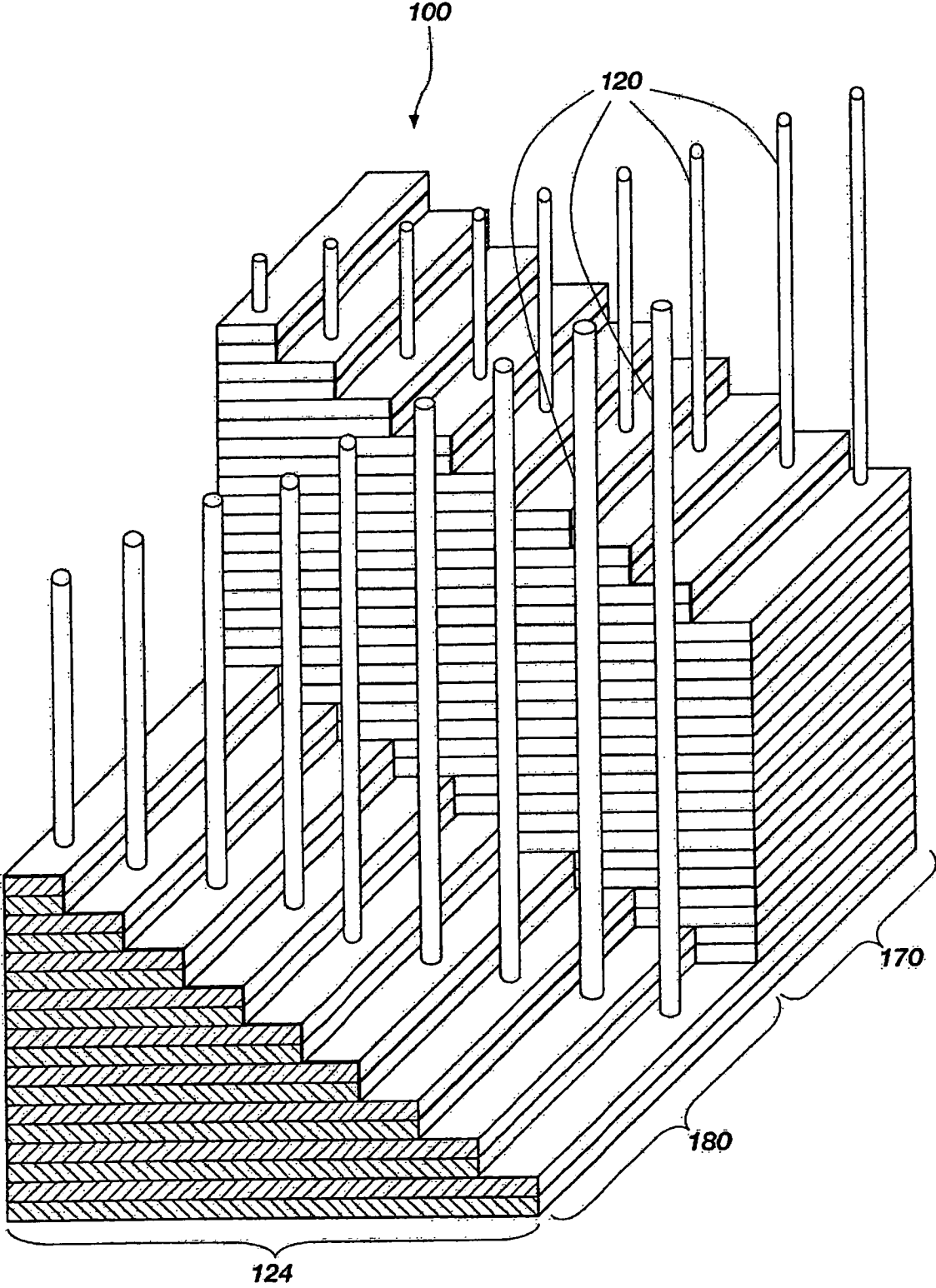


圖 10

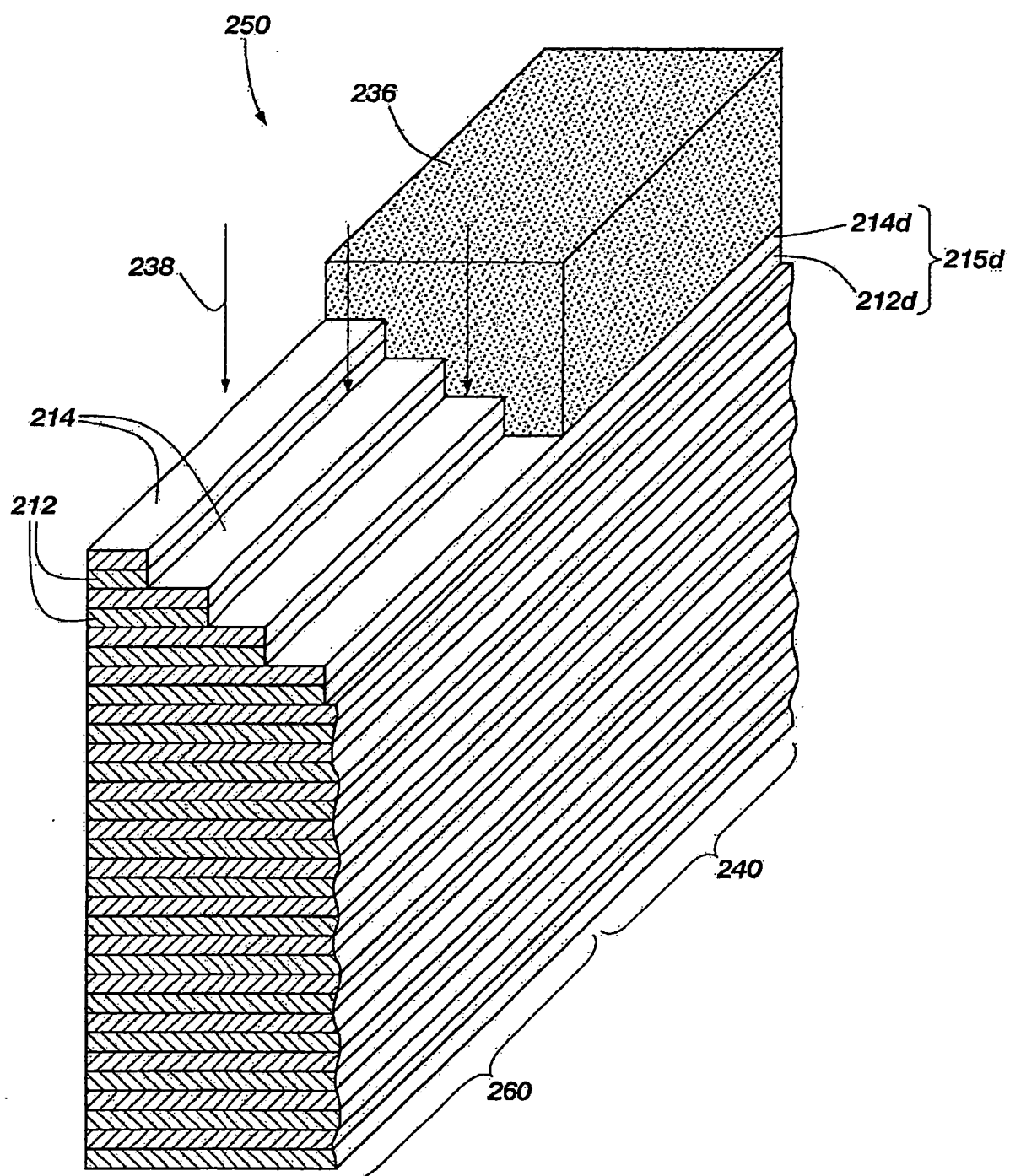


圖 11

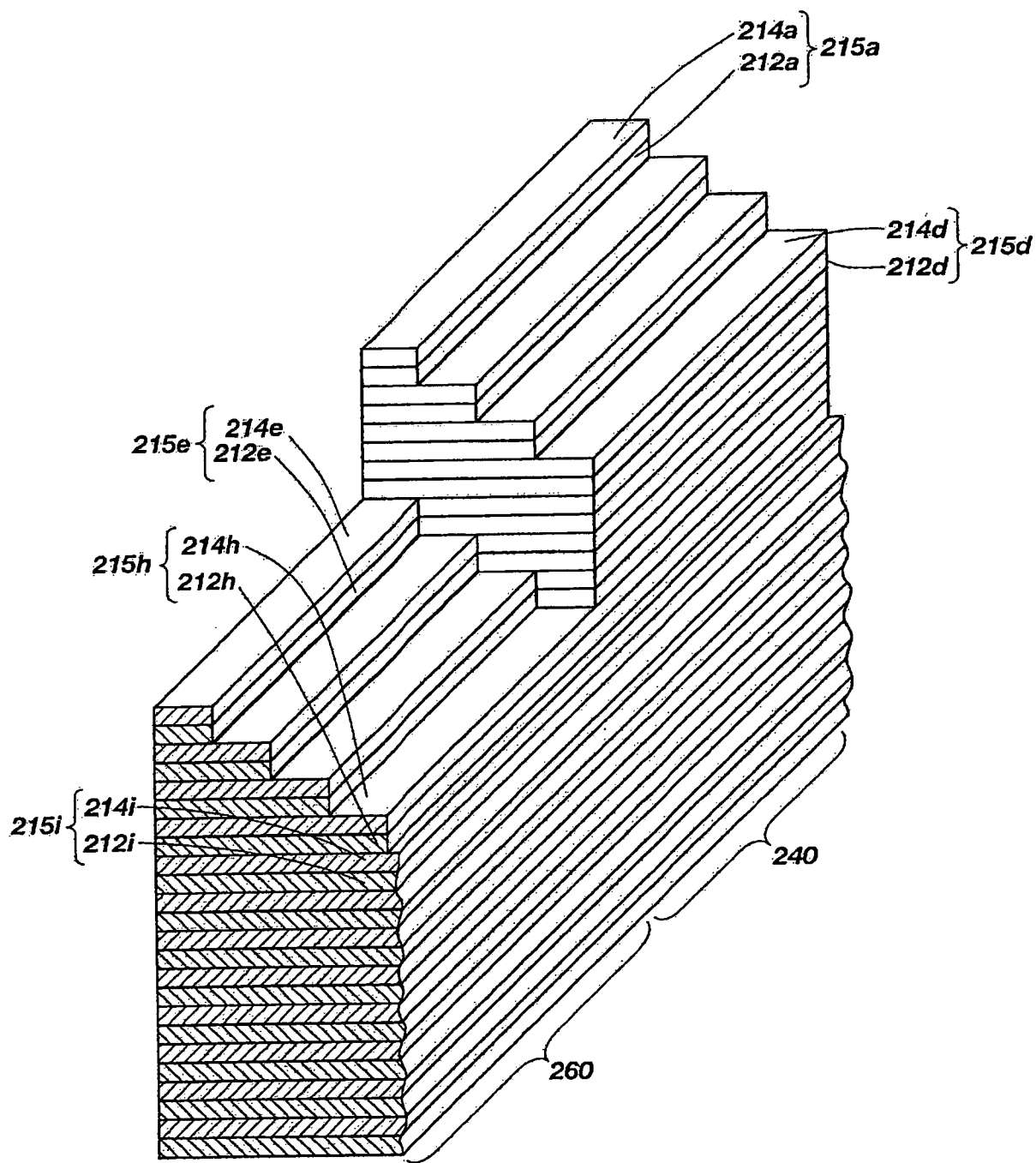


圖 12

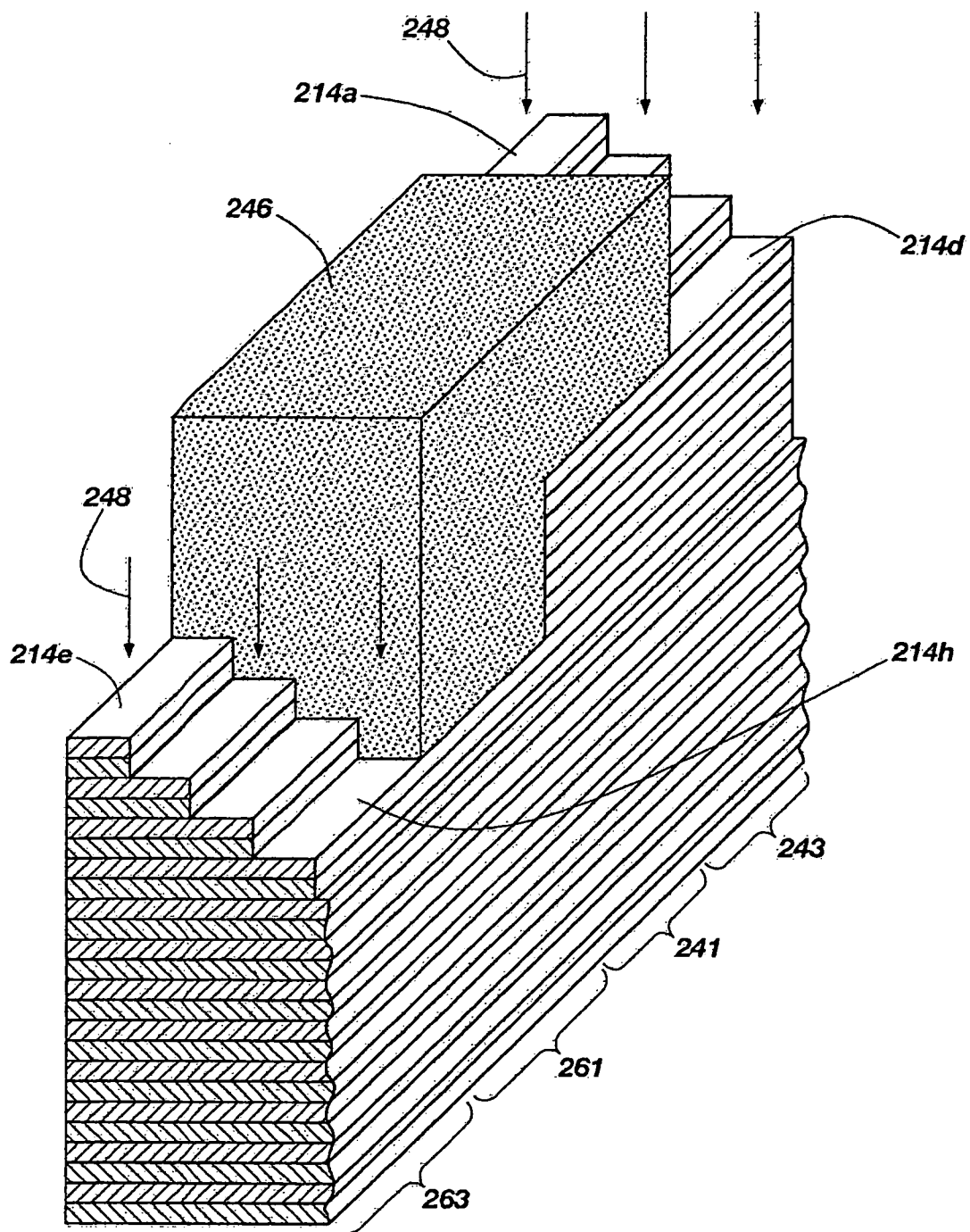


圖 13

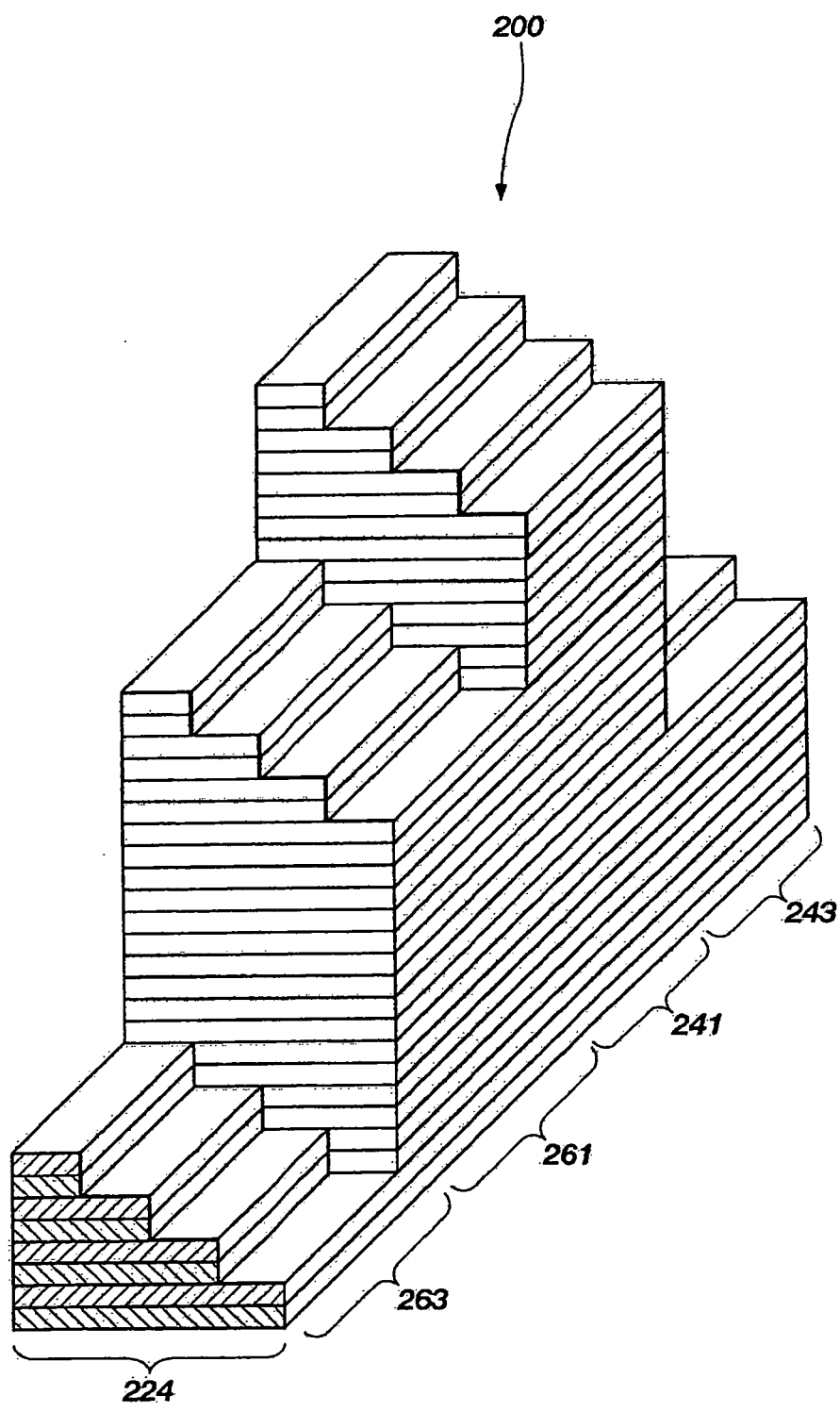


圖 14

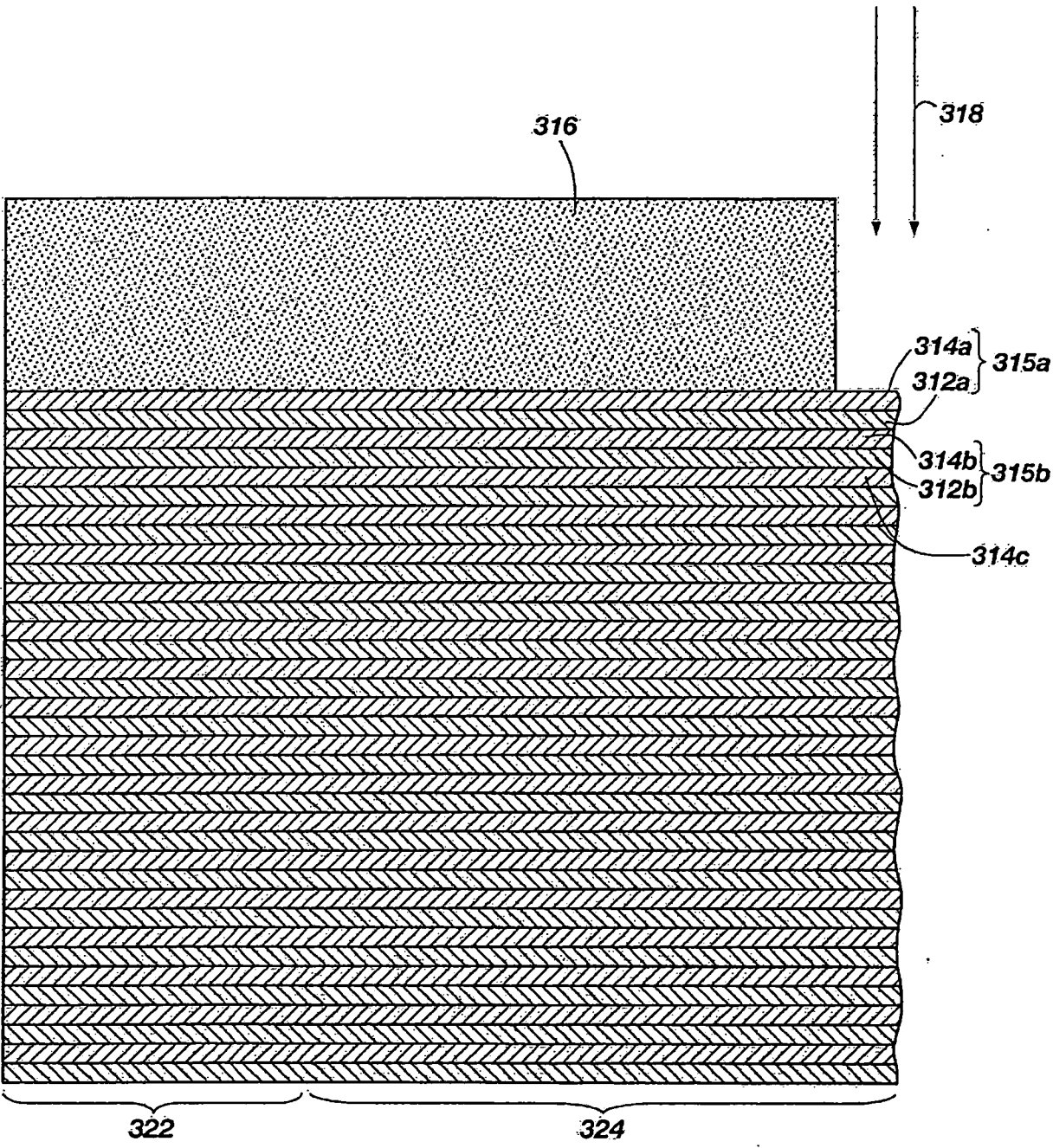


圖 15

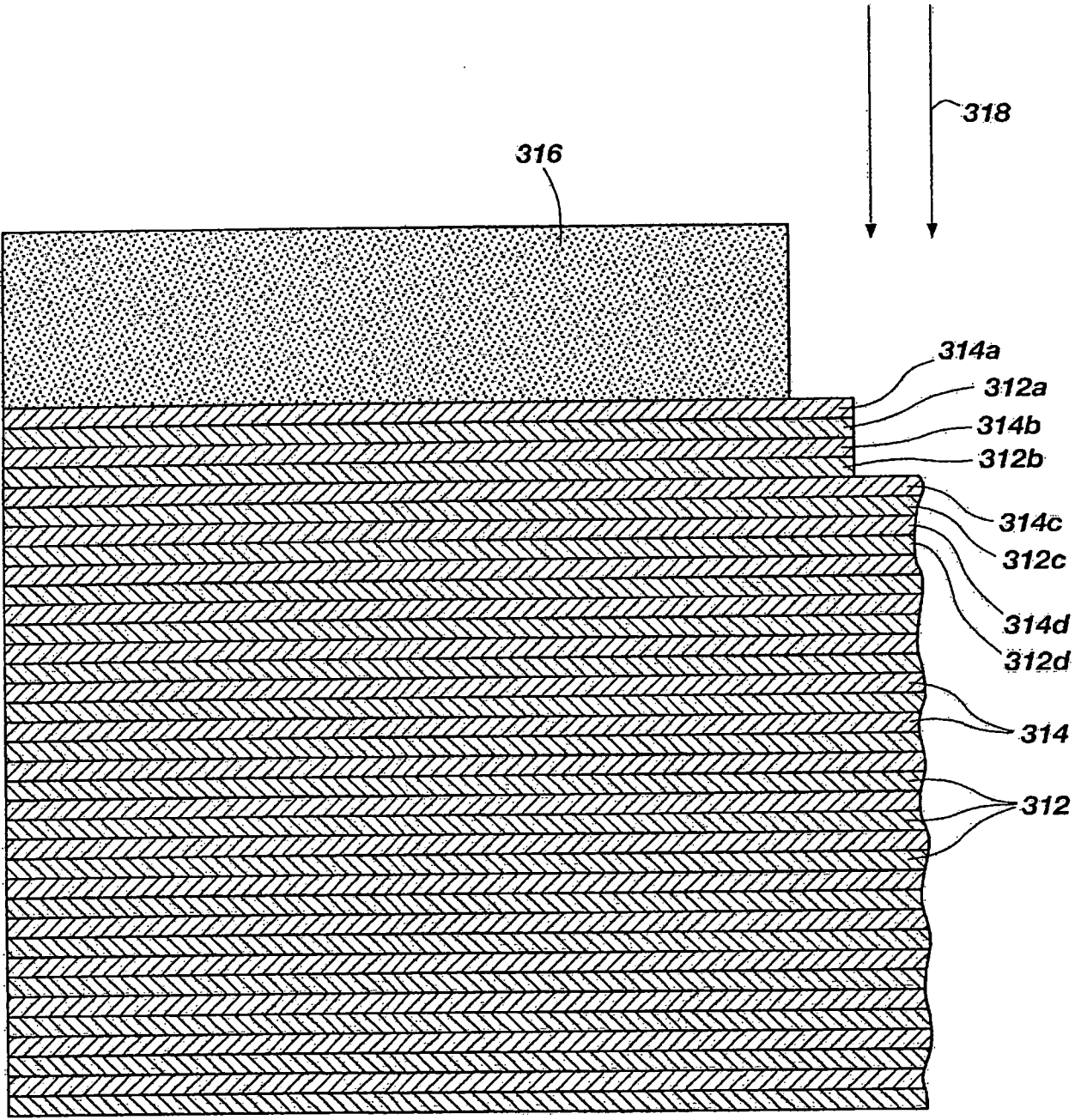


圖 16

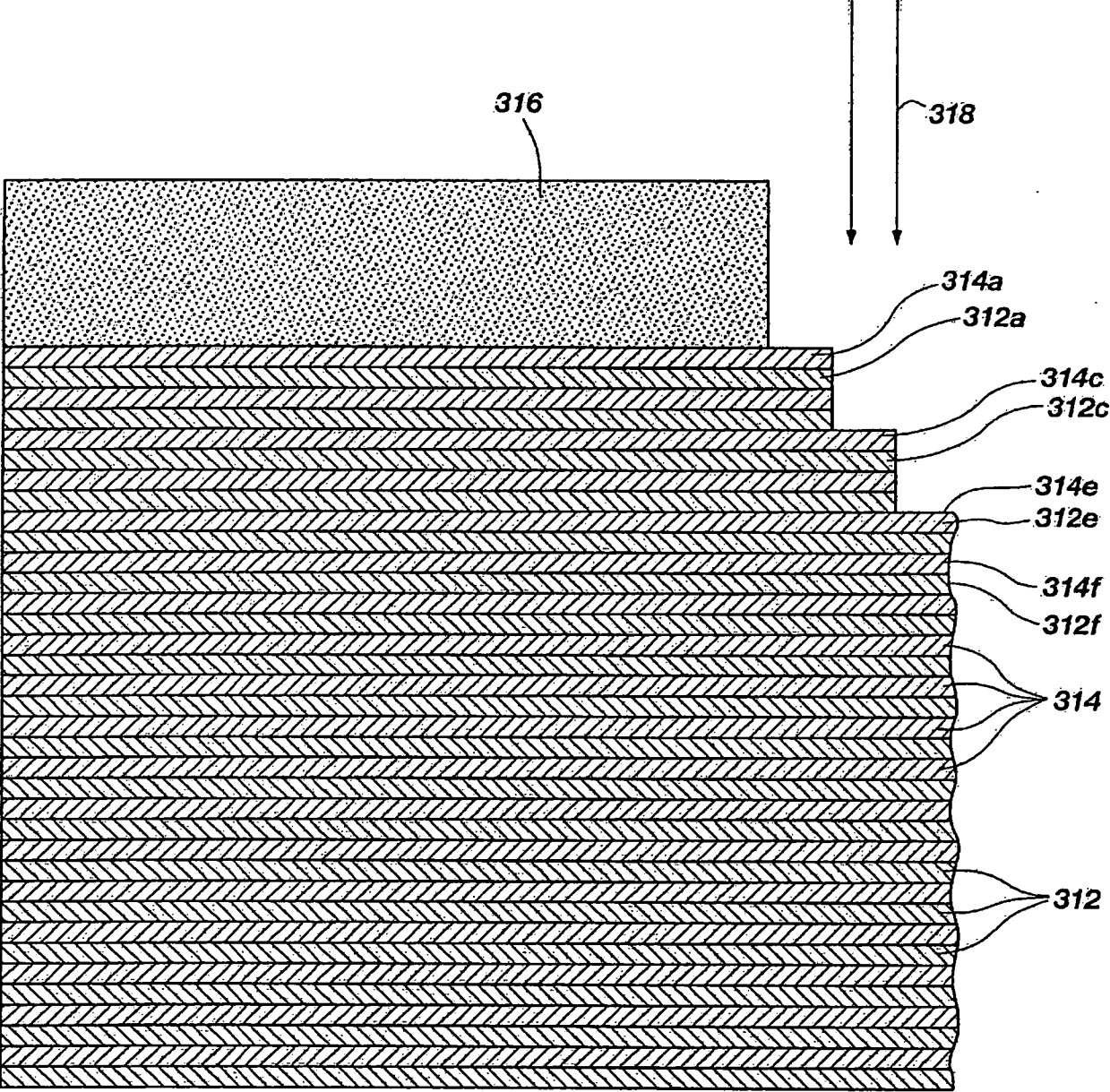


圖 17

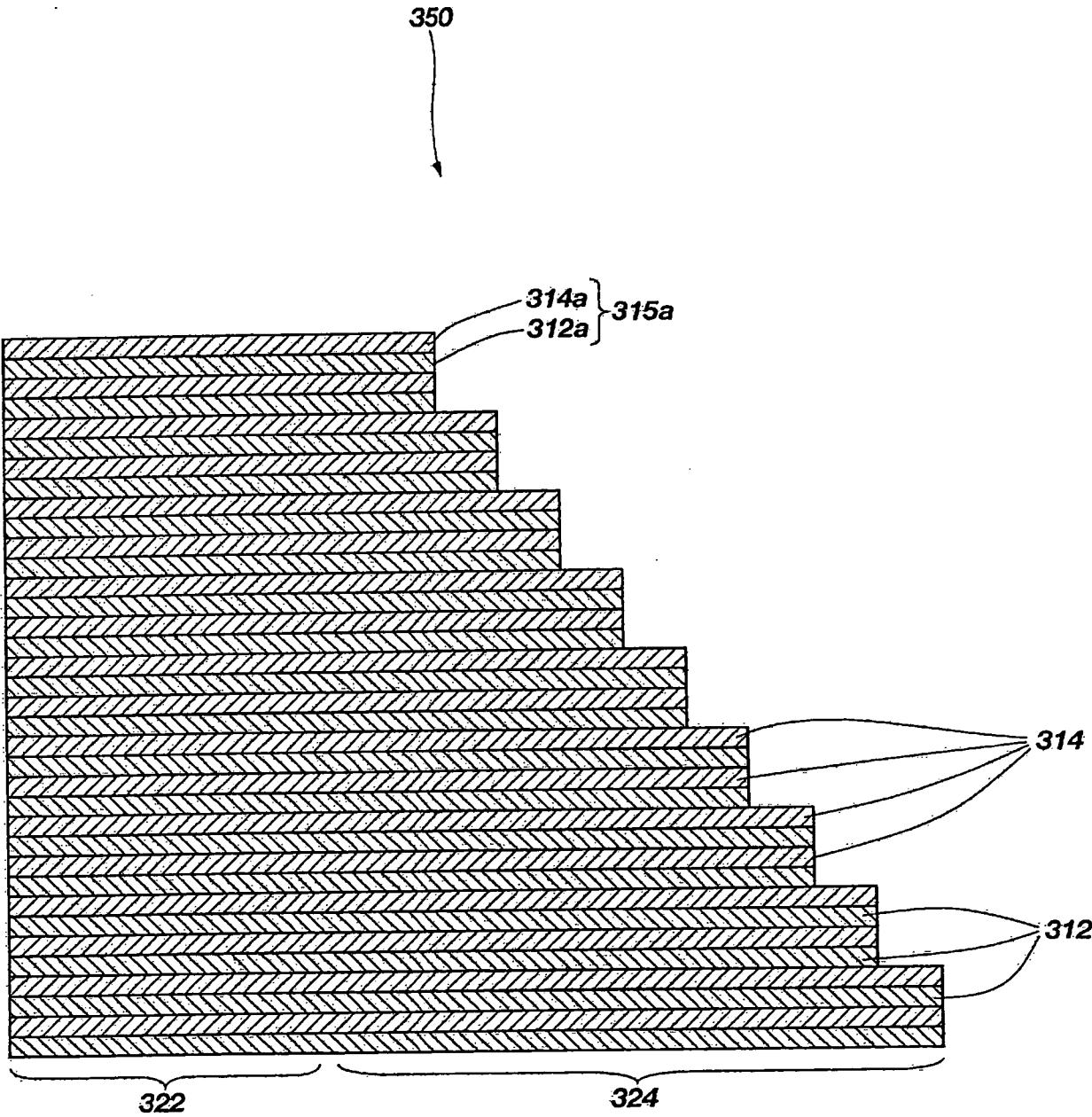


圖 18

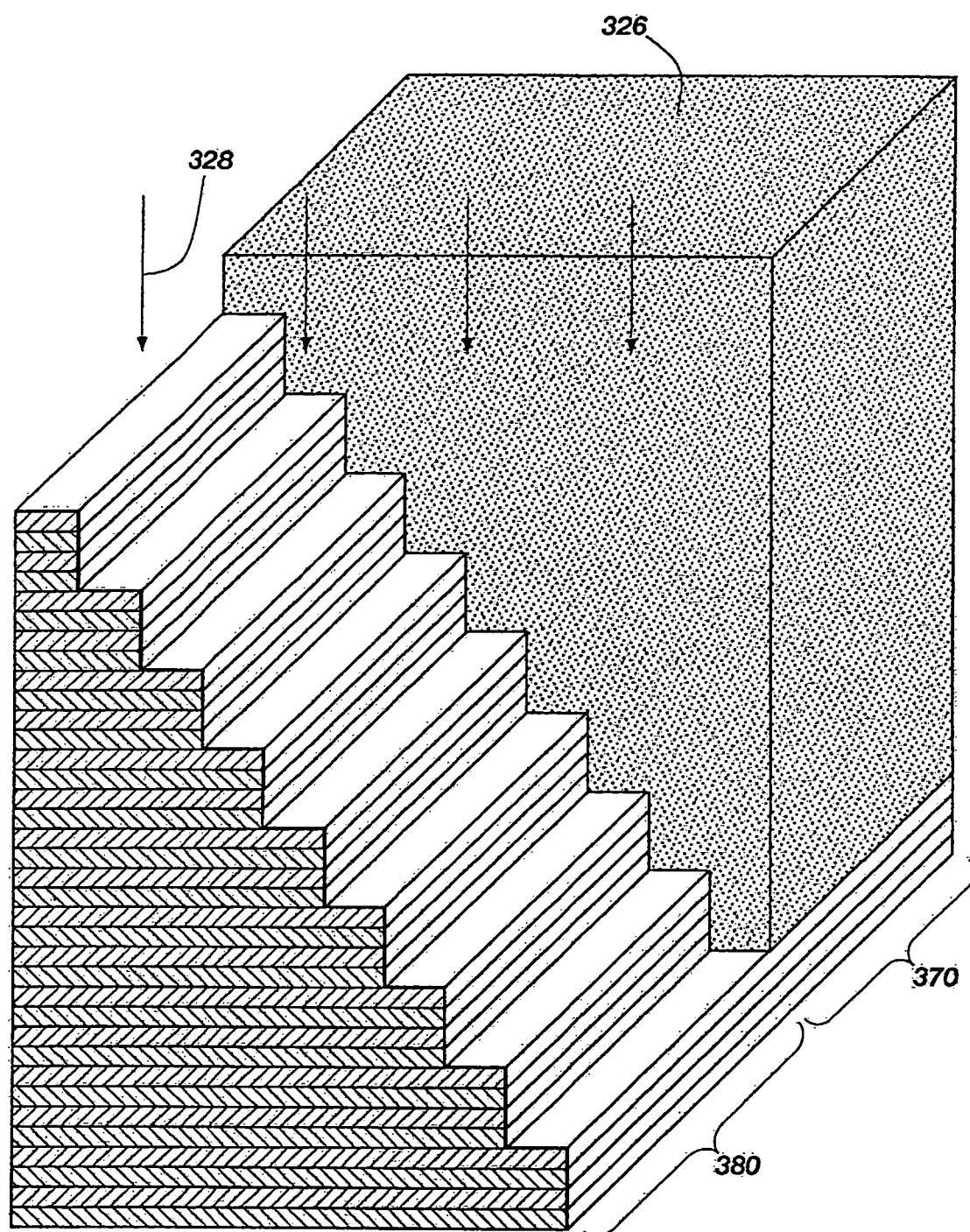


圖 19

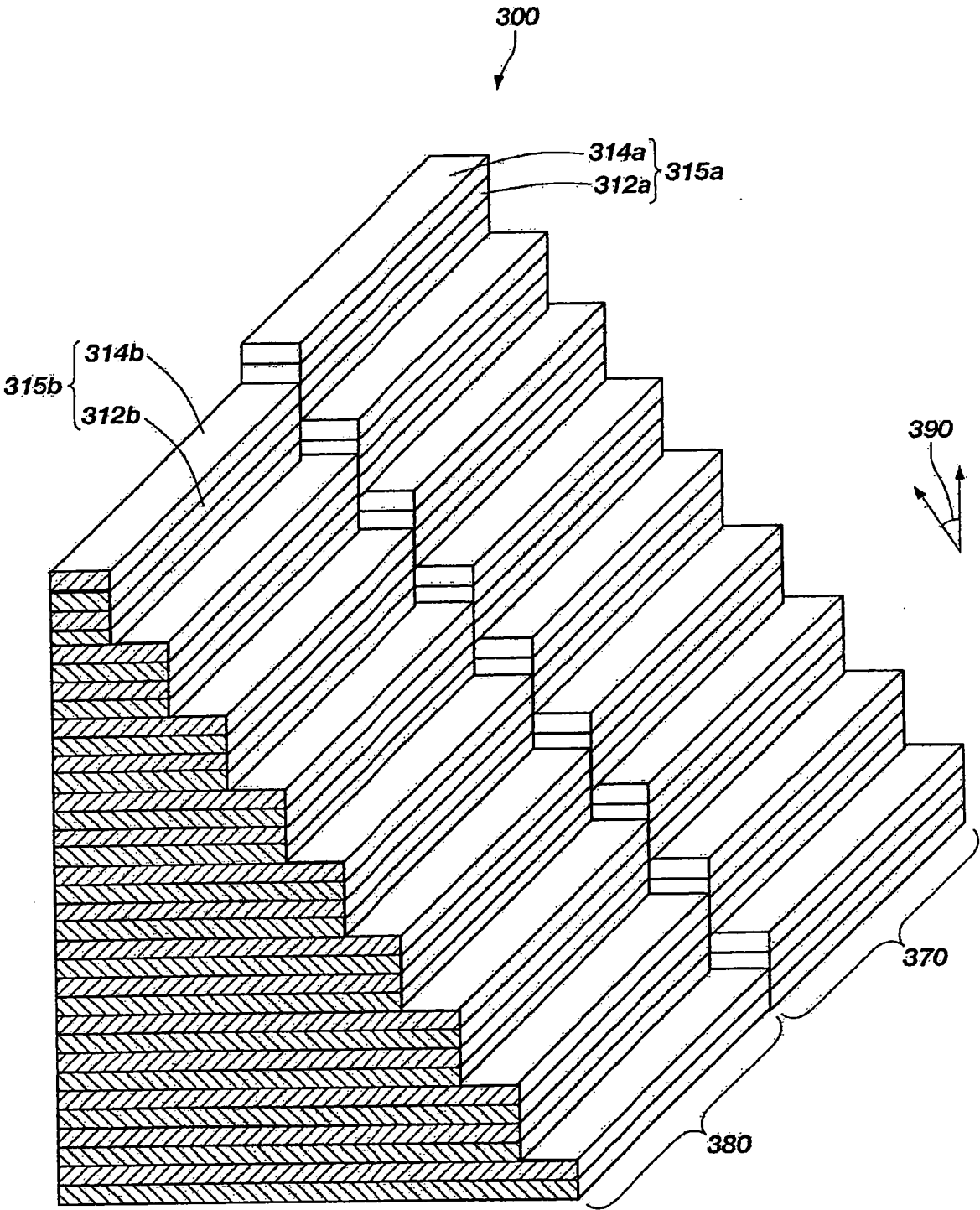


圖 20

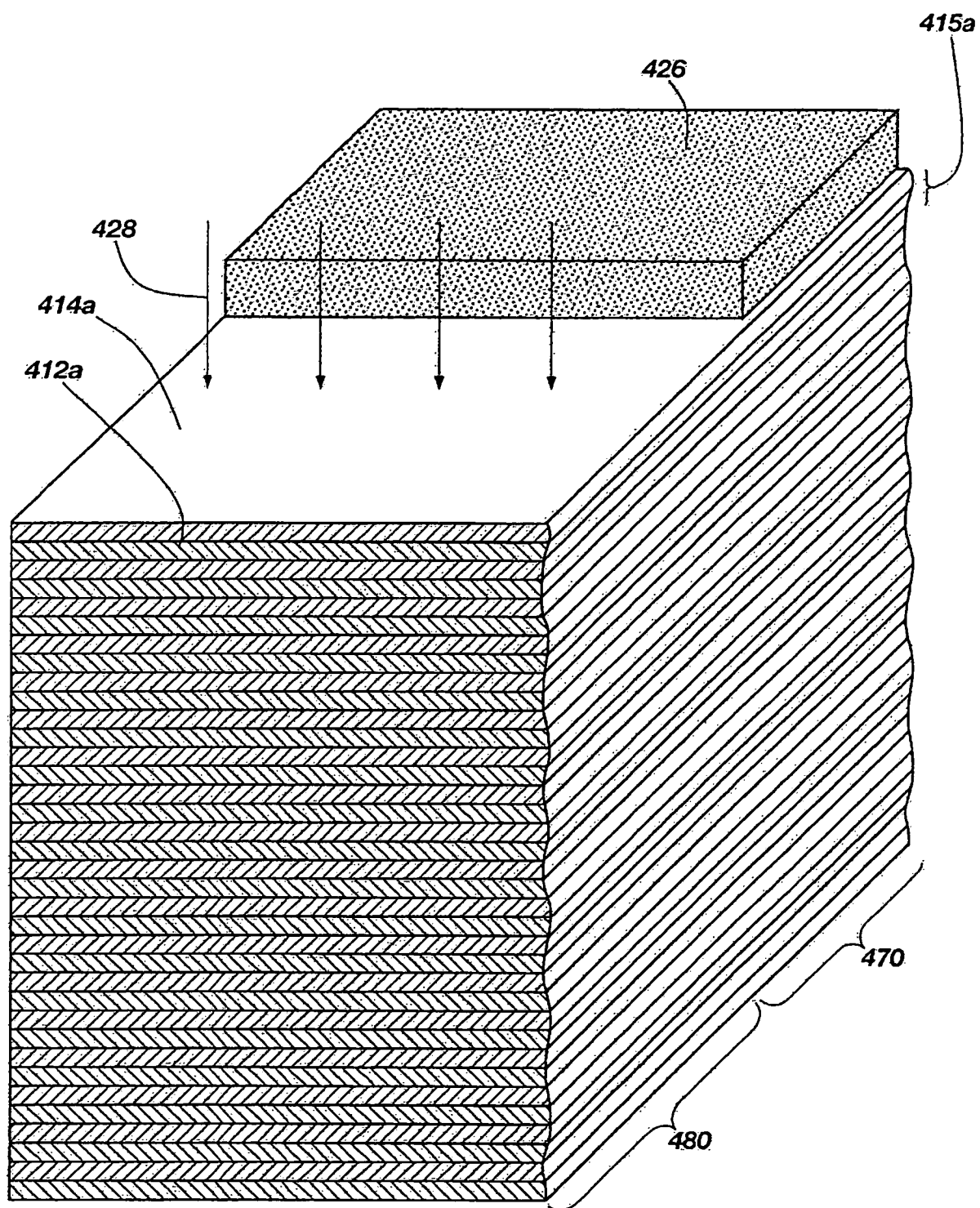


圖 21

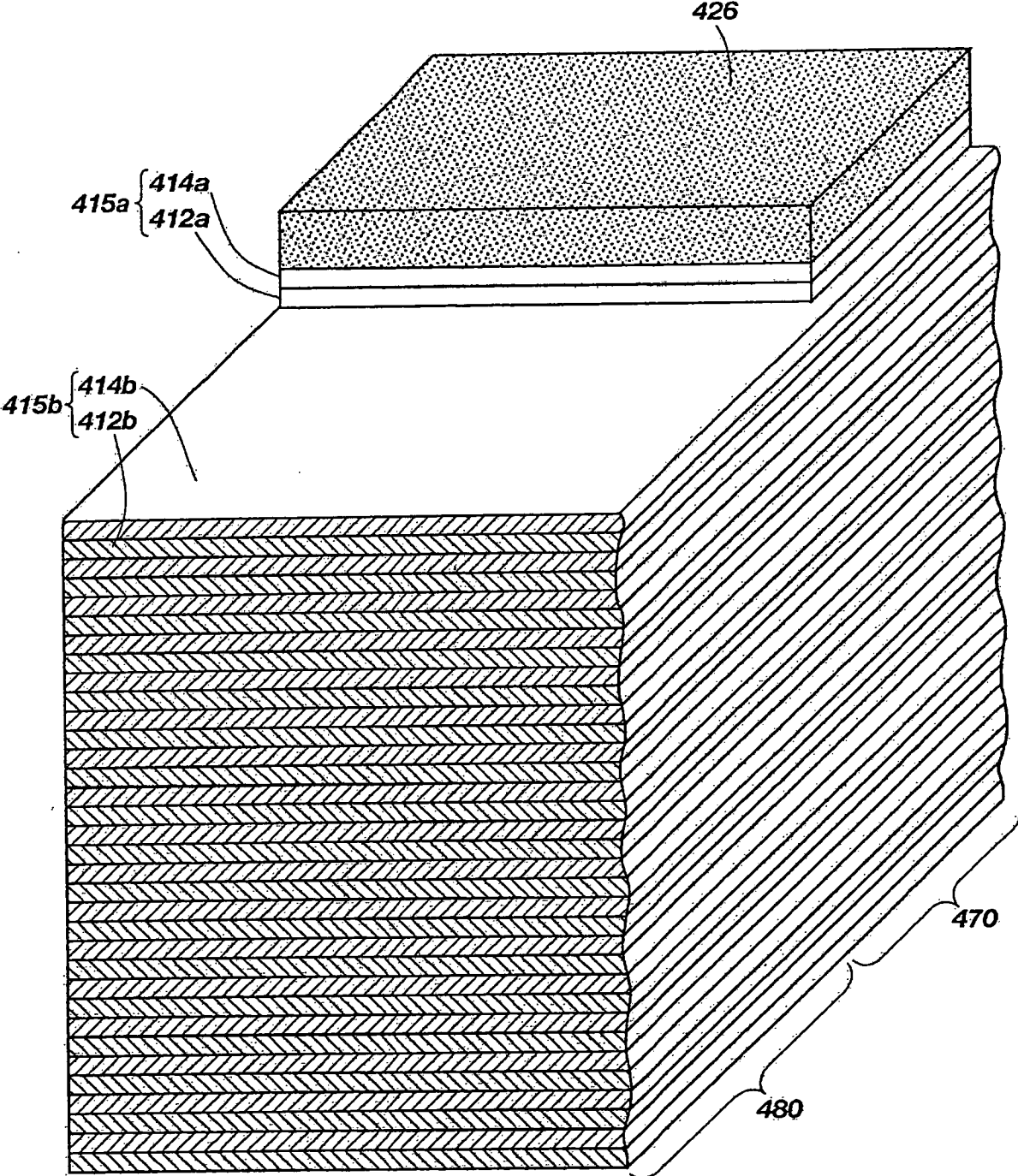


圖 22

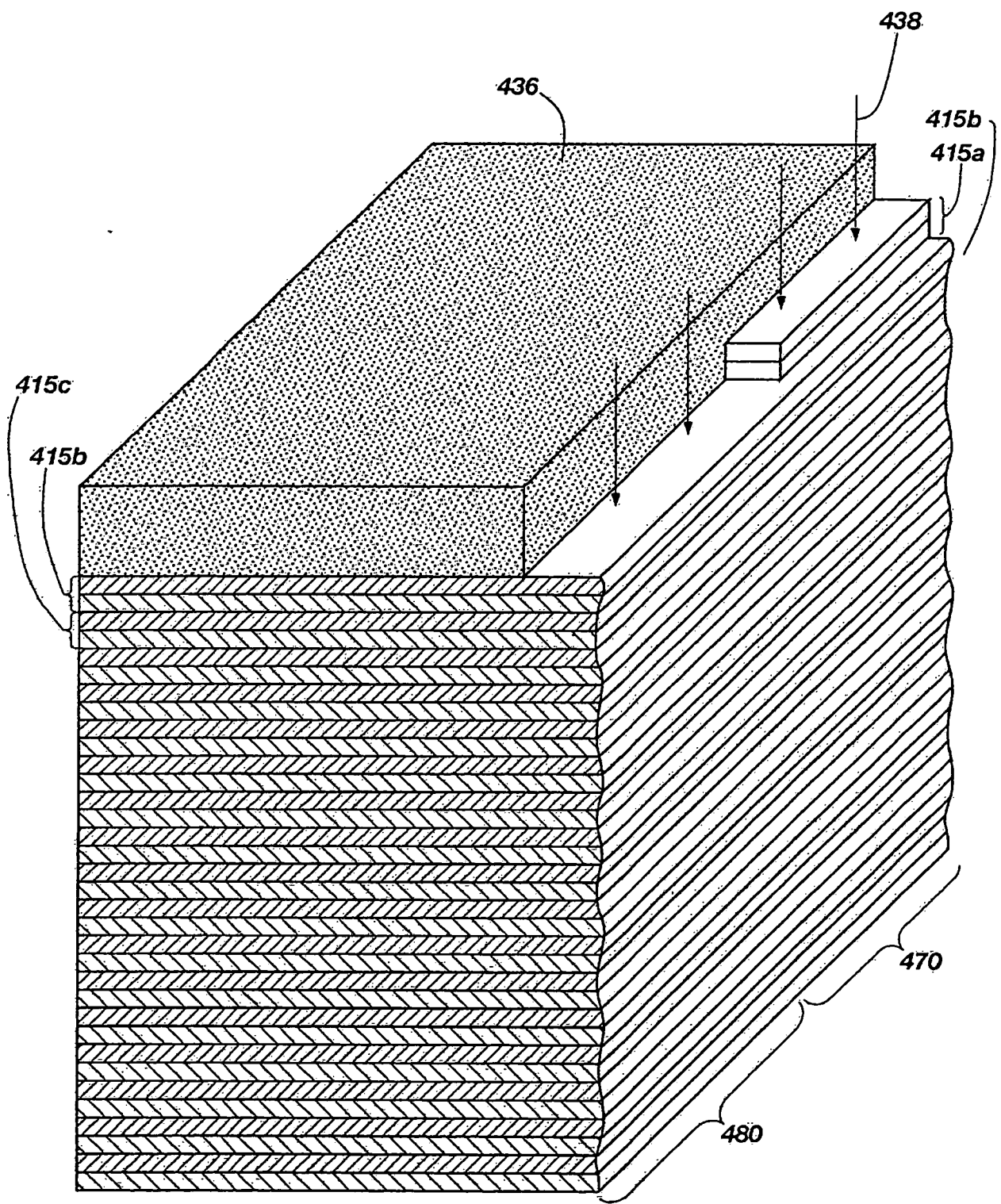


圖 23

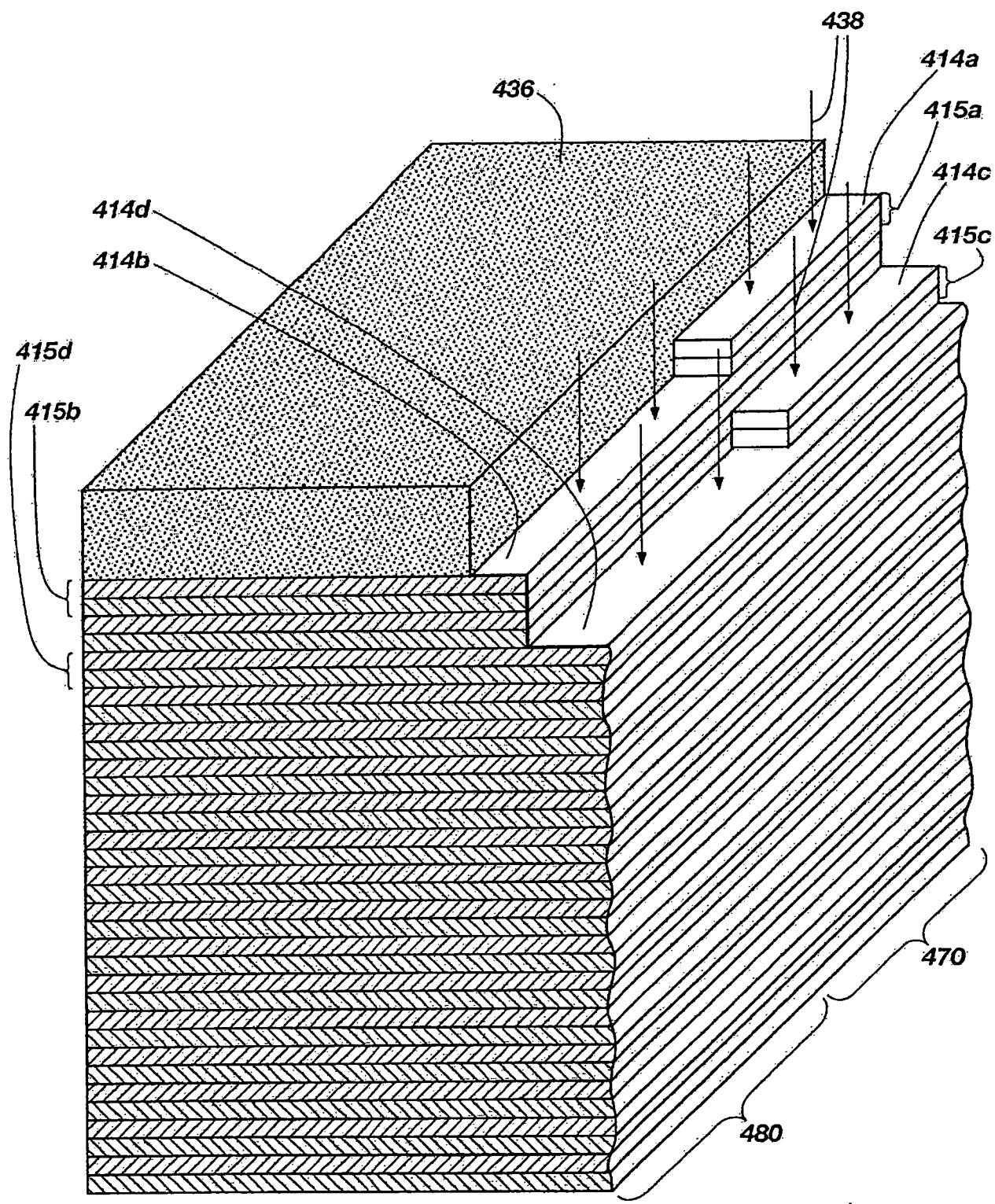


圖24

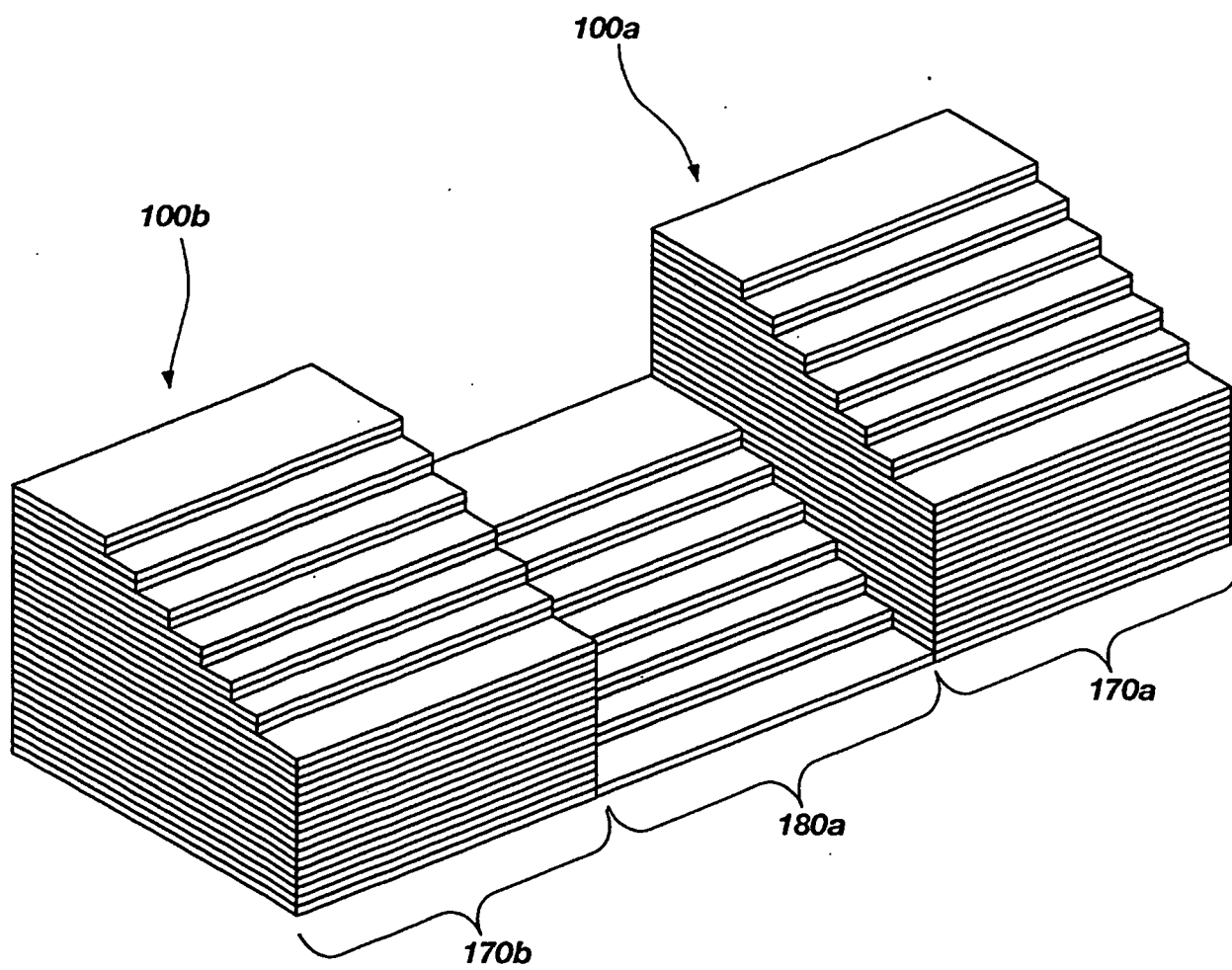


圖 25