

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/06

H01L 29/739 H01L 29/78

H01L 27/088



[12] 发明专利申请公开说明书

[21] 申请号 01817643.7

[43] 公开日 2004 年 1 月 21 日

[11] 公开号 CN 1470073A

[22] 申请日 2001.9.20 [21] 申请号 01817643.7

[30] 优先权

[32] 2000. 9. 21 [33] US [31] 60/234,219

[86] 国际申请 PCT/GB01/04211 2001. 9. 20

[87] 国际公布 WO02/25700 英 2002. 3. 28

[85] 进入国家阶段日期 2003. 4. 18

[71] 申请人 剑桥半导体有限公司

地址 英国剑桥

[72] 发明人 弗罗林·尤德瑞

吉翰·安尼尔·约瑟夫·阿玛拉汤加

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

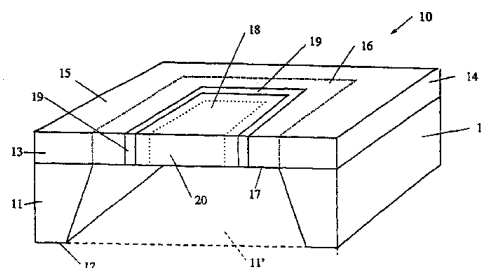
代理人 王永刚

权利要求书 4 页 说明书 26 页 附图 42 页

[54] 发明名称 半导体器件及其制作方法

[57] 摘要

功率半导体器件(10)具有包含漂移区(20)的有源区。漂移区(20)至少有部分是由上、下表面(15, 17)相对的膜片(16)提供的。在一种实施方式中,膜片(16)的上表面(15)具有直接或间接与之相连的电极,以便在漂移区(20)的横向上施加电压。在另一种实施方式中,至少有一个电极直接或间接与上表面(15)相连,且至少有一个电极直接或间接与下表面(17)相连,以便在漂移区(20)的纵向上施加电压。在每个实施方式中,膜片(16)的下表面(17)都没有与之毗连的半导体衬底。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种含有源区的功率半导体器件，其有源区包含漂移区，至少部分漂移区设在具有相对的上、下表面的膜片内，膜片的上表面有直接或间接与之连接的电极使得能够在漂移区上横向施加电压，膜片的下表面没有与之毗连的半导体衬底。

2. 一种含有源区的功率半导体器件，有源区包含的漂移区设在一层中，此层置于半导体衬底上，至少在部分漂移区下面的至少部分半导体衬底被除去，使得所述至少部分漂移区被置于下面的衬底已被除去的那部分薄层所限定的膜片内，膜片的上表面有直接或间接与之连接的电极使得能够在漂移区上横向施加电压。

3. 一种含有源区的功率半导体器件，其有源区包含漂移区，至少部分漂移区设在具有相对的上、下表面的膜片内，至少有一个电极直接或间接与上表面连接和至少有一个电极直接或间接与下表面连接，使得能够在漂移区上纵向施加电压，膜片的下表面没有与之毗连的半导体衬底。

4. 一种含有源区的功率半导体器件，有源区包含的漂移区设在一层中，此层置于半导体衬底上，至少在部分漂移区下面的至少部分半导体衬底被除去，使得所述至少部分漂移区被置于下面的衬底已被除去的那部分薄层所限定的膜片内，且至少有一个电极直接或间接与上表面连接和至少有一个电极直接或间接与下表面连接，使得能够在漂移区上纵向施加电压。

5. 根据权利要求 1-4 任一项的器件，其中漂移区只有部分设在膜片内。

6. 根据权利要求 1-4 任一项的器件，其中全部漂移区设在膜片内。

7. 根据权利要求 1-6 任一项的器件，包含至少一个包围着漂移区的隔离层。

8. 根据权利要求 7 的器件，其中至少一个隔离层设在所述膜片中或在一单独的膜片中，从膜片的上表面延伸至膜片的下表面。

9. 根据权利要求 1-8 任一项的器件, 包含至少一个包围着漂移区的隔离层, 隔离层设在膜片外。

10. 根据权利要求 7-9 任一项的器件, 其中此隔离层或至少一个隔离层由电绝缘材料来提供。

11. 根据权利要求 7-10 任一项的器件, 其中此隔离层或至少一个隔离层由高掺杂的半导体层来提供, 在使用中对半导体层加偏压以提供反偏置或低于正向偏压电平的结。

12. 根据权利要求 1-11 任一项的器件, 还包含至少一个含漂移区的附加功率器件, 至少部分漂移区设在所述膜片或独立的膜片上。

13. 根据权利要求 1-12 任一项的器件, 还包含至少一个低压器件。

14. 根据权利要求 13 的器件, 其中所述至少一个低压器件设在所述膜片内。

15. 根据权利要求 13 的器件, 其中所述至少一个低压器件设在所述膜片外。

16. 根据权利要求 15 的器件, 其中所述至少一个低压器件设在另一个膜片内。

17. 根据权利要求 12-16 任一项的器件, 包含至少一个隔离层, 所述隔离层在相邻器件间提供电隔离。

18. 根据权利要求 17 的器件, 其中所述隔离层被置于另一个膜片上。

19. 根据权利要求 1 或 2 或其任一从属权利要求的器件, 在毗邻膜片下表面处含有电绝缘导热层。

20. 根据权利要求 1 或 2 或其任一从属权利要求的器件, 其中膜片包含置于电绝缘层上的半导体层。

21. 根据权利要求 1 或 2 或其任一从属权利要求的器件, 在膜片下面含有机械增强电绝缘层。

22. 根据权利要求 1-21 任一项的器件, 其中漂移区具有非均匀的掺杂剖面。

23. 根据权利要求 22 的器件, 其中在器件高压电极侧漂移区的

掺杂浓度较高，而在器件低压电极侧漂移区的掺杂浓度较低。

24. 根据权利要求 22 或 23 的器件，其中漂移区的掺杂浓度线性地从漂移区的一侧至另一侧改变。

25. 根据权利要求 1 或 2 或其任一从属权利要求的器件，其中漂移区包含至少两个导电类型交替变化的半导体层，彼此叠置并互相接触。

26. 根据权利要求 1-24 任一项的器件，其中漂移区包含多个横向相邻的导电类型交替变化的半导体区。

27. 根据权利要求 1-24 任一项的器件，其中漂移区包含多个横向相邻的导电类型交替变化的半导体单元排列在器件平面周围。

28. 根据权利要求 1-27 任一项的器件，包含毗邻漂移区并与之接触的端区，设置所述端区来减小漂移区边缘处的过早击穿效应。

29. 根据权利要求 28 的器件，其中至少部分所述端区被置于膜片内。

30. 根据权利要求 28 的器件，其中至少部分所述端区被置于膜片外。

31. 根据权利要求 28-30 任一项的器件，其中漂移区比至少部分端区掺杂得更高。

32. 根据权利要求 28-31 任一项的器件，其中漂移区比半导体衬底掺杂得更高。

33. 一种制作功率半导体器件的方法，该器件具有含漂移区的有源区，此方法包括以下步骤：

在半导体衬底上的层中制作功率半导体器件，该器件具有含漂移区的有源区；以及

至少在部分漂移区下面的至少部分半导体衬底被除去，使得所述至少部分漂移区被置于下面的衬底已被除去的那部分薄层所限定的膜片内。

34. 根据权利要求 33 的方法，其中所述至少部分半导体衬底由湿法腐蚀来除去。

35. 根据权利要求 33 的方法, 其中所述至少部分半导体衬底由干法腐蚀来除去。

36. 根据权利要求 34 或 35 的方法, 其中所述至少部分半导体衬底用绝缘埋层作止蚀层来除去。

37. 根据权利要求 33-36 任一项的方法, 其中在制作膜片之后接着从器件背侧用注入、扩散或淀积引入至少一个半导体层。

38. 根据权利要求 33-37 任一项的方法, 其中下电极层被施加至膜片下表面, 所述下电极层与膜片内的至少一个半导体层接触。

39. 根据权利要求 33-37 任一项的方法, 包括在毗邻膜片下表面处施加电绝缘导热层的步骤。

40. 根据权利要求 39 的方法, 其中电绝缘导热层由淀积工艺来施加。

半导体器件及其制作方法

技术领域

本发明涉及到半导体器件及其制作方法。

本发明特别牵涉到在混合电路和功率集成电路中可用作分立器件的高压/功率半导体器件，并特别涉及场效应晶体管，如功率 MOSFET、绝缘栅双极晶体管（IGBTs）和其他类型的功率器件如二极管、晶体管和闸流管。

背景技术

对于用在集成电路中的器件设计，为了便于使用，主电极（不同场合称为阳极/阴极、漏极/源极和发射极/收集极）和控制极（称为栅极或基极）都布置在器件表面上是优选的。主回路的电流在主电极间流动，因而大体上是横向的。因此这样的器件典型地被称为横向器件。这样的器件常与 CMOS 型或其他标准平面型技术构成的低压器件或电路集成来制作功率集成电路。几种高压/功率器件可被集成在同一芯片中。已形成了两种主要的隔离技术，即结型隔离（JI）技术和硅/绝缘体（SOI）技术。

在 JI 技术中，用反偏结来隔离相邻的器件。然而，在许多情况下这种技术对于功率集成电路是不能令人满意的，因为可发生少子通过半导体衬底（器件的有源部分制作在其上）传导，因而难于防止相邻器件间的干扰。此外，JI 双极型器件在开态时会受到半导体衬底中储存的寄生可动少子等离子体的影响，这在关态时是必须消除的。这就急剧降低了器件的开关速度。

在 SOI 技术中，用绝缘埋层纵向隔离上面的半导体层与下面的半导体层，因此，导电主要限于上面的半导体层，在任何工作模式中，下面的半导体层中实际没有电流。在 SOI 技术中，水平或横向的隔离典型地由填以氧化物或使用熟知的 LOCOS（“硅的局部氧化”）隔

离的沟槽来提供。SOI 技术比 JI 技术提供了较好的隔离，因为绝缘埋层防止了衬底中的电流传导和形成等离子体。

高压半导体器件在器件体内加有高压结来阻挡高电压。这个结含有较低掺杂的半导体层，当器件处于关态和在电压阻断模式下工作时，这一层耐受着加在主电极间的最大部分电压。此层通称漂移区或漂移层，在这种工作模式下少子是部分或完全耗尽的。理想地，在漂移区两端间的电位是沿漂移区均匀分布的。然而，如一维泊松方程所示，对于给定的漂移区掺杂，电场分布为矩形，或当完全耗尽时为梯形的。当电场的峰值达到半导体中的临界电场时，由于电场下的区域可被近似为击穿电压，显然，对于一维结，漂移层的掺杂越低，击穿电压越高。然而，对于多子器件如 MESFET 型，熟知为 LDMOSFETs，漂移层的开态电阻反比于漂移层的掺杂。对于高压开关器件，由于低开态电阻是所希望的，随之而来的是低掺杂浓度影响器件的开态性能。此外对于横向器件，表面的临界电场低于体内，这就更增大了设计高压横向器件的困难。

对 JI 器件引入 RESURF（降低表面场效应）技术可通过使用制作在漂移区与半导体衬底间的附加纵向结来提高击穿电压。图 1a 示意地表示用 RESURF 效应的一种常规 JI 二极管。该二极管被提供作常规功率器件如横向晶体管，LDMOSFET 或 LIGBT 的部件。图 1a 也表示在电压阻断模式下的电位线分布和耗尽区边缘。可注意到，漂移层 1 是完全耗尽的，但半导体衬底 2 没有完全耗尽。随着进入衬底，电位线从纵向弯至横向，这样，在高压电极 3 下面，电位线实际上平行于衬底 2 的下表面 4。这是因为半导体衬底 2 的厚度（典型地 $300\ \mu\text{m}$ ）大于耗尽区从上表面 5 进入衬底 2 的纵向扩展（对于 600V 的器件典型地为 $60\ \mu\text{m}$ ）。因此，当器件发生击穿时，半导体衬底没有完全耗尽。已经知道，无论表面临界电场怎样减小，横向的 JI 二极管都可达到等于纵向二极管的击穿电压。而且，如图 1a 所示，尽管用 RESURF 概念优化电场分布，还是与理想情况（亦即，矩形分布）相去甚远。此外，如已述的，JI 器件有高漏电流和隔离很差的弱点，使之很难在

功率集成电路中进行集成。

图 1b 表示一种常规的 SOI 二极管，该二极管典型地作为 SOI 横向高压功率器件的部件。此结构可用熟知的晶片键合、单键合(Unibond)或 SIMOX SOI 技术来制作。也知道还有其他技术如生长在金刚石上的硅(SOD)。图 1b 也表示在电压阻断模式下的等位线分布。可以看到，电位线挤向漂移层 1 的边缘，使 RESURF 效应变差。增大氧化物埋层 6 的厚度有助于电位线在上表面 5 处更均匀地再分布。然而，一般说来，击穿电压仍低于图 1a 所示的 JI 器件或 JI 二极管。再者，在漂移层 1 和高压电极下面氧化硅绝缘埋层 6 中的电位线实际上沿水平表面排列。这是由于半导体衬底 2 没有完全耗尽。其结果是，对于 SOI 的情形，所有的电位线不得不挤入漂移层 1 和绝缘层 6 中，而且不得不排列成平行于绝缘层 6/半导体衬底 2 的界面。这就在上表面 5 处产生了电位线的不均匀分布而引起高电场峰，因而降低了击穿电压。此外，对于 SOI 器件，在半导体层 1/氧化物埋层 6 界面上面，电通量密度 $D = \epsilon E$ 的垂直分量守恒限制了在半导体层 1 中的界面处达到临界电场前，绝缘埋层 6 所能承受的最大电压。对于给定的氧化物埋层厚度，此纵向击穿对可达到的最大电压额定值产生很强的限制。

因此，总之，对于 JI 和 SOI 器件，电位线不得不从纵向弯成水平或横向，且漂移层中的电位线分布远非理想的。

而且，当用薄 SOI 技术制作的功率集成电路至少包含两个工作在不同模式的功率器件半桥结构时，工作在高侧模式的器件在开态时可受到漂移区夹断的影响。这是因为在半导体衬底中对高侧器件主电极之一产生的负高电位在漂移区中引起了高电场。

因此，显然在 SOI 技术中半导体衬底在所有工作模式中都不是钝态的，因而在电压阻断模式下半导体衬底的存在会引起电位线的不良分布，通常就会在半导体表面或氧化物埋层/半导体上部界面处因纵向击穿而引起过早的击穿。JI 方法在功率集成电路中隔离效果很差，且击穿电压虽然一般高于 SOI 器件，但仍低于所希望者。

对于用在高压或功率电子学线路中的分立器件或混合电路，主电

极纵向地置于晶片相反侧（例如，低压端在上，高压端在下）是优选的。这种器件称为纵向高压/功率器件。与横向器件相比，在主电极间流动的电流主要是纵向的，这就产生了大的载流量和较高的击穿电压。然而这样的器件难于用在集成电路中。已知的高压/功率器件实例为 DMOS 与沟槽 MOSFETs、DMOS 与沟槽 IGBTs 以及冷 MOS。

为了在开态/开关/击穿性能间进行优化折中，要求纵向器件有窄的漂移区，使在电压完全阻断时漂移区完全耗尽。对于标称 50V-1.2kV 的器件，这样一层的厚度可为 $6\mu\text{m}$ - $180\mu\text{m}$ 。通常漂移层置于高掺杂的半导体衬底上。然而半导体衬底对器件的一般性能产生了一系列的负面影响。首先，它引入了寄生电阻，使开态功耗增大。其次，对于阳极注入的双极型器件如 IGBTs，由于衬底掺杂浓度高，以减小衬底电阻的功耗，从作为器件阳极（发射极）的衬底来注入在大多数情形下是过强了，从而在开态时因有大量的等离子体储存在漂移区内，导致高的瞬态开关损失和慢关断。第三，衬底引入了热阻，妨碍了向置于器件底部的外部热沉有效地散热。最后，如果纵向器件用于集成电路，厚半导体衬底的存在使相邻器件间很难隔离。

已有许多现成的建议来提高半导体器件的击穿电压，尤其是功率半导体器件。许多实例揭示在 US-A-5241210，US-A-5373183，US-A-5378920，US-A-5430316，US-A-5434444，US-A-5463243，US-A-5468982，US-A-5631491，US-A-6040617，和 US-A-6069396 中。然而，这些现有的技术建议中没有一个能考虑到漂移区中的电位线来解决提高击穿电压的问题。

在 WO-A-98/32009 中揭示了一种气敏器件。气敏层制作在用来为其加热的 MOSFET 加热器上。制作器件的衬底在敏感区由背侧腐蚀而制成膜片。应注意，MOSFET 加热器为低压器件（其本身没有漂移区），而且，膜片只制作在 MOSFET 加热器下面以便于将敏感区加热至很高的温度而不影响器件中的电场或电位线。

US-A-5895972 揭示了一种在器件开发的检测和调试期间冷却半导体器件的方法和设备。代替常规的加热条如铜，将透红外材料的加

热条装在器件中。金刚石加热条被揭示为优选的。US-A-5895972 揭示，在将透红外的加热条加入器件前可将制作器件的衬底减薄。衬底减薄的目的是减少用红外线束对器件进行光学检测和调试时的透射损失。没有讨论使用加热条的半导体器件类型，也没有揭示器件是否为具有漂移区的功率器件。而且，如同所述，衬底减薄的目的和使用加热条只是为了便于用光学检测和调试来测试器件。这个过程是在器件开发期间进行的。在器件正常工作时不使用加热条。

对使用所谓膜片的半导体器件已有许多现有技术的建议。一些实例包括 US-A-5420458，WO-A-94/22167，US-A-3689992 和 US-A-6008126。在这些现有技术建议中，每一个的半导体器件都不是功率器件，因而没有漂移区。对于每一种情形，都使用膜片来提供集成电路中半导体器件间的隔离或半导体器件中各个区域间的隔离，和/或消除或减少寄生电容耦合。对于每一种情形，由于都是低压器件，击穿电压实际上不受膜片结构的影响。

发明内容

根据本发明的第一方面，提供了一种具有有源区的功率半导体器件，有源区含有漂移区，至少有一部分漂移区被置于上、下表面相对的膜片中，膜片的上表面有直接或间接与之连接的电极，可为漂移区施加横向电压，膜片的下表面没有与之毗连的半导体衬底。

根据本发明的第二方面，提供了一种具有有源区的功率半导体器件，有源区所含的漂移区被置于设在半导体衬底上的某一层中，至少一部分漂移区下面的半导体衬底，至少有一部分被除去，使得所述至少一部分漂移区被置于下面的半导体衬底已被除去的那部分薄层所界定的膜片中，膜片的上表面有直接或间接与之连接的电极，可为漂移区施加横向电压。

根据本发明的第三方面，提供了一种具有有源区的功率半导体器件，有源区含有漂移区，至少有一部分漂移区被置于上、下表面相对的膜片中，至少有一个电极直接或间接与上表面相连，且至少有一个电极直接或间接与下表面相连，使能对漂移区纵向施加电压，膜片的

下表面没有与之毗连的半导体衬底。

根据本发明的第四方面，提供了一种具有有源区的功率半导体器件，有源区所含的漂移区被置于设在半导体衬底上的某一层中，至少一部分漂移区下面的半导体衬底，至少有一部分被除去，使得所述至少一部分漂移区被置于下面的半导体衬底已被除去的那部分薄层所界定的膜片中，至少有一个电极直接或间接与上表面相连，且至少有一个电极直接或间接与下表面相连，使能对漂移区纵向施加电压。

当在器件的电极上施加电压时，所述至少一部分漂移区可动荷载流子完全或基本完全耗尽。在本发明的第一和第二方面中，在所述至少一部分漂移区中的电位线基本上垂直于膜片的上、下表面，且基本上横向地均匀散布在所述至少一部分漂移区中。这就导致了可接近理想的或理论极限的较高击穿电压。在第三和第四方面中，在所述至少一部分漂移区中的电位线基本上平行于膜片的上、下表面，且在所述至少一部分漂移区中基本上纵向均匀间隔的。

这样，在优选的实施方式中，在横向器件的至少一部分耗尽区下面没有半导体衬底，由于在功率器件的漂移区中有更合适的电场和电位分布而导致了提高击穿性能。对于纵向器件，没有半导体衬底可形成薄的漂移区，并消除了寄生效应如寄生串联电阻和衬底热阻。

功率器件典型地工作在 30V-1.2kV 的电压和 100mA-50A 的电流范围。其应用范围可从民用器具、电动汽车、马达控制和电源至 RF 和微波电路以及远距离通讯系统。

要知道，“上面”和“下面”、“以上”和“以下”、以及“横向”和“纵向”各词都是按照惯例用在本说明书中的，不是器件总体上特定的实际方向。

本发明所谓的膜片功率器件可有许多不同的类型，包括例如二极管、晶体管、闸流管、MOS 可控器件如 MOSFET、绝缘栅双极晶体管（IGBT）、双栅器件等。

在下面还要讨论的优选实施方式中，提供了一种具有高击穿电压值并伴有良好的隔离和降低自发热的高压、功率器件。

其构造可以是这样的，即只有一部分漂移区设在膜片以内。

对于第一和第二方面，只有一部分漂移区设在膜片以内，优选地将漂移区的高压电极端也包含在膜片中；漂移区的其余部分，包括低压电极端，可留在膜片以外。

对于第三和第四方面，器件边缘端可置于膜片以外，而包含部分漂移区的有源区被置于膜片以内。

对于任何方面，全部漂移区都可设在膜片以内。

至少可有一个绝缘层包围着漂移区。此至少一个绝缘层可置于所述的膜片内或在一单独的膜片中，使之从膜片的上表面扩展至膜片的下表面。

至少可有一个绝缘层包围着漂移区，并被置于膜片以外。

这个或至少一个绝缘层可由电绝缘材料来提供。这个或至少一个绝缘层也可由高掺杂的半导体层来提供，在使用时对半导体层加偏压以提供一反偏结或低于正向偏压电平的偏置结。

可至少再配置一个功率器件，其漂移区至少有一部分设在所述膜片上或在一单独的膜片上。此单独的膜片最好制作在同一原始衬底上，并最好在器件中制作此膜片或其他各膜片的同一步骤中完成。

可配置至少一种低压器件。所述至少一种低压器件可置于所述膜片以内。作为选择，也可将所述至少一种低压器件置于所述膜片以外。对于这种情形，也可将所述至少一种低压器件置于另一个膜片中，所述另一个膜片最好制作在同一原始衬底上，并最好在器件中制作其他膜片的同一步骤中完成。无论对于哪种情形，这种结构都提供了一种功率集成电路。这种或各种低压器件可为，例如，双极型或 CMOS 电路。这样的低压功率器件可构成驱动、保护或处理电路。在下面讨论的优选实施方式中，膜片功率器件在纵向和横向上都与这样的低压器件很好地隔离。纵向隔离是借助于在功率器件有源区下面没有寄生衬底来达到的。横向隔离，如上面简述者，可由一个或多个隔离层来达到，隔离层最好设在膜片中从其上表面至下表面，也可设在膜片以外。

在相邻器件间至少可有一个隔离层来提供电隔离。所述隔离层可

置于另一个膜片中，所述另一个膜片最好制作在同一原始衬底上，并最好在器件中制作此膜片或其他各膜片的同一步骤中完成。

在本发明的第一和第二方面中，在毗邻近膜片下表面处器件可包含电绝缘的导热层。电绝缘的导热层用来帮助散去功率器件工作时产生的大部分热量，否则这部分热量会陷在膜片中。此层可由任何合适的材料如多晶金刚石、无定形金刚石、氮化硼、氧化铝等制成。这种材料最好用溅射或化学汽相沉积或任何其他合适的技术盲沉积（blank deposition）为一层。此层可完全填充膜片下的空间，或可在膜片下制成沿着衬底任何余下部分的侧壁和下表面的薄层。此层最好与热沉热接触。

在第三和第四方面中，下电极可为导电和导热的。下电极可由金属或多种金属如铝、铜等联合制成。下电极可填充膜片下的空间。在优选的实施方式中，下电极被制成薄膜，它在膜片下沿着衬底余下部分的向下侧壁和器件的主下表面下面。这一层最好与外部的热沉热接触。作为选择，多个下电极可以彼此绝缘的薄层形式置于一个或多个单独的膜片底部。

膜片可包含置于电绝缘层上的半导体层。此电绝缘层可为氧化层，如在熟知的 SOI 技术中制作者。在腐蚀掉衬底来制作膜片处，这样的氧化层通常作为止蚀层来帮助制作膜片。在第三和第四方面中，这一层被除去以提供通道使电极层制作在下表面上。

在第一和第二方面中，器件可在膜片下包含机械增强电绝缘层。此机械增强电绝缘层对膜片提供结构支撑，也起着使膜片破裂的风险减至最小的作用。

对于任何方面，漂移区都可具有非均匀的掺杂分布。这有助于确保漂移区中的电位线基本上均匀地散布在漂移区中。这就导致了可接近理想的或理论极限的较高击穿电压。在器件高压电极侧漂移区的掺杂浓度最好较高，而在器件低压电极侧漂移区的掺杂浓度最好较低。漂移区的掺杂浓度可从一侧至另一侧线性地变化。这就起着进一步改进器件击穿值的作用。

在第一和第二方面中，漂移区可包含至少两个导电类型交替的半导体层，一个置于另一个上面并彼此接触。在使用中，这两个或多个导电类型交替的半导体层在纵向上提供了半导体结，当器件电极上施加电压时，可使漂移区的可动荷电载流子完全耗尽。这又有助于确保在所述至少一部分漂移区中的电位线基本上垂直于膜片的上、下表面，且基本上在所述至少一部分漂移区中横向均匀地散布。这就导致了可接近理想的或理论极限的较高击穿电压。

对于任何方面，漂移区可包含多个横向相邻的导电类型交替的半导体区。这些横向相邻的导电类型交替的半导体区在器件的“z”方向形成了多个横向结，这又有助于确保所述至少一部分漂移区中的电位线基本上均匀地散布在所述至少一部分漂移区中。这就导致了接近理想的或理论极限的较高击穿电压。

对于任何方面，漂移区可包含多个横向相邻的导电类型交替的半导体单元，排列在器件平面周围。这些单元可排列成规则的或不规则的图形。无论哪种排列又都有助于确保所述至少一部分漂移区中的电位线基本上均匀地散布在所述至少一部分漂移区中。这就导致了可接近理想的或理论极限的较高击穿电压。

器件可包含毗邻漂移区并与之接触的端区，设置所述端区来减弱漂移区边缘的过早击穿效应。至少所述端区的一部分可置于膜片以内。至少所述端区的一部分也可置于膜片以外和任何半导体衬底之上。漂移区可比至少一部分端区掺杂得更高。漂移区也可比半导体衬底掺杂得更高。

根据本发明的第五方面，提供了一种有源区含有漂移区的功率半导体器件制作方法，此方法包括以下步骤：在置于半导体衬底上的一层中制作有源区含有漂移区的功率半导体器件；并在至少一部分漂移区下面除去至少一部分半导体衬底，使得所述至少一部分漂移区被置于下面的半导体衬底已被除去的那部分薄层所界定的膜片以内。

除去衬底作为器件制作工艺过程的最后步骤或最后步骤之一是优选的。这样，在器件制作过程中衬底尽量为器件提供了支撑。

所述至少一部分半导体衬底可用湿法腐蚀来除去。

所述至少一部分半导体衬底也可用干法腐蚀来除去。

所述至少一部分半导体衬底也可用隔离埋层作为止蚀层来除去。
此埋层可为部分的硅/绝缘体 (SOI) 结构。

可在制作膜片后从器件背面用注入、扩散或淀积引入至少一个半导体层。

可在膜片底部施加下电极层, 所述下电极层与膜片中的至少一个半导体层接触。

此方法还可包括在毗邻近膜片下表面处施加电绝缘导热层。此电绝缘导热层可用淀积工艺过程 (最好为盲淀积) 来制作。

作为选择, 此方法可包括制作导电的导热层的步骤, 该层起着与膜片下表面毗连的电极 (端子) 的作用。所述层可用盲淀积来制作。

在制作器件和上述的方法中, 一种或多种双极型、CMOS、Bi-CMOS、DMOS、SOI、沟槽技术或已知的电路制作步骤都可使用。

在上述的器件和方法中, 漂移区可至少包含硅、碳化硅、金刚石、氮化镓和砷化镓材料之一。

这里所提供的至少一个隔离层可包含二氧化硅、氮化物、金刚石、氧化铝、氮化铝和氮化硼材料之一。

附图说明

现在将参照附图通过实例来描述本发明的各种实施方式, 其中:

图 1a 为现有技术的 JI 功率二极管的示意剖面图;

图 1b 为现有技术的 SOI 功率二极管的示意剖面图;

图 2a 为本发明第一种器件实例的示意透视图;

图 2b 为本发明第二种器件实例的示意透视图;

图 3 为本发明另一种器件实例的示意剖面图, 图中说明了电位线;

图 4-43 为本发明更多器件实例的示意剖面图或透视图。

具体实施方式

现在参见图 2a 和 2b, 本发明的膜片功率半导体器件 10 的第一和第二个实例, 每个都有半导体衬底 11, 其下表面 12 形成了器件 10 的

主下表面。在衬底 11 上制作第一薄层 13, 在这些实例中第一薄层 13 都包含半导体层 14, 其上表面 15 形成了器件 10 的主上表面 5。原来完整的衬底 11 在图 2a 和 2b 中用虚线表示。在制作期间, 衬底 11 在薄层 13 下面的一部分 11' 被完全除去直至达到薄层 13, 以在薄层 13 下面留下一个没有衬底的区域, 这个区域在这里称为膜片 16 (实线和虚线内所示)。衬底 11 的余下部分构成撑脚。膜片 16 具有下表面 17。在这些实例中, 功率器件 10 的有源结构 18 (由虚线所示) 被完全设置在膜片 16 以内。在图 2a 的实例中, 有源结构 18 由隔离层 19 与其他器件或电路隔离, 隔离层 19 制作在上表面 15 和下表面 17 之间的膜片 16 中, 使之包围着功率器件 10 的有源结构 18。在图 2b 的实例中, 隔离层 19 设在膜片 16 以外的薄层 13 中, 使之包围着功率器件 10 的有源结构 18。在图 2a 和 2b 的实例中, 功率器件 10 含有漂移层 20, 它被置于第一薄层 13 内的半导体层 14 中, 且完全在膜片 16 以内。漂移层 20 在功率器件关闭和阻断主电极上的电压时, 承受着功率器件 10 主电极所加的高压。在这样的工作模式下, 漂移层 20 变为可动载流子部分地或理想地完全耗尽。根据本发明的一种实施方式, 如果主电极设在器件的上表面 15 上且在膜片 16 以内, 在沿漂移层的器件剖面内, 等位线实际上垂直于主上表面 15 和膜片下表面 17。根据本发明的另一种实施方式, 如果第一主电极设在器件的上表面 15 上且在膜片 16 以内, 第二主电极设在毗邻膜片底部且在膜片 16 以内, 电位线实际上平行于上、下表面 15、17。

将除去衬底的一部分 11' 作为最后的或最后之一的制作步骤是优选的, 尤其是在薄层 13 内或之上制作了全部或基本上全部结构之后, 使得在这些制作步骤期间整个衬底可支撑全部薄层 13。

这里值得指出的是现有技术的高压器件, 如常规结型隔离 (JI) 或硅/绝缘体 (SOI) 隔离高压器件与本发明膜片功率器件的二维电位分布的差别。在图 1a 和 1b 中可以看到, 对于常规器件, 电位线实际上垂直于上表面 5, 但随着降入器件体内, 电位线排列成平行于衬底下表面 4。这样的电位线分布可导致过早的击穿。图 3a 和 3b 表示在

本发明的一个简单功率器件结构的实例中电位线的二维分布，该功率器件结构是由一个单高压结构构成的。在图 3a 的实例中，主电极 23 设在上表面 15 上，且为了简单起见漂移区 20 只含有一个半导体层，它比 p+阳极区 21 和 n+阴极区 22 掺杂得更低。在电压阻断模式下和发生击穿前此漂移区变为完全耗尽的。参见图 3a，与图 1a 和图 1b 相比，可以看到电位线垂直于或接近垂直于膜片 16 的上表面 15 和下表面 17，且在漂移区 20 内从阳极区 21 至阴极区 22 基本上均匀分布，使得击穿电压值接近其理想极限。在图 3b 的实例中，主电极 23 分别在上表面 15 和下表面 17 上，使得电位线平行于或接近平行于上表面 15 和下表面 17，且在漂移区 20 内从阳极区 21 至阴极区 22 基本上均匀分布，使得对于给定的漂移层 29 的厚度击穿电压为理想值。

本发明的高压功率器件优选实施方式，在实现隔离的方法上也不同于现有技术的器件。在优选的膜片功率器件中的隔离，在纵向上是通过在膜片功率器件 10 的有源结构 18 下面没有衬底的理想方式来实现的，而在横向上是通过使用包围着功率器件 10 有源结构 18 的隔离层 19 来实现的。

这里提供的隔离层 19 可为高掺杂半导体层的形式，该半导体层与所配合的电压连接，使得与所述隔离层相关联的所有结都是反偏置或零偏置的。在这种情形下，隔离层起着有效导电垒的作用。图 4a 和 4b 每个都表示一个膜片功率器件 10 的实例，器件具有从上表面 15 扩展至下表面 17 并包围着有源结构 18 的 p+隔离层 19。p+隔离层 19 接地，在这些实例中接地被假定为在功率集成电路中可采用的最低电位。在图 4a 的实例中，隔离层 19 置于膜片 16 以内。在图 4b 的实例中，隔离层 19 置于膜片 16 以外。

隔离层可选择为绝缘层如氧化硅，也可为沟槽或 LOCOS 层的形式。还有一种代替方法，隔离层可由沟槽填以氧化物和多晶硅的夹层结构而成。也可使用其他隔离材料。另一种代替是使用空气隙（所谓的“MESA”或“沟槽”隔离）。

在同一膜片 16 中可使用几种隔离层来分隔多个置于同一膜片 16

中的功率器件 10，或将双极型或 CMOS 型低压器件与功率器件 10 隔开。参见图 5a，此处所示为四个置于同一膜片 16 中的这样的功率器件 10 的实例，这些功率器件 10 由设在膜片 16 中的隔离层彼此隔离。参见图 5b，此处所示为一实例的俯视图，在此实例中四个功率器件 10 置于各自分开的膜片 16 中，并由设在膜片 16 以外的隔离层彼此隔离。参见图 6a，此处所示为功率集成电路 40 的二维剖面图，功率集成电路 40 含有一个膜片功率器件 10 及置于膜片 16 以外的 CMOS 和双极型器件 41。作为选择，CMOS 和双极型器件 41 也可与功率器件 10 一起置于膜片 16 中如图 6b 所示，或是置于制作在同一原始衬底 11 的不同膜片 16 上，如图 6c 所示。图 6d 的实例不同于图 6c 者，其隔离层 19 设在膜片 16 以外。显然，使用膜片 16 和隔离层 19 可以很有效地在功率器件 10 与低压电路 41 间以及在相邻功率器件 10 间进行电隔离。

现在参见图 7，在此实例中考虑将所有电极都设在上表面 15 上，在毗邻膜片 16 的下表面 17 处设有电绝缘但又有较高热导的一层 45，在功率器件 10 工作时这有助于散去大部分的热量，否则这部分热量会陷在膜片 16 中。在优选的实施方式中，这一层 45 可在半导体衬底 11 进行单背侧腐蚀后再制作，并可由盲淀积高热导介电材料的方式来实现。这样的材料，例如，可以金刚石为基础。其他材料，如氮化硼、氮化铝和氧化铝也可使用。如图 8 所示，绝缘层 45 可填充衬底 11 中因制作膜片而留下的全部空隙。无论哪种情形，热沉 46 可与绝缘层 45 热接触以便散热。

如图 9a 和 9b 所示，第一薄层 13 可包含薄绝缘层 50，其底部有效地成为膜片的下表面 17，且至少一个半导体层 51 被置于薄绝缘层 50 上面，这就是所知的，例如，现代的硅/绝缘体（SOI）技术。在此情形下，一种 SOI 技术如键合的硅、SIMOX 或单键合可用于制作功率集成电路。作为选择，可使用硅或金刚石。作为高压 SOI 工艺过程的最终步骤之一，如上述实例中那样，在绝缘埋层 50 下面的半导体衬底 11，可经过常规的刻图形用单背侧腐蚀来部分地除去。在此实例中，

绝缘埋层 50 对制作膜片 16 有效地起着止蚀作用。重要的是，当主电极设在膜片 16 以内的上表面 15 上时，绝缘埋层 50 也有助于电位线在漂移层 20 内的均匀分布，使得膜片功率器件 10 的击穿电压将接近其理想值。在图 9a 的实例中，隔离层 19 设在膜片 16 以内。在图 9b 的实例中，隔离层 19 设在膜片 16 以外。

再者，具有较高热导的绝缘层 45 可制作在膜片 16 下面如图 10 和 11 所示，以有助于对衬底 11 的横向散热和直接对外部热沉 46 散热。在图 10a 和 11a 的实例中，隔离层 19 设在膜片 16 以内，而在图 10b 和 11b 的实例中，隔离层 19 设在膜片 16 以外。

在图 12 所示的实例中，在膜片 16 区域中的绝缘埋层 50 与电绝缘导热层 45 之间，还有一增强机械性能的电绝缘层 55，以强化膜片 16 的结构，有助于使膜片 16 机械破裂的风险减至最小。此附加的绝缘层也可有助于补偿膜片 16 总的机械强度，也可增强电绝缘导热层 45 与绝缘埋层 50 的粘附。在此说明书所描述的任何其他没有绝缘埋层的实例中将会看到，此机械增强层 55 也可置于膜片 16 下面，这样的安排提高了结构的电钝化性能和/或机械性能，尤其是抗破裂能力。几种这样的机械增强绝缘层可淀积在膜片 16 的背侧以增强散热、电钝化和/或机械强化膜片 16，和/或起着在一层与另一层间达到良好粘附的缓冲层作用。绝缘层 21 和缓冲层可为氮化物、氧化物、无定形材料或多晶材料。

在图 13a-13c 所示的实例中，当器件的主电极设在膜片 16 以内的上表面 15 上时，对于每一种情形，第一薄层 13 都包含两个导电类型相反的半导体层 60、61，使得功率器件 10 中的漂移区现在包含两个导电类型相反彼此叠置和直接接触的半导体区 60'、61' 以形成半导体结。存在这两个不同导电类型的直接接触的半导体区 60'、61' 可大大提高器件的击穿电压。这是由于在半导体层 60、61 间的纵向上形成的水平结促使整个漂移区在比击穿电压低得多的电压下耗尽。这意味着漂移区在电压阻断模式下实际上起着本征层的作用，且在器件垂直剖面中，电位线垂直于上表面 5 和膜片的下表面 17，并在漂移区的

横向上分布得更均匀。对于这些结构，电场因此实际上均匀地沿漂移区的横向或 x 方向分布。如果电场达到其临界值，则发生雪崩击穿。由于此时的电场是均匀的，击穿电压最大，击穿电压由器件主电极间 x 方向的电场曲线下的面积来图示。应知，两个半导体层 60、61 的掺杂浓度和厚度，每一个对获得可能的高击穿电压都起重要作用，并优选地选择使整个漂移区在比标称击穿电压低的电压下耗尽。两个半导体层 60、61 的掺杂浓度和厚度的选择也受所用功率器件的类型和相关的制作工艺的影响。

图 13b 所示的实例为具有氧化硅绝缘层 50 的 SOI 型。图 13c 所示的实例是又一个具有氧化硅绝缘层 50 的 SOI 型，且在绝缘层 50 背侧淀积有电绝缘导热层 45。要知道，电绝缘导热层也可淀积在图 13a 所示 JI 型实例的膜片 16 下表面 17 上。

在图 14a-14c 所示的实例中，一般相当于图 13a-13c 所示的实例，每种情形的漂移区由 y 方向上彼此叠置的导电类型交替的几个半导体层构成，使得整个漂移区在比标称击穿电压低的电压下变为完全耗尽。再者，要知道，电绝缘导热层 45 也可淀积在任何这些实例的膜片 16 下表面 17 上。

在图 15 所示的实例中，当主电极又设在膜片 16 以内的上表面 15 上时，膜片功率器件 10 的漂移区包含多个沿第三方向 z 排列的导电类型交替的相邻层 70、71、72。这些 z 方向的相邻半导体区形成了 z 方向的横向半导体结，使得整个漂移区在比标称击穿电压低的电压下变为完全耗尽。在膜片 16 上存在纵向结平面引起电位线沿漂移区 x 方向均匀分布，使击穿电压提高至接近理想值。如在上述实例中那样，器件纵向 (x, y) 剖面中的电位线垂直于上表面 15 和膜片下表面 17，因而排列在 y 方向。不同导电类型的相邻半导体层 70、71、72 的掺杂和厚度是这样选择的，使得漂移区在电压阻断模式下，在比标称击穿电压低的电压下就完全耗尽，这就使击穿电压提高至接近理想值。应知，尽管三个半导体层 70、71、72 被表示为沿 z 方向排列，可只使用两个或多于三个这样的层。还要知道，电绝缘导热层可淀积在膜片 16

下表面 17 上以从器件 10 散热。

在图 16 所示的实例中，漂移区由几个彼此交替排列的不同导电类型的单元 80 构成，这些单元制作在上表面 15 处沿 x、z 方向排成规则图形，这就使整个漂移区在电压阻断模式下又变为完全耗尽的，使电位在漂移区上均匀分布。这些不同导电类型的单元可在 x、y 面中制作成所示的规则图形或不规则（未示出）图形。

在图 17a-17c 所示的实例中（分别表示 JI 器件、SOI 器件、以及在膜片 16 背面加有电绝缘导热层 45 的 SOI 器件），除去衬底 11，使得只有一部分漂移区 20 处于膜片 16 以内。这样，就有部分漂移区 20 处于膜片 16 以外（因而位于衬底 11 的余下部分之上）。主电极设在上表面 15 上，但优选地，漂移区 20 的高压电极端置于膜片 16 以内，而漂移区 20 的低压电极端留在膜片 16 外面。再者，要知道，电绝缘导热层 45 可淀积在任何这些实例的膜片 16 下表面 17 上。

在图 2-17 所示的上述所有实例中，衬底 11 的侧壁与横向器件的 x、z 面有一角度。这是因为最常用的背侧腐蚀技术都是湿法各向异性腐蚀，典型地用 KOH 溶液来进行。硅衬底 11 为单晶，各向异性腐蚀剂的腐蚀速率与晶向有关。止蚀面通常为 (111) 面。那些有氧化物埋层的 SOI 型器件有个优点，即在埋层氧化物处背侧腐蚀自动停止，因为对于许多腐蚀剂（包括 KOH），氧化物的腐蚀比硅慢得多。作为选择，对于体材料硅器件（亦即，非 SOI 型），背侧腐蚀可由时间控制或电化学控制。

可用干法背侧腐蚀而非湿法各向异性腐蚀来产生本发明的任何膜片功率器件。干法背侧腐蚀的优点是衬底 11 的侧壁为垂直的，如图 18a 和 18b 的实例所示。这意味着在衬底 11 中膜片 16 下面的间隙所占的体积不再与衬底 11 的厚度有关，于是可更容易在同一芯片或集成电路中实现多个减小其横向间距的膜片 16。在图 18a 的实例中，隔离层 19 设在膜片 16 以内，而在图 18b 的实例中，隔离层 19 设在膜片 16 以外。

在图 19 所示的实例中，膜片 16 是由衬底 11 的前侧腐蚀（亦即，

表面微机械加工)来制作的。在所示的实例中,只在器件10有源区18的下面部分除去衬底11,以在有源结构18下面的衬底11中留下一间隙,这有助于提高器件的击穿值。图20为图19实例的剖面图。图21表示图19和20实例的变型。如上述所有实例中那样,在衬底11中有源区18下面存在间隙(亦即,形成膜片),意味着漂移区20中的电位线垂直于器件的上表面15和膜片的下表面17,并基本上均匀分布在漂移区20中,使得击穿电压达到其理想极限。

在图22a和22b所示的实例中,分别为JI和SOI的变型,衬底11中的间隙只制作在部分漂移区20下面,使得只有一部分漂移区20制作在膜片16以内。再者,主电极设在上表面15上,但优选地,漂移区20的高压电极端置于膜片16以内,而低压电极端可留在膜片16以外。

图23a详细表示一种本发明的膜片高压横向DMOSFET(LDMOSFET)10的实例,其中漂移区20为n型导电的,源区90和漏区91都是n型导电的,并由施主杂质很好地掺杂以形成良好的欧姆接触,p型阱92为p型导电的。由薄绝缘层93及多晶硅和/或金属层94构成的常规绝缘栅置于p型阱92上,并由隔离层95与源金属层S隔离。厚绝缘层96,称为场氧化层,可置于绝缘栅与漏区之间的漂移层20上面。多晶硅/金属层94可在场氧化层96上延伸一短距离。在开态时,电流流过与n+漏区91接触的漏电极D和与n+源区90接触的源电极之间。此电流受施加于与绝缘栅接触的栅极G电位的控制。当栅极对源极施加较高的电位时,在绝缘栅下面的p型阱92表面形成电子沟道,使得电子从源区,通过沟道,经漂移区20流至漏极。对栅极施加适当的电位,此器件可导通或关断。高压LDMOSFET被置于上表面15和膜片下表面17所界定膜片16上。膜片的下表面17处于上表面15与半导体衬底表面12间剖面的y方向上。膜片16因而比半导体衬底11薄,使当器件工作在阻断模式下时,漂移区20变得使可动载流子完全耗尽,且电位线实际上垂直于上表面15和膜片下表面17,如图24所示。这与现有技术的JI型LDMOSFET成为对照,在

JI 型 LDMOSFET 中漂移区通常置于厚半导体衬底上, 在关态时衬底没有完全耗尽, 因此电位线从开始时在漂移区中的垂直方向弯折为在衬底中沿水平方向 (x 轴) 排列。高压膜片 LDMOSFET 的优点在于较高的击穿电压值、电位线在表面处的更均匀分布和通过使用膜片 16 中的纵向隔离层 19 而有较好的隔离。在此实例中, 隔离层 19 由高掺杂 p+ 层制成, 并与源电极相连。应知, 图 23a 所示的器件可典型地包含几个条形/梳状/单元, 使得器件满足电流级别和功率规格。对于 600 V 的器件, 漂移区掺杂浓度可典型地为 $10^{16}/\text{cm}^3$, 漂移区 20 的厚度为 0.2-20 μm , 漂移区长度为 30-50 μm 。漂移区 20 的掺杂不必是恒定的, 可从源端至漏端改变。例如, 在源端掺杂浓度可为 $8 \times 10^{15}/\text{cm}^3$, 而线性地增至漏端的 $3 \times 10^{16}/\text{cm}^3$ 。

图 23b 表示图 23a 实例的 SOI 变型, 其中绝缘层 50 被置于漂移区 20 底部作为膜片 16 的一部分。此绝缘层 50 不必像现有技术的 SOI 高压器件那样厚而可代之以很薄的, 因为在电压阻断模式下 (当器件关断时) 的电位不是沿 y 方向施加在其上面 (如常规 SOI 高压器件那样), 而是沿着它, 在 x 方向。这种情形下的隔离是由沟槽氧化物 19 构成的, 但也可使用其他类型的隔离如 p+ 层。图 23c 表示图 23b 实例的变型, 其中具有良好热导的电绝缘层 45 被置于膜片下面以便于向热沉 46 散热, 从而避免了过分的自加热。在此实例中, 隔离层 19 设在膜片 16 以外。

再者, 要知道, 电绝缘导热层 45 可淀积在任何这些实例的膜片 16 下表面 17 上。

图 25a-25c 详细表示横向绝缘栅双极型晶体管 (LIGBT) 膜片功率器件的实例, 其中的双极电流是在悬浮在膜片 16 上的漂移区中传导的, 且一般相当于图 23a-23c 所示的 LDMOSFET。LIGBT 膜片功率器件与图 23a-23c 所示的 LDMOSFET 功率器件的主要差别是在阳极处使用高掺杂的 p 型空穴注入层 100。LIGBT 型器件中的双极型导电是以漂移层中的电导调制来表征的, 以减小开态电阻。再者, 要知道, 电绝缘导热层 45 可淀积在任何这些实例的膜片 16 下表面 17 上。

图 26a 为一种功率二极管形式的膜片器件实例的示意透视图。对于 600 V 的功率二极管, n 型漂移区 20 的长度为 30-50 μm 时, 掺杂浓度为 3×10^{15} - $10^{16}/\text{cm}^3$ 的范围。漂移区 20 的厚度可在 0.2-20 μm 之间。漂移区 20 的掺杂不必为恒定的, 可由源端至漏端改变。例如, 在源端掺杂浓度可为 $8 \times 10^{15}/\text{cm}^3$, 而线性地增至漏端的 $3 \times 10^{16}/\text{cm}^3$ 。为了简单起见, 只示出了二极管的一个单元。图 26b 示意地表示图 26a 所示的 SOI 型功率二极管, 其中绝缘层 50 制作在漂移区 20 下面以使漂移区 20 中的电位线分布得更均匀, 因而提高二极管的击穿值。此外, 绝缘层 50 起着很好的止蚀作用, 因此使膜片 16 的制作更为容易。为在功率器件工作时有助于散热, 可在图 26a 和 26b 所示的器件膜片 16 背面再设置高热导的电绝缘层 45 (未示出)。此层 45 可用溅射或其他淀积方法来制作而作为上述功率集成电路制作过程的最后步骤之一。

图 27a 示意地表示一种膜片功率二极管的实例, 二极管包含的漂移区 20 由纵向叠置的不同导电类型 n、p 的两层 101、102 构成。这些层 101、102 可用外延生长来制作, 或是优选地向一层 101 中注入另一层 102。对于 600 V 的功率二极管, 构成漂移区 20 的两个半导体层 101、102 的掺杂浓度可为 10^{16} - $5 \times 10^{16}/\text{cm}^3$, 长度为 30-40 μm 。两个半导体层 101、102 的厚度为 0.1-20 μm 。如果上面的半导体层 101 用注入法来制作, 则上层 101 的掺杂浓度将高于下面的半导体层 102, 因此, 当漂移区耗尽时为保持空间电荷的平衡, 上层 101 的厚度小于下层 102 是优选的。图 27b 示意地表示图 27a 所示的 SOI 型膜片功率二极管, 绝缘层 50 制作在漂移区 101、102 下面。附加的高热导电绝缘层 45 (未示出), 如前所述, 可再置于膜片下面以便散热。

图 28a 示意地表示一种三维膜片功率二极管的实例。三维膜片功率二极管的漂移区由几对设在 x, z 面的 n、p 区构成, 使之在 z 方向形成横向结。这些 n、p 层的宽度典型地可为 0.2-5 μm , 代表其典型长度的一小部分, 这就保证了漂移区 20 在 z 方向上比 x 方向更快的耗尽, 因而在电压阻断模式下表现得类似于本征层。对于 600 V 的器件, 漂

移区 20 的长度（在 x 方向）可接近 $30\mu\text{m}$ 。n、p 区 110、111 的掺杂可为 10^{15} - $6 \times 10^{16}/\text{cm}^3$ 。优选地，n、p 区 110、111 的制作可将一层（例如，n 型层）110 注入另一层（例如，p 型层）111 而成。因此，注入层 110 的掺杂浓度高于本底层 111，从而保持电荷平衡，注入层 110 的宽度优选地小于本底层 111。图 28b 示意地表示图 28a 实例的 SOI 变型。再者，对于每种情形，都可淀积电绝缘导热层 45（未示出）以便散热。

图 29a 示意地表示一种单栅膜片三维 LDMOSFET 的实例。此器件使用了上述三维膜片功率二极管的概念以在电压阻断模式下支持很高的源极-漏极电压，而在导通模式下此器件类似于常规 LDMOSFET 和图 23a 的器件。图 29b 示意地表示图 28a 实例的 SOI 变型。再者，对于每种情形，都可淀积电绝缘导热层 45（未示出）以便散热。

图 30 示意地表示一种双栅膜片三维 LDMOSFET 的实例。此器件也使用了上述三维膜片功率二极管的概念以支持很高的源极-漏极电压。在导通模式下，此器件通过 n 沟道栅和 p 沟道栅控制，可发生经过 n 和 p 型条形的单极并行导电。向 p 型漂移层注入电子并向 n 型漂移层注入空穴也可发生双极导电。

现在参见图 31，本发明的另一种膜片功率半导体器件 10 的实例具有半导体衬底 11 和薄层 13，后者至少包含一个半导体层 14 并具有上表面 15。衬底 11 具有下表面 12，构成器件的主下表面。在制作期间，薄层 13 下面的一部分衬底 11 被除去直至达到薄层 13 以确定具有上表面 15 和下表面 17 的膜片 16。至少一个主电极层 103 附加在下表面 17 上并与半导体层 14 接触。在优选的实施方式中，所述电极层 103 可为金属层的形式，是在用单侧背面腐蚀制作了膜片 16 后从器件的背侧淀积的。金属层 103 可从膜片下表面 17 延伸至器件 10 的主下表面 12，且优选地与外部热沉接触。此器件至少包含另一个施加在上表面 15 上的主电极层 104，它与半导体层 14 接触并且优选地在膜片 16 以内，使得在开态时在主上电极 104 与主下电极 103 间的电流通导基本上是纵向的并垂直于上表面 15 和膜片下表面 17。此器件可有一置于

表面 15 上的控制电极 105，以控制主电极 103、104 间的电流。此功率器件 10 包含漂移层 20，它置于第一薄层 13 内的半导体层 14 中。漂移层 20 至少有一部分置于膜片 16 以内。

在此功率器件关断并阻断加在主电极 103、104 上的电压时，漂移层 20 承受施加在主电极 103、104 上的高压。在这样的工作模式下，漂移区 20 变为可动载流子部分地或完全耗尽，在器件 10 剖面内的等位线平行于上表面 15 和膜片下表面 17，并基本上均匀地分布在漂移层 20 的上、下端间。

在部分薄层 13 下面除去衬底 11，在开态电阻与击穿性能间产生了较好的折中。电位线在膜片 16 内的漂移区中均匀分布，对于给定的漂移区 20 厚度，导致了理想的击穿电压。因为除去了薄层 13 下的衬底 11，就没有了衬底的寄生电阻和热阻，且也较易与芯片中的其他器件和电路隔离（未示出）。电极层 103 优选地为高热导的，以有助于从膜片区 16 至外部热沉（未示出）的散热。

图 32 示意地表示本发明的一种膜片功率器件 10 的实例，其中使用干法背侧腐蚀来产生膜片 16。衬底 11 余下部分的侧壁是垂直的，如图 32 所示。在用干法腐蚀制作膜片后，电极层 103 被施加至膜片下表面 17，以形成器件 10 的一个主电极。如前面所说明的，干法腐蚀具有的优点是在衬底 11 中间隙所占的体积不再与衬底 11 的厚度有关，因此膜片 16 的面积较易控制。

图 33 表示图 31 所示器件 10 的剖面。在此实例中，器件 10 的端区 106 设在膜片 16 以外而有源区设在膜片 16 以内。在功率器件中，当器件阻断主电极间的电压时，用端区 106 来抑制器件 10 边缘处的过早击穿。端区 106 在开态时不起实际作用，因而在开态工作时端区 106 没有电流通过。为使开态电阻和功耗减至最小，希望漂移层尽量薄。然而，为使器件边缘处承受较高的击穿电压并迫使实际的击穿发生在有源区，端区 106 最好较厚。为此，有源区 18 设在膜片区 16 以内，而优选地将端区 106 置于膜片 16 以外厚于膜片 16 的层上。在此实例中的端区 106 受益于衬底 11，在器件 10 阻断主电极上的高压时便于

耗尽区在下面的较宽区域中扩展。端区 106 和衬底 11 的掺杂可与设有源区 18 中的漂移层 20 不同。在一优选的实施方式中，衬底 11 比漂移区 20 掺杂得更低。端区 106 可为包围着器件 10 有源区 18 的高掺杂浮置环 (floating ring) (就其本质而言)，它有助于耗尽区在表面处的大面积扩展，每一对环间的间隔承受着一部分总电压，从而减小了边缘过早击穿的风险。此端区，称为浮置环端区，可包含场板 (field plate) 和沟道/耗尽限制器 (channel/depletion stopper)。作为选择，端区可为结端延伸区 (JTE) (junction termination extension) 或场板端区 (field plate termination) 的已知形式。

图 34 详细表示本发明的一种膜片纵向功率 MOSFET 的实例，其中有源区 18 含有设在膜片 16 以内的 n 型导电的漂移区 20，它带有置于膜片 16 以外的端区 106。在此实例中，端区 106 是由几个同心的高掺杂 p 型浮置环 107 和最终的高掺杂 n 型耗尽限制环 108 构成的。此功率 MOSFET 具有高掺杂的 n 型源区 109 和漏区 122，由绝缘层 121 和多晶硅/金属层 105 构成的绝缘栅作为控制极。源电极 104 设在上表面 15 上，而漏电极 103 附在膜片下表面 17 上。源电极 104 与源区 109 和 P 型阱 120 接触。漏电极 103 与高掺杂的 n 型漏区 122 接触。此 MOSFET 在开态时的工作取决于在控制极 105 施加栅压时 p 型阱 120 表面处形成的反型层。在此模式下，电子从源区 109 经 p 型阱 120 表面形成的所述反型层通过漂移区 20 而输运至漏区 122。为使开态电阻减至最小，使漂移区 20 变薄并比衬底 11 掺杂得更高是优选的。在关态时，当高电压施加在主电极 103、104 上时，漂移区 20 的可动载流子完全耗尽，有源区承受着最大部分的电压。漂移区 20 中的电位线平行于上表面 15 和膜片下表面 17，并理想地均匀分布在漂移层 20 中。在端区 106 中，耗尽区有更大的余地向衬底 11 扩展，从而避免了电位线拥挤在耗尽区边缘而发生过早击穿。衬底 11 的掺杂可比端区 106 表面和漂移区 20 更低。应注意，基本上没有开态电流流过端区 106，因此厚的和较低掺杂的衬底 11 对开态电阻不产生负面影响，也不会增加额外的功率损耗，否则如果在膜片 16 下面存在衬底 11 预期会发生这

种功率损耗。为了简单起见，图 34 只表示了 MOSFET 的二维内部结构。

图 35 表示一种三维膜片功率器件 10 的示意透视图，其电极 103 设在膜片 16 的下表面 17 上。此三维膜片功率器件 10 的漂移区包含几对设在 x, z 面的 n, p 区 110、111，使之沿 z 方向形成横向结。如果区域 110、111 在 z 方向薄于 y 方向，当高电压施加于主下电极 103 和设在上表面 15 上的主上电极（未示出）上时，漂移区 20 在 z 方向的耗尽就快于 y 方向。这就保证了较高的击穿值，以及电位线平行于上表面 15 和下表面 17 且基本上均匀地分布在漂移区中。

图 36a-36c 示意地表示本发明器件 10 的一种制作方法的实例。在此实例中，薄层 13 包含半导体层 14，其下面备有绝缘氧化物埋层 50，埋层 50 下面为衬底 11。如同上述实例那样（例如参见图 9），绝缘埋层 50 下面的衬底 11，以绝缘埋层 50 作止蚀层，用背侧腐蚀来部分地除去以制成膜片 16，如图 36a 所示。在此实例中，如图 36b 所示，在半导体层 14 膜片部分下面的那部分绝缘埋层 50 然后也被除去，使得半导体层 14 露出的下表面成为膜片 16 的下表面 17。在膜片 16 区域中除去绝缘埋层 50 就可以在器件背面淀积电极层 103。在此实例中，如同所示，下电极层 103 扩展在膜片 16 的整个下表面 17 上，并向下延伸至向内相对的侧壁以及衬底 11 余下部分的下表面上。

图 37-40 示意地表示一种集成电路中的膜片功率器件 10 的实例，器件 10 的一个电极加在膜片下表面，集成电路包含低压/小功率器件和电路以及其他功率器件。

图 37 表示，例如，四个膜片功率器件，每个的特点都是有独立的电极，四个主电极 103 都加在膜片下表面上，四个主电极 104 设在膜片上表面上。独立的控制极 105 可用来控制每个独立的功率器件的工作。置于膜片 16 上的功率器件经隔离层 19 彼此隔离，如前面的实例所述。

图 38a 表示功率集成电路 40 的示意剖面图，该电路包含主电极 103 施加在下表面的一个膜片功率器件 10 和置于膜片 16 以外的小功

率 CMOS 和双极型器件 41。作为选择，CMOS 和双极型器件 41 也可置于膜片 16 以内如图 38b 所示，或置于在同一原始衬底 11 上制作的各个独立膜片 16 上如图 38c 所示。优选地，下电极 103 不延伸至小功率器件和电路下面。图 38d 的实例与图 38c 者的不同在于隔离层 19 设在膜片 16 以外。

在图 39a-39d 中示意表示的结构为相应于图 38a-38d 所示的 SOI 型。在这些实例中，绝缘层 50 用作止蚀层来制作膜片 16。绝缘层 50 也有助于使薄层 13 中的独立器件与衬底 11 隔离。

图 40a-40d 示意地表示将多于一个的具有独立下电极 103 的膜片功率器件集成在同一功率集成电路 40 中的可能方法。在图 40a 的实例中，每个都有各自下电极 103a、103b 的两个功率器件 10a 和 10b 被集成在同一膜片 16 上。在图 40b 的实例中，绝缘层 50 用于制作膜片 16，并有助于隔离功率集成电路 40 中的独立器件。图 40c 的实例与图 40b 者的不同在于外隔离层 19 设在膜片 16 以外。在图 40c 的实例中将第一功率器件 10a 与第二功率器件 10b 分隔的内隔离层 19，也如图 40b 的实例所示，保留在膜片 16 以内。在图 40d 的实例中，具有独立下电极 103a、103b 的膜片功率器件 10a、10b 被分别置于在同一原始衬底 11 上分别制作的不同膜片 16a、16b 上。为了膜片功率器件的彼此隔离，另一个可含有隔离层 19 的膜片 16c 制作在原始衬底 11 上且置于相邻的膜片功率器件 10a、10b 之间。

图 41a-41c 更详细地表示一种膜片纵向功率 MOSFET 的实例。图 41a 表示本发明的一种实施方式，使用已知 DMOS 技术的一种膜片纵向功率 MOSFET。此功率 MOSFET 具有高掺杂的 n 型源区 109 和漏区 122，由绝缘层 121 和多晶硅/金属层 105 构成的绝缘栅作为控制极。源电极 104 设在上表面 15 上，漏电极 103 加在膜片下表面 17 上。源电极 104 与源区 109 和 p 型阱 120 接触。漏电极 103 与高掺杂的 n 型漏区 122 接触。此 MOSFET 在开态时的工作取决于在控制极 105 上施加栅压时 p 型阱 120 表面处形成的反型层。在此模式下，电子从源区 109 经 p 型阱 120 表面形成的所述反型层通过漂移区 20 而输运至

漏区 122。在关态时，当高电压施加在主电极 103、104 上时，漂移区 20 的可动载流子完全耗尽，有源区承受着最大部分的电压。漂移区 20 中的电位线平行于上表面 15 和膜片下表面 17，并理想地均匀分布在漂移层 20 中。高掺杂的 n 型漏区 122 可为埋层，是在确定膜片 16 的背侧腐蚀前制作的。在这种方法中，可用 n 型层 122 作为间接手段来停止由已知的电化学技术进行的背侧腐蚀。为便于电化学腐蚀，衬底 11 可为 p 型掺杂的，以与所示 n 型层 122 形成结。

图 41b 的实例不同于图 41a 者在于制作了膜片 16 后用掩蔽的或盲背侧淀积来制作高掺杂的 n 型漏层 122。在制作了膜片 16 并从器件背侧向膜片 16 中引入 n 型漏层 122 后，向膜片下表面 17 施加漏电极 103。

图 41c 表示本发明的一种实施方式，使用沟槽技术的一种膜片纵向功率 MOSFET 实例。图 41c 中的结构不同于图 41b 所示者在于不使绝缘栅制作在结构上面。在图 41c 的结构中，在 120 中形成的反型层是纵向的，基本上垂直于上表面 15。此方法的优点是提高了沟道密度和较高的封装密度。

图 42a-42c 详细地表示了纵向绝缘栅双极晶体管膜片功率器件 (IGBT) 的实例，其中使用了悬浮在膜片 16 上漂移区 20 中的双极导电结构，且一般地相当于图 41a-41c 所示的膜片纵向功率 MOSFET。IGBT 的主要差别在于使用与阳极电极 103 接触的高掺杂 p 型空穴注入阳极层 123。电流的双极传导基本上垂直于上表面 15，且其特征是漂移层 20 中的电导调制，以减小漂移层 20 上的开态电压降。n 型缓冲层 122 和 p 型阳极层 123 可如图 42a 所示在制作膜片 16 之前来制作，或如图 42b 所示在制作膜片 16 后再制作。在图 42a 中阳极层 123 可直接或间接用为制作膜片 16 的止蚀层。

图 43a 和 b 表示功率集成电路的实例，该功率集成电路包含两个使用沟槽技术并悬浮在独立膜片 16a、16b 上的纵向功率 MOSFET。在图 43a 的实例中，器件 10a、10b 的特点是独立的电极和使用第三个膜片 16c 和隔离层 19 来彼此隔离。三个膜片 16a、16B、16c 在同一步

骤中制作，且在此实例中使用干法背侧腐蚀，使衬底 11 留下的脚部有垂直的侧壁，如前所述，这就有利于较好地控制膜片面积并在同一芯片中集成大量的器件。图 43b 的实例为图 43a 实例的 SOI 变种。这种情形的隔离层 19 设在膜片 16a 和 16b 以外，并与介电埋层 50 一起保证了两个功率器件 10a、10b 彼此间的有效隔离。图 43a 和 43b 的实例表示两个膜片功率 MOSFET 集成在同一芯片上，但任何其他的膜片功率器件也可如此图所示使用类似的方法彼此隔离。

虽然上述实例主要涉及的是硅，本发明的膜片功率器件也可建立在其他半导体材料上，例如碳化硅（SiC）、金刚石、GaAs、或其他 III-V 族材料。

作为第一薄层 13 一部分的漂移区可由宽带隙材料制成。例如金刚石、GaAs、GaN 和 SiC，或可由 GaN 和 AlGaN 组合的或其他合适材料的异质结制成。

绝缘层 50 主要是参照二氧化硅来描述的，但其他绝缘的或半导体材料如金刚石、氮化物或氮化物与氧化物的组合也可使用。

热沉层 45 可由金刚石、氮化铝、氮化硼或其他具有良好电绝缘性质和高热导的材料制成。

上面已给出了膜片 16 厚度的某些实例。一般地，在横向器件中，膜片 16 的厚度可为 $0.1\mu\text{m}$ - $10\mu\text{m}$ 或 $20\mu\text{m}$ 左右。一般地，在纵向器件中，膜片 16 的厚度可为 $6\mu\text{m}$ 或 $10\mu\text{m}$ - $60\mu\text{m}$ 或 $100\mu\text{m}$ 或 $180\mu\text{m}$ 左右。

本发明的实施方式已特别参照图示实例作了描述。然而，要知道，在本发明的范围内可对所述实例做出各种变动和修改。

图1a

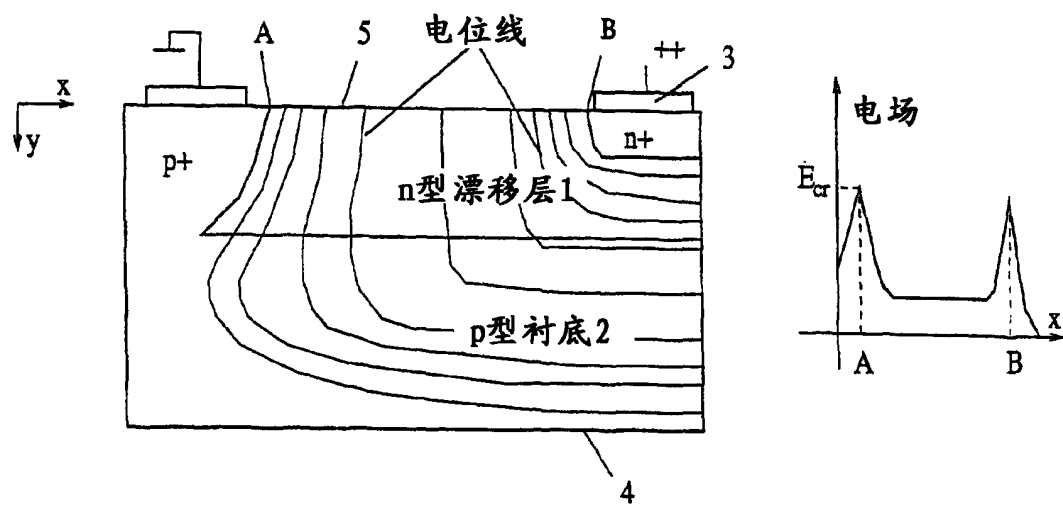


图1b

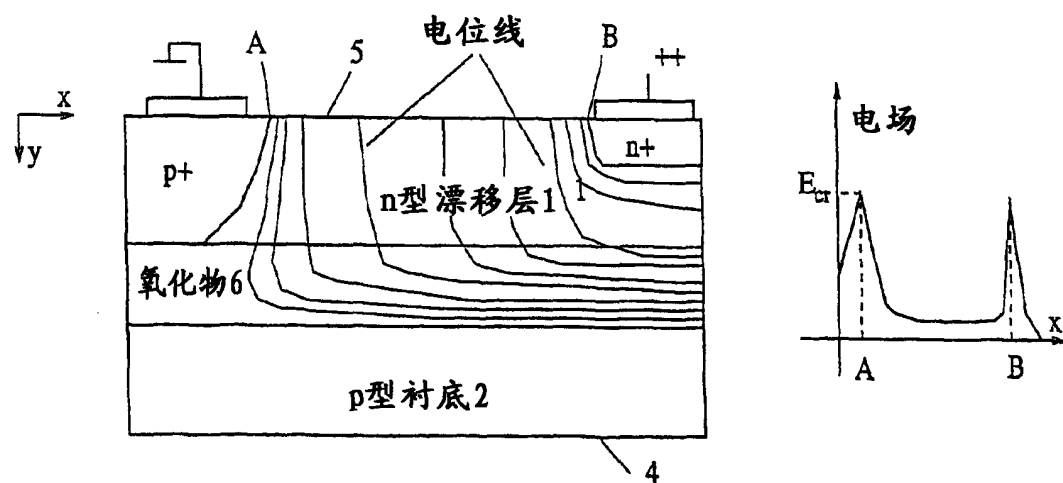


图 2a

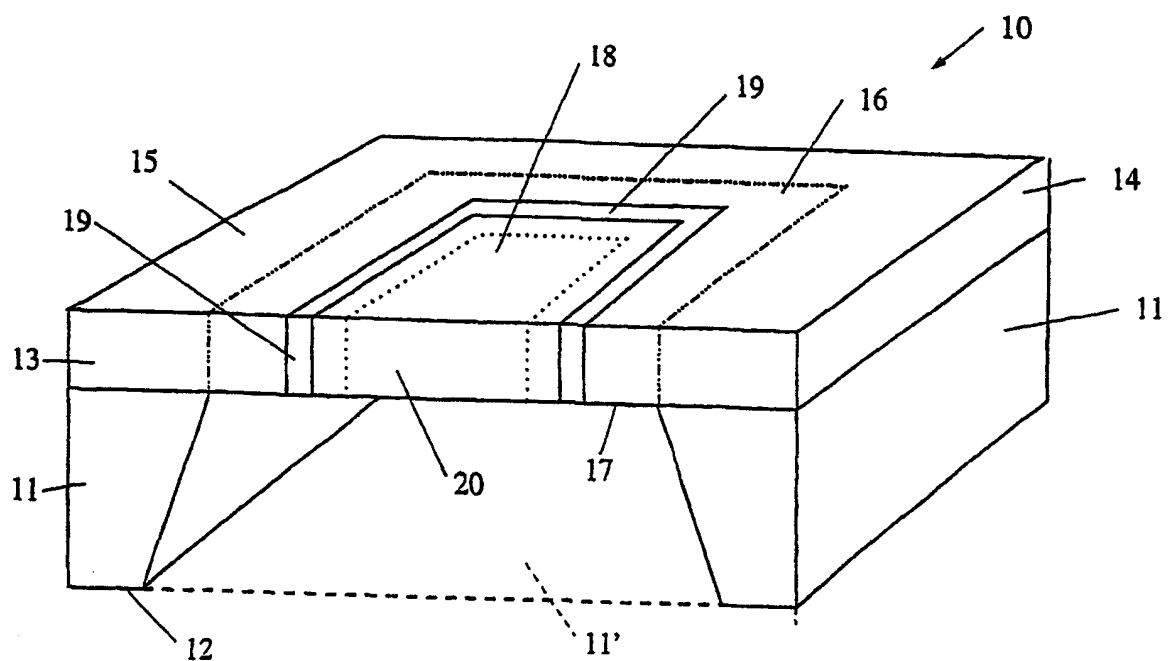


图 2b

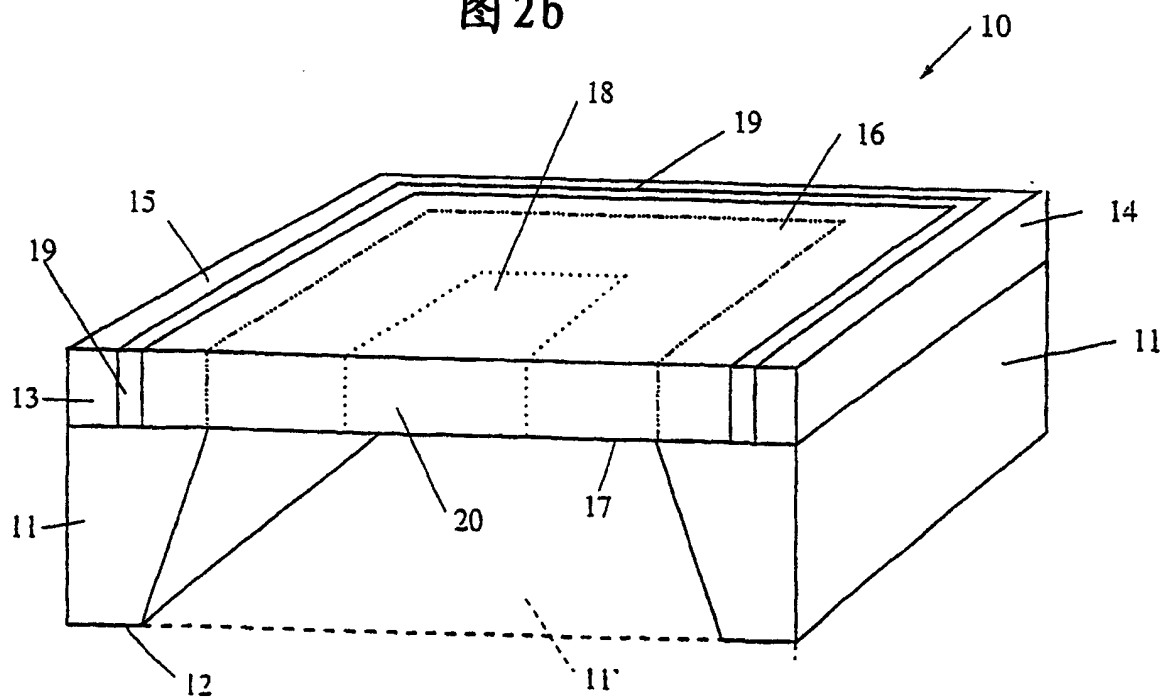


图 5a

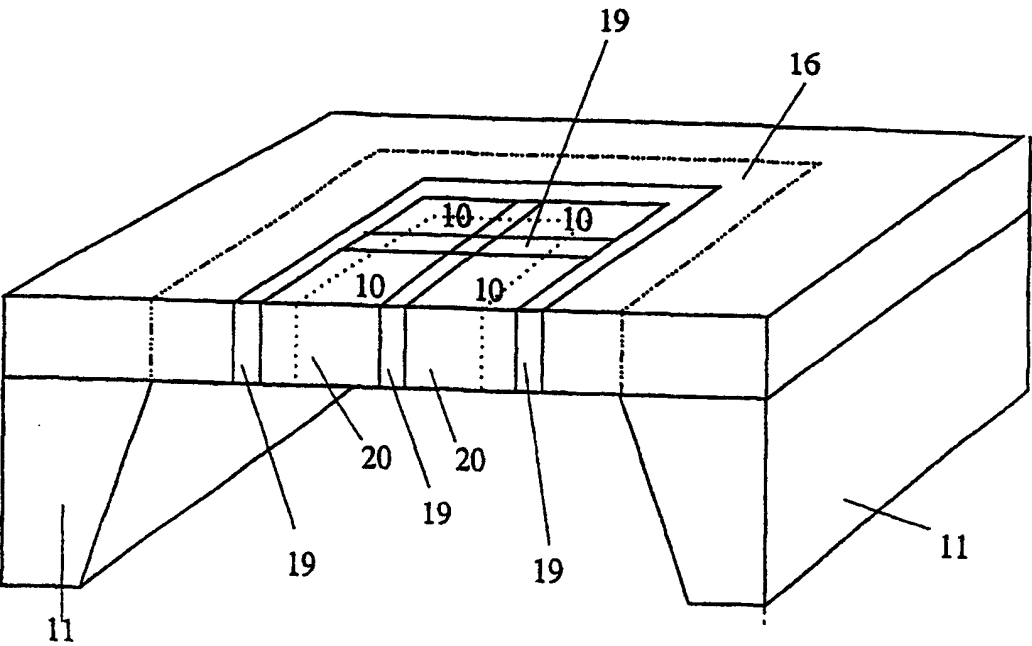


图 5b

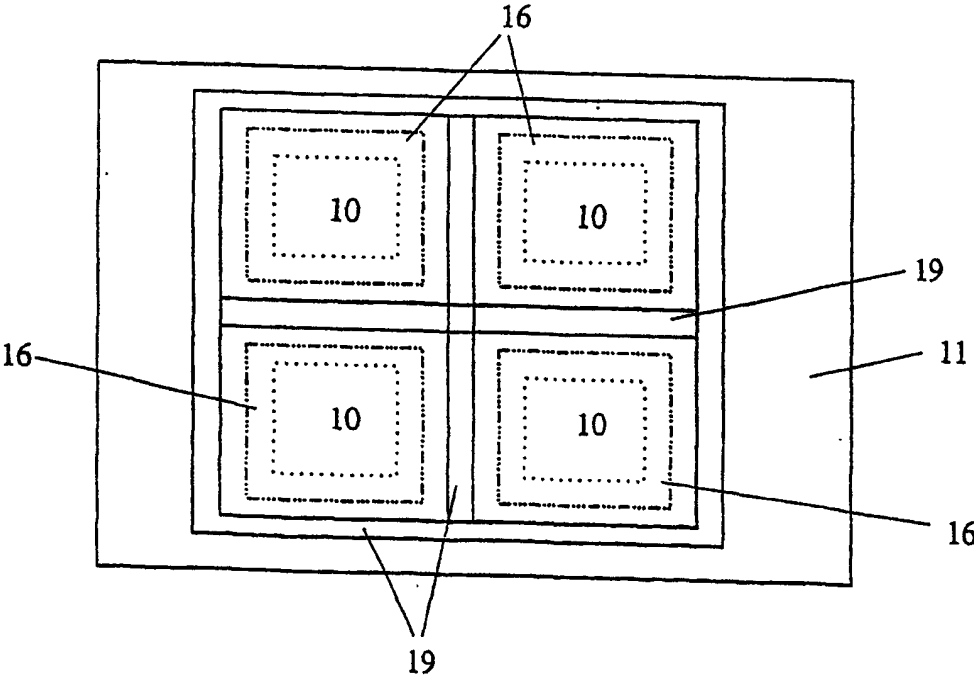


图 6a

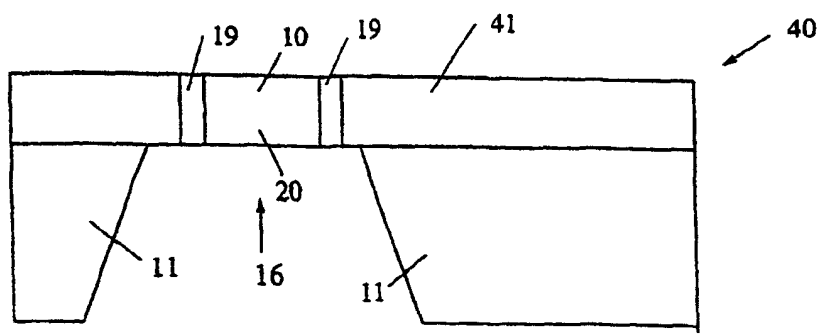


图 6b

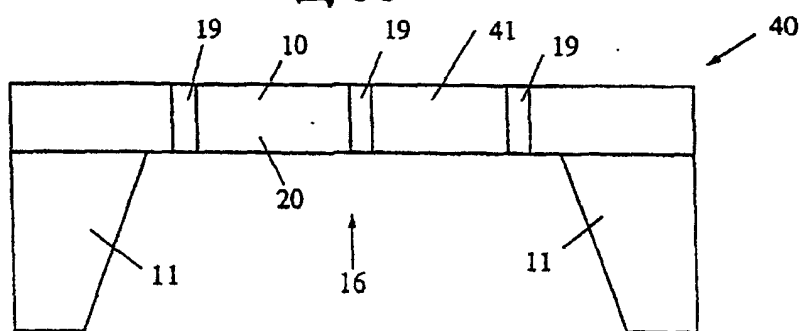


图 6c

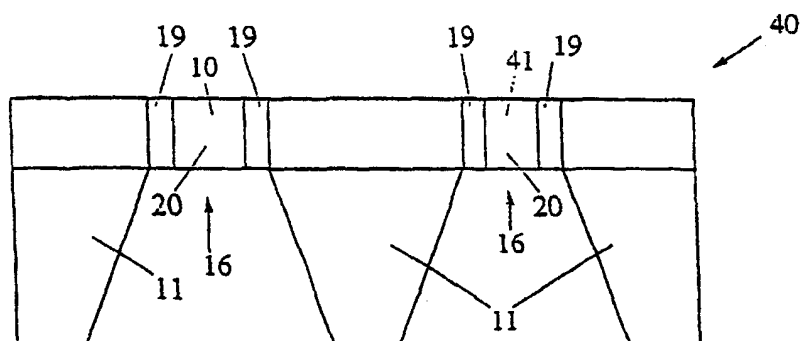


图 6d

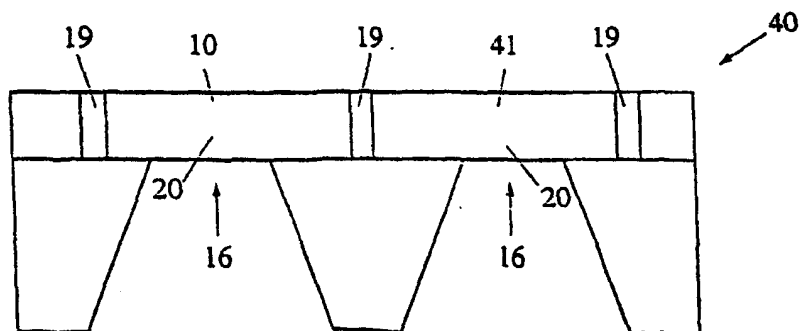


图 7

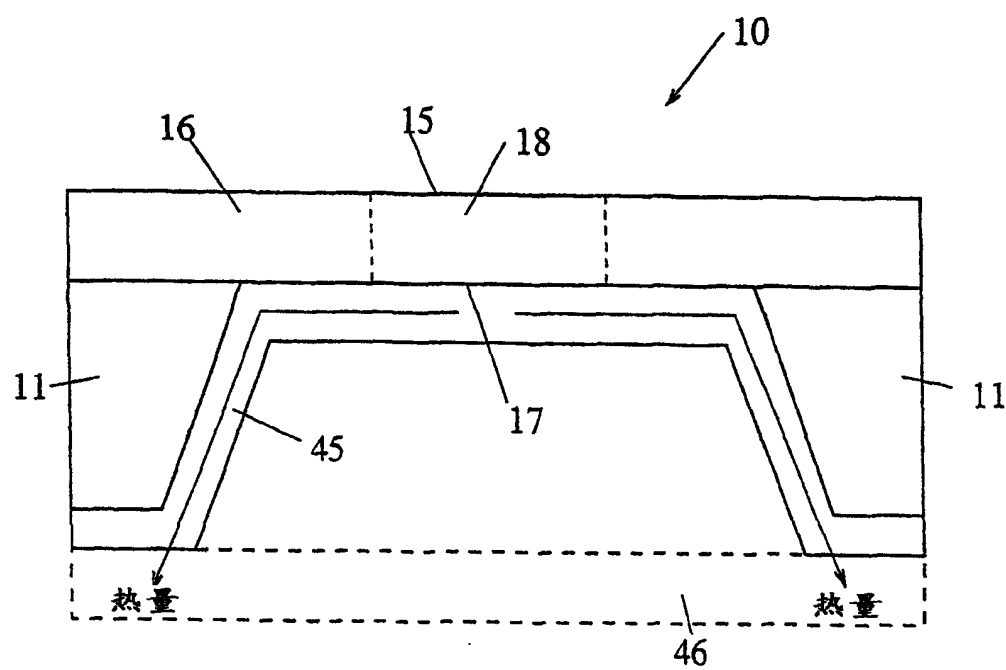


图8

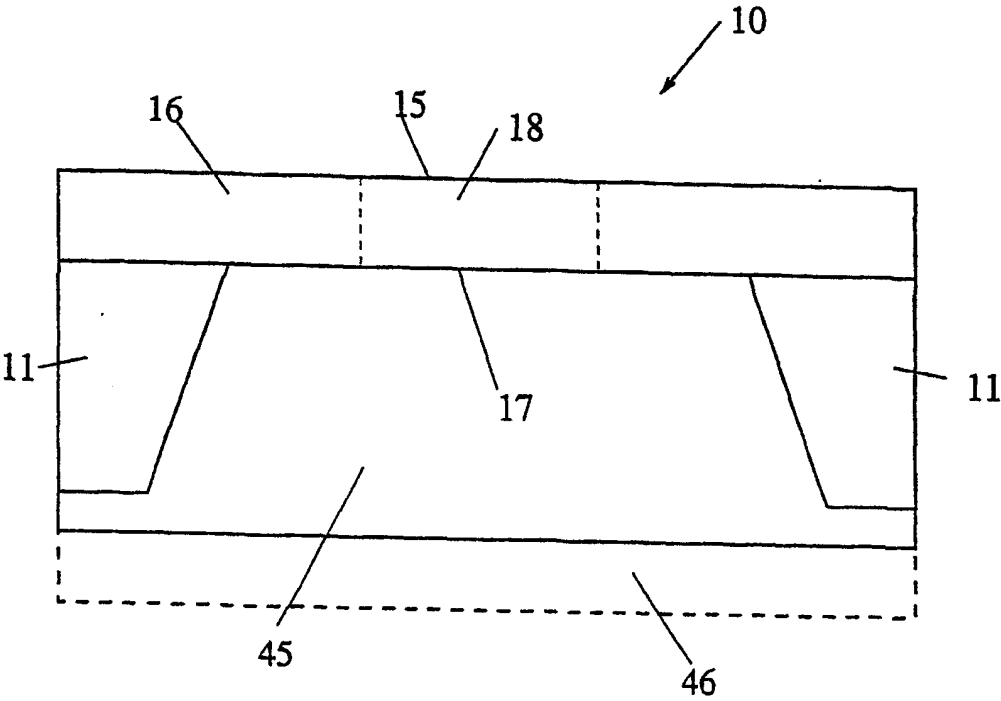


图 9a

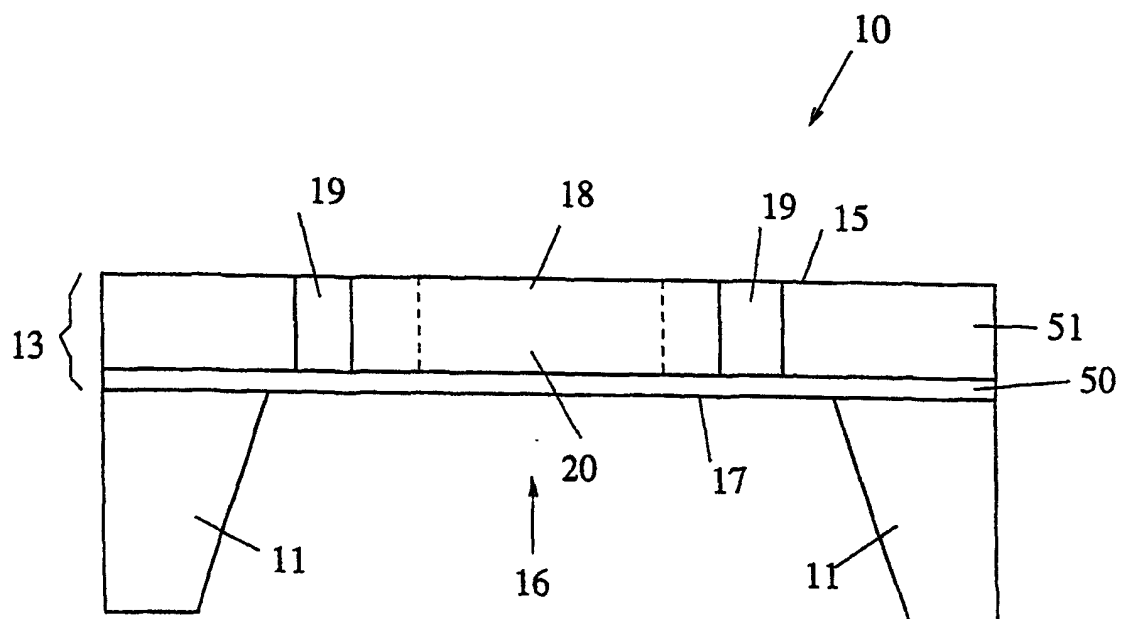


图 9b

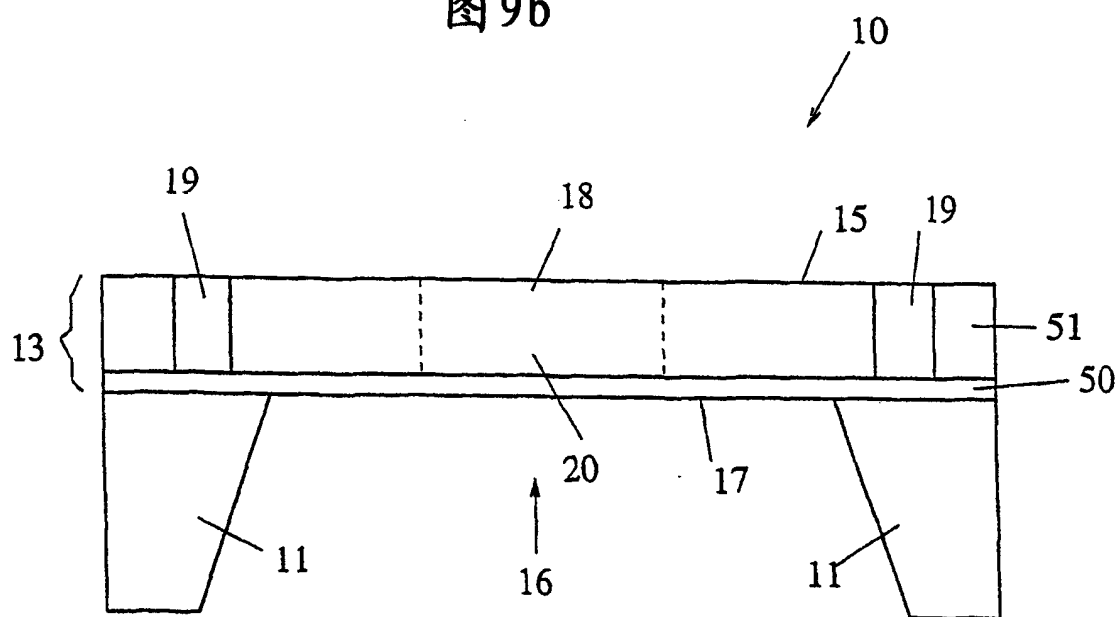


图10a

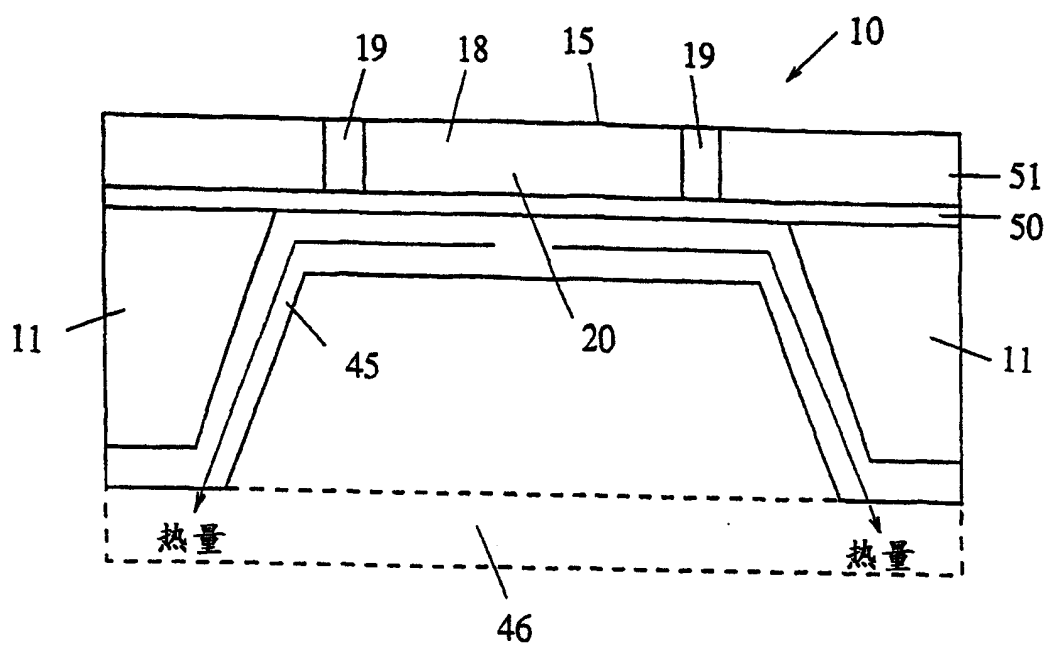


图10b

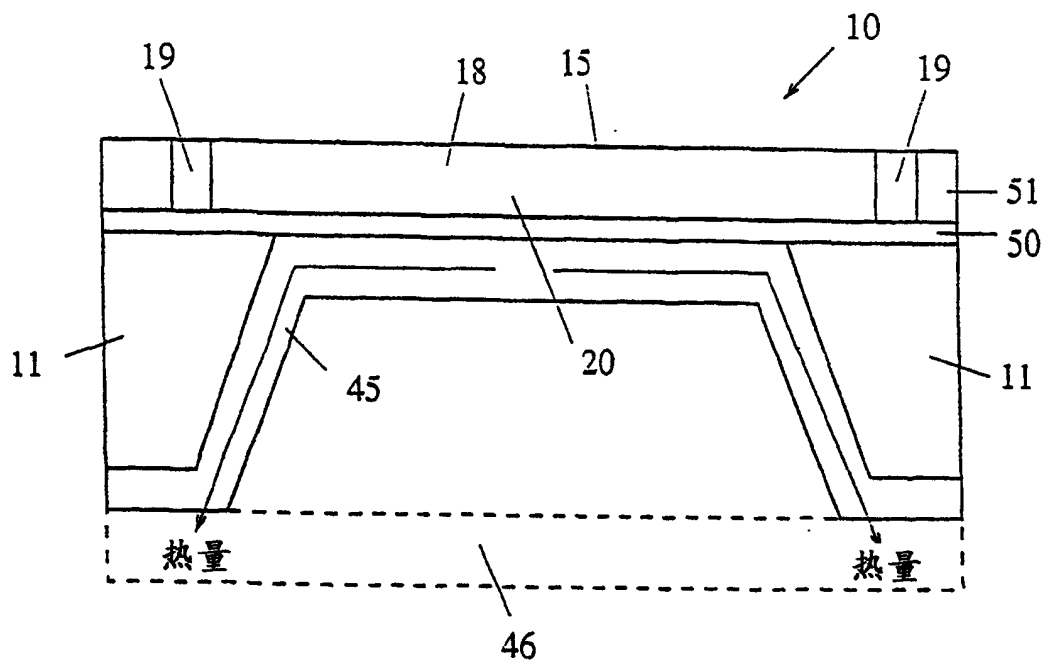


图11a

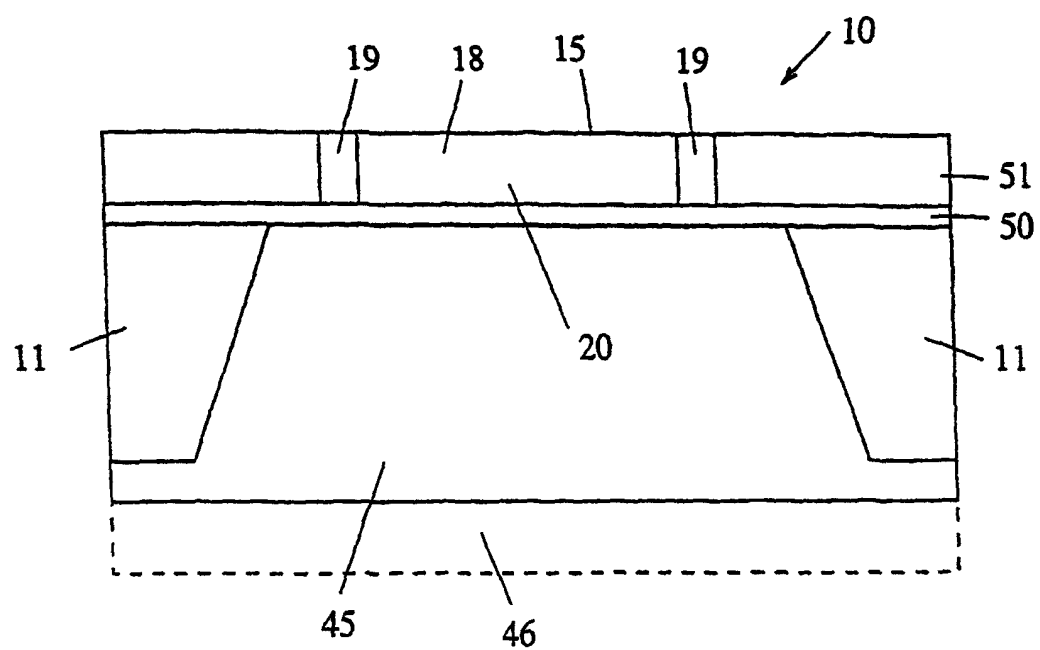


图11b

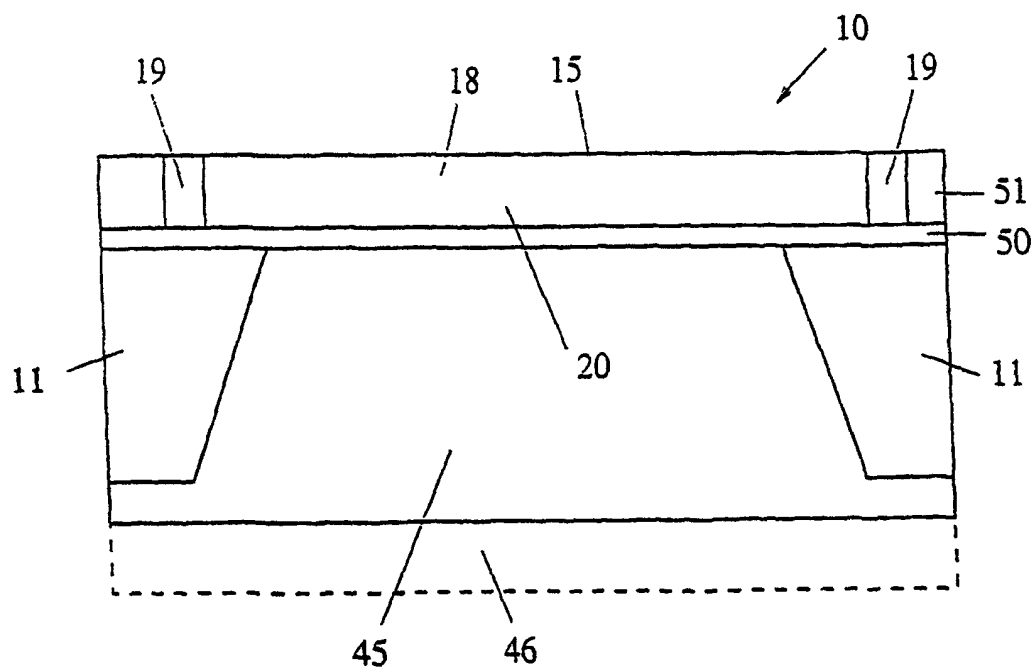


图 12

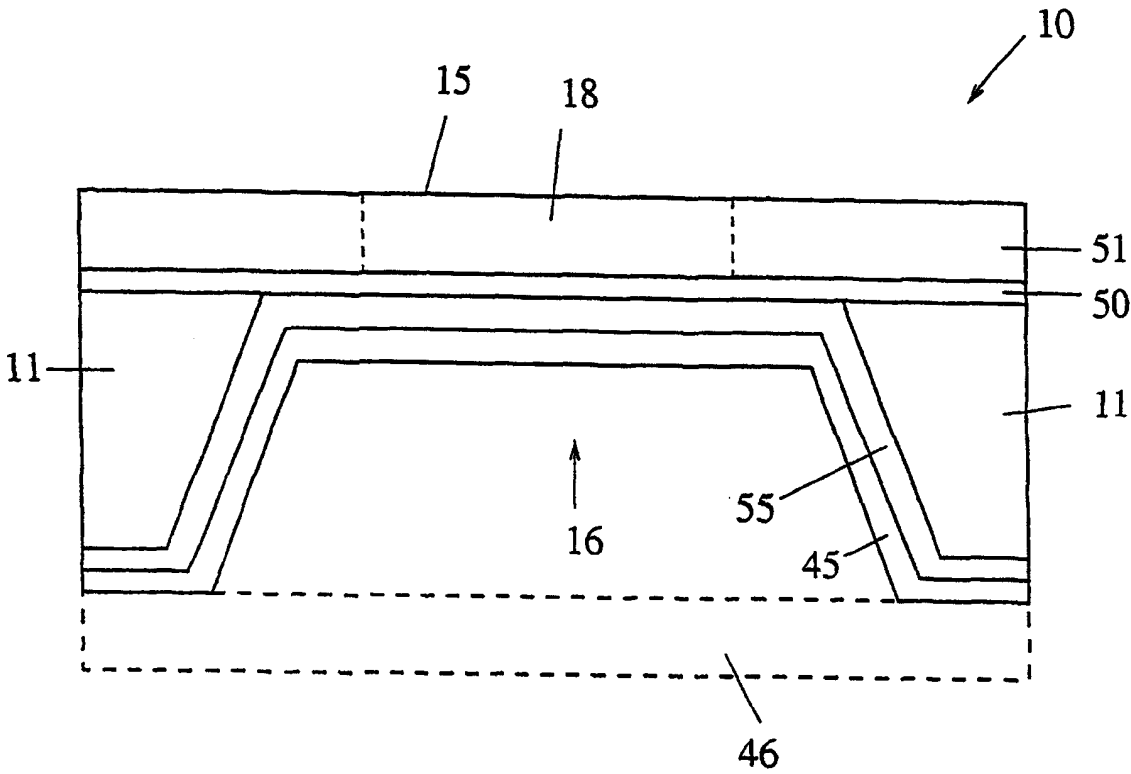


图 13a

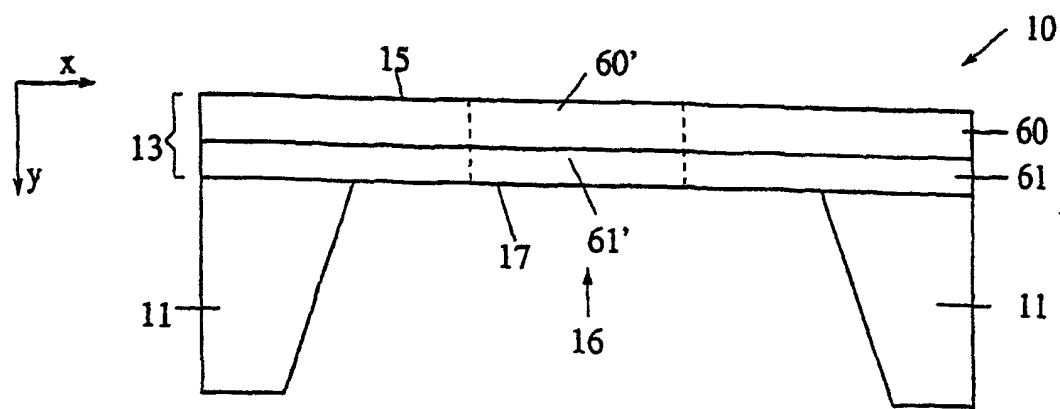


图 13b

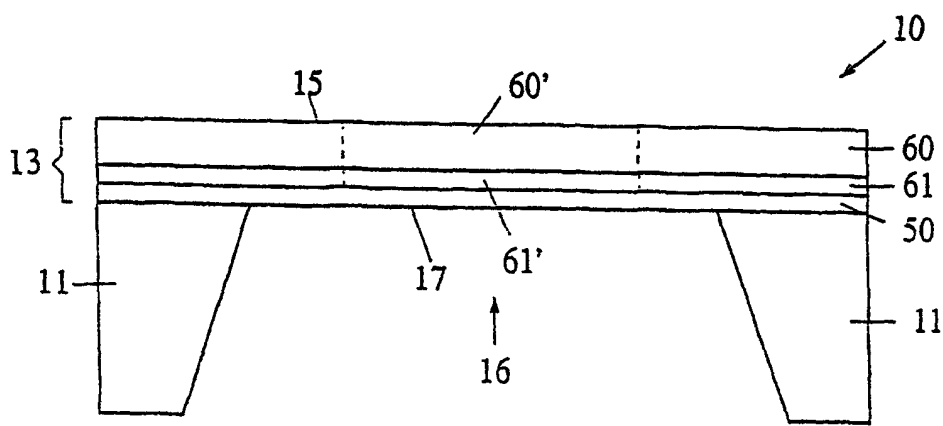


图 13c

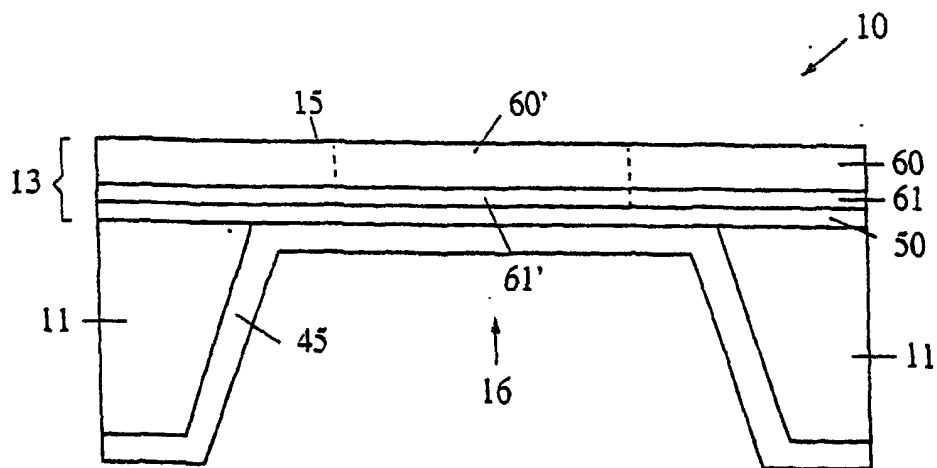


图14a

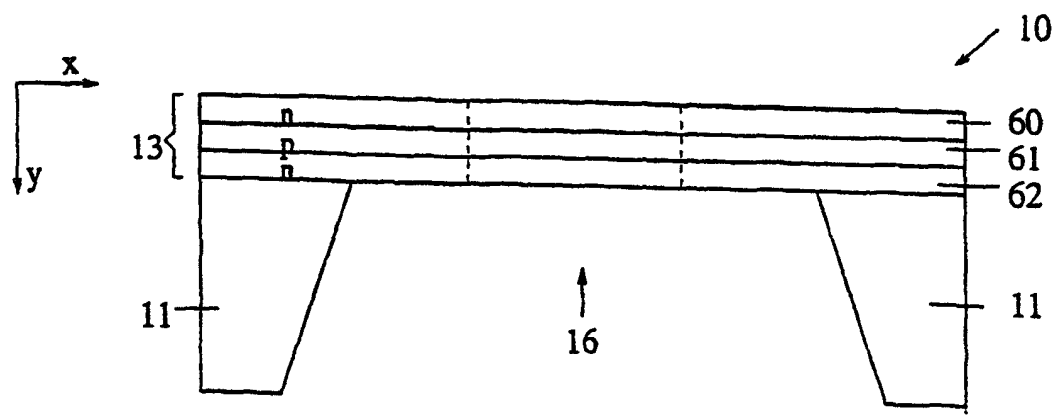


图14b

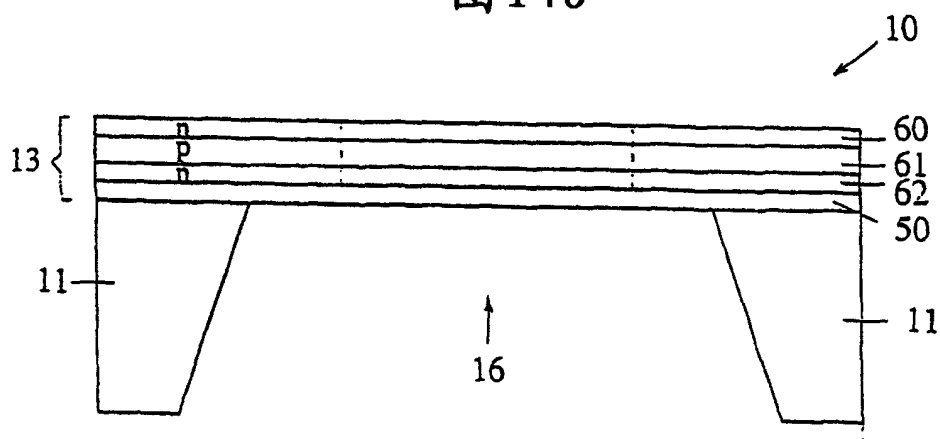


图14c

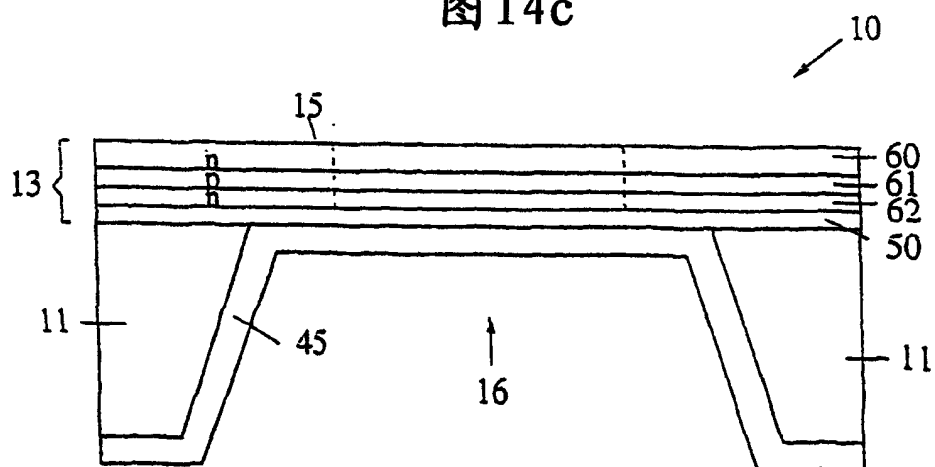


图15

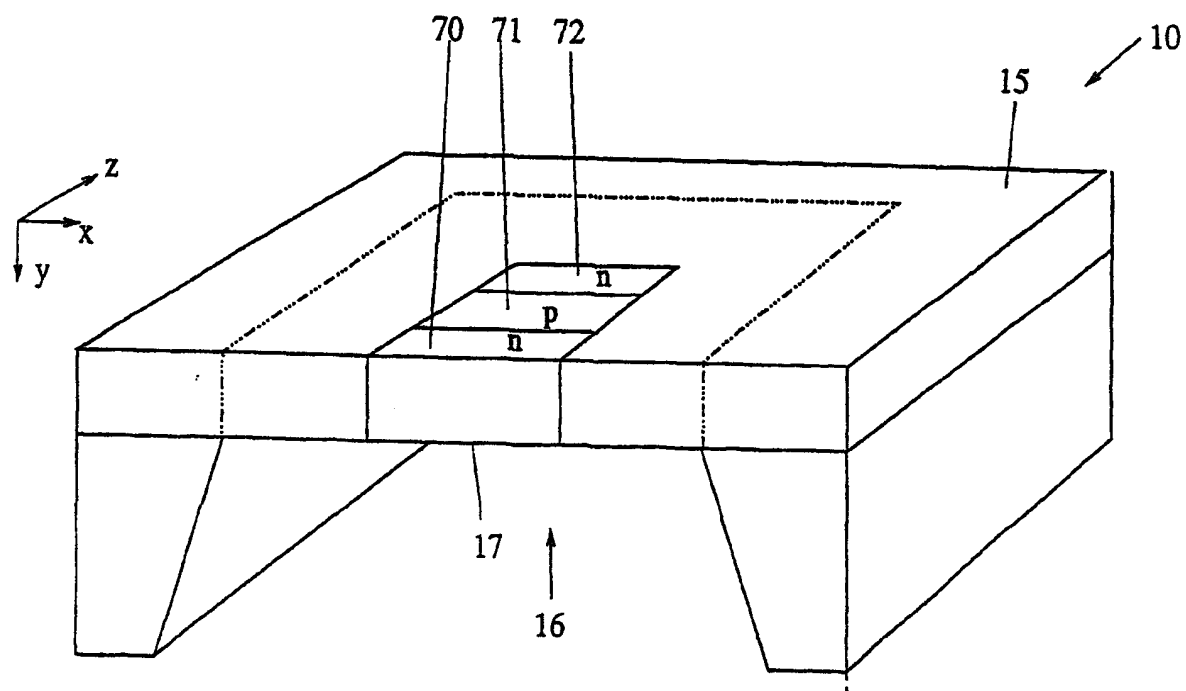


图16

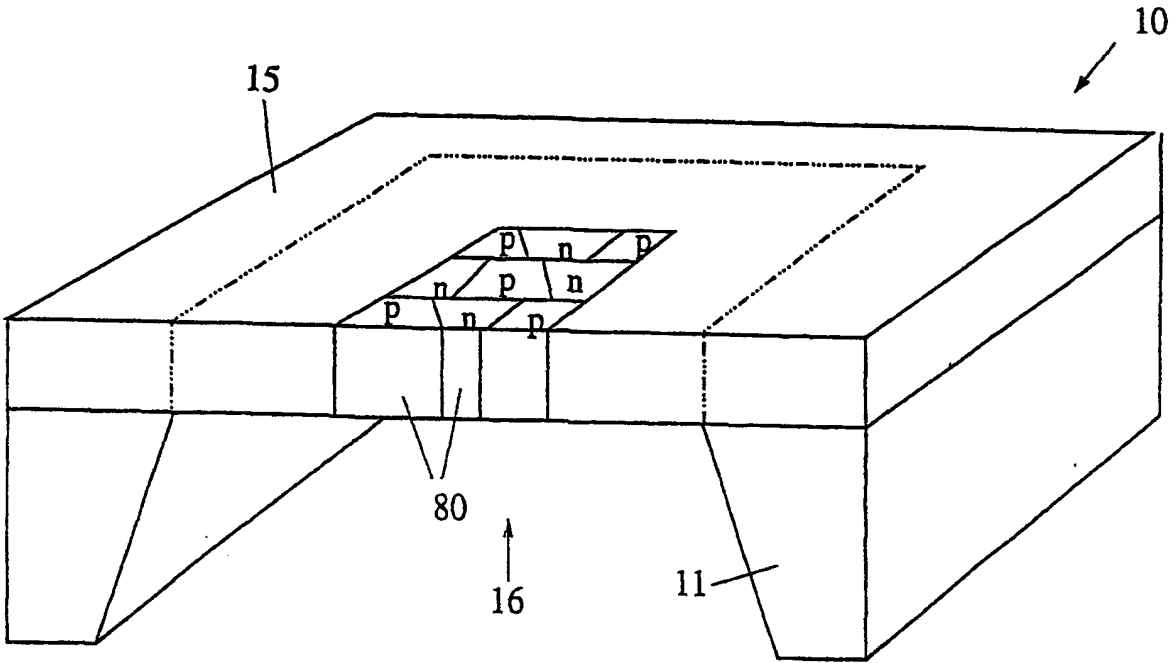


图17a

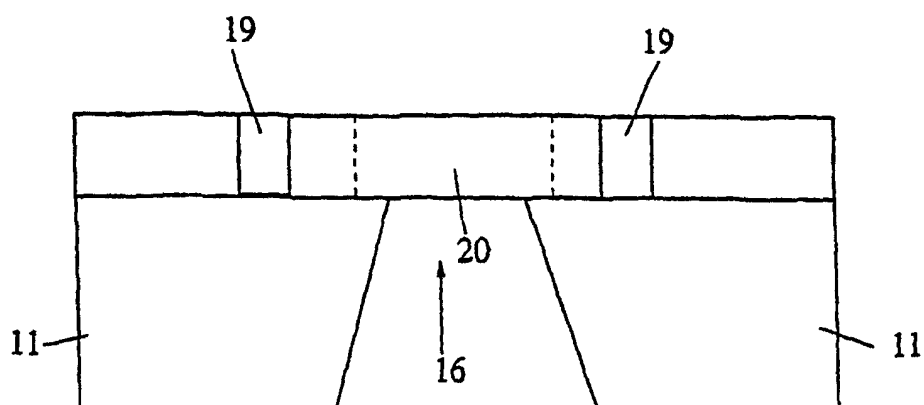


图17b

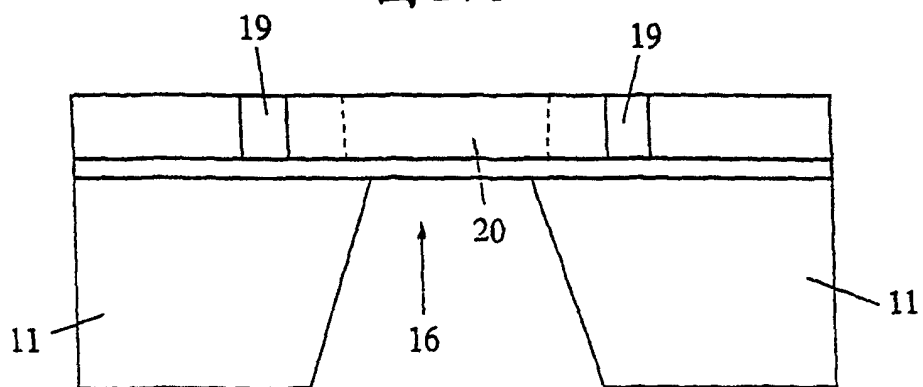


图17c

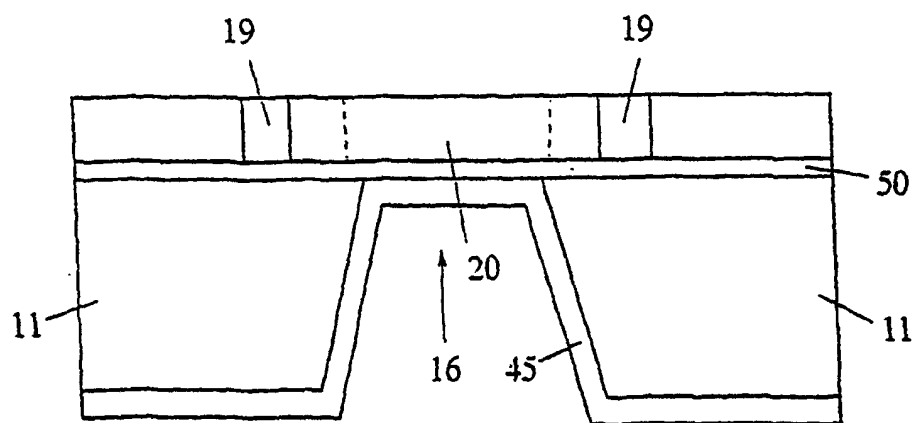


图18a

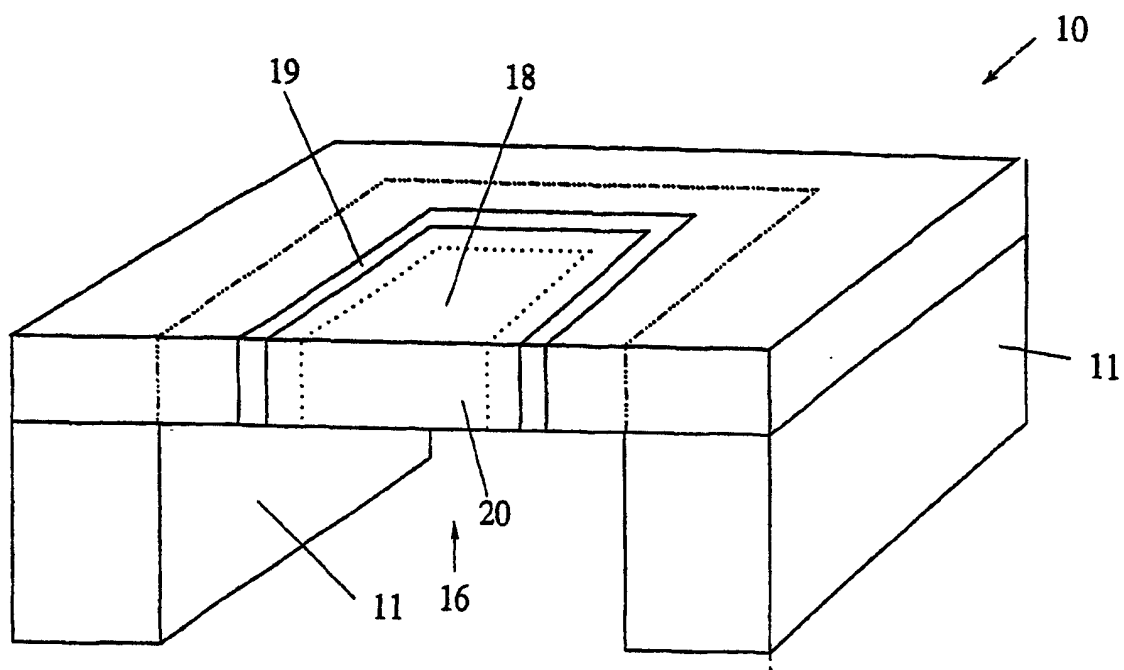


图18b

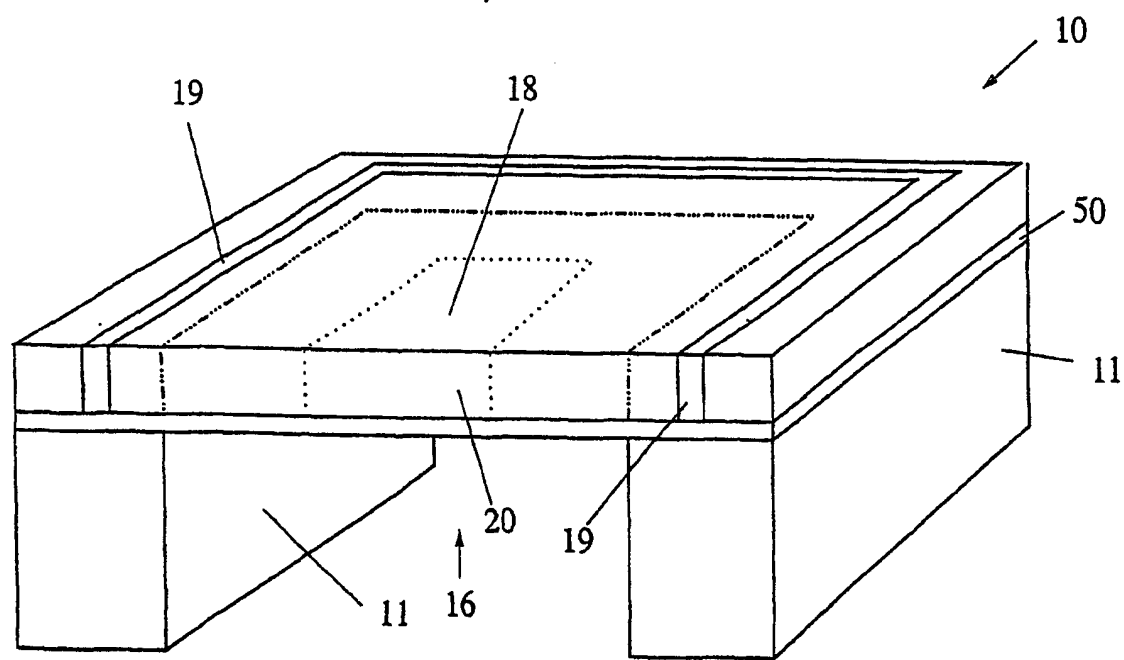


图19

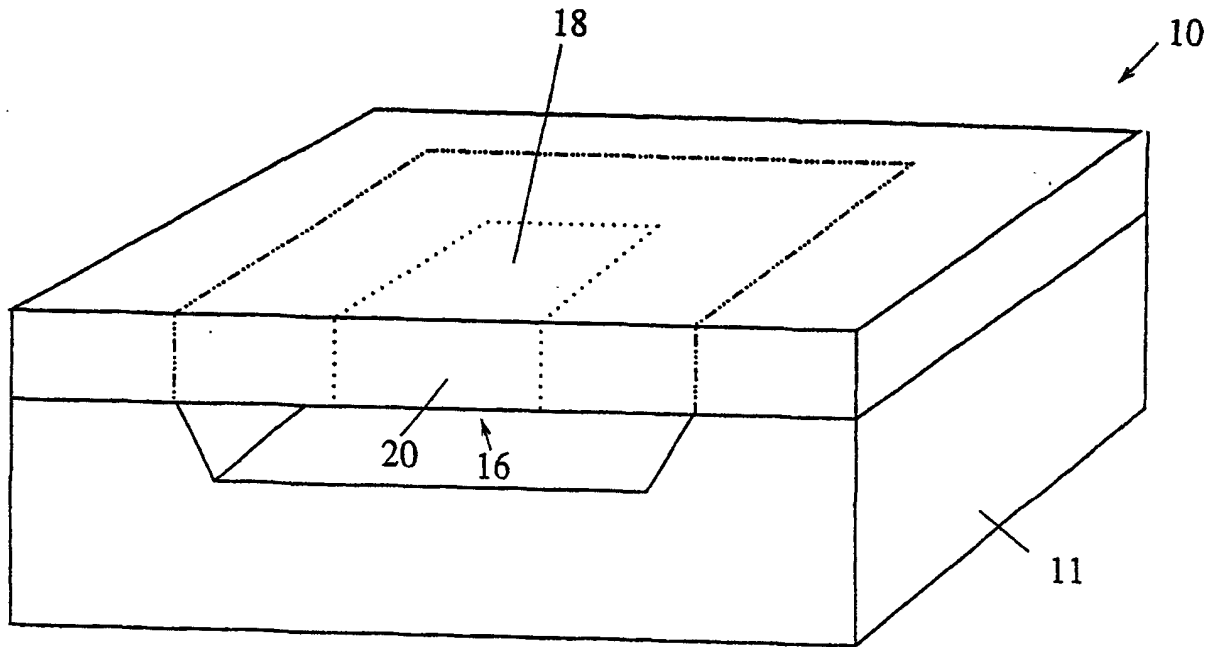


图 20

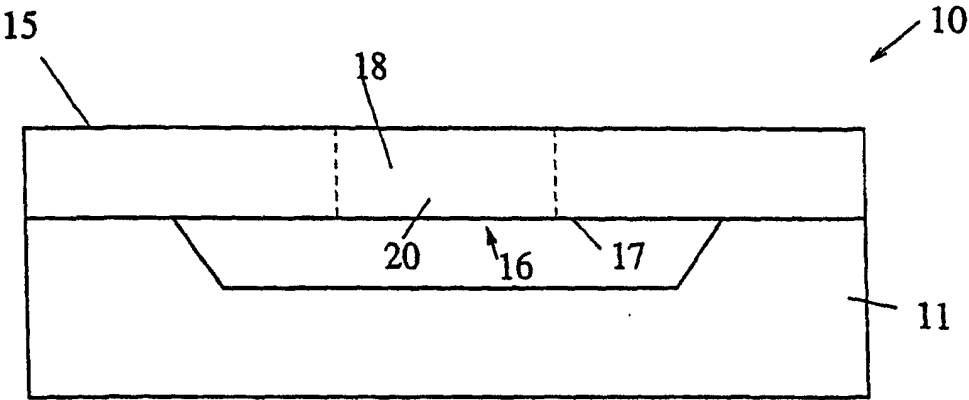


图 21

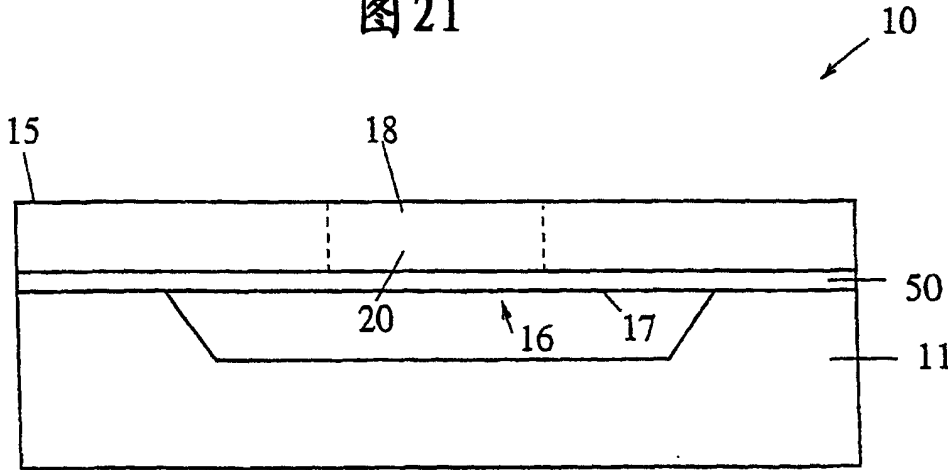


图 22a

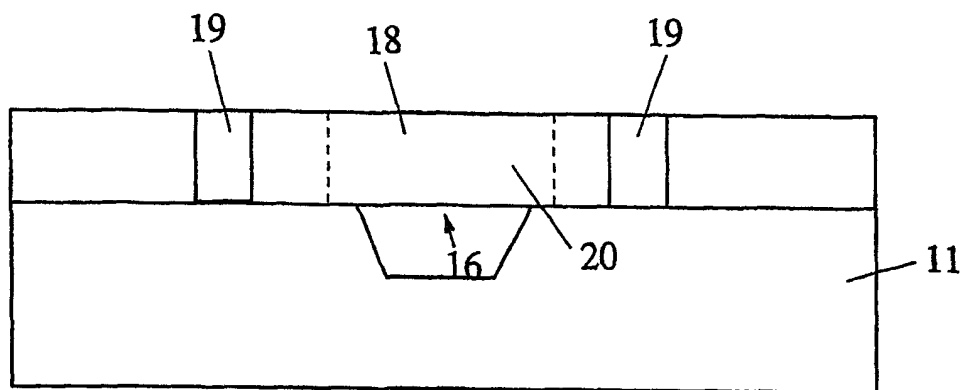


图 22b

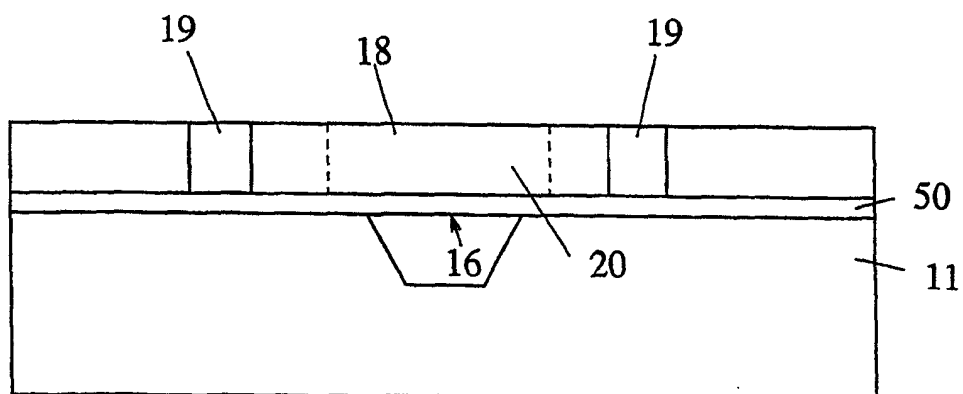


图23a

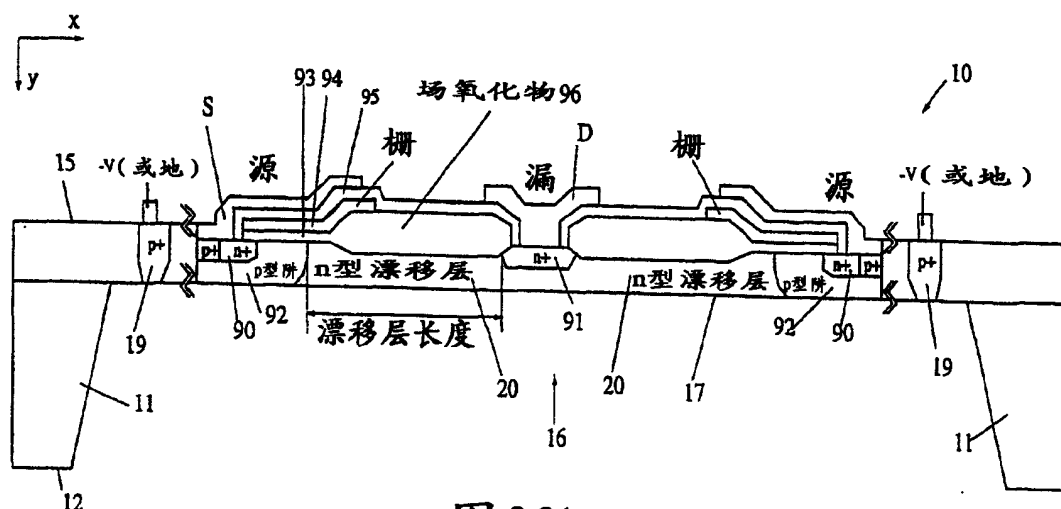


图23b

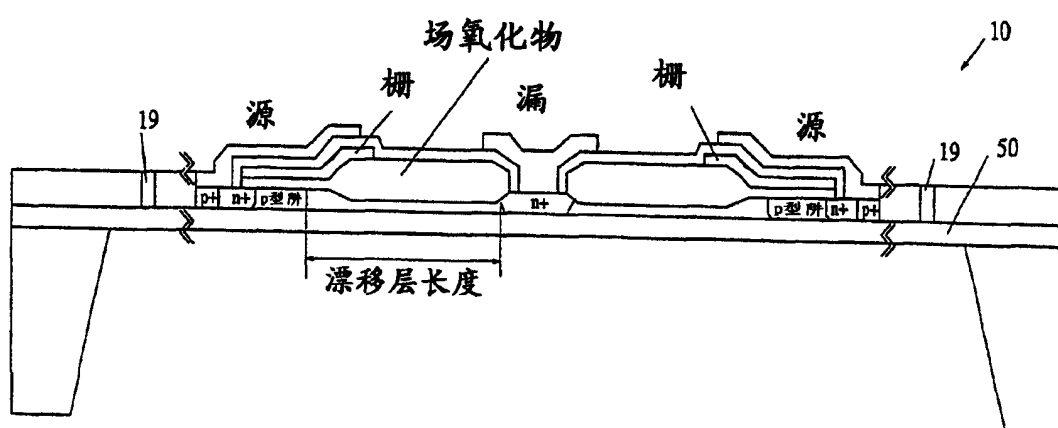


图23c

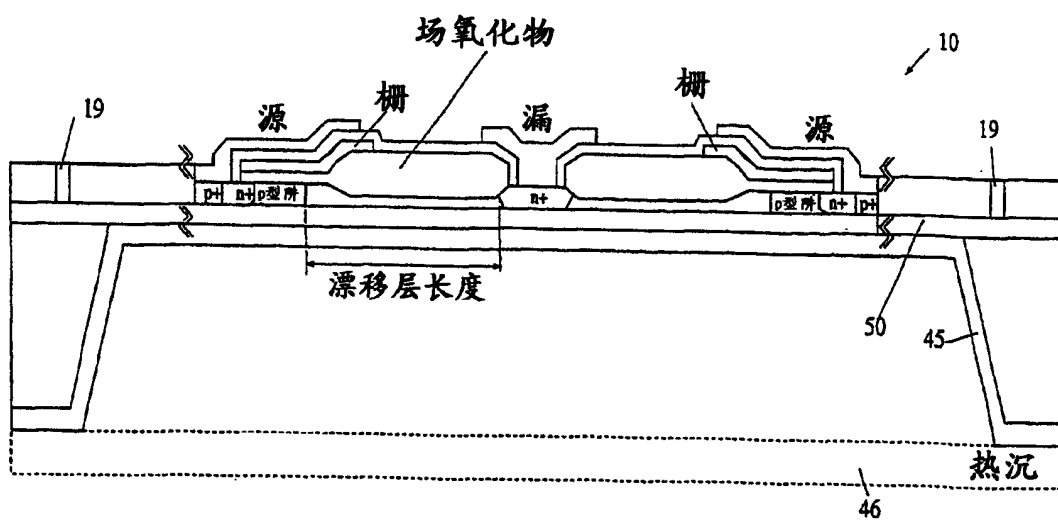


图24

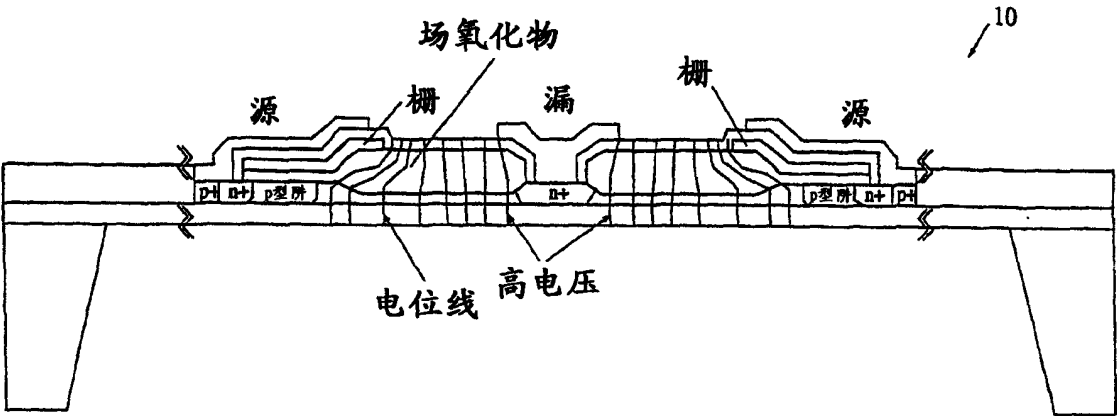


图 25a

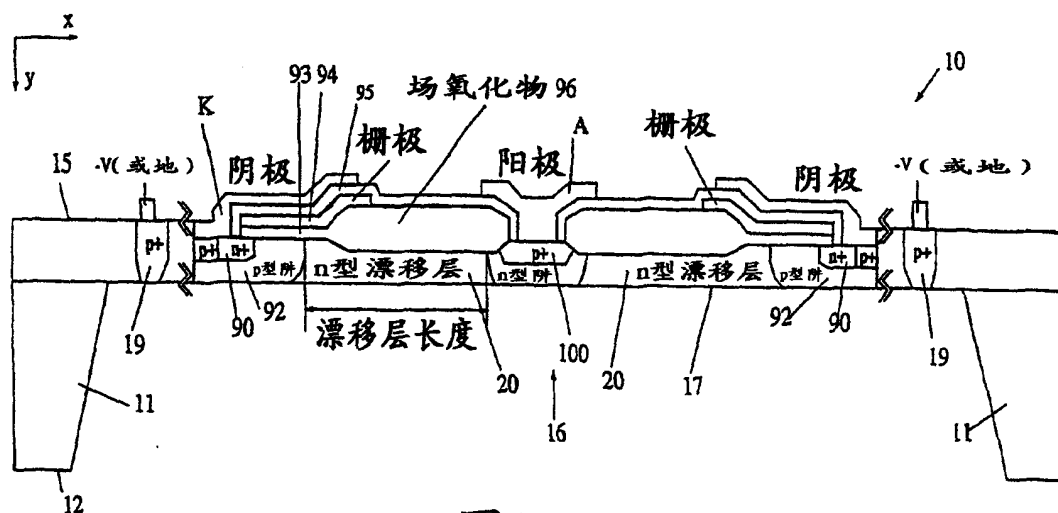


图 25b

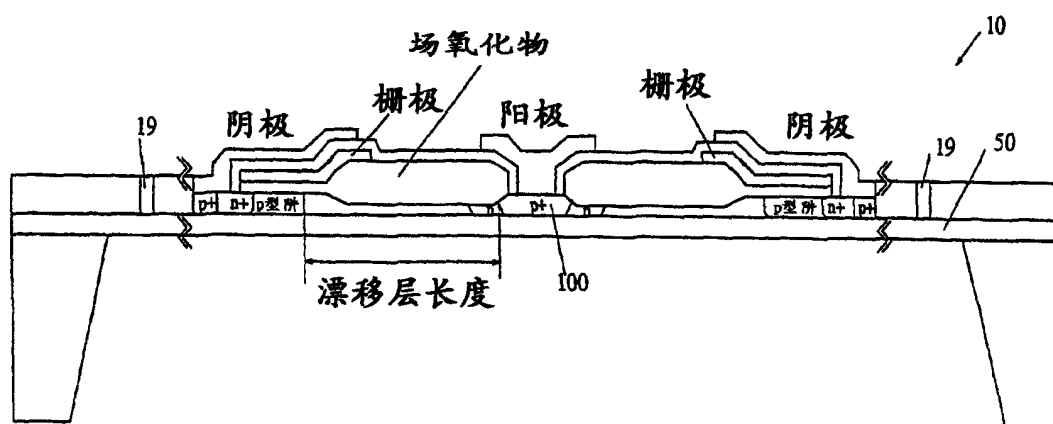


图 25c

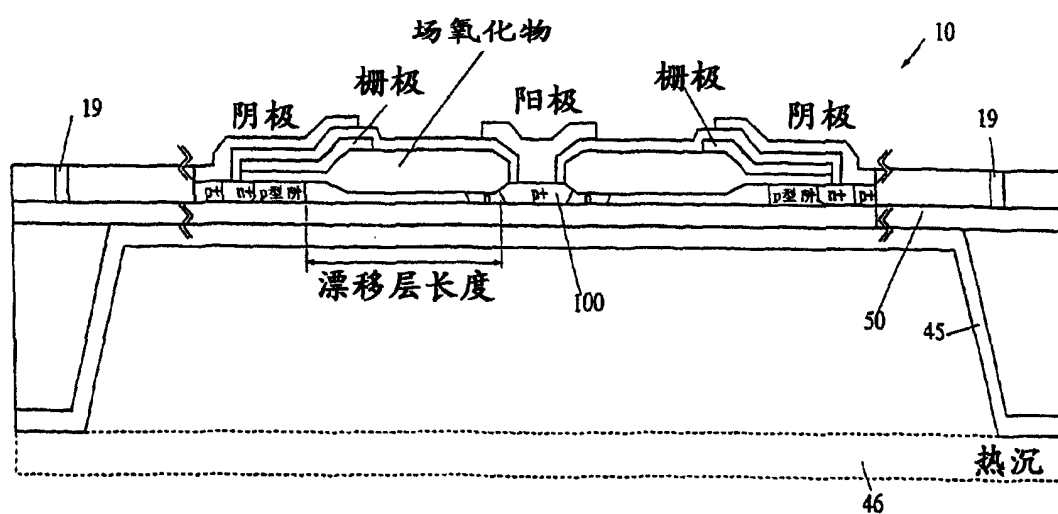


图 26a

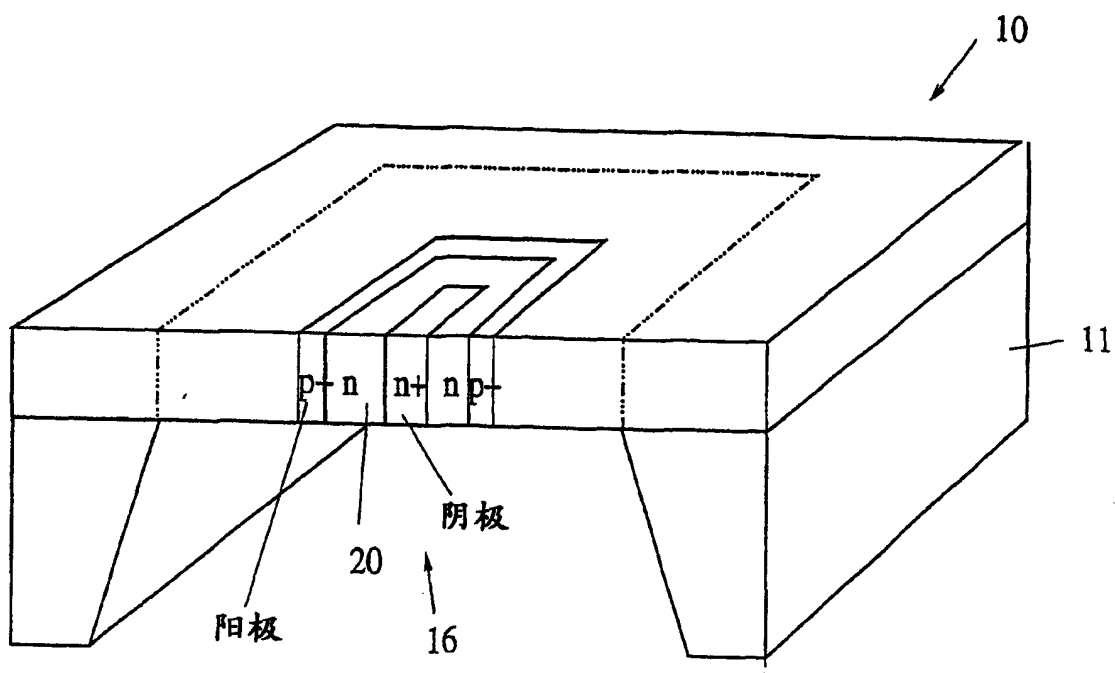


图 26b

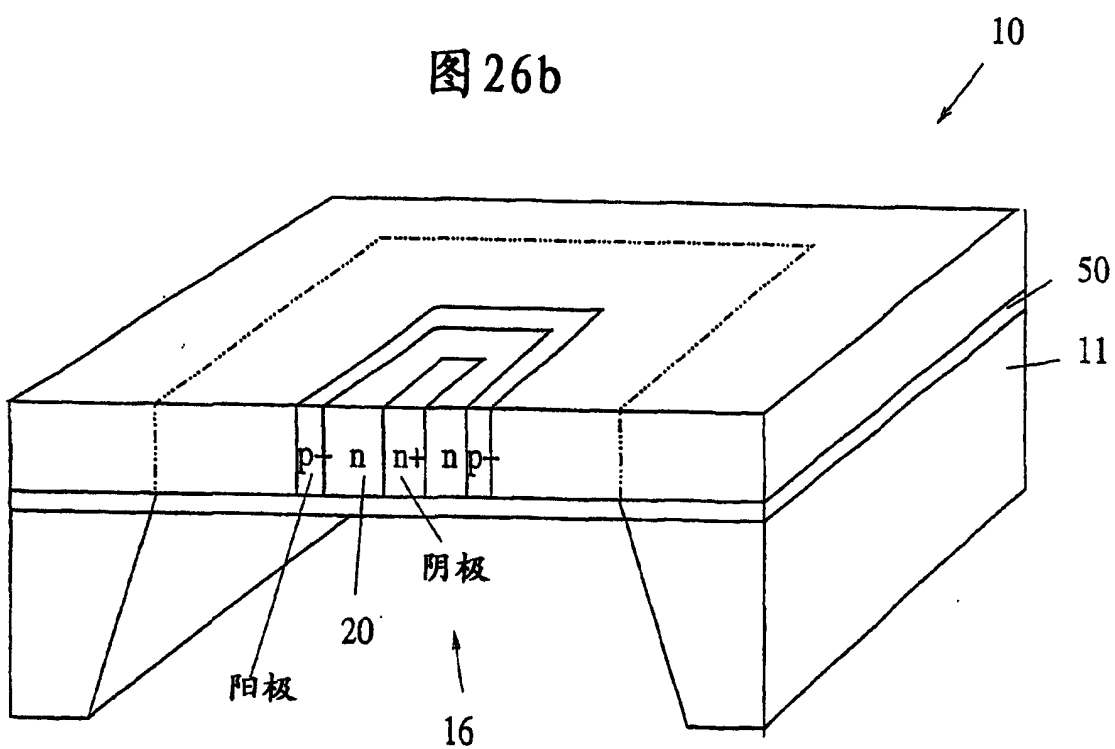


图27a

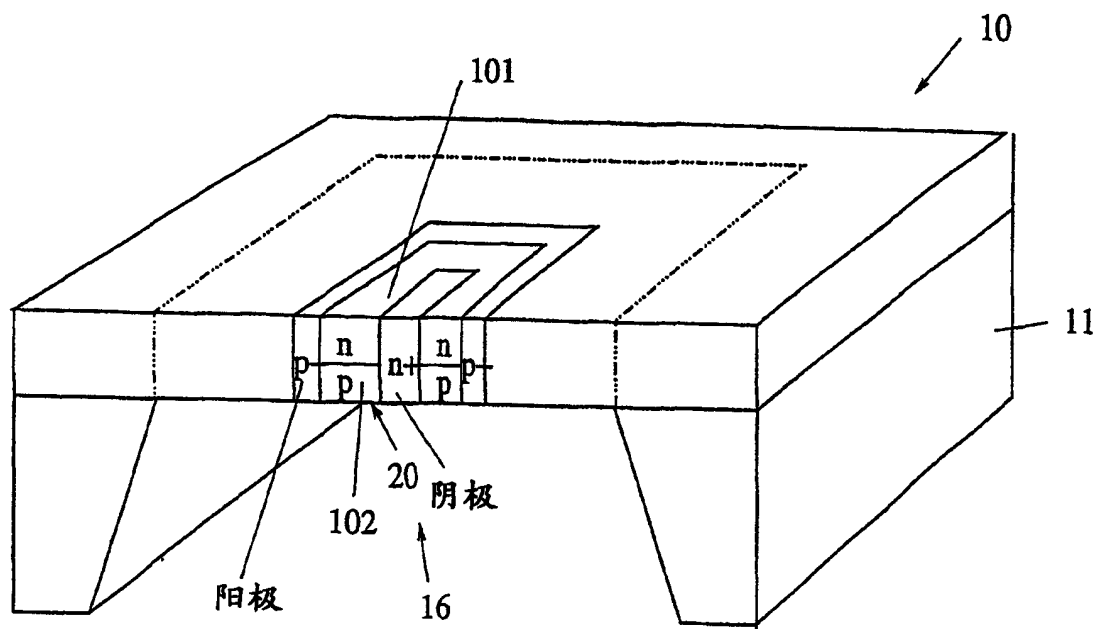


图27b

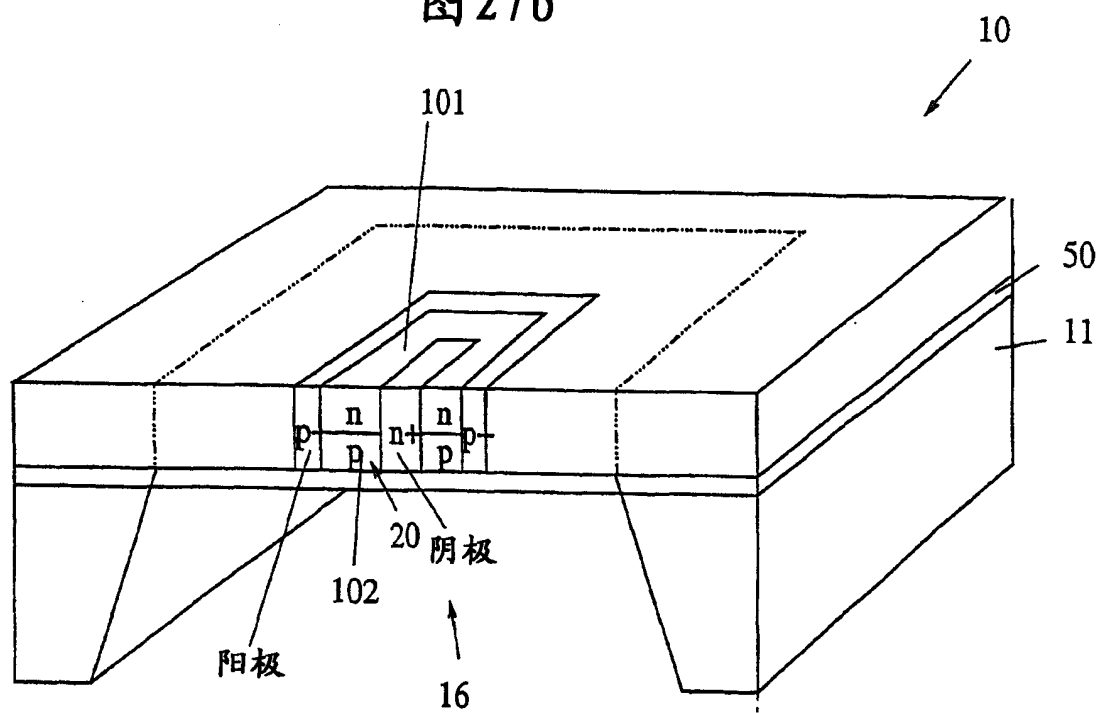


图 28a

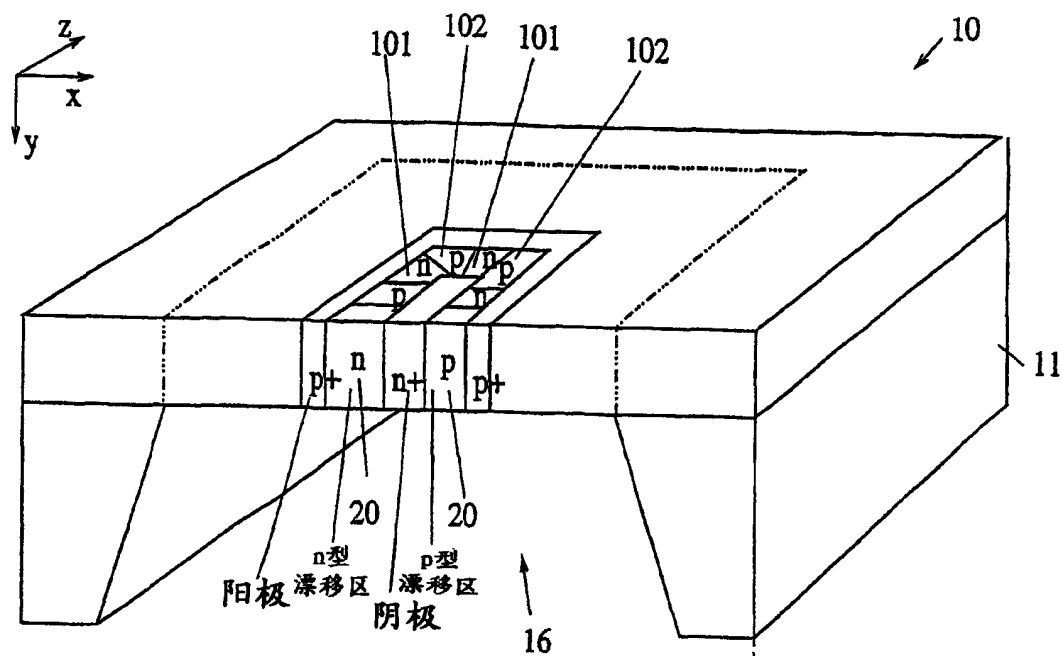


图 28b

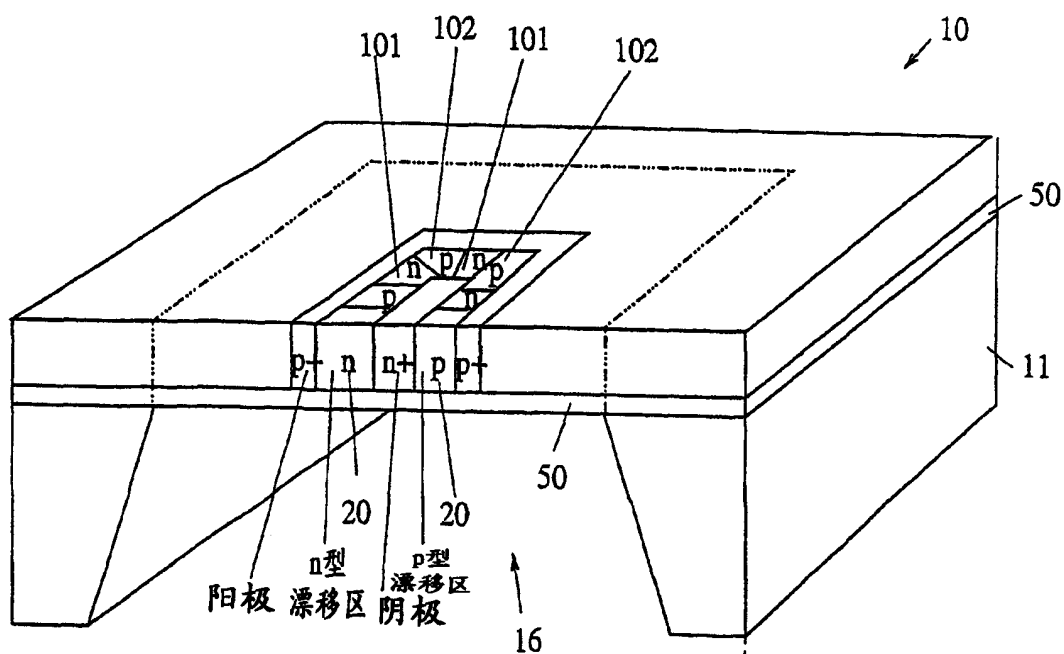


图 29a

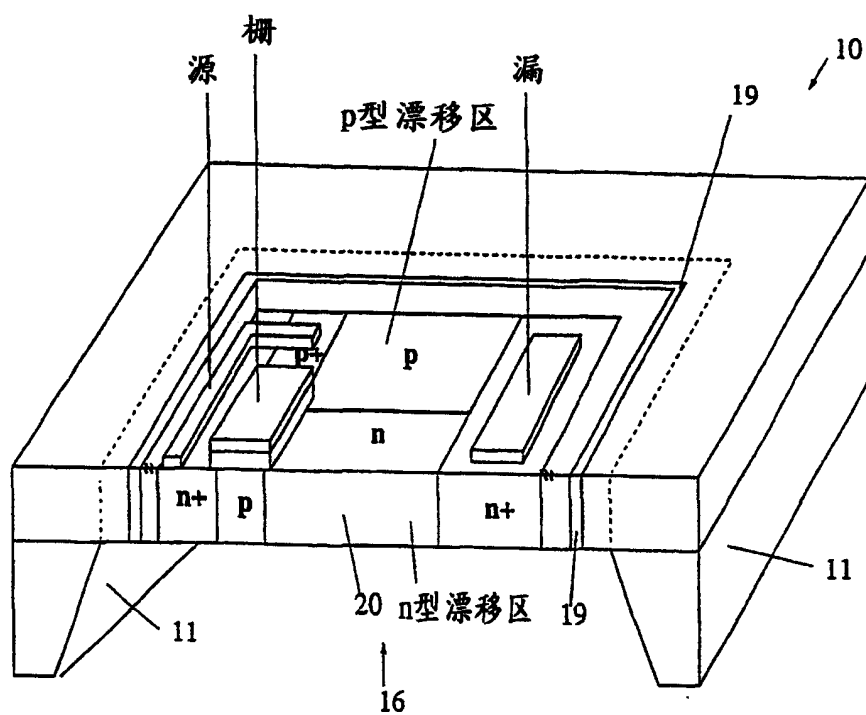


图 29b

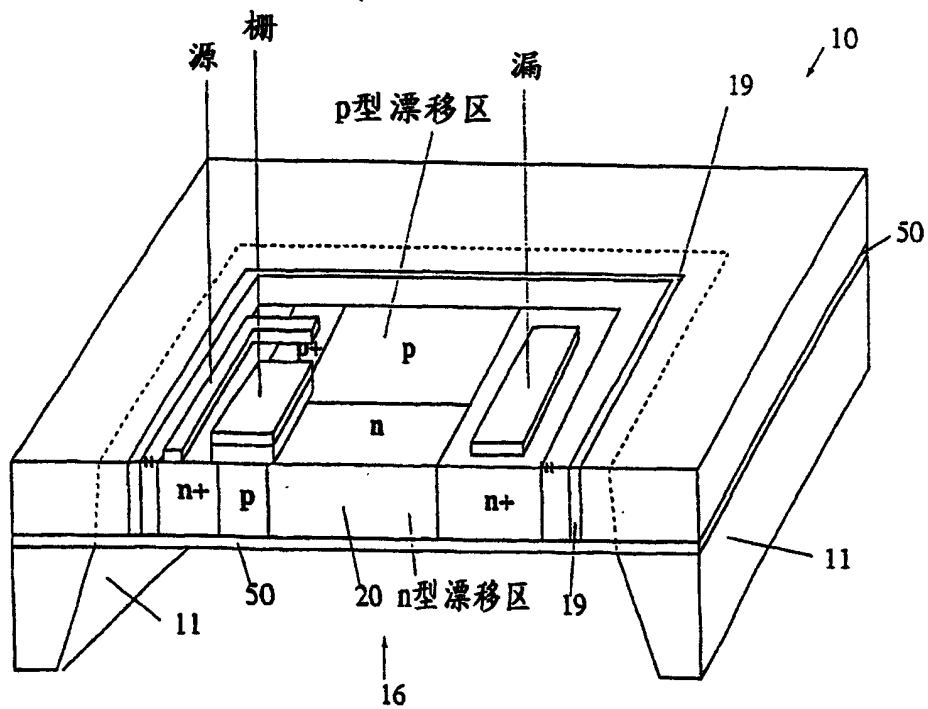


图 32

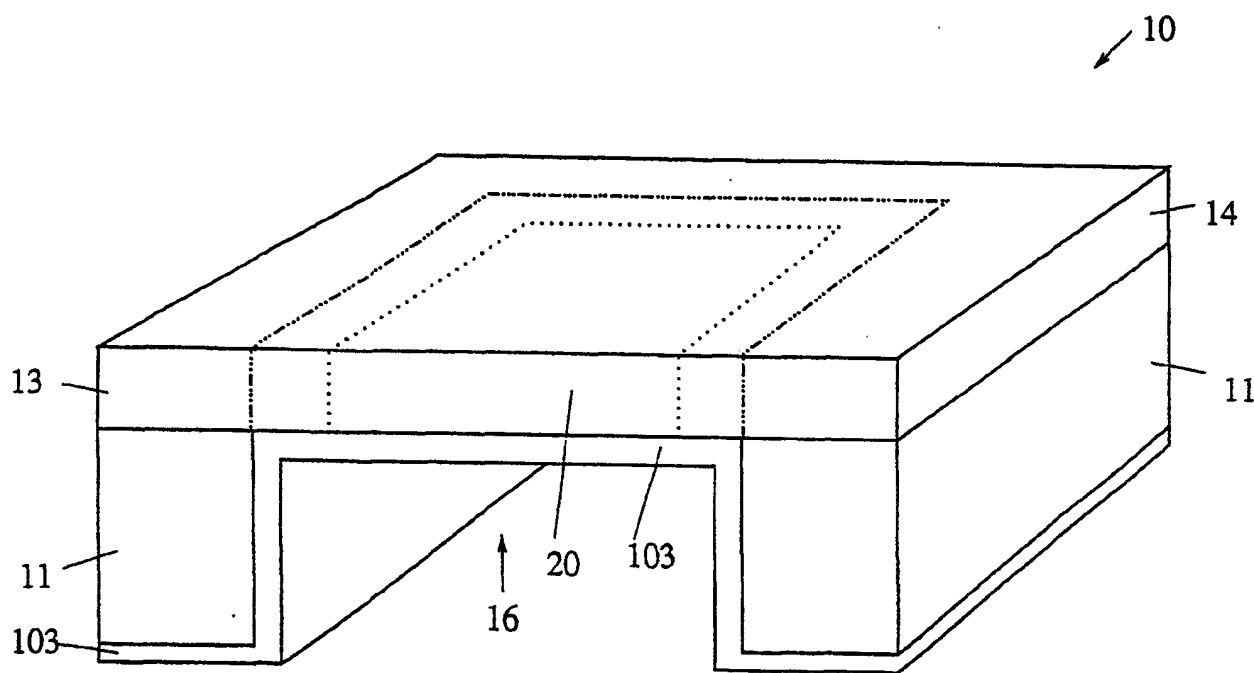


图 33

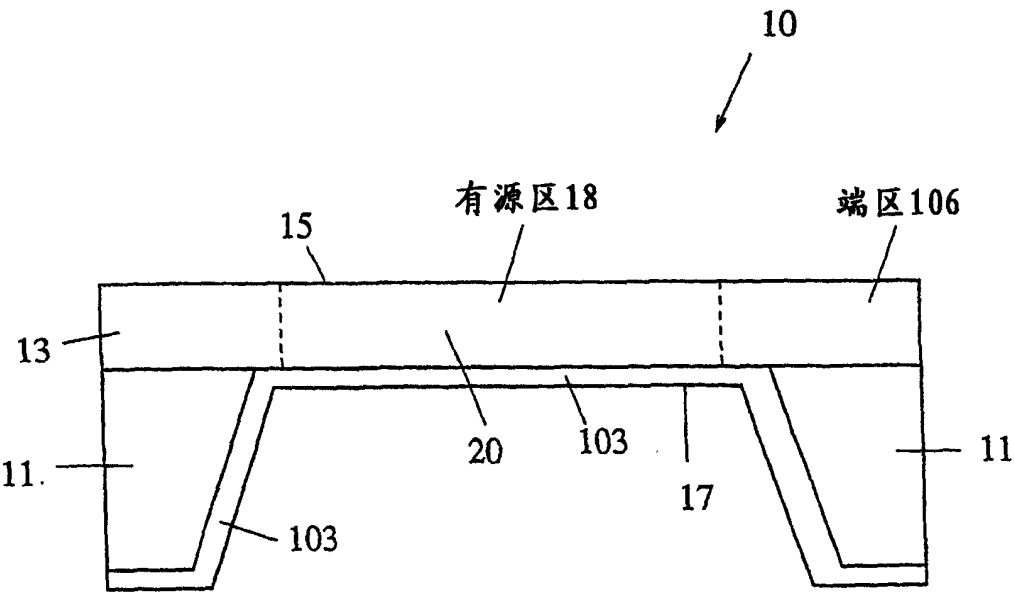


图 35

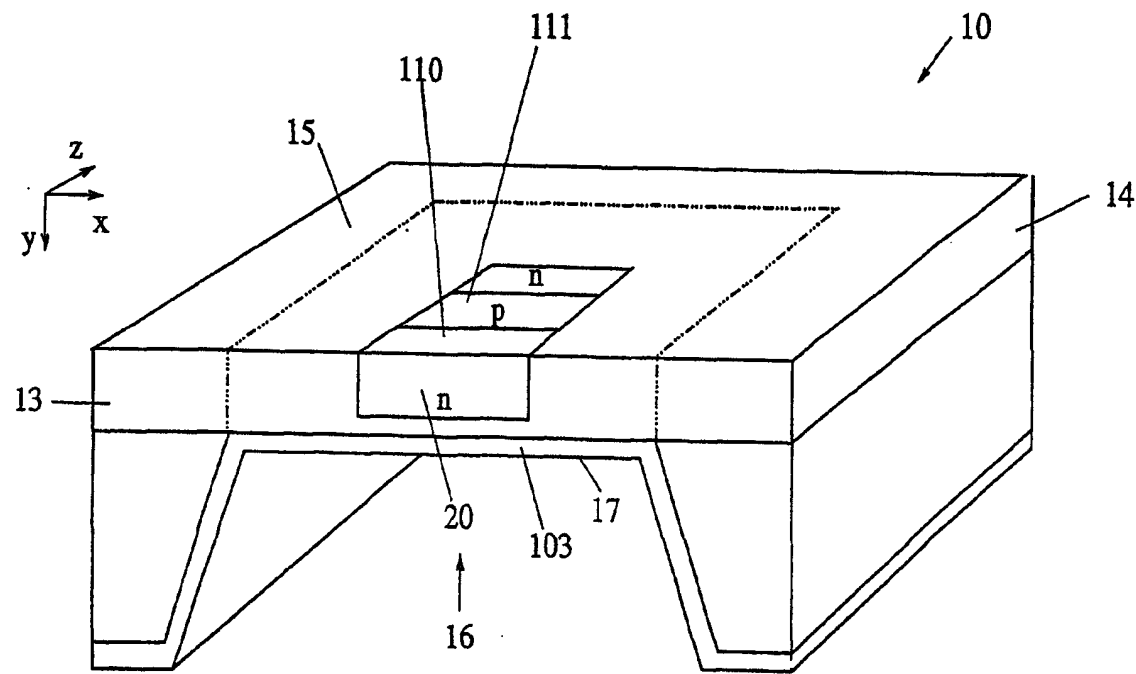


图 36a

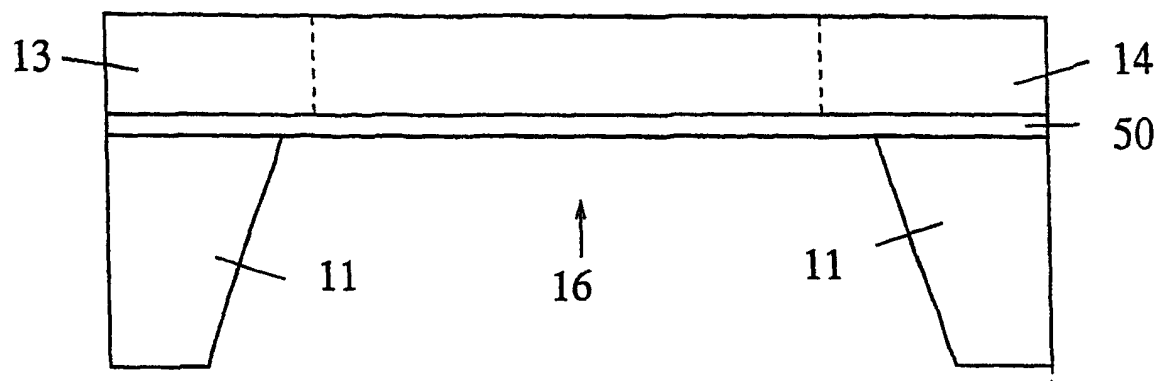


图 36b

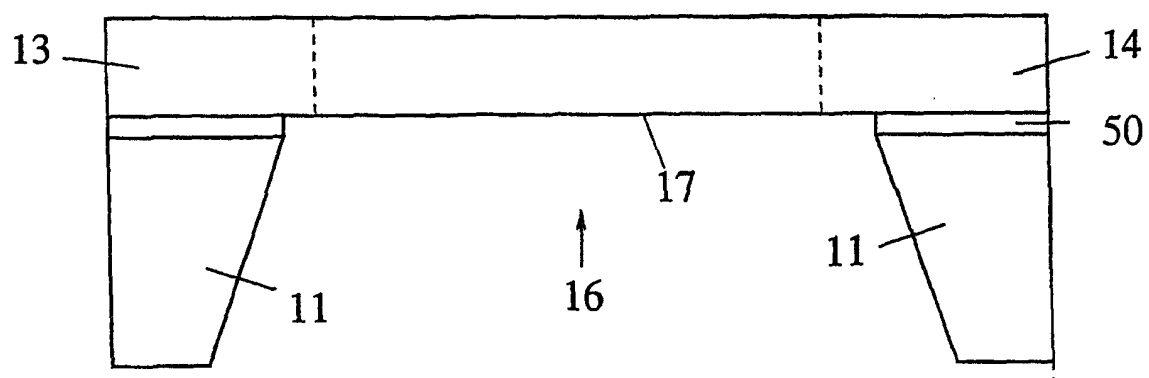


图 36c

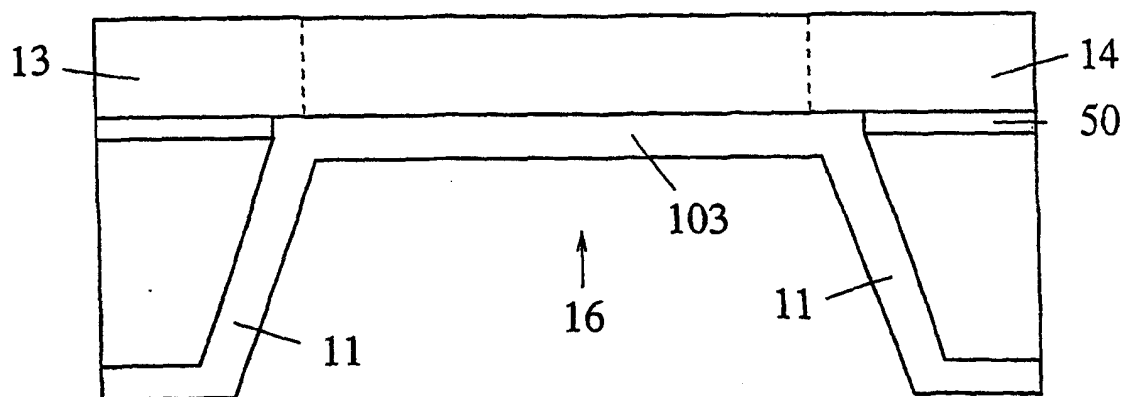


图 37

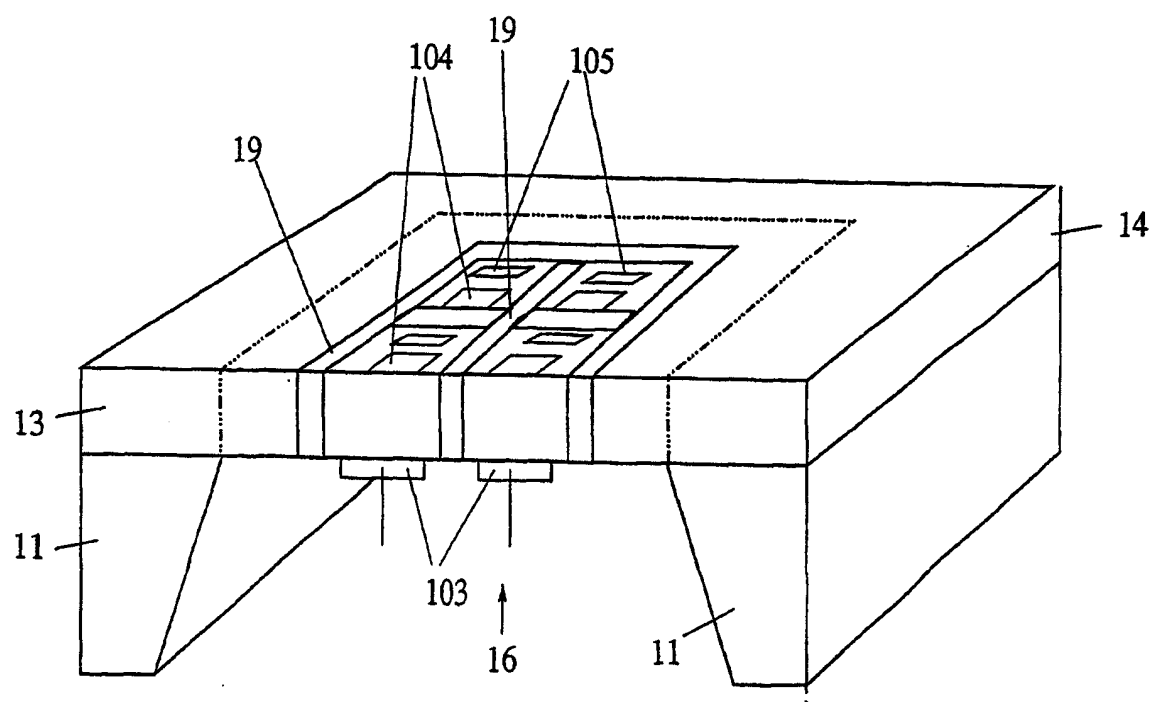


图 38a

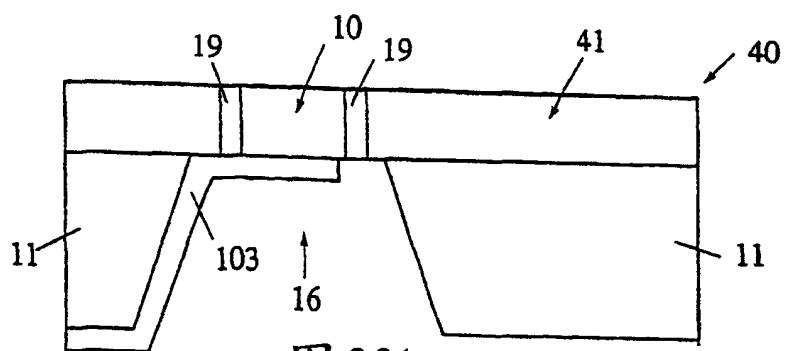


图 38b

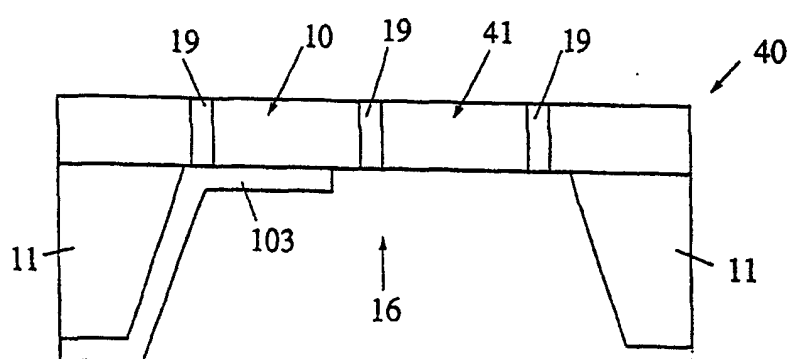


图 38c

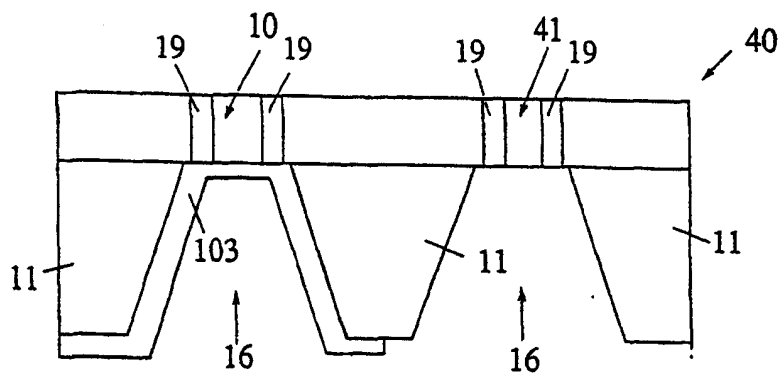


图 38d

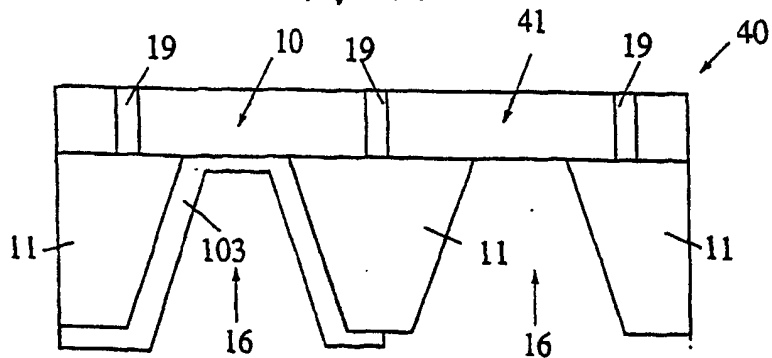


图 39a

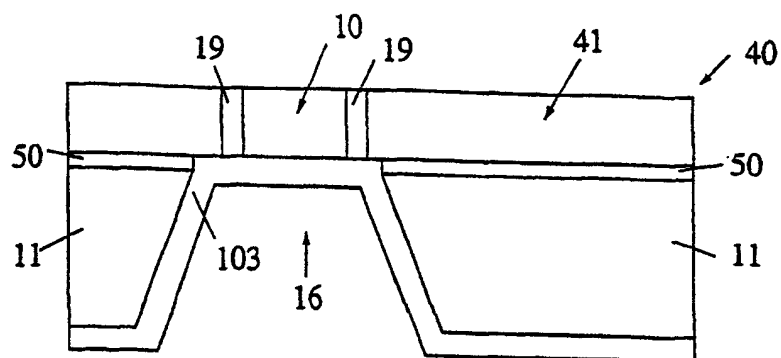


图 39b

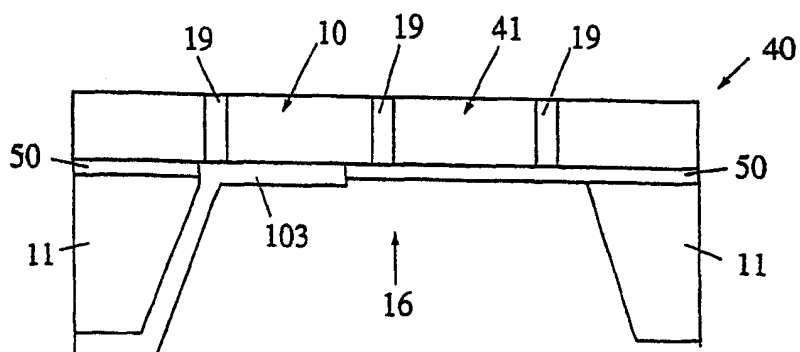


图 39c

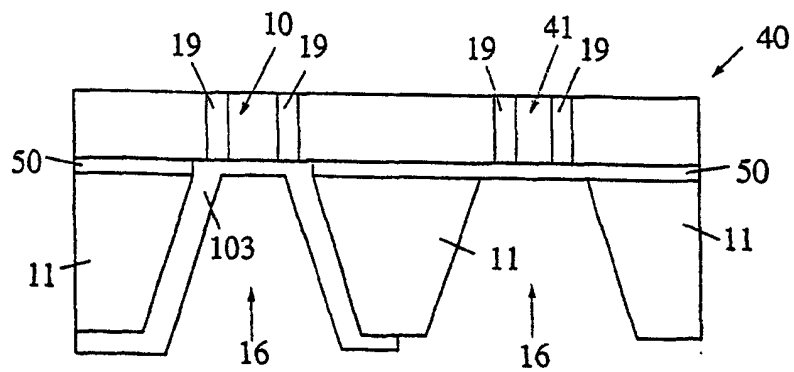


图 39d

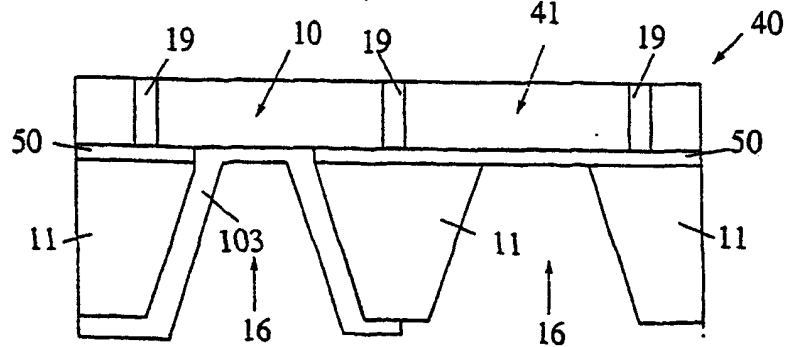


图 40a

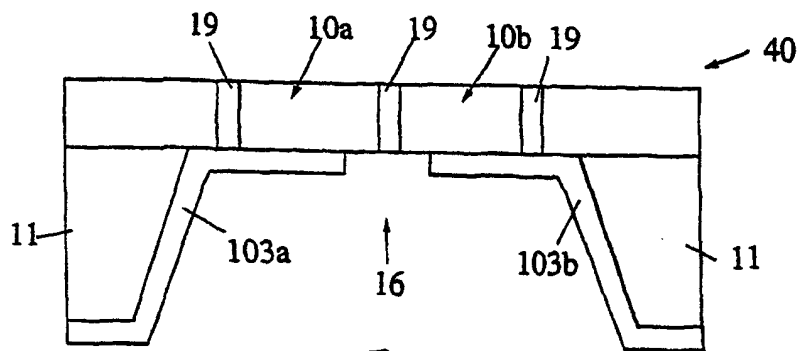


图 40b

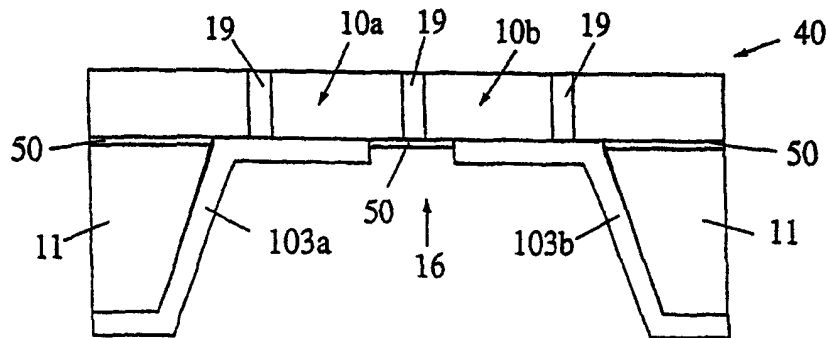


图 40c

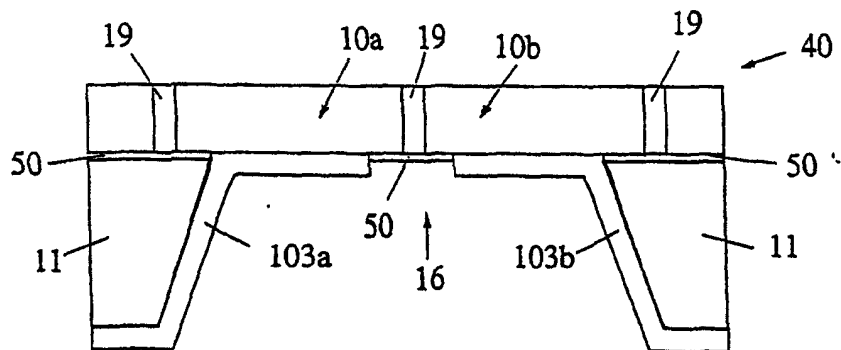


图 40d

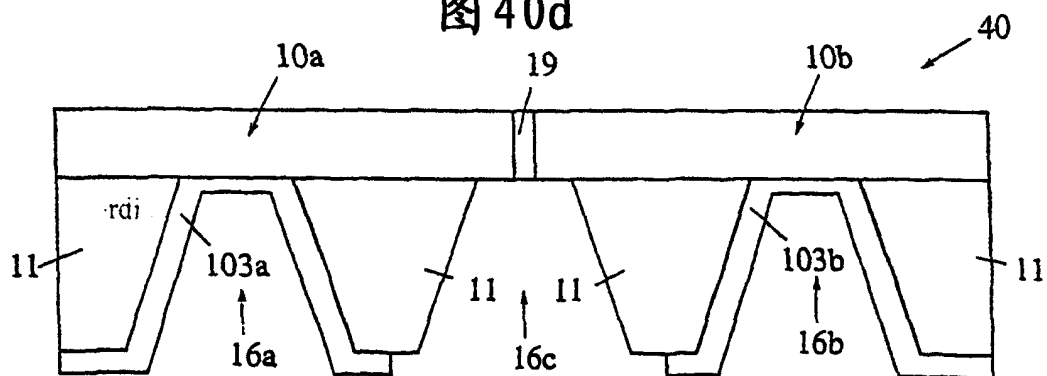


图 41a

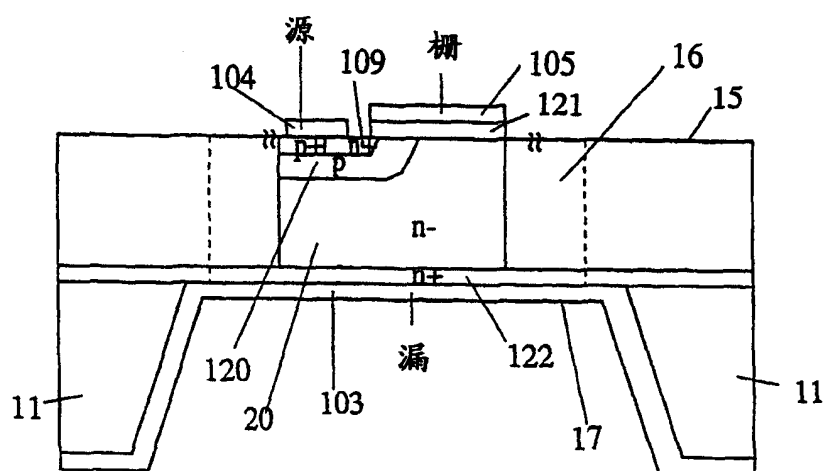


图 41b

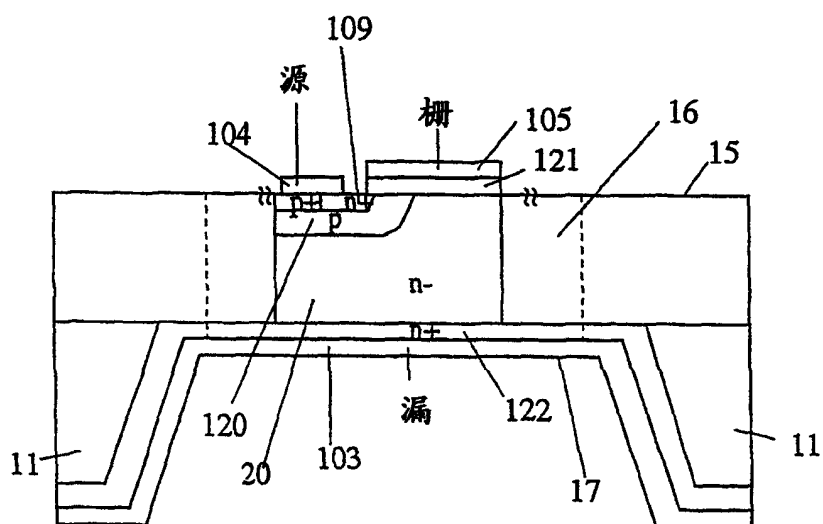


图 41c

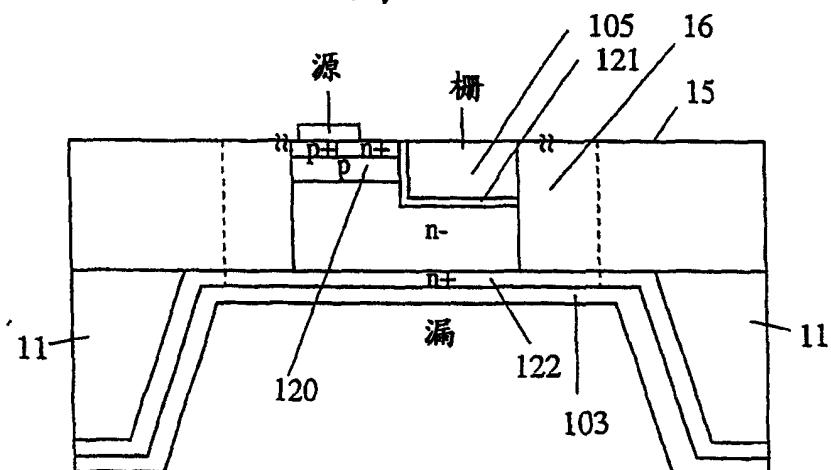


图42a

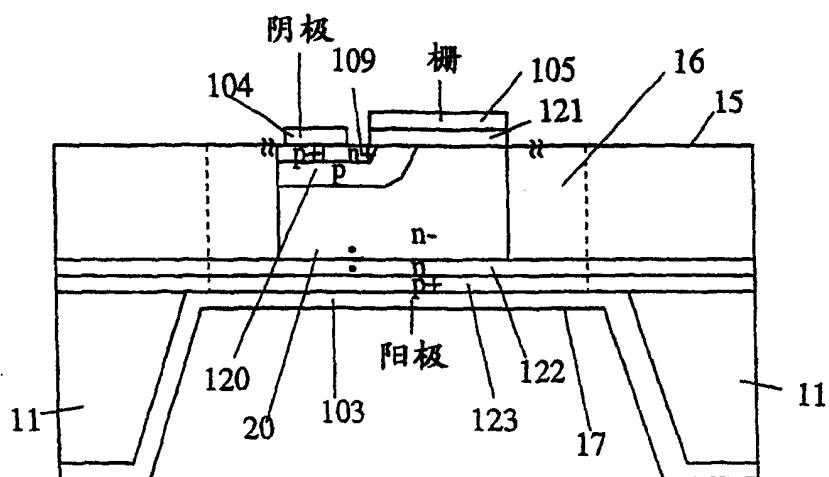


图42b

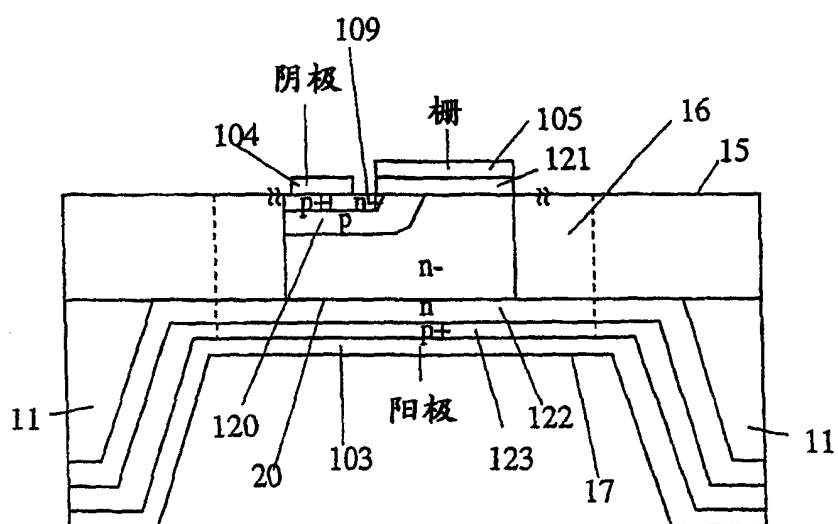


图42c

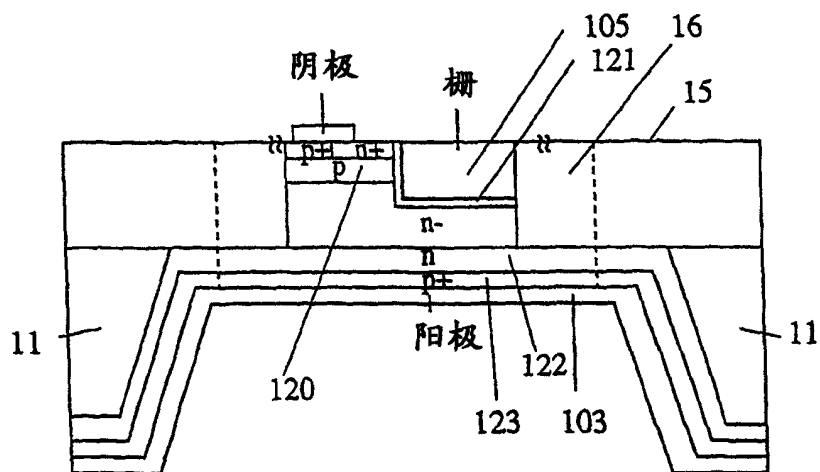


图43a

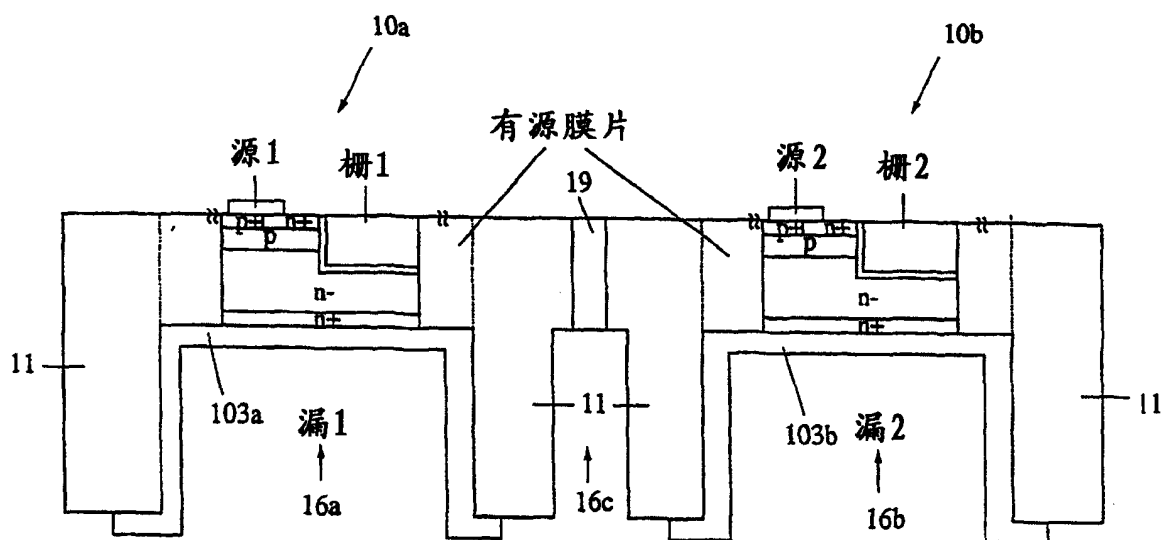


图43b

