

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2018-512812

(P2018-512812A)

(43) 公表日 平成30年5月17日 (2018.5.17)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/10 (2006.01)	H03K 17/10	5H730
H02M 1/08 (2006.01)	H02M 1/08	A 5H740
H02M 3/155 (2006.01)	H02M 3/155	T 5J055

審査請求 未請求 予備審査請求 有 (全 19 頁)

(21) 出願番号	特願2017-550205 (P2017-550205)	(71) 出願人	507364838
(86) (22) 出願日	平成28年3月15日 (2016.3.15)		クアルコム、インコーポレイテッド
(85) 翻訳文提出日	平成29年9月25日 (2017.9.25)		アメリカ合衆国 カリフォルニア 921
(86) 国際出願番号	PCT/US2016/022506		21 サン ディエゴ モアハウス ドラ
(87) 国際公開番号	W02016/160328		イブ 5775
(87) 国際公開日	平成28年10月6日 (2016.10.6)	(74) 代理人	100108453
(31) 優先権主張番号	14/671,553		弁理士 村山 靖彦
(32) 優先日	平成27年3月27日 (2015.3.27)	(74) 代理人	100163522
(33) 優先権主張国	米国 (US)		弁理士 黒田 晋平
		(72) 発明者	ヴィンチャール・グプタ
			アメリカ合衆国・カリフォルニア・921
			21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775

最終頁に続く

(54) 【発明の名称】 パワー FET のカスコードスタックの駆動

(57) 【要約】

出力ノードをカスコードゲート上に容量結合することによって出力ノードに対して実質的に遅延なしでカスコードのゲートを動かすカスコード構成が開示される。受動的な結合は、カスコードのゲートを能動的に駆動することの必要性を除去する。いくつかの実施形態では、カスコードゲート上に必要な唯一の回路は、カスコードゲート上のスイングを V_{max} と $2 \times V_{max}$ との間に制限するバイアス回路であってもよく、ここで、 V_{max} はトランジスタデバイス定格である。

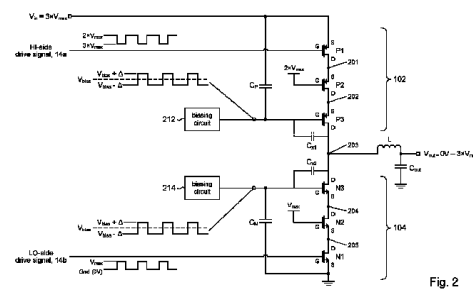


Fig. 2

【特許請求の範囲】**【請求項 1】**

回路であって、

出力端子および制御端子を有する出力トランジスタデバイスと、

前記出力端子上の出力信号を継続的に追跡する結合信号により前記制御端子を駆動するように構成される、前記制御端子と前記出力端子との間の容量結合と、

前記制御端子に接続されるバイアス回路であって、前記制御端子上に駆動信号を提供するために前記結合信号と組み合わせられるDCバイアス電圧を提供するように構成され、前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するために実質的に遅延なしで前記駆動信号の電圧レベルの変化に応答するようにさらに構成される、バイアス回路と

10

を備える、回路。

【請求項 2】

第1のトランジスタデバイスおよび第2のトランジスタデバイスをさらに備え、前記第2のトランジスタデバイスが前記第1のトランジスタデバイスのカスコードであり、前記第1のトランジスタデバイスが入力電圧への接続のために構成される入力端子を有し、前記容量結合が、

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記出力端子との間の第1のキャパシタンスと、

前記第1のトランジスタデバイスの前記入力端子と前記出力トランジスタデバイスの前記制御端子との間の第2のキャパシタンスと

20

を備える、請求項1に記載の回路。

【請求項 3】

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間の寄生容量を備える、請求項1に記載の回路。

【請求項 4】

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間に接続されるキャパシタを備える、請求項1に記載の回路。

30

【請求項 5】

第4のトランジスタデバイスと、

前記第4のトランジスタデバイスのカスコードとして接続される第5のトランジスタデバイスと、

前記第5のトランジスタデバイスのカスコードとして接続される第2の出力トランジスタデバイスであって、出力端子および制御端子を有する、第2の出力トランジスタデバイスと、

前記出力端子上の出力信号を継続的に追跡する結合信号により前記制御端子を駆動するように構成される、前記制御端子と前記出力端子との間の容量結合と、

40

前記制御端子に接続されるバイアス回路であって、前記制御端子上に駆動信号を提供するために前記結合信号と組み合わせられるDCバイアス電圧を提供するように構成され、前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するために遅延なしで前記駆動信号の電圧レベルの変化に応答するようにさらに構成される、バイアス回路と

をさらに備える、請求項1に記載の回路。

【請求項 6】

前記第2の出力トランジスタデバイスの前記制御端子と前記第2の出力トランジスタデバイスの前記出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間の寄生容量を備える、請求項5に記載の回路。

【請求項 7】

50

前記第2の出力トランジスタデバイスの前記制御端子と前記第2の出力トランジスタデバイスの前記出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間に接続されるキャパシタを備える、請求項5に記載の回路。

【請求項 8】

回路であって、

第1のトランジスタ、第2のトランジスタ、および第3のトランジスタを備える第1のスタックであって、前記第3のトランジスタが制御端子および出力端子を備える、第1のスタックと、

ノードにおいて前記第1のスタックに接続される第2のスタックと、

前記第3のトランジスタの前記制御端子に接続されるバイアス回路と、

10

前記出力端子における出力信号を結合信号として前記制御端子に結合するように構成される、前記第3のトランジスタの前記制御端子と前記第3のトランジスタの前記出力端子との間の容量結合と

を備え、

前記バイアス回路が、前記制御端子上の駆動信号を生成するために前記結合信号と組み合わせられるDCバイアス電圧を提供するように構成され、実質的に遅延なしで前記駆動信号の電圧レベルの変化に応答し、かつ前記駆動信号の前記電圧レベルが変化するとき前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するようにさらに構成される、回路。

【請求項 9】

20

前記容量結合が、前記第3のトランジスタデバイスの前記出力端子と前記第3のトランジスタデバイスの前記制御端子との間の寄生容量を備える、請求項8に記載の回路。

【請求項 10】

前記容量結合が、前記第3のトランジスタデバイスの前記出力端子と前記第3のトランジスタデバイスの前記制御端子との間の明示的なキャパシタを備える、請求項8に記載の回路。

【請求項 11】

前記第1のトランジスタデバイスと前記第3のトランジスタデバイスとの間に接続されるキャパシタをさらに備える、請求項8に記載の回路。

【請求項 12】

30

前記第2のスタックが、

第4のトランジスタデバイスと、

前記第4のトランジスタデバイスのカスコードとして接続される第5のトランジスタデバイスと、

前記第5のトランジスタデバイスのカスコードとして接続される第6のトランジスタデバイスであって、出力端子および制御端子を有する、第6のトランジスタデバイスと、

前記第6のトランジスタデバイスの前記出力端子上の出力信号を継続的に追跡する結合信号を前記制御端子に結合するように構成される、前記第6のトランジスタデバイスの前記制御端子と前記第6のトランジスタデバイスの前記出力端子との間の容量結合と、

40

前記制御端子上の駆動信号を生成するために前記結合信号と組み合わせられるDCバイアス電圧を提供するように構成されるバイアス回路であって、前記駆動信号の前記電圧レベルが変化するとき前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するために実質的に遅延なしで前記駆動信号の電圧レベルの変化に応答するようにさらに構成される、バイアス回路と

を備える、請求項8に記載の回路。

【請求項 13】

トランジスタにおける方法であって、

前記トランジスタの出力端子と前記トランジスタの制御端子との間の容量結合を使用して、前記出力端子における分割出力信号を結合信号として前記制御端子に提供するステップと、

50

DCバイアス電圧を生成するステップと、

前記DCバイアス電圧を前記結合信号と組み合わせることによって前記トランジスタの前記制御端子上に駆動信号を提供するステップと、

前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持することによって、実質的に遅延なしで前記駆動信号の電圧レベルの変化に応答するステップと

備える、方法。

【請求項14】

前記容量結合が、前記出力端子と前記制御端子との間の寄生容量を備える、請求項13に記載の方法。

【請求項15】

前記容量結合が、電力レールと前記制御端子との間に接続されるキャパシタをさらに備え、前記キャパシタおよび前記寄生容量が容量分圧器を規定する、請求項14に記載の方法。

【請求項16】

前記容量結合が、容量分圧器を規定するために、前記出力端子と前記制御端子との間に接続される第1のキャパシタと、電力レールと前記制御端子との間に接続される第2のキャパシタとを備える、請求項13に記載の方法。

【請求項17】

回路であって、

前記回路内のトランジスタの出力端子と前記トランジスタの制御端子との間の容量結合を使用して、前記出力端子における分割出力信号を結合信号として前記制御端子に提供するための手段と、

DCバイアス電圧を生成するための手段と、

前記DCバイアス電圧を前記結合信号と組み合わせることによって前記トランジスタの前記制御端子上に駆動信号を提供するための手段と、

前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するために実質的に遅延なしで前記駆動信号の電圧レベルの変化に応答するための手段と備える、回路。

【請求項18】

前記容量結合が、前記出力端子と前記制御端子との間の寄生容量を備える、請求項17に記載の回路。

【請求項19】

前記容量結合が、電力レールと前記制御端子との間に接続されるキャパシタをさらに備え、前記キャパシタおよび前記寄生容量が容量分圧器を規定する、請求項18に記載の回路。

【請求項20】

前記容量結合が、容量分圧器を規定するために、前記出力端子と前記制御端子との間に接続される第1のキャパシタと、電力レールと前記制御端子との間に接続される第2のキャパシタとを備える、請求項17に記載の回路。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願

本出願は、2015年3月27日に提出した米国出願第14/671,553号の優先権を主張するものであり、その内容の全体がすべての目的のために参照により本明細書に組み込まれる。

【背景技術】

【0002】

別段に規定されていない限り、上記は、本明細書に記載の特許請求の範囲に対する従来技術であるとは認められず、そのようなものとして解釈されるべきではない。

10

20

30

40

50

【0003】

現代のポータブルアプリケーションは、Liイオン電池に直接接続する電力管理デバイスを必要とする場合がある。そのような構成は、電力管理デバイスの検知回路を4.8V以上の電圧にかけることが可能である。28nm CMOS技術では、標準的なIOデバイスは、約2.3Vの最大定格(V_{max})を有することが可能である。5Vの V_{max} を有する高電圧デバイスを28nm技術において作製することが可能であるが、マスクのコストが著しく高くなり、電力効率の低下を招く。 V_{max} は、一般に、デバイスのゲートソース電圧(V_{gs})またはゲートドレイン電圧(V_{gd})を指す。

【0004】

単にこの点を示すために、図4は、28nm技術FETを使用した電力段の一例を示す。この例では、 V_{max} が2.3Vで、入力電圧 V_{in} が $3 \times V_{max}$ であると仮定されたい。したがって、電力段の出力 V_{out} は、0Vから $3 \times V_{max}$ までスイングする。Q1およびQ2のゲートは、たとえば、スイッチング電源、D級増幅器などのゲートドライバによって駆動されてもよい。図4は、電力段が $3 \times V_{max}$ を出力するスイッチング電源の構成を示す。 V_{out} が $3 \times V_{max}$ を出力するために、Q2のゲートは、Q2をターンオフするように接地される必要がある(Q1のゲートは、Q1をターンオンするように $2 \times V_{max}$ に駆動される)。しかしながら、ドレインが $3 \times V_{max}$ であるときにデバイスQ2のゲートをグラウンドに駆動することは、Q2の V_{gd} がその V_{max} 定格を超える条件を作り出し、そのことによって、経時的にゲート酸化物層を絶縁破壊させることが可能である。

【発明の概要】

【課題を解決するための手段】

【0005】

本開示による回路は、出力端子および制御端子を有する出力トランジスタを含んでもよい。制御端子と出力端子との間の容量結合は、出力端子上の出力信号を継続的に追跡する結合信号により制御端子を駆動するように構成されてもよい。制御端子に接続されるバイアス回路は、制御端子上に駆動信号を提供するために結合信号と組み合わせられるDCバイアス電圧を提供するように構成されてもよい。

【0006】

いくつかの態様では、回路は、第1のトランジスタデバイスおよび第2のトランジスタデバイスをさらに含んでもよい。第2のトランジスタデバイスは、第1のトランジスタデバイスのカスコードであってもよい。第1のトランジスタデバイスは、入力電圧への接続のために構成される入力端子を有する場合があります。容量結合は、出力トランジスタデバイスの制御端子と出力トランジスタデバイスの出力端子との間の第1のキャパシタンスと、第1のトランジスタデバイスの入力端子と出力トランジスタデバイスの制御端子との間の第2のキャパシタンスとを含む。

【0007】

いくつかの態様では、出力トランジスタデバイスの制御端子と出力トランジスタデバイスの出力端子との間の容量結合は、制御端子と出力端子との間の寄生容量であってもよい。いくつかの態様では、容量結合は、制御端子と出力端子との間に接続されるキャパシタであってもよい。

【0008】

本開示による回路は、第1のトランジスタ、第2のトランジスタ、および第3のトランジスタを備える第1のスタックを含んでもよい。第3のトランジスタは、制御端子および出力端子を有してもよい。回路は、ノードにおいて第1のスタックに接続される第2のスタックをさらに含んでもよい。バイアス回路は、第3のトランジスタデバイスの制御端子に接続されてもよい。第3のトランジスタの制御端子と第3のトランジスタの出力端子との間の容量結合は、出力端子における出力信号を結合信号として制御端子に結合するように構成されてもよい。

【0009】

バイアス回路は、制御端子上の駆動信号を生成するために結合信号と組み合わせられる

10

20

30

40

50

DCバイアス電圧を提供するように構成されてもよい。バイアス回路は、実質的に遅延なしで、駆動信号の電圧レベルの変化に応答し、駆動信号の電圧レベルの変化に応答して、第1の電圧レベルと第2の電圧レベルとの間に維持するためにDCバイアス電圧の電圧レベルを変化させるようにさらに構成されてもよい。

【0010】

いくつかの態様では、容量結合は、第3のトランジスタデバイスの出力端子と第3のトランジスタデバイスの制御端子との間の寄生容量を含んでもよい。いくつかの態様では、容量結合は、第3のトランジスタデバイスの出力端子と第3のトランジスタデバイスの制御端子との間の第2のキャパシタをさらに含んでもよい。

【0011】

本開示による回路における方法は、出力端子と制御端子との間の容量結合を使用して、トランジスタの出力端子における分割出力信号を結合信号としてトランジスタの制御端子に提供するステップを含んでもよい。DCバイアス電圧は、トランジスタの制御端子上に駆動信号を提供するために、生成され、結合信号と組み合わせられてもよい。本方法は、第1の電圧レベルと第2の電圧レベルとの間に維持するためにDCバイアス電圧の電圧レベルを変化させることによって、実質的に遅延なしで、駆動信号の電圧レベルの変化に応答するステップを含んでもよい。

【0012】

本開示による回路は、出力端子と制御端子との間の容量結合を使用して、回路内のトランジスタの出力端子における分割出力信号を結合信号としてトランジスタの制御端子に提供するための手段と、DCバイアス電圧を生成する手段と、DCバイアス電圧を結合信号と組み合わせることによってトランジスタの制御端子上に駆動信号を提供するための手段と、第1の電圧レベルと第2の電圧レベルとの間に維持するためにDCバイアス電圧の電圧レベルを変化させることによって、実質的に遅延なしで、駆動信号の電圧レベルの変化に応答するための手段とを含んでもよい。

【0013】

以下の詳細な説明および添付の図面は、本開示の性質および利点のより深い理解を提供する。

【0014】

以下の議論および特に図面に関して、示される詳細が、例示的な議論のための例を表し、本開示の原理および概念的態様の説明を提供するために提示されることが強調される。この点に関して、本開示の基本的な理解のために必要であるものを超える実施態様の詳細を示すための試みはなされていない。以下の議論は、図面に関連して、本開示による実施形態がどのようにして実践され得るのかを当業者に明白にする。

【図面の簡単な説明】

【0015】

【図1】本開示の実施形態による電源のハイレベルブロック図である。

【図2】本開示によるカスコードスタックを示す図である。

【図2A】本開示によるカスコードスタックを示す図である。

【図3】バイアス回路の一例を示す図である。

【図4】従来の設計を示す図である。

【発明を実施するための形態】

【0016】

以下の説明において、説明のために、本開示の完全な理解を提供するために多数の例および特定の詳細が示される。しかしながら、特許請求の範囲に示されている本開示には、単独で、または以下で説明される他の特徴と組み合わせて、これらの例における特徴のうちのいくつかまたはすべてを含めてもよいこと、また、本明細書において説明する特徴および概念の変更形態および等価物をさらに含めてもよいことが当業者には明らかであろう。

【0017】

図1は、入力供給電圧 V_{in} から出力電圧 V_{out} を供給するために本開示に従って構成されるスイッチング電源10を示す。図1に示す構成は、バックコンバータを表す。しかしながら、たとえば、ブーストコンバータ、D級増幅器などの、任意のスイッチング電源アーキテクチャが、本開示に従って構成されてもよいことを当業者は了解されよう。制御セクション12は、ゲートドライバセクション14を制御するためのフィードバック信号としてスイッチング電源10の出力電圧 V_{out} を受け取ってもよい。ゲートドライバセクション14は、HIサイドスタック102を駆動するために駆動信号14aを生成し、LOサイドスタック104を駆動するために駆動信号14bを生成してもよい。インダクタ L および出力キャパシタ C_{out} が、バックコンバータを完結する場合がある。

【0018】

10

図2に示すように、いくつかの実施形態では、HIサイドスタック102およびLOサイドスタック104は各々、カスコードスタック構成を備えてもよい。HIサイドスタック102とLOサイドスタック104は、出力ノード203において接続してもよい。説明の目的で、供給電圧 V_{in} は $3 \times V_{max}$ であり、 V_{out} は $0V$ と $3 \times V_{max}$ との間でスイングすることができ、 V_{max} は最大トランジスタ電圧 V_{gd} を表す。たとえば、 V_{max} が $1.8V$ である場合、 V_{out} は $0V$ から $5.4V$ までスイングすることができる。 $V_{in}=3 \times V_{max}$ で、 V_{max} が $1.8V$ である構成では、HIサイドスタック102は、3つのトランジスタデバイス P_1 、 P_2 、 P_3 を備えてもよい。いくつかの実施形態では、トランジスタデバイスは、PMOSデバイスであってもよい。同様に、LOサイドスタック104は、いくつかの実施形態ではNMOSデバイスである場合がある、3つのトランジスタデバイス N_1 、 N_2 、 N_3 を備えてもよい。HIサイドスタック102およびLOサイドスタック104は、 V_{in} および V_{max} などのパラメータに応じて様々な数のトランジスタで構成されてもよいことが了解されよう。

20

【0019】

いくつかの実施形態では、HIサイド駆動信号14aは、 P_1 のゲートに結合されてもよい。HIサイド駆動信号14aは、 $3 \times V_{max}$ と $2 \times V_{max}$ との間でスイングするパルスであってもよい。LOサイド駆動信号14bは、 N_1 のゲートに結合されてもよい。LOサイド駆動信号14bは、 $0V$ と V_{max} との間でスイングするパルスであってもよい。本開示によれば、 P_2 および N_2 のゲートは、ゲート駆動回路によっては駆動されず、固定電圧においてバイアスされてもよい。いくつかの実施形態では、たとえば、 P_2 のゲートは、 $2 \times V_{max}$ の固定DCレベルにおいてバイアスされてもよく、同様に、 N_2 のゲートは、 V_{max} の固定DCレベルにおいてバイアスされてもよい。

30

【0020】

本開示によれば、バイアス回路212が、 P_3 のゲートに接続されてもよい。バイアスカパシタ C_p が、 V_{in} の供給レールと、 P_3 のゲートとの間に接続されてもよい。バイアス回路214が、 N_3 のゲートに接続されてもよく、バイアスカパシタ C_n が、接地電位と、 N_3 のゲートとの間に接続されてもよい。バイアス回路212、214は、DCバイアス $V_{bias\pm}$ を生成するための手段として構成されてもよい。 V_{bias} は、 $2 \times V_{max}$ と V_{max} との間の値であってもよい。いくつかの実施形態では、たとえば、 V_{bias} は $1.5 \times V_{max}$ であってもよい。

【0021】

P_3 のドレインは、 P_3 のゲートに容量結合され、したがって、ノード203において、出力信号を結合信号として P_3 のゲートに結合する場合がある。バイアス回路212の出力は、 P_3 のゲート上に駆動信号を提供するための手段としてその結合信号と組み合わせられてもよい。同様に、 N_3 のドレインは、 N_3 のゲートに容量結合され、したがって、ノード203において、出力信号を結合信号として N_3 のゲートに結合する場合がある。バイアス回路214の出力は、 N_3 のゲート上に駆動信号を提供するための手段としてその結合信号と組み合わせられてもよい。

40

【0022】

いくつかの実施形態では、トランジスタ P_3 および N_3 のそれぞれの寄生容量 C_{x1} 、 C_{x2} は、それぞれの容量結合を提供する場合がある。寄生容量が、ゲート領域およびドレイン領域などのトランジスタデバイスの構造物内に生じることを当業者は理解されよう。他の実施

50

形態では、明示的なキャパシタが使用される場合がある。図2Aは、たとえば、それぞれの寄生容量 C_{x1} 、 C_{x2} に加えて、明示的な容量性素子 C_1 、 C_2 を使用した一実施形態を示す。容量性素子 C_1 、 C_2 は、トランジスタ P_3 および N_3 が明示的なデバイスまたは個別のデバイスであるのと同様に、明示的なデバイスまたは個別のデバイスである。

【0023】

図3は、本開示のいくつかの実施形態による、図2に示すバイアス回路212の例示的な例を示す。バイアス回路214は、同様に構成されてもよい。

【0024】

V_{bias} 電圧は、バイアス回路212のDCバイアスレベルを設定する。ノード302は、図2に示すように、 P_3 のゲートに接続する。 P_3 のゲートにおける電圧が V_{bias} から量だけ(上または下に)偏位するとき、トランジスタ MN_{src} または MP_{snk} は、補償するためにターンオンする。いくつかの実施形態では、 V_{th} (しきい値電圧)であってもよい。いくつかの実施形態では、追加の補償(R_{src} 、 MP_{src} 、および R_{snk} 、 MN_{snk})を提供することができる。

【0025】

動作時、ノード302における電圧が V_{bias+} を超えて生じる場合、このイベントは、ノード302における電圧を抑えるための補償として MP_{snk} をターンオンする。ノード302における電圧が V_{bias+} に達するか、または V_{bias+} 未満まで落ちるとき、 MP_{snk} はターンオフする。 R_{snk} にわたってどのくらいの電流がシンクされているかに応じて、 MN_{snk} は、さらなる補償を提供するためにターンオンする場合もある。

【0026】

逆に、ノード302における電圧が V_{bias-} 未満まで落ちる場合、このイベントは、ノード302における電圧を押し上げるための補償として MN_{src} をターンオンする。ノード302における電圧が V_{bias-} に達するか、または V_{bias-} を超えるとき、 MN_{src} はターンオフする。 R_{src} にわたってどのくらいの電流がソースングされているかに応じて、 MP_{src} は、さらなる補償を提供するためにターンオンする場合もある。

【0027】

したがって、図3に示すバイアス回路212は、リアルタイムで V_{bias+} と V_{bias-} との間のDCバイアスレベルを維持することができ、唯一の遅延は、バイアス回路212を備えるトランジスタデバイス間の信号伝搬遅延によるものである。バイアス回路212は、 V_{bias+} と V_{bias-} との間のDCバイアス電圧を維持するために、実質的に遅延なしで、ノード302における電圧レベルの変化に応答するための手段の一例を示す。図3に示す回路が、本開示のいくつかの実施形態によるバイアス回路を示すにすぎないことが当然了解されよう。当業者は、他の等価回路を容易に実装することができる。

【0028】

次に、図2に示すカスコードスタックの動作の簡単な説明を与える。ゲートドライバセクション14(図1)は、HIサイドスタック102およびLOサイドスタック104を導通状態と非導通状態との間で循環させることができる。たとえば、ゲートドライバセクション14がHIサイドスタック102を導通させるとき、LOサイドスタック104は非導通にさせられ、逆に、ゲートドライバセクション14がHIサイドスタック102を非導通にさせるとき、LOサイドスタック104は導通させられる。

【0029】

第1のサイクルでは、たとえば、HIサイドスタック102が導通させられ、LOサイドスタック104が非導通にさせられると仮定されたい。HIサイドスタック102上で、ゲートドライバセクション14は、 P_1 をターンオンするために P_1 のゲートを $2 \times V_{max}$ にすることができる。その結果、ノード201における電圧は、 $3 \times V_{max}$ まで上昇する。 P_2 のゲートが $2 \times V_{max}$ にDCバイアスされるので、 P_2 はターンオンする。その結果、ノード202における電圧は、 $3 \times V_{max}$ まで上昇する。

【0030】

バイアス回路212が、 P_3 のゲートにおいて、バイアス電圧 V_{bias} を $2 \times V_{max}$ と V_{max} との間

で提供することを上記の説明から思い起こされたい。したがって、ノード202が $3 \times V_{\max}$ であるので、 P_3 はターンオンする。ノード203における電圧が $3 \times V_{\max}$ まで上昇すると同時に、 P_3 のゲート電圧は、ノード203における出力電圧の少なくとも一部を P_3 のゲートに結合する、容量結合(たとえば、 C_{x1})によっても上昇する。たとえば、バイアスキャパシタ C_p および C_{x1} (または図2Aの C_1)は、ノード203における出力電圧の分割部分を P_3 のゲートに提供するための手段として構成される容量分圧器を規定する場合がある。容量結合の結果として、 P_3 におけるゲート電圧は、 P_3 の V_{gd} が V_{\max} を超えないように、実質的に遅延なしで、ノード203における出力電圧をリアルタイムで追跡することができる。バイアス回路212が P_3 のゲート電圧を $2 \times V_{\max}$ と V_{\max} との間に維持するように構成されるので、 P_3 のゲート電圧は、ノード203が $3 \times V_{\max}$ まで上昇し続けるとき、 $2 \times V_{\max}$ の最大電圧に制限(固定)される。

10

【0031】

L0サイドスタック104の動作を参照すると、第1のサイクルでは、ゲートドライバセクション14は、L0サイドスタック104を非導通状態にする場合がある。ゲートドライバセクション14は、 N_1 のゲートを接地電位にし、したがって、 N_1 をターンオフする場合がある。 N_2 のゲートが V_{\max} にDCバイアスされるので、ノード205は、 V_{\max} まで上昇し、したがって、 N_2 が確実にオフになる。

【0032】

N_3 において、ノード203における電圧が $3 \times V_{\max}$ まで上昇すると同時に、 N_3 のゲート電圧は、ノード203における出力電圧の少なくとも一部を N_3 のゲートに結合する、容量結合(たとえば、 C_{x2})によっても上昇する。たとえば、バイアスキャパシタ C_n および C_{x2} (または図2Aの C_2)は、ノード203における出力電圧の分割部分を N_3 のゲートに提供する容量分圧器を規定する場合がある。その結果、 N_3 におけるゲート電圧は、 N_3 の V_{gd} が V_{\max} を超えないように、実質的に遅延なしで、ノード203における出力電圧をリアルタイムで追跡することができる。バイアス回路214が N_3 のゲート電圧を $2 \times V_{\max}$ と V_{\max} との間に維持するように構成されるので、 N_3 のゲート電圧は、ノード203が $3 \times V_{\max}$ まで上昇し続けるとき、 $2 \times V_{\max}$ に制限(固定)される。ノード204における電圧が N_3 のゲート電圧すなわち $2 \times V_{\max}$ まで上昇し、したがって、 N_3 が確実にオフになる。 N_3 の最大ゲート電圧を $2 \times V_{\max}$ に制限することによって、 N_3 の V_{gd} は、ノード203における電圧が $3 \times V_{\max}$ に達するとき、 N_3 の V_{\max} 定格を超えない。

20

30

【0033】

次に、HIサイドスタック102を非導通にすることができ、L0サイドスタック104を導通させることができる、第1のサイクルに続く第2のサイクルを考察されたい。L0サイドスタック104上で、ゲートドライバセクション14は、 N_1 のゲートを V_{\max} にし、したがって、 N_1 をターンオンし、ノード205を接地電位に持ってきてもよい。 N_2 のゲートが V_{\max} にDCバイアスされるので、 N_2 もターンオンし、ノード204を接地電位に持ってくる。 N_3 のゲート電圧が $2 \times V_{\max}$ であることを第1のサイクルから思い起こされたい。したがって、 N_3 はターンオンし、ノード203は、 $3 \times V_{\max}$ から接地電位になる。ノード203が接地電位になると同時に、 N_3 のゲート電圧は、実質的に遅延なしで、ノード203における出力信号をリアルタイムで追跡するとき、容量結合(たとえば、 C_{x2})によっても下降する。しかしながら、バイアス回路214は、 N_3 のゲートにおける最小電圧レベルを V_{\max} に制限する。

40

【0034】

HIサイドスタック102を参照すると、第2のサイクルでは、ゲートドライバセクション14は、HIサイドスタック102を非導通状態にすることができる。ゲートドライバセクション14は、 P_1 のゲートを $3 \times V_{\max}$ にすることができ、 P_1 をターンオフする。 P_1 がオフ状態である場合、ノード201における電圧は、 P_2 のゲート電圧すなわち $2 \times V_{\max}$ と等しくなり、したがって、 P_2 をターンオフする。同様に、 P_2 がオフ状態である場合、ノード202における電圧は、 P_3 におけるゲート電圧と等しくなる。 P_3 のゲート電圧が $2 \times V_{\max}$ であり、その結果、ノード202が $2 \times V_{\max}$ になり、 P_3 がターンオフすることを第1のサイクルから思い起こされたい。

50

【 0 0 3 5 】

ノード203が $3 \times V_{max}$ から接地電位になると同時に、 P_3 のゲート電圧は、実質的に遅延なしで、ノード203における出力信号をリアルタイムで追跡するとき、容量結合(たとえば、 C_{x1})によっても下降する。しかしながら、バイアス回路212は、 P_3 のゲートにおける最小電圧レベルを V_{max} に制限する。 P_3 の最小ゲート電圧を V_{max} に制限することによって、 P_3 の V_{gd} は、ノード203における電圧が接地電位まで下降するとき、 P_3 の V_{max} 定格を超えない。

【 0 0 3 6 】

上記の説明は、本開示の様々な実施形態を、特定の実施形態の態様がどのように実装される場合があるのかの例とともに示す。上記の例は、それらの実施形態にすぎないと見なされるべきではなく、以下の特許請求の範囲によって規定される特定の実施形態の融通性および利点を示すために提示されている。上記の開示および以下の特許請求の範囲に基づいて、特許請求の範囲によって規定される本開示の範囲から逸脱することなく、他の構成、実施形態、実装形態、および等価物が採用されてもよい。

10

【 符号の説明 】

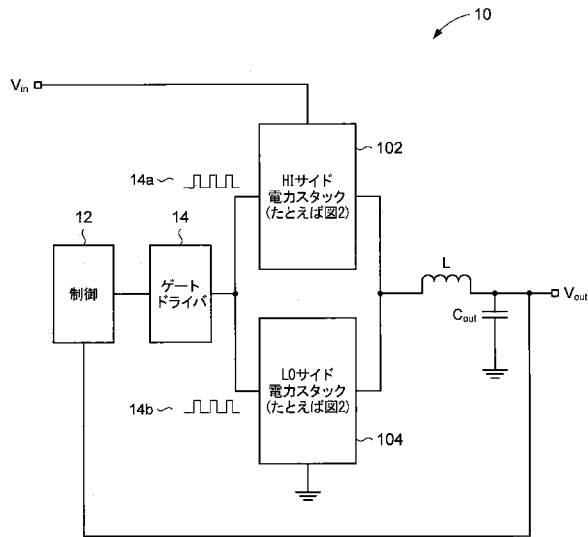
【 0 0 3 7 】

- 10 スイッチング電源
- 12 制御セクション
- 14 ゲートドライバセクション
- 14a 駆動信号、HIサイド駆動信号
- 14b 駆動信号、LOサイド駆動信号
- 102 HIサイドスタック
- 104 LOサイドスタック
- 201 ノード
- 202 ノード
- 203 ノード
- 204 ノード
- 205 ノード
- 212 バイアス回路
- 214 バイアス回路
- 302 ノード

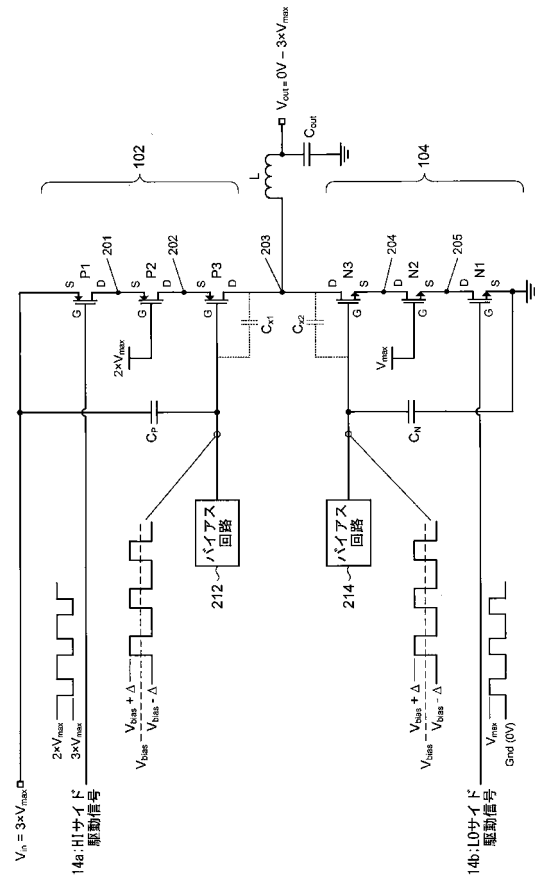
20

30

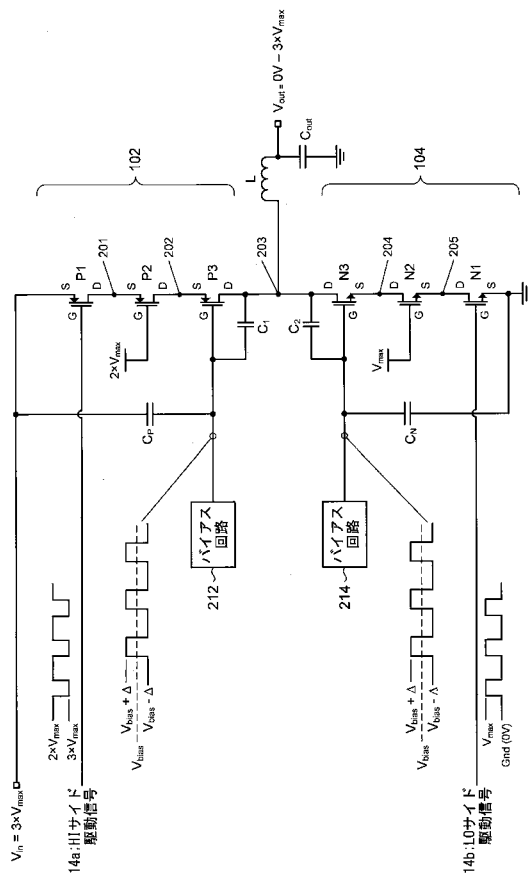
【図 1】



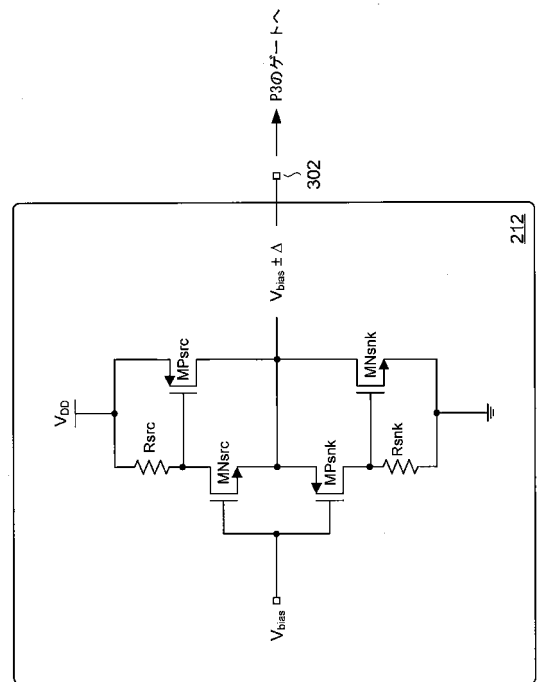
【図 2】



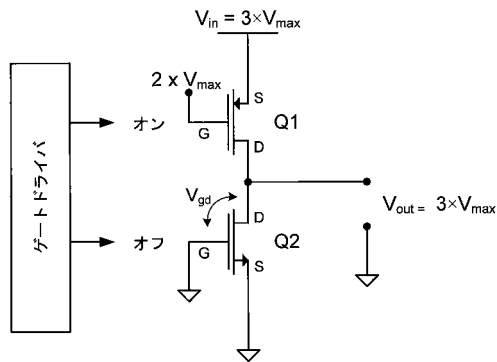
【図 2 A】



【図 3】



【 図 4 】



(従来技術)

【 手続補正書 】

【 提出日 】 平成29年9月28日 (2017.9.28)

【 手続補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

回路であって、

出力端子および制御端子を有する出力トランジスタデバイスと、

前記出力端子上の出力信号を継続的に追跡する結合信号により前記制御端子を駆動するように構成される、前記制御端子と前記出力端子との間の容量結合と、

前記制御端子に接続されるバイアス回路であって、前記制御端子上に駆動信号を提供するために前記結合信号と組み合わせられるDCバイアス電圧を提供するように構成され、前記駆動信号の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するために前記バイアス回路内の1つまたは複数の信号伝播遅延に対応する遅延で前記駆動信号の電圧レベルの変化に応答するようにさらに構成される、バイアス回路とを備える、回路。

【 請求項 2 】

第1のトランジスタデバイスおよび第2のトランジスタデバイスをさらに備え、前記第2のトランジスタデバイスが前記第1のトランジスタデバイスのカスコードであり、前記第1のトランジスタデバイスが入力電圧への接続のために構成される入力端子を有し、前記容量結合が、

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記

出力端子との間の第1のキャパシタンスと、

前記第1のトランジスタデバイスの前記入力端子と前記出力トランジスタデバイスの前記制御端子との間の第2のキャパシタンスとを備える、請求項1に記載の回路。

【請求項3】

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間の寄生容量を備える、請求項1に記載の回路。

【請求項4】

前記出力トランジスタデバイスの前記制御端子と前記出力トランジスタデバイスの前記出力端子との間の前記容量結合が、前記制御端子と前記出力端子との間に接続されるキャパシタを備える、請求項1に記載の回路。

【請求項5】

第4のトランジスタデバイスと、

前記第4のトランジスタデバイスのカスコードとして接続される第5のトランジスタデバイスと、

前記第5のトランジスタデバイスのカスコードとして接続される第2の出力トランジスタデバイスであって、第2の出力端子および第2の制御端子を有する、第2の出力トランジスタデバイスと、

前記第2の出力端子上の第2の出力信号を継続的に追跡する第2の結合信号により前記第2の制御端子を駆動するように構成される、前記第2の制御端子と前記第2の出力端子との間の第2の容量結合と、

前記第2の制御端子に接続される第2のバイアス回路であって、前記第2の制御端子上に第2の駆動信号を提供するために前記第2の結合信号と組み合わせられる第2のDCバイアス電圧を提供するように構成され、前記第2の駆動信号の電圧レベルを第3の電圧レベルと第4の電圧レベルとの間に維持するために前記第2のバイアス回路内の1つまたは複数の第2の信号伝播遅延に対応する第2の遅延で前記第2の駆動信号の電圧レベルの変化に応答するようにさらに構成される、第2のバイアス回路とをさらに備える、請求項1に記載の回路。

【請求項6】

前記第2の出力トランジスタデバイスの前記第2の制御端子と前記第2の出力トランジスタデバイスの前記第2の出力端子との間の前記第2の容量結合が、前記第2の制御端子と前記第2の出力端子との間の第2の寄生容量を備える、請求項5に記載の回路。

【請求項7】

前記第2の出力トランジスタデバイスの前記第2の制御端子と前記第2の出力トランジスタデバイスの前記第2の出力端子との間の前記第2の容量結合が、前記第2の制御端子と前記第2の出力端子との間に接続される第2のキャパシタを備える、請求項5に記載の回路。

【請求項8】

回路であって、

第1のトランジスタ、第2のトランジスタ、および第3のトランジスタを備える第1のスタックであって、前記第3のトランジスタが制御端子および出力端子を備える、第1のスタックと、

ノードにおいて前記第1のスタックに接続される第2のスタックと、

前記第3のトランジスタの前記制御端子に接続されるバイアス回路と、

前記出力端子における出力信号を結合信号として前記制御端子に結合するように構成される、前記第3のトランジスタの前記制御端子と前記第3のトランジスタの前記出力端子との間の容量結合とを備え、

前記バイアス回路が、前記制御端子上の駆動信号を生成するために前記結合信号と組み合わせられるDCバイアス電圧を提供するように構成され、前記バイアス回路内の1つまたは

複数の信号伝播遅延に対応する遅延で前記駆動信号の電圧レベルの変化に応答し、かつ前記駆動信号の前記電圧レベルが変化するとき前記駆動信号の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するようにさらに構成される、回路。

【請求項 9】

前記容量結合が、前記第3のトランジスタデバイスの前記出力端子と前記第3のトランジスタデバイスの前記制御端子との間の寄生容量を備える、請求項8に記載の回路。

【請求項 10】

前記容量結合が、前記第3のトランジスタデバイスの前記出力端子と前記第3のトランジスタデバイスの前記制御端子との間の明示的なキャパシタを備える、請求項8に記載の回路。

【請求項 11】

前記第1のトランジスタデバイスと前記第3のトランジスタデバイスとの間に接続されるキャパシタをさらに備える、請求項8に記載の回路。

【請求項 12】

前記第2のスタックが、
第4のトランジスタデバイスと、
前記第4のトランジスタデバイスのカスコードとして接続される第5のトランジスタデバイスと、
前記第5のトランジスタデバイスのカスコードとして接続される第6のトランジスタデバイスであって、第2の出力端子および第2の制御端子を有する、第6のトランジスタデバイスと、

前記第6のトランジスタデバイスの前記第2の出力端子上の第2の出力信号を継続的に追跡する第2の結合信号を前記第2の制御端子に結合するように構成される、前記第6のトランジスタデバイスの前記第2の制御端子と前記第6のトランジスタデバイスの前記第2の出力端子との間の第2の容量結合と、

前記第2の制御端子上の第2の駆動信号を生成するために前記第2の結合信号と組み合わせられる第2のDCバイアス電圧を提供するように構成される第2のバイアス回路であって、前記第2の駆動信号の電圧レベルを第3の電圧レベルと第4の電圧レベルとの間に維持するために前記第2のバイアス回路内の1つまたは複数の第2の信号伝播遅延に対応する第2の遅延で前記第2の駆動信号の第2の電圧レベルの変化に応答するようにさらに構成される、第2のバイアス回路と

を備える、請求項8に記載の回路。

【請求項 13】

トランジスタにおける方法であって、

前記トランジスタの出力端子と前記トランジスタの制御端子との間の容量結合を使用して、前記出力端子における分割出力信号を結合信号として前記制御端子に提供するステップと、

DCバイアス電圧を生成するステップと、

前記DCバイアス電圧を前記結合信号と組み合わせることによって前記トランジスタの前記制御端子上に駆動信号を提供するステップと、

前記駆動信号の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持することによって、1つまたは複数の信号伝播遅延に対応する遅延で前記駆動信号の電圧レベルの変化に応答するステップと

備える、方法。

【請求項 14】

前記容量結合が、前記出力端子と前記制御端子との間の寄生容量を備える、請求項13に記載の方法。

【請求項 15】

前記容量結合が、電力レールと前記制御端子との間に接続されるキャパシタをさらに備え、前記キャパシタおよび前記寄生容量が容量分圧器を規定する、請求項14に記載の方法

。

【請求項 16】

前記容量結合が、容量分圧器を規定するために、前記出力端子と前記制御端子との間に接続される第1のキャパシタと、電力レールと前記制御端子との間に接続される第2のキャパシタとを備える、請求項13に記載の方法。

【請求項 17】

回路であって、

前記回路内のトランジスタの出力端子と前記トランジスタの制御端子との間の容量結合を使用して、前記出力端子における分割出力信号を結合信号として前記制御端子に提供するための手段と、

DCバイアス電圧を生成するための手段と、

前記DCバイアス電圧を前記結合信号と組み合わせることによって前記トランジスタの前記制御端子上に駆動信号を提供するための手段と、

前記DCバイアス電圧の電圧レベルを第1の電圧レベルと第2の電圧レベルとの間に維持するために1つまたは複数の信号伝播遅延に対応する遅延で前記駆動信号の電圧レベルの変化にตอบสนองするための手段と

備える、回路。

【請求項 18】

前記容量結合が、前記出力端子と前記制御端子との間の寄生容量を備える、請求項17に記載の回路。

【請求項 19】

前記容量結合が、電力レールと前記制御端子との間に接続されるキャパシタをさらに備え、前記キャパシタおよび前記寄生容量が容量分圧器を規定する、請求項18に記載の回路

。

【請求項 20】

前記容量結合が、容量分圧器を規定するために、前記出力端子と前記制御端子との間に接続される第1のキャパシタと、電力レールと前記制御端子との間に接続される第2のキャパシタとを備える、請求項17に記載の回路。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2016/022506

A. CLASSIFICATION OF SUBJECT MATTER

INV. H03K17/10 H03F3/217
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K H03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/200338 A1 (OLSON CHRIS [US]) 9 August 2012 (2012-08-09) paragraph [0028]; figures 2, 3 -----	1-20
X	US 2010/283439 A1 (SINGH SAUMITRA [IN] ET AL) 11 November 2010 (2010-11-11) paragraph [0027]; figure 2 -----	1-3,5,6, 8,9, 12-14, 17,18
A	EP 2 824 836 A2 (DELTA ELECTRONICS INC [TW]) 14 January 2015 (2015-01-14) figure 2 -----	1-20
A	US 2011/102070 A1 (CHEN CHIA-HUI [TW] ET AL) 5 May 2011 (2011-05-05) figure 3 -----	1-20
	----- -/--	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 June 2016

Date of mailing of the international search report

29/06/2016

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Loiseau, Ludovic

INTERNATIONAL SEARCH REPORT

International application No PCT/US2016/022506

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009/179706 A1 (WONG LOUIS SZE [US]) 16 July 2009 (2009-07-16) figure 3 -----	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2016/022506

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2012200338	A1	09-08-2012	NONE	

US 2010283439	A1	11-11-2010	NONE	

EP 2824836	A2	14-01-2015	CN 104283532 A	14-01-2015
			EP 2824836 A2	14-01-2015
			TW 201503583 A	16-01-2015
			US 2015014784 A1	15-01-2015

US 2011102070	A1	05-05-2011	NONE	

US 2009179706	A1	16-07-2009	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 チファン・ユン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 ジョセフ・ダンカン

アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

F ターム(参考) 5H730 AA10 AS01 AS05 BB13 DD04 DD12 DD28 DD32 EE59 FD01
VV01
5H740 AA04 BA12 BB01 BC01 BC02 HH05 JA01 JB01 KK01
5J055 AX32 AX52 AX64 BX16 CX19 DX13 DX14 DX22 DX56 DX72
EX02 EY01 EY05 EY10 EY21 EY29 EZ51 GX01 GX04