



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201040721 A1

(43)公開日：中華民國 99 (2010) 年 11 月 16 日

(21)申請案號：099106313

(22)申請日：中華民國 99 (2010) 年 03 月 04 日

(51)Int. Cl. : **G06F12/06 (2006.01)**

(30)優先權：2009/03/04 美國 12/397,396

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72)發明人：亞斯那沙里 美迪 ASNAASHARI, MEHDI (US) ; 陳 亞倫 CHEN, ALAN (US) ;
那馬季 西亞美克 NEMAZIE, SIAMACK (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：30 項 圖式數：9 共 74 頁

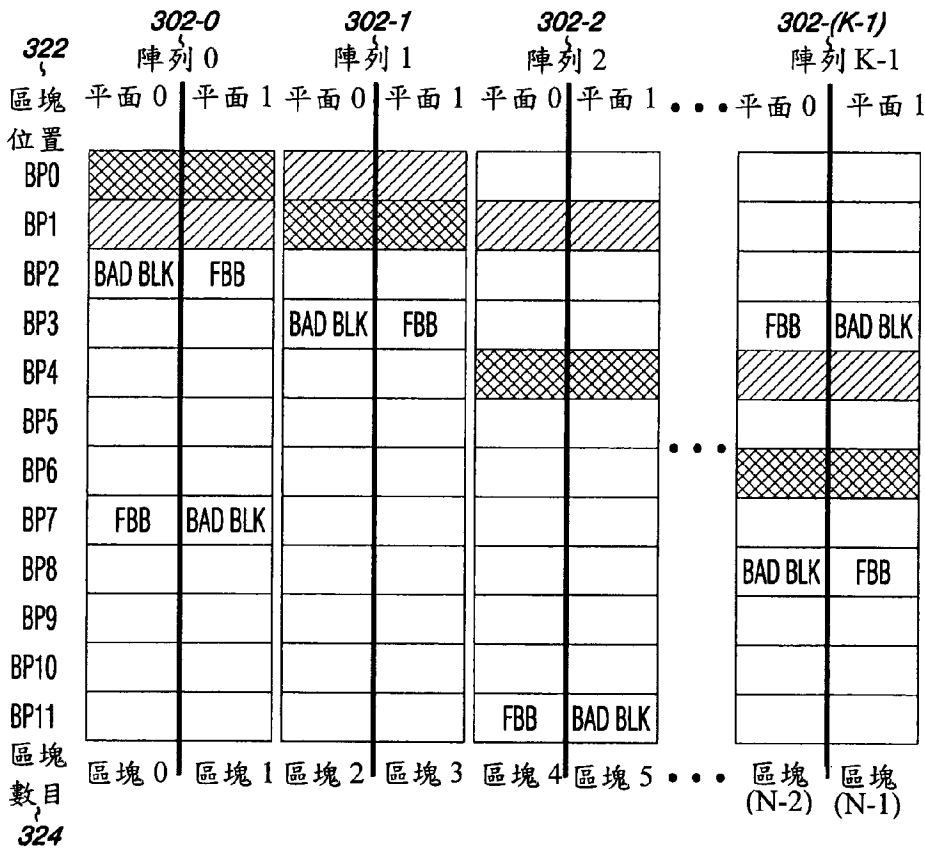
(54)名稱

記憶體區塊管理

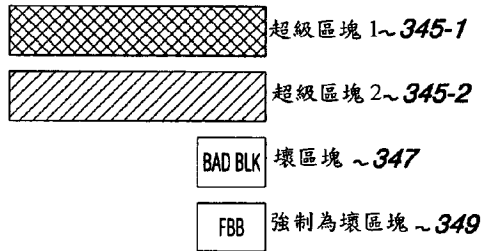
MEMORY BLOCK MANAGEMENT

(57)摘要

各種實施例包含一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊。實施例包含確定該等平面內之有缺陷區塊。若一特定區塊位置處之區塊中無一區塊被確定為係有缺陷的，則實施例包含將該特定區塊位置處之該等區塊指派給一超級區塊，且若一特定區塊位置處之該等區塊中之一者或多者被確定為係有缺陷的，則實施例包含：將該特定區塊位置處未被確定為係有缺陷的該等區塊指派給一超級區塊；及針對該特定區塊位置處被確定為係有缺陷的該一個或多個區塊中之每一者將一各別替換區塊指派給該超級區塊。該各別替換區塊係選自該等平面中包含被確定為係有缺陷的該各別區塊之一各別一者內之若干區塊。



- 302-0：記憶體陣列
- 302-1：記憶體陣列
- 302-2：記憶體陣列
- 302-(K-1)：記憶體陣列
- 322：區塊位置
- 324：實體區塊編號
- 345-1：超級區塊
- 345-2：超級區塊
- 347：壞區塊
- 349：強制型壞區塊





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201040721 A1

(43)公開日：中華民國 99 (2010) 年 11 月 16 日

(21)申請案號：099106313

(22)申請日：中華民國 99 (2010) 年 03 月 04 日

(51)Int. Cl. : **G06F12/06 (2006.01)**

(30)優先權：2009/03/04 美國 12/397,396

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72)發明人：亞斯那沙里 美迪 ASNAASHARI, MEHDI (US) ; 陳 亞倫 CHEN, ALAN (US) ;
那馬季 西亞美克 NEMAZIE, SIAMACK (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：30 項 圖式數：9 共 74 頁

(54)名稱

記憶體區塊管理

MEMORY BLOCK MANAGEMENT

(57)摘要

各種實施例包含一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊。實施例包含確定該等平面內之有缺陷區塊。若一特定區塊位置處之區塊中無一區塊被確定為係有缺陷的，則實施例包含將該特定區塊位置處之該等區塊指派給一超級區塊，且若一特定區塊位置處之該等區塊中之一者或多者被確定為係有缺陷的，則實施例包含：將該特定區塊位置處未被確定為係有缺陷的該等區塊指派給一超級區塊；及針對該特定區塊位置處被確定為係有缺陷的該一個或多個區塊中之每一者將一各別替換區塊指派給該超級區塊。該各別替換區塊係選自該等平面中包含被確定為係有缺陷的該各別區塊之一各別一者內之若干區塊。

六、發明說明：

【發明所屬之技術領域】

一般而言，本發明係關於半導體記憶體裝置、方法及系統，且更特定而言，係關於記憶體區塊管理。

【先前技術】

通常將記憶體裝置提供為電腦或其他電子裝置中之內部半導體積體電路。存在包含揮發性及非揮發性記憶體之諸多不同類型記憶體。揮發性記憶體可需要電力來維持其資料且包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)及同步動態隨機存取記憶體(SDRAM)以及其他記憶體。非揮發性記憶體可藉由在不被供電時仍保持所儲存之資訊而提供持久資料且可包含NAND快閃記憶體、NOR快閃記憶體、唯讀記憶體(ROM)、電可擦除可程式化ROM(EEPROM)、可擦除可程式化ROM(EPROM)及相變隨機存取記憶體(PCRAM)以及其他記憶體。

記憶體裝置可組合在一起以形成一固態驅動器(SSD)。一固態驅動器可包含非揮發性記憶體，例如，NAND快閃記憶體及NOR快閃記憶體，及/或可包含揮發性記憶體，例如，DRAM及SRAM，亦包含各種其他類型之非揮發性及揮發性記憶體。

可使用一SSD來替換硬碟驅動器作為一電腦之主要儲存裝置，此乃因該固態驅動器可在效能、大小、重量、耐用性、操作溫度範圍及功率消耗方面具有優於硬驅動器之優點。舉例而言，SSD在與磁碟驅動器相比時因其缺乏移動

部件而可具有優越效能，此可避免與磁碟驅動器相關聯之尋覓時間、延時及其他機電延遲。SSD製造商可使用非揮發性快閃記憶體來形成可不使用一內部電池供應之快閃SSD，因此允許該驅動器更通用且更小型。

一SSD可包含若干記憶體裝置，例如，若干記憶體晶片(如本文中所示使用，「若干」某物可係指此等事物中之一者或多者，例如，若干記憶體裝置可係指一個或多個記憶體裝置)。如熟習此項技術者將瞭解，一記憶體晶片可包含若干晶粒。每一晶粒上可包含若干記憶體陣列及週邊電路。一記憶體陣列可包含若干平面，其中每一平面包含若干實體記憶體胞區塊。每一實體區塊可包含可儲存若干資料磁區之若干記憶體胞頁。

舉例而言，一SSD內之記憶體區塊選擇可涉及確定程式化哪些實體區塊(例如，向哪些實體區塊寫入資料)及擦除哪些實體區塊，以及欲以其寫入及擦除實體區塊之次序。用於SSD中之記憶體胞可限於有限數目之寫入擦除循環，該有限數目之寫入擦除循環可確定驅動器之壽命。因而，改良記憶體區塊選擇效率及分配效率可增加一SSD之壽命。

【實施方式】

本發明包含用於一記憶體系統中之記憶體區塊管理之方法及裝置。本發明之一項或多項實施例包含一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個

平面中之每一者之一實體區塊。一項或多項實施例包含確定該等平面內之有缺陷實體區塊。若一特定區塊位置處之實體區塊中無一區塊被確定為係有缺陷的，則一項或多項實施例包含將該特定區塊位置處之該等實體區塊指派給一超級區塊，且若一特定區塊位置處之該等實體區塊中之一者或多者被確定為係有缺陷的，則一項或多項實施例包含：將該實體區塊位置處未被確定為係有缺陷的該等實體區塊指派給一超級區塊；及針對該特定區塊位置處被確定為係有缺陷的該一個或多個實體區塊中之每一者將一各別替換實體區塊指派給該超級區塊指派一各別替換實體區塊給該超級區塊。在一項或多項實施例中，該各別替換實體區塊係選自該等平面中包含被確定為係有缺陷的該各別實體區塊之一各別者內之若干實體區塊。

在本發明之以下詳細說明中，參照形成本發明之一部分且其中以圖解說明方式顯示可如何實踐本發明之一項或多項實施例之隨附圖式。充分詳細地闡述此等實施例以使熟習此項技術者能夠實踐本發明之該等實施例，且應理解，可利用其他實施例且可在不背離本發明之範疇之情況下作出製程、電、及/或結構改變。如本文中所使用，標示符「B」、「D」、「K」、「M」、「N」、「P」、「R」、「S」及「T」（尤其係關於圖式中之參考編號）指示本發明之一項或多項實施例可包含如此標示之若干特定特徵。

本文中之圖遵循以下之一編號慣例，其中第一個數位或前幾個數位對應於圖式圖編號且剩餘數位識別圖式中之

元件或組件。不同圖之間的類似元件或組件可藉由使用類似數位來識別。舉例而言，110可參考圖1中之元件「10」，且一類似元件在圖2中可稱為210。如將瞭解，可添加、更換及/或消除本文中各種實施例中所示之元件以提供本發明之若干額外實施例。另外，如將瞭解，該等圖中所提供之元件之比例及相對標度意欲圖解說明本發明之實施例且不應理解為具有一限制意義。

圖1係包含多個實體區塊104-0(區塊0)、104-1(區塊1)、...、104-B(區塊B)且可根據本發明之一項或多項實施例操作之一記憶體陣列102之一圖示。雖然圖1中未顯示，但熟習此項技術者將瞭解，記憶體陣列102可連同與其操作相關聯之各種周邊電路一起位於一特定半導體晶粒上。

在圖1中所示之實例中，指示符「B」用於指示陣列102可包含若干實體區塊。作為一實例，陣列102中實體區塊之數目可係128個區塊、512個區塊或1,024個區塊，但實施例並不限於一陣列102中128之特定倍數或任一特定數目之實體區塊。此外，實施例並不限於陣列中所使用記憶體之類型，例如非揮發性、揮發性等。在圖1中所圖解說明之實施例中，記憶體陣列102可係(舉例而言)一NAND快閃記憶體陣列102。

在此實例中，每一實體區塊104-0、104-1、...、104-B包含可作為一單位一起擦除之記憶體胞，例如，每一實體區塊中之胞可以一大致同時之方式被擦除。舉例而言，每一實體區塊中之胞可在一單個操作中一起被擦除。每一實體

區塊(例如，104-0、104-1、...、104-B)含有耦合至一存取線(例如，一字線)之若干實體記憶體胞列(例如，106-0、106-1、...、106-R)。指示符「R」用於指示一實體區塊(例如，104-0、104-1、...、104-B)可包含若干列。在某些實施例中，每一實體區塊中之列(例如，字線)之數目可係32，但實施例並不限於每實體區塊特定數目之列106-0、106-1、...、106-R。

如熟悉此項技術者將瞭解，每一列106-0、106-1、...、106-R可儲存一個或多個資料頁。一頁係指一程式化及/或讀取單位，例如，一起程式化及/或讀取或者作為一功能性記憶體胞群組之若干胞。在圖1中所示之實施例中，每一列106-0、106-1、...、106-R儲存一個資料頁。然而，本發明之實施例並不限於此。舉例而言，在本發明之某些實施例中，每一列可儲存多個資料頁。

在本發明之一項或多項實施例中，且如圖1中所示，與列106-0、106-1、...、106-R相關聯之一頁可根據若干實體資料磁區108-0、108-1、...、108-S儲存資料。指示符「S」用於指示一系列(例如，106-0、106-1、...、106-R)可包含若干實體磁區。每一實體磁區108-0、108-1、...、108-S可對應於一邏輯磁區且可包含額外負擔資訊(諸如，錯誤校正碼(ECC)資訊及邏輯區塊位址(LBA)資訊)以及使用者資料。如熟習此項技術者將瞭解，邏輯區塊定址係通常由一主機用來識別一邏輯資訊磁區之一方案。作為一實例，一邏輯磁區可儲存表示若干資料位元組(例如，256個

位元組、512個位元組或1,024個位元組)之資訊。實施例並不限於此等實例。

應注意，實體區塊104-0、104-1、...、104-B、列106-0、106-1、...、106-R、磁區108-0、108-1、...、108-S及頁之其他格式及/或組態係可能的。舉例而言，實體區塊104-0、104-1、...、104-B之列106-0、106-1、...、106-R可包含一單個邏輯磁區，該單個邏輯磁區可包含(舉例而言)多於或少於512個位元組之資料。

圖2係圖解說明具有可根據本發明之一項或多項實施例操作之多個平面群組之若干記憶體裝置之一圖示。根據本文中所闡述之一項或多項實施例，出於記憶體區塊管理之目的，將實體記憶體胞區塊之平面組織成群組。在一項或多項實施例中，一群組可包含來自一個或多個不同記憶體陣列之若干平面。在一項或多項實施例中，對應於一群組之一個或多個平面可係來自不同記憶體裝置。

圖2中所示之實施例包含四個記憶體裝置230-0、230-1、230-2及230-3。記憶體裝置230-0、230-1、230-2及230-3之組合可稱為一記憶體單元，諸如，本文中結合圖9所進一步闡述之記憶體單元925。在一項或多項實施例中，記憶體裝置230-0、230-1、230-2及230-3形成一固態驅動器(SSD)之一記憶體單元。

記憶體裝置230-0、230-1、230-2及230-3各自可係包含每晶片多個晶粒之一半導體記憶體晶片。熟悉此項技術者將瞭解，一特定晶片上之每一晶粒可包含一記憶體陣列以

及與其操作相關聯之各種周邊電路(圖2中未顯示)。

在圖2中所圖解說明之實施例中，每一記憶體裝置230-0、230-1、230-2及230-3包含兩個記憶體陣列202-0及202-1(分別顯示為晶粒0及晶粒1)。每一記憶體陣列202-0及202-1可係(諸如)結合圖1所闡述之陣列102之一快閃記憶體陣列。舉例而言，每一記憶體陣列202-0及202-1包含多個實體記憶體胞區塊，諸如，圖1中所示之區塊104-0、104-2、...、104-B。

如熟習此項技術者將瞭解，可將一陣列(例如，202-0及202-1)之實體區塊組織成多個平面。舉例而言，在圖2中所圖解說明之實施例中，可將該等記憶體陣列中之每一者劃分成一第一實體區塊平面(平面0)及一第二實體區塊平面(平面1)。然而，本發明之實施例並不限於每陣列特定數目之平面。舉例而言，在各種實施例中，一記憶體陣列可包含僅一個平面或可包含多於兩個平面。

在一項或多項實施例中，且如結合圖3至圖9所進一步闡述，陣列(例如，202-0及202-1)內之實體區塊在該等平面內具有相關聯之區塊位置。該等相關聯之位置可指示一區塊在其特定平面內之實體定位。在一項或多項實施例中，來自一共同平面之實體區塊不能被同時擦除，但來自不同平面之實體區塊可被同時擦除。

在圖2中所圖解說明之實施例中，可將與記憶體裝置230-0、230-1、230-2及230-3相關聯之實體區塊平面組織成兩個群組，例如，240-0(群組0)及240-1(群組1)。在圖2

中所圖解說明之實施例中，每一群組240-0及240-1包含來自四個記憶體陣列中之每一者之該等平面中之每一者。舉例而言，群組240-0包含四個記憶體裝置230-0、230-1、230-2及230-3中之每一者內之陣列202-0(晶粒0)之平面(平面0及平面1)。群組240-1包含四個記憶體裝置230-0、230-1、230-2及230-3中之每一者內之陣列202-1(晶粒1)之平面(平面0及平面1)。

實施例並不限於圖2中所示之實例。舉例而言，在一項或多項實施例中，一群組可包含一單個陣列內平面之一集合。作為一實例，一個群組可包含裝置230-0之陣列202-0之平面0及平面1，另一群組可包含裝置230-0之陣列202-1之平面0及平面1，且另一群組可包含裝置230-1之陣列202-0之平面0及平面1。

在某些實施例中，一群組可包含一單個記憶體裝置之不同陣列內之若干平面。作為一實例，一個群組可包含裝置230-0之陣列202-0之平面0及陣列202-1之平面0，且另一群組可包含裝置230-0之陣列202-0之平面1及陣列202-1之平面1。作為另一實例，一個群組可包含裝置230-0之陣列202-0之平面0及平面1以及陣列202-1之平面0及平面1，且另一群組可包含裝置230-1之陣列202-0之平面0及平面1以及陣列202-1之平面0及平面1。

在其中陣列(例如，202-0及202-1)包含多個平面之實施例中，平面之一群組可在某些實施例中包含來自不同記憶體裝置之一個或多個陣列中之每一者之一個平面。舉例而

言，參照圖2，在一項或多項實施例中，若干群組中之每一者可包含來自四個各別記憶體裝置內四個記憶體陣列中之每一者之一個平面之一集合。舉例而言，一個群組可包含四個記憶體裝置230-0、230-1、230-2及230-3中之每一者內之陣列202-0(晶粒0)之平面0。一第二群組可包含四個記憶體裝置230-0、230-1、230-2及230-3中之每一者內之陣列202-0(晶粒0)之平面1。一第三群組可包含四個記憶體裝置230-0、230-1、230-2及230-3中之每一者內之陣列202-1(晶粒1)之平面0，且一第四群組可包含四個記憶體裝置230-0、230-1、230-2及230-3中之每一者內之陣列202-1(晶粒1)之平面1。

在一項或多項實施例中，且如圖2中所圖解說明，群組240-0及240-1各自具有若干與其相關聯之超級區塊，例如，超級區塊0、超級區塊1、...、超級區塊N。如本文中所使用，一超級區塊可係指包含來自一對應群組內每一平面之一實體區塊之實體區塊之一集合。在各種實施例中，一超級區塊包含來自平面群組中之每一平面之至多一個實體區塊(例如，來自一共同平面之至多一個實體區塊)。在一項或多項實施例中，一超級區塊可橫跨多個記憶體裝置。舉例而言，一超級區塊可係包含來自一對應群組內之不同記憶體裝置內之至少兩個記憶體陣列中之每一者內之一平面之一實體區塊之實體區塊之一集合。

實施例並不限於每群組特定數目之超級區塊。作為一實例，一群組(例如，240-0及240-1)可包含每群組64個、512

個或1,024個超級區塊。在圖2中所圖解說明之實施例中，與群組240-0相關聯之超級區塊245-0、245-1、...、245-N各自係包含來自與四個各別記憶體裝置230-0、230-1、230-2及230-3相關聯之四個陣列202-0(例如，晶粒0)中之每一者之若干實體區塊之實體區塊之一各別集合。同樣，與群組240-1相關聯之超級區塊245-0、245-1、...、245-N各自係包含來自與四個各別記憶體裝置230-0、230-1、230-2及230-3相關聯之四個陣列202-1(例如，晶粒1)中之每一者之若干實體區塊之實體區塊之一各別集合。

在本發明之一項或多項實施例中，對於對應於一特定群組之若干平面中之每一者而言，一超級區塊可係每平面一個實體區塊之一集合。舉例而言，在圖2中所圖解說明之實施例中，超級區塊245-0、245-1、...、245-N中之每一者可係八個實體區塊(對於群組之四個不同記憶體裝置230-0、230-1、230-2及230-3之每一陣列202-0而言每平面一個區塊)之一各別集合。

然而，在一項或多項實施例中，一超級區塊並非必須包含來自一給定記憶體陣列(例如，202-0及202-1)中之每一平面之一實體區塊。舉例而言，在圖2中所圖解說明之實施例中，超級區塊245-0、245-1、...、245-N中之每一者可係四個實體區塊(例如，來自群組之四個不同記憶體裝置230-0、230-1、230-2及230-3之每一陣列202-0中之平面中之一者的一個區塊或來自四個不同記憶體裝置230-0、230-1、230-2及230-3之每一陣列202-1中之平面中之一者的一

個區塊)之一各別集合。

在各種實施例中，可同時對一超級區塊之實體區塊執行一擦除操作。亦即，可大致同時擦除一特定超級區塊之實體區塊集合。並且，在各種實施例中，可同時自與一特定超級區塊相關聯之實體區塊頁讀取且可同時寫入至該等實體區塊頁。

本發明之實施例並不限於圖2中所圖解說明之實例。舉例而言，在一項或多項實施例中，一群組可包含多於或少於四個記憶體陣列內之實體區塊平面。作為一實例，可將圖2中所示之實施例組織成四個群組：一第一群組可包含記憶體裝置230-0及230-1內之陣列202-0(晶粒0)之平面；一第二群組可包含記憶體裝置230-2及230-3內之陣列202-0(晶粒0)之平面；一第三群組可包含記憶體裝置230-0及230-1內之陣列202-1(晶粒1)之平面；且一第四群組可包含記憶體裝置230-2及230-3內之陣列202-1(晶粒1)之平面。在此實例中，與該四個群組相關聯之超級區塊可包含兩個實體區塊(來自與特定群組相關聯之兩個陣列中之每一者的一個實體區塊)或可包含四個實體區塊(對於與特定群組相關聯之兩個陣列中之每一者而言每平面一個實體區塊)。作為一實例，對於每超級區塊總共4,096個實體磁區而言，四個實體區塊(對於與特定群組相關聯之兩個陣列中之每一者而言每平面一個實體區塊)之一超級區塊可包含每實體區塊128個頁及每頁(假定4 KB之頁)8個實體磁區。在此實例中，可將4,096個位址之一LBA範圍映射至一

特定4,096磁區之實體超級區塊。然而，本發明之實施例並不限於一特定頁大小、磁區大小、及/或實體區塊大小。舉例而言，實施例並不限於每超級區塊特定數目之磁區。

在一項或多項實施例中，一特定超級區塊(例如，245-0至245-N)內之實體區塊可具有不同區塊位置。亦即，一特定超級區塊內之實體區塊可在對應於一給定群組(例如，240-0及240-1)之平面內位於不同定位處。作為一個實例，考量對應於群組240-0之超級區塊245-0之實體區塊。對應於超級區塊245-0之實體區塊集合可包含位於接近裝置230-0之陣列202-0之一頂部部分之實體區塊且可包含位於接近裝置230-1、230-2及230-3之陣列202-0之中間或下部部分之實體區塊。

圖3圖解說明記憶體區塊管理之一先前方法。圖3中所示之實例包含若干記憶體陣列302-0、302-1、302-2、...、302-(K-1)。記憶體陣列302-0、302-1、302-2、...、302-(K-1)可類似於(諸如)圖1中所示之陣列102及圖2中所示之記憶體陣列202-0及202-1之記憶體陣列。記憶體陣列302-0、302-1、302-2、...、302-(K-1)可係一記憶體單元(諸如，下文結合圖9所闡述之記憶體單元925)之一部分。作為一實例，陣列302-0、302-1、302-2、...、302-(K-1)中之一者或多者可係來自不同記憶體裝置，例如，來自不同快閃記憶體晶粒或晶片。

如上文結合圖2所闡述，陣列302-0、302-1、302-2、...、

302-(K-1)各自包含若干實體記憶體胞區塊，其中將每一陣列之區塊組織成平面。在此實例中，每一陣列包含兩個記憶體區塊平面，例如，所示之平面0及平面1。實施例並不限於與一特定記憶體陣列相關聯之特定數目之平面。在圖3中所圖解說明之實例中，將來自陣列302-0至302-(K-1)中之每一者之平面(平面0及平面1)全體組織為一單個平面群組。

如熟習此項技術者將瞭解，可藉由一實體區塊位址(PBA)來識別該等記憶體區塊中之每一者。如圖3中所示之實例中所圖解說明，陣列302-0、302-1、302-2、...、302-(K-1)中之每一者內之實體區塊可具有與其相關聯之一區塊位置322。在此實例中，存在十二個區塊(BP0至BP11)。與一區塊相關聯之區塊位置322可指示該區塊在其各別平面內之實體定位。

如圖3中所示之實例中所圖解說明，每一記憶體陣列302-0、302-1、302-2、...、302-(K-1)包含相同區塊位置322處之兩個實體區塊(每平面一個實體區塊)。舉例而言，陣列302-0、302-1、302-2、...、302-(K-1)中之每一者包含區塊位置BP0處之兩個區塊，區塊位置BP1處之兩個區塊等。本發明之實施例並不限於每記憶體陣列特定數目之記憶體區塊或每平面特定數目之記憶體區塊。

圖3中所示之實例圖解說明與陣列302-0、302-1、302-2、...、302-(K-1)內之實體記憶體區塊相關聯之一區塊狀態。舉例而言，陣列302-0、302-1、302-2、...、302-(K-1)

包含若干壞區塊 347(標記為BAD BLK)。一「壞區塊」係指被確定係有缺陷(例如，對於資料儲存而言不可用或不可靠)的一區塊。可在一陣列之壽命期間之各種時期確定一區塊為有缺陷。舉例而言，在製造陣列之後，可在初步測試時確定有缺陷區塊。區塊亦可隨時間變為有缺陷且(舉例而言)可隨著對該等區塊所執行之程式化及擦除循環之數目增加而自操作使用中退出。

在圖 3 中所示之實例中，陣列 302-0、302-1、302-2、...、302-(K-1)包含若干強制型壞區塊 349(標記為FBB)。一「強制型壞區塊」係指不管該區塊可係無缺陷之事實仍將其視為有缺陷(例如，對於資料儲存而言不可用或不可靠)之一區塊。可出於各種原因將一區塊強制為一壞區塊 349。舉例而言，如熟悉此項技術者將瞭解，某些記憶體系統經組態以使得出於執行操作(諸如，程式化操作及讀取操作)之目的而一起定址一陣列內相同區塊位置處之實體區塊。作為一實例，可一起定址位於陣列 302-0、302-1、302-2、...、302-(K-1)中之每一者之區塊位置 BP0 處之區塊對。在某些此等系統中，且在圖 3 中所示之實例中，將一特定陣列內與一有缺陷區塊 347 共用一共同區塊位置 322 之實體區塊視為強制型壞區塊 349。

圖 3 中所示之實例亦圖解說明若干超級區塊，例如，345-1(超級區塊 1)及 345-2(超級區塊 2)。如上文結合圖 2 所闡述，超級區塊可係各自包含來自一對應群組(例如，圖 2 中所闡述之群組 240-0 及 240-1)內每一平面之一實體區塊之

實體區塊集合。在各種實施例中，陣列可係來自不同記憶體裝置，例如，晶粒或晶片。

在圖3中所示之實例中，超級區塊(例如，345-1及345-2)各自係跨越多個陣列302-0、302-1、302-2、...、302-(K-1)之「N」個實體區塊之一集合。在圖3中所圖解說明之實例中，一超級區塊內之每一實體區塊皆具有一特定區塊編號324，例如，將跨越陣列302-0、302-1、302-2、...、302-(K-1)之超級區塊內之「N」個實體區塊編號為區塊0至區塊(N-1)。因而，在此實例中，每一超級區塊(例如，345-1及345-2)係來自記憶體陣列302-0、302-1、302-2、...、302-(K-1)中之每一者之總共N個實體區塊(例如，兩個實體區塊(來自平面0及平面1中之每一者的一個實體區塊))之一集合。

在此實例中，將實體區塊指派給超級區塊以使得對應於一特定超級區塊之實體區塊可位於不同區塊位置322處。舉例而言，超級區塊345-1之區塊0及區塊1位於陣列302-0內之區塊位置BP0處。超級區塊345-1之區塊2及區塊3位於陣列302-1內之區塊位置BP1處。超級區塊345-1之區塊4及區塊5位於陣列302-2內之區塊位置BP4處。超級區塊345-1之區塊(N-2)及區塊(N-1)位於陣列302-(K-1)內之區塊位置BP6處。同樣，超級區塊345-2之區塊0及區塊1位於陣列302-0內之區塊位置BP1處。超級區塊超級區塊345-2之區塊2及區塊3位於陣列302-1內之區塊位置BP0處。超級區塊345-2之區塊4及區塊5位於陣列302-2內之區塊位置BP1

處。超級區塊 345-2 之區塊 (N-2) 及區塊 (N-1) 位於陣列 302-(K-1) 內之區塊位置 BP4 處。

以圖 3 中所圖解說明之方式將 N 個實體區塊指派給一超級區塊 (例如, 345-1 及 345-2) 可導致需要提供一相對大的查詢表 (LUT) 以提供對應於超級區塊之適當邏輯區塊位址 (LBA) 至實體區塊位址 (PBA) 映射。舉例而言, LUT 包含跨越多個陣列 302-0、302-1、302-2、...、302-(K-1) 中之每一者之每一個別實體區塊對之一項目, 例如, 對於每一區塊位置 322 及多個陣列 302-0、302-1、302-2、...、302-(K-1) 中之每一者而言對應於每一區塊對 (來自平面 0 之一個區塊及來自平面 1 之一個區塊) 之一實體定位之一項目。並且, 以結合圖 3 中所示之實例所闡述之方式指派實體區塊可產生 N/2 次 LUT 搜尋以基於結合一操作 (例如, 一程式化、擦除及 / 或讀取操作) 所接收之一特定 LBA 確定一特定超級區塊 (例如, 345-1 及 345-2) 中每一區塊對之實體定位。在一項或多項實施例中, 當已將一特定實體區塊指派給一特定超級區塊時, 稍後不會將其重新指派給一不同超級區塊。

諸如一特定 LUT 之大小及用於確定指派給一特定超級區塊之特定實體區塊之 LUT 搜尋數目等因素可影響系統效能之各種態樣。舉例而言, 一相對大 LUT 可 (例如) 在一控制器上之 RAM 中或在記憶體陣列自身內 (此取決於將該 LUT 儲存在何處) 佔據大量儲存空間。並且, 與執行程式化、讀取及擦除操作相關聯之大量 LUT 搜尋可藉由減慢與特定操作相關聯之執行時間而減少系統通量。

圖4圖解說明記憶體區塊管理之另一先前方法。圖4中所示之實例包含若干記憶體陣列402-0、402-1、402-2、...、402-(K-1)。記憶體陣列402-0、402-1、402-2、...、402-(K-1)可類似於(諸如)圖1中所示之陣列102及圖2中所示之記憶體陣列202-0及202-1之記憶體陣列。記憶體陣列402-0、402-1、402-2、...、402-(K-1)可係一記憶體單元(諸如，下文結合圖9所闡述之記憶體單元925)之一部分。作為一實例，陣列402-0、402-1、402-2、...、402-(K-1)中之一者或多者可係來自不同記憶體裝置，例如，來自不同快閃記憶體晶粒或晶片。

如上文結合圖2及圖3所闡述，陣列402-0、402-1、402-2、...、402-(K-1)各自包含若干實體記憶體胞區塊，其中將每一陣列之區塊組織成平面(例如，此實例中所示之平面0及平面1)。如圖4中所示之實例中所圖解說明，陣列402-0、402-1、402-2、...、402-(K-1)中之每一者內之實體區塊可具有與其相關聯之一區塊位置422。在此實例中，存在十二個區塊位置：BP0至BP11。一區塊之區塊位置422可指示該區塊在其各別平面內之實體定位。

類似於圖3中所示之實例，每一記憶體陣列402-0、402-1、402-2、...、402-(K-1)包含相同區塊位置422處之兩個實體區塊(每平面一個實體區塊)。舉例而言，陣列402-0、402-1、402-2、...、402-(K-1)中之每一者包含區塊位置BP0處之兩個區塊，區塊位置BP1處之兩個區塊等。在圖4中所圖解說明之實例中，將來自陣列402-0至402-(K-1)中

之每一者之平面(平面0及平面1)全體組織為一單個平面群組。

圖4中所示之實例圖解說明與陣列402-0、402-1、402-2、...、402-(K-1)內之實體記憶體區塊相關聯之一區塊狀態。舉例而言，如上文結合圖3所闡述，陣列402-0、402-1、402-2、...、402-(K-1)包含若干壞區塊447(標記為BAD BLK)以及若干強制型壞區塊449(標記為FBB)。

在此實例中，且如結合圖3所闡述，出於執行操作(諸如，程式化操作及讀取操作)之目的，一起定址一陣列內相同區塊位置處之實體區塊。因而，在圖4中所示之實例中，將該群組之與一有缺陷區塊447共用一共同區塊位置422之實體區塊視為強制型壞區塊449。舉例而言，在陣列402-0中，平面1之具有區塊位置BP2之實體區塊係一強制型壞區塊449，此乃因其與平面0之有缺陷區塊447共用區塊位置BP2。

圖4中所示之實例亦圖解說明若干超級區塊，例如，445-1(超級區塊1)及445-2(超級區塊2)。如上文結合圖2及圖3所闡述，超級區塊可係來自至少兩個不同平面中之每一者之實體區塊集合，其中至多一個實體區塊來自一特定平面。在圖4中所示之實例中，超級區塊(例如，445-1及445-2)各自係跨越多個陣列402-0、402-1、402-2、...、402-(K-1)之「N」個實體區塊之一集合。在圖4中所圖解說明之實例中，一超級區塊內之每一實體區塊皆具有一特定區塊編號424，例如，將跨越陣列402-0、402-1、402-

2、...、402-(K-1)之超級區塊內之「N」個實體區塊編號為區塊0至區塊(N-1)。因而，在此實例中，每一超級區塊(例如，445-1及445-2)係來自記憶體陣列402-0、402-1、402-2、...、402-(K-1)中之每一者之總共N個實體區塊(例如，兩個實體區塊(來自平面0及平面1中之每一者的一個實體區塊))之一集合。

在此實例中，將實體區塊指派給超級區塊以使得對應於一特定超級區塊之實體區塊各自位於相同區塊位置422處。亦即，每一實體區塊(例如，一特定超級區塊之區塊0至區塊(N-1))在其平面內位於相同區塊位置422處。舉例而言，超級區塊445-1包含跨越陣列402-0至402-(K-1)在區塊位置BP0處之所有實體區塊。同樣，超級區塊445-2包含跨越陣列402-0至402-(K-1)在區塊位置BP5處之所有實體區塊。

然而，由於在圖4中所示實例中指派給超級區塊之實體區塊各自共用相同區塊位置422，因此，若陣列402-0至402-(K-1)中之一者包含位於一特定區塊位置(諸如，區塊位置BP2)處之一壞區塊447，則將一預期包含壞區塊447之超級區塊中之所有其他實體區塊強制為壞區塊449。因此，不會將位於彼特定位置422處之實體區塊指派給一超級區塊。舉例而言，由於位於陣列402-0內平面1之BP2處之實體區塊包含一壞區塊447，因此不會將BP2位置處之實體區塊指派給一超級區塊。類似地，亦不將位於區塊位置BP3、BP7、BP8及BP11處之實體區塊中之每一者指派給一

超級區塊(此乃因在彼等區塊位置中之每一者處存在一壞區塊447)。因而，出於超級區塊指派之目的，將彼等區塊位置處相關聯之原本無缺陷實體區塊視為有缺陷。

以圖4中所圖解說明之方式將N個實體區塊指派給一超級區塊(例如，445-1或445-2)可減少與陣列402-0、402-1、402-2、...、402-(K-1)相關聯之平面群組內之可用超級區塊之量。舉例而言，在圖4中所圖解說明之實例中，位於十二個區塊位置中之五個區塊位置(例如，BP2、BP3、BP7、BP8及BP11)處之實體區塊不可用於指派給一超級區塊。然而，由於每一超級區塊(例如，445-1及445-2)之實體區塊位於相同區塊位置422處，因此僅需要一LUT中之一個項目來將一邏輯區塊位址映射至一特定實體超級區塊。因而，LUT之大小可小於結合圖3所闡述之實例，且重新建構一超級區塊之時間減少，此乃因一單個表搜尋可產生對應於一特定超級區塊之實體區塊之適當實體定位。

以圖4中所圖解說明之方式將N個實體區塊指派給一超級區塊(例如，445-1或445-2)與結合圖3所闡述之實例相比，可以N/2之一因數減少LUT儲存空間及超級區塊重新建構時間。

圖5圖解說明根據本發明之一項或多項實施例之記憶體區塊管理。圖5中所示之實施例包含若干記憶體陣列502-0、502-1、502-2、...、502-(K-1)。記憶體陣列502-0、502-1、502-2、...、502-(K-1)可類似於(諸如)圖1中所示之陣列102及圖2中所示之記憶體陣列202-0及202-1之記憶體

陣列。記憶體陣列502-0、502-1、502-2、...、502-(K-1)可係一記憶體單元(諸如，下文結合圖9所闡述之記憶體單元925)之一部分。作為一實例，陣列502-0、502-1、502-2、...、502-(K-1)中之一者或多者可係來自不同記憶體裝置，例如，來自不同快閃記憶體晶粒或晶片。

如上文結合圖2、圖3及圖4所闡述，陣列502-0、502-1、502-2、...、502-(K-1)各自包含若干實體記憶體胞區塊，其中將每一陣列之區塊組織成平面(例如，所示之平面0及平面1)。如圖5中所示之實施例中所圖解說明，陣列502-0、502-1、502-2、...、502-(K-1)中之每一者內之實體區塊可具有與其相關聯之一區塊位置522。在此實例中，存在十五個區塊位置：BP0至BP14。一區塊之區塊位置522可指示該區塊在其各別平面內之實體定位。

類似於圖3及圖4中所示之實例，每一記憶體陣列502-0、502-1、502-2、...、502-(K-1)包含相同區塊位置522處之兩個實體區塊(每平面一個實體區塊)。舉例而言，陣列502-0、502-1、502-2、...、502-(K-1)中之每一者包含區塊位置編號BP0處之兩個區塊，區塊位置BP1處之兩個區塊等。在圖5中所圖解說明之實例中，將來自陣列502-0至502-(K-1)中之每一者之平面(平面0及平面1)全體組織為一單個平面群組。

圖5中所示之實施例包含與陣列502-0、502-1、502-2、...、502-(K-1)內之實體記憶體區塊相關聯之一區塊狀態。舉例而言，如上文結合圖3及圖4所闡述，陣列502-

0、502-1、502-2、...、502-(K-1)包含若干壞區塊547(標記為BAD BLK)。在圖5中所圖解說明之實施例中，空白區塊表示無缺陷實體區塊，而陰影區塊表示指派給一特定超級區塊之實體區塊。如上文所述，一超級區塊可係來自至少兩個不同平面中之每一者之實體區塊之一集合，且具有來自彼等平面中之一特定平面之至多一個實體區塊。

在圖5中所示之實施例中，超級區塊(例如，545-1、545-2A及545-2B)各自係跨越多個陣列502-0、502-1、502-2、...、502-(K-1)之「N」個實體區塊之一集合。在圖5中所圖解說明之實例中，一超級區塊內之每一實體區塊皆具有一特定區塊編號524，例如，將跨越陣列502-0、502-1、502-2、...、502-(K-1)之超級區塊內之「N」個實體區塊編號為區塊0至區塊(N-1)。因而，在此實例中，每一超級區塊(例如，545-1、545-2A及545-2B)係來自記憶體陣列502-0、502-1、502-2、...、502-(K-1)中之每一者之總共N個實體區塊(例如，兩個實體區塊(來自平面0及平面1中之一者的一個實體區塊))之一集合。

在一項或多項實施例中，且如圖5中所圖解說明，超級區塊(例如，545-1、545-2A及545-2B)中之每一者包含至少兩個不同平面之相同實體區塊位置522處尚未被確定為係有缺陷的每一實體區塊(下文中稱為一「無缺陷區塊」)及針對與無缺陷實體區塊在相同特定區塊位置處之每一壞實體區塊的一替換實體區塊，其中替換實體區塊係位於不同於無缺陷實體區塊之一區塊位置處。作為一實例，在圖5

中所圖解說明之實施例中，若跨越陣列502-0至502-(K-1)在一特定區塊位置522處之實體區塊中之每一者皆係一無缺陷區塊，則將位於彼特定區塊位置處之所有實體區塊指派給一特定超級區塊，例如，此實施例中之545-1。

然而，若跨越陣列502-0至502-(K-1)位於一特定區塊位置522處之實體區塊中之一者或多者係一壞區塊547，則將位於彼特定區塊位置522處之無缺陷區塊中之每一者指派給一特定超級區塊(例如，545-2A)，其中將一個或多個替換實體區塊指派給特定超級區塊(例如，545-2A)作為特定區塊位置處一個或多個壞實體區塊547之替換。在一項或多項實施例中，且如圖5中所圖解說明，替換實體區塊係來自與在特定超級區塊(例如，545-2A及545-2B)中替換之壞實體區塊547相同之平面。在一項或多項實施例中，耦合至記憶體陣列(例如，502-0至502-(K-1))之控制電路經組態以將特定區塊位置522處之壞實體區塊547映射至不同區塊位置處之替換實體區塊。

因而，圖5中所圖解說明之實施例包含兩種類型之超級區塊。舉例而言，將位於不具有與其相關聯之壞區塊547之一特定區塊位置522處之實體區塊指派給一第一類型之超級區塊(例如，超級區塊545-1)。如圖5中所示，將區塊位置BP0處之所有實體區塊指派給超級區塊545-1。

在圖5中所圖解說明之實施例中，將位於具有與其相關聯之一個或多個壞區塊547之一特定區塊位置522處之無缺陷實體區塊指派給亦包含指派給其之替換實體區塊之一第

二類型之超級區塊(例如，超級區塊545-2A或545-2B)。舉例而言，如圖5中所示，位於陣列502-0之平面0內之區塊位置BP2處之實體區塊係一壞區塊547。因而，將一替換區塊(例如，位於陣列502-0之平面0內之區塊位置BP12處之實體區塊)連同區塊位置BP2處之無缺陷區塊一起指派給超級區塊545-2A。亦即，超級區塊545-2A中編號為區塊0的區塊係一替換區塊。作為另一實例，區塊位置BP3處之實體區塊包含兩個壞區塊547，例如，陣列502-1之平面0內之區塊及陣列502-(K-1)之平面1內之區塊。因而，超級區塊545-2B之編號為區塊2的區塊及編號為區塊(N-1)的區塊係替換區塊，例如，將位於陣列502-1之平面0內之區塊位置BP12處之實體區塊及位於陣列502-(K-1)之平面1內之區塊位置BP12處之實體區塊指派給超級區塊545-2B作為區塊位置BP3處各別壞區塊547之替換區塊。

因而，在圖5中所圖解說明之實施例中，以指派給一第一類型之超級區塊(例如，545-1)之實體區塊各自位於相同區塊位置522處之此一方式將實體區塊指派給超級區塊。亦即，一特定第一類型之超級區塊之每一實體區塊(例如，區塊0至區塊(N-1))位於相同區塊位置522處。在此一實施例中，亦以指派給一第二類型之超級區塊(例如，545-2A或545-2B)之實體區塊中之至少一者位於一不同區塊位置522處之此一方式將實體區塊指派給超級區塊。亦即，指派給一特定第二類型之超級區塊之該或該等替換實體區塊位於不同於指派給彼特定超級區塊之無缺陷區塊之一區

塊位置522處。

在一項或多項實施例中，一記憶體控制器(例如，結合圖9所闡述之記憶體控制器920)可包含經組態以將每一平面(例如，平面0及平面1)內特定數目之實體區塊指派為用來替換該平面內之壞實體區塊547之控制電路。舉例而言，在圖5中所圖解說明之實施例中，陣列502-0至502-(K-1)包含經指派用於重新映射之一部分533。在此實施例中，區塊位置BP12、BP13及BP14處之實體區塊中之每一者經指派以用於替換其等各別平面中之一壞區塊547且可被指派給類型2之一特定超級區塊(例如，545-2A或545-2B)。該等替換實體區塊可用於將壞區塊重新映射至無缺陷實體區塊。在一項或多項實施例中，控制電路可經組態以將每一平面內預定數目之實體區塊指派為用來替換該平面內之壞實體區塊547。

在一項或多項實施例中，經指派用來替換壞實體區塊之實體區塊之特定數目係至少部分地基於每平面有缺陷區塊之最高預期數目。舉例而言，記憶體陣列502-0至502-(K-1)之一製造商可指示每平面不多於約2%至約4%之實體區塊在陣列之整個壽命內將出現缺陷。舉例而言，陣列502-0至502-(K-1)中不多於約2%至約4%之實體區塊將係壞區塊547。在各種實施例中，經指派用於重新映射之實體區塊533之特定數目不超過每平面有缺陷區塊之最高預期數目。亦即，在各種實施例中，經指派用於重新映射之部分533可係每平面實體區塊總數目之約2%至約4%。本發明之

實施例並不限於每平面特定預期百分數或數目之有缺陷區塊。

如上文所述，在一項或多項實施例中，每平面之若干預期有缺陷區塊可包含「原始」有缺陷區塊(例如，在製造時係有缺陷之區塊及/或藉由初步測試係有缺陷之區塊)以及在製造及初步測試時功能優良但在一記憶體裝置(例如，一快閃記憶體裝置)之壽命期間變得有缺陷之區塊。在初步測試之後(例如，在裝置之壽命期間)變為有缺陷之區塊可稱為「成長型」有缺陷區塊。因而，與一特定平面相關聯之若干預期有缺陷區塊可包含來自每一平面之原始有缺陷區塊以及成長型有缺陷區塊。

在一項或多項實施例中，來自用於重新映射之部分533之一替換區塊亦可用於替換在記憶體裝置之使用期間被確定為係有缺陷之區塊(例如，用於替換成長型有缺陷區塊)。在此等實施例中，含有成長型有缺陷區塊之超級區塊可保持相同；然而，用來自用於重新映射之部分533之一實體區塊動態地替換該成長型有缺陷實體區塊。

以圖5中所圖解說明之方式將N個實體區塊指派給一超級區塊(例如，545-1、545-2A或545-2B)與結合圖3及圖4所闡述之先前方法相比可提供經改良之區塊管理效率。舉例而言，在圖5中所圖解說明之實施例中，一LUT中之一單個LBA至PBA映射項目可用於定位指派給類型1之一超級區塊(例如，545-1)之實體區塊，此乃因對應於類型1之一超級區塊之實體區塊位於一共同區塊位置522處。並且，與

在圖4中所圖解說明之實例中不同，可將與一個或多個壞區塊547共用一區塊位置n之實體區塊指派給類型2之一超級區塊(例如，545-2A或545-2B)，此可減少與強制型壞區塊相關聯之低效率。

如下文結合圖8A至圖8C所進一步闡述，一單獨LUT可用於針對類型2之超級區塊將LBA映射至PBA。與用於針對類型1之超級區塊將LBA映射至PBA之LUT相比，用於儲存用於針對類型2之超級區塊將LBA映射至PBA之LUT之儲存空間可為小。舉例而言，由於可存在相對小數目(例如，2%至4%)之壞區塊547，因此，類型2之超級區塊之數目與類型1之超級區塊之數目相比可為小。

圖6圖解說明根據本發明之一項或多項實施例之記憶體區塊管理。圖6中所示之實施例包含若干記憶體陣列602-0、602-1、602-2、...、602-(K-1)。記憶體陣列602-0、602-1、602-2、...、602-(K-1)可類似於(諸如)圖1中所示之陣列102及圖2中所示之記憶體陣列202-0及202-1之記憶體陣列。記憶體陣列602-0、602-1、602-2、...、602-(K-1)可係一記憶體單元(諸如，下文結合圖9所闡述之記憶體單元925)之一部分。作為一實例，陣列602-0、602-1、602-2、...、602-(K-1)中之一者或多者可係來自不同記憶體裝置，例如，來自不同快閃記憶體晶粒或晶片。

如上文結合圖2、圖3、圖4及圖5所闡述，陣列602-0、602-1、602-2、...、602-(K-1)各自包含若干實體記憶體胞區塊，其中將每一陣列之區塊組織成平面(例如，所示之

平面0及平面1)。如圖6中所示之實施例中所圖解說明，陣列602-0、602-1、602-2、...、602-(K-1)之每一平面內之實體區塊位於與其相關聯之一不同區塊位置622處。在此實施例中，存在十二個區塊位置：BP0至BP11。一區塊之區塊位置622可指示該區塊在其各別平面內之實體定位。

類似於圖3及圖4中所示之實例，每一記憶體陣列602-0、602-1、602-2、...、602-(K-1)包含相同區塊位置622處之兩個實體區塊(每平面一個實體區塊)。舉例而言，陣列602-0、602-1、602-2、...、602-(K-1)中之每一者包含區塊位置BP0處之兩個區塊，具有位置編號BP1之兩個區塊等。在圖6中所圖解說明之實例中，將來自陣列602-0至602-(K-1)中之每一者之平面(平面0及平面1)全體組織為一單個平面群組(例如，圖2中所示之群組240-0或240-1)。

圖6中所示之實施例包含與陣列602-0、602-1、602-2、...、602-(K-1)內之實體記憶體區塊相關之一區塊狀態。舉例而言，如上文結合圖3及圖4所闡述，陣列602-0、602-1、602-2、...、602-(K-1)包含若干壞區塊647(標記為BAD BLK)以及若干強制型壞區塊649(標記為FBB)。在圖6中所圖解說明之實施例中，空白區塊表示無缺陷實體區塊，而陰影區塊表示指派給一特定超級區塊之實體區塊。如上文所述，一超級區塊可係來自至少兩個不同平面中之每一者之實體區塊之一集合，且具有來自該等平面中之一特定平面之至多一個實體區塊。

在圖6中所圖解說明之實施例中，且如結合圖3及圖4所

闡述，出於執行作業(諸如，程式化作業及讀取作業)之目的，一起定址一陣列內相同區塊位置處之實體區塊。因而，在圖6中所示之實施例中，將一特定陣列內與一壞區塊647在一共同區塊位置622處之無缺陷實體區塊強制為壞區塊649。舉例而言，在陣列602-0中，平面1之位於區塊位置BP2處之實體區塊係一強制型壞區塊649，此乃因其與平面0之壞區塊647共用區塊位置BP2。

類似於結合圖5所闡述之實施例，圖6中所圖解說明之實施例包含兩種類型之超級區塊(例如，類型1之645-1及類型2之645-2)。每一超級區塊係跨越多個陣列602-0、602-1、602-2、...、602-(K-1)之「N」個實體區塊之一集合。在圖6中所圖解說明之實施例中，一超級區塊內之每一實體區塊皆具有一特定區塊編號624，例如，將跨越陣列602-0、602-1、602-2、...、602-(K-1)之超級區塊內之「N」個實體區塊編號為區塊0至區塊(N-1)。因而，在圖6中所圖解說明之實施例中，每一超級區塊(例如，645-1及645-2)係來自記憶體陣列602-0、602-1、602-2、...、602-(K-1)中之每一者之總共N個實體區塊(例如，兩個實體區塊(來自平面0及平面1中之每一者的一個實體區塊))之一集合。

在圖6中所圖解說明之實施例中，第一類型之超級區塊(例如，645-1)中之每一者包含位於至少兩個不同記憶體陣列之一相同特定區塊位置622處之所有無缺陷實體區塊。亦即，在指派給類型1之一超級區塊(例如，645-1)之實體區塊之區塊位置622處不存在壞區塊647或強制型壞區塊

649。

在圖6中所圖解說明之實施例中，與一壞區塊647在相同區塊位置622處之無缺陷實體區塊可用於指派給類型2之一超級區塊(例如，645-2)。舉例而言，將位於陣列602-0之平面0及平面1內之區塊位置BP3處(其中壞區塊647亦位於(諸如)陣列602-1之平面0內及陣列602-(K-1)之平面1內之BP3處)之無缺陷實體區塊指派給超級區塊645-2(例如)作為超級區塊645-2之區塊0及區塊1。亦將位於陣列602-1之平面0及平面1內之區塊位置BP7處(其中一壞區塊647亦位於陣列602-0之平面1內之區塊位置BP7處)之無缺陷實體區塊指派給超級區塊645-2(例如)作為超級區塊645-2之區塊2及區塊3。另外，將位於陣列602-2之平面0及平面1內之區塊位置BP8處(其中一壞區塊647亦位於陣列602-(K-1)之平面0內之壞區塊位置BP8處)之無缺陷實體區塊指派給超級區塊645-2(例如)作為超級區塊645-2之區塊4及區塊5。並且，將位於陣列602-(K-1)之平面0及平面1內之區塊位置BP7處(其中一壞區塊647亦位於陣列602-0之平面1內之區塊位置BP7處)之無缺陷實體區塊指派給超級區塊645-2(例如)作為超級區塊645-2之區塊(N-2)及區塊(N-1)。

在一項或多項實施例中，一記憶體控制器(例如，圖9中所闡述之記憶體控制器920)可包含經組態以防止將與一壞區塊647在相同區塊位置622處且在相同陣列內之無缺陷區塊指派給第二類型之一超級區塊之控制電路。舉例而言，如圖6中所圖解說明，將與一壞區塊647共用一共同區塊位

置且相同陣列中之實體區塊強制為壞區塊649，以便防止將其指派給類型2之一超級區塊(例如，645-2)。

以圖6中所圖解說明之方式將N個實體區塊指派給一超級區塊(例如，645-1或645-2)與結合圖3及圖4所闡述之先前方法相比可提供經改良之區塊管理效率。舉例而言，在圖6中所圖解說明之實施例中，一LUT中之一單個LBA至PBA映射項目可用於定位指派給類型1之一超級區塊(例如，645-1)之實體區塊，此乃因對應於類型1之一超級區塊之實體區塊共用一共同區塊位置622。並且，與圖4中所圖解說明之實例中不同，與一個或多個壞區塊647共用一共同區塊位置之無缺陷實體區塊可用於指派給類型2之一超級區塊(例如，645-2)。

類似於圖5之實施例，且如下文參照圖8A至圖8C所進一步闡述，一單獨LUT可用於針對類型2之超級區塊將LBA映射至PBA。與用於針對類型1之超級區塊將LBA映射至PBA之LUT相比，用於儲存用於針對類型2之超級區塊將LBA映射至PBA之LUT之儲存空間可為小。舉例而言，由於可存在相對小數目(例如，2%至4%)之壞區塊647，因此，類型2之超級區塊之數目與類型1之超級區塊之數目相比可為小。

圖7圖解說明根據本發明之一項或多項實施例之記憶體區塊管理。圖7中所示之實施例包含若干記憶體陣列702-0、702-1、702-2、...、702-(K-1)。記憶體陣列702-0、702-1、702-2、...、702-(K-1)可類似於(諸如)圖1中所示之

陣列102及圖2中所示之記憶體陣列202-0及202-1之記憶體陣列。記憶體陣列702-0、702-1、702-2、...、702-(K-1)可係一記憶體單元(諸如，下文結合圖9所闡述之記憶體單元925)之一部分。作為一實例，陣列702-0、702-1、702-2、...、702-(K-1)中之一者或多者可係來自不同記憶體裝置，例如，來自不同快閃記憶體晶粒或晶片。

如上文結合圖2至圖6所闡述，陣列702-0、702-1、702-2、...、702-(K-1)各自包含若干實體記憶體胞區塊，其中將每一陣列之區塊組織成平面，例如，所示之平面0及平面1。如圖7中所示之實施例中所圖解說明，陣列702-0、702-1、702-2、...、702-(K-1)中之每一者內之實體區塊可具有與其相關聯之一區塊位置722。在此實例中，存在十五個區塊位置：BP0至BP14。一區塊之區塊位置722可指示該區塊在其各別平面內之實體定位。

在圖7中所示之實施例中，每一記憶體陣列702-0、702-1、702-2、...、702-(K-1)包含相同區塊位置722處之兩個實體區塊(每平面一個實體區塊)。舉例而言，陣列702-0、702-1、702-2、...、702-(K-1)中之每一者包含區塊位置BP0處之兩個區塊，區塊位置BP1處之兩個區塊等。在圖7中所圖解說明之實例中，將來自陣列702-0至702-(K-1)中之每一者之平面(平面0及平面1)組織為兩個各別平面群組。

圖7中所示之實施例包含與陣列702-0、702-1、702-2、...、702-(K-1)內之實體記憶體區塊相關聯之一區塊狀

態。舉例而言，如上文所闡述，陣列702-0、702-1、702-2、...、702-(K-1)包含若干壞區塊747(標記為BAD BLK)。在圖7中所圖解說明之實施例中，空白區塊表示無缺陷實體區塊，而陰影區塊表示指派給一特定超級區塊之實體區塊。如上文所述，一超級區塊可係來自至少兩個不同平面中之每一者之實體區塊之一集合，且具有來自該等平面中之一特定平面之至多一個實體區塊。

除超級區塊各自係跨越多個陣列702-0、702-1、702-2、...、702-(K-1)之與「N」個實體區塊不同之「N/2」個實體區塊之一集合以外，圖7中所圖解說明之實施例類似於結合圖5所闡述之實施例。在圖7中所圖解說明之實施例中，一超級區塊內之每一實體區塊皆具有一特定區塊編號724，例如，將跨越陣列702-0、702-1、702-2、...、702-(K-1)之超級區塊內之「N/2」個實體區塊偶數編號或奇數編號為區塊0至區塊(N-1)。

因而，在此實施例中，每一超級區塊(例如，745-1A、745-1B及745-1C，745-2A、745-2B及745-2C)係來自記憶體陣列702-0、702-1、702-2、...、702-(K-1)中之每一者之總共N/2個實體區塊(例如，來自平面0或平面1之一個實體區塊)之一集合。

舉例而言，類型1之一超級區塊(例如，745-1A)包含位於陣列702-0至702-(K-1)中之每一者之平面0內之區塊位置BP0處之實體區塊。類型1之另一超級區塊(例如，745-1B)包含位於陣列702-0至702-(K-1)中之每一者之平面1內之區

塊位置BP0處之實體區塊。類型1之又一超級區塊(例如，745-1C)包含位於陣列702-0至702-(K-1)中之每一者之平面1內之區塊位置BP2處之實體區塊。

類似於圖5中所闡述之實施例，若跨越陣列702-0至702-(K-1)之一特定區塊位置722處之實體區塊中之一者或多者係一壞區塊747，則將彼特定區塊位置722處之無缺陷區塊中之每一者指派給一特定超級區塊(例如，745-2A)中，其中將一個或多個替換實體區塊指派給特定超級區塊(例如，745-2A)作為特定區塊位置處之一個或多個壞實體區塊747之替換。在一項或多項實施例中，且如圖7中所圖解說明，替換實體區塊係來自與在特定超級區塊(例如，745-2A、745-2B或745-2C)中替換之壞實體區塊747相同之平面。在一項或多項實施例中，耦合至記憶體陣列(例如，702-0至702-(K-1))之控制電路經組態以將特定區塊位置722處之壞實體區塊747映射至不同區塊位置處之替換實體區塊。因而，圖7中所圖解說明之實施例包含兩種類型之超級區塊：745-1及745-2。

在圖7中所圖解說明之實施例中，將與一個或多個壞區塊747共用一特定區塊位置722之無缺陷實體區塊指派給亦包含與其相關聯之一替換實體區塊之一第二類型之超級區塊(例如，745-2A、745-2B或745-2C)。舉例而言，如圖7中所示，位於陣列702-0之平面0內之區塊位置BP2處之實體區塊係一壞區塊747。因而，將一替換區塊(例如，位於陣列702-0之平面0內之區塊位置BP12處之實體區塊)連同

陣列 702-1 至 702-(K-1) 之平面 0 內之區塊位置 BP2 處之無缺陷區塊一起指派給超級區塊 745-2A。亦即，超級區塊 745-2A 之區塊編號區塊 0 係一替換區塊。作為另一實例，區塊位置 BP3 處之實體區塊包含兩個壞區塊 747，例如，陣列 702-1 之平面 0 內之區塊及陣列 702-(K-1) 之平面 1 內之區塊。因而，超級區塊 745-2B 之編號為區塊 2 的區塊及超級區塊 745-2C 之編號為區塊 (N-1) 的區塊係替換區塊，例如，將位於陣列 702-1 之平面 0 內之區塊位置 BP12 處之實體區塊及位於陣列 702-(K-1) 之平面 1 內之區塊位置 BP12 處之實體區塊分別指派給超級區塊 745-2B 及 745-2C 作為區塊位置 BP3 處各別壞區塊 747 之替換區塊。

因而，在圖 7 中所圖解說明之實施例中，將實體區塊指派給第一類型之超級區塊(例如，745-1A、745-1B 及 745-1C)，以使得對應於一特定超級區塊之實體區塊各自在相同各別區塊位置 722 處。亦即，一特定超級區塊之 $N/2$ 個實體區塊中之每一者共用相同區塊位置 722。將實體區塊指派給第二類型之超級區塊(例如，745-2A、745-2B 及 745-2C)，以使得第二類型之一特定超級區塊之 $N/2$ 個實體區塊中之至少一者位於一不同區塊位置 722 處。亦即，指派給第二類型之特定超級區塊之一或多個替換實體區塊位於不同於指派給第二類型之特定超級區塊之無缺陷區塊之一區塊位置 722 處。

在一項或多項實施例中，且如圖 5 之實施例中所闡述，一記憶體控制器(例如，結合圖 9 所闡述之記憶體控制器

920)可包含經組態以將每一平面(例如，平面0及平面1)內特定數目之實體區塊指派為用來替換彼平面內之壞實體區塊747之控制電路。舉例而言，在圖7中所圖解說明之實施例中，陣列702-0至702-(K-1)包含經指派用於重新映射之一部分733。在此實施例中，區塊位置BP12、BP13及BP14處之實體區塊中之每一者經指派以用於替換一各別壞區塊747且可被指派給類型2之一特定超級區塊(例如，745-2A、745-2B或745-2C)。

以圖7中所圖解說明之方式將 $N/2$ 個實體區塊指派給一超級區塊(例如，745-1A、745-1B、745-1C、745-2A、745-2B或745-2C)與結合圖3及圖4所闡述之先前方法相比可提供經改良之區塊管理效率。舉例而言，在圖7中所圖解說明之實施例中，一LUT中一單個LBA至PBA映射項目可用於定位指派給類型1之一超級區塊(例如，745-1A、745-1B或745-1C)之實體區塊，此乃因對應於類型1之一超級區塊之實體區塊共用一共同區塊位置722。並且，與圖4中所圖解說明之實例中不同，可將與一個或多個壞區塊747共用一共同區塊位置之無缺陷實體區塊指派給類型2之一超級區塊(例如，745-2A、745-2B或745-2C)，此可減少與強制型壞區塊相關聯之低效率。

如下文結合圖8A至圖8C所進一步闡述，一單獨LUT可用於針對類型2之超級區塊將LBA映射至PBA。與用於針對類型1之超級區塊將LBA映射至PBA之LUT相比，用於儲存用於針對類型2之超級區塊將LBA映射至PBA之LUT之儲存

空間可為小。舉例而言，由於可存在相對小數目(例如，2%至4%)之壞區塊747，因此，類型2之超級區塊之數目與類型1之超級區塊之數目相比可為小。

圖8A、圖8B及圖8C圖解說明具有可根據本發明之一項或多項實施例使用之映射資訊之表。如熟習此項技術者將瞭解，一個或多個LBA可由與一特定操作(例如，程式化、讀取、擦除等)相關聯之一記憶體控制器接收。一查詢表(LUT)包含邏輯區塊位址(LBA)至實體區塊位址(PBA)映射，該映射可基於所接收之LBA提供指派給特定超級區塊之實體區塊之實體定位。

圖8A圖解說明包含對應於不同類型(例如，本文中結合圖5、圖6及圖7所闡述之類型1及類型2)之超級區塊之LBA至PBA映射之一實例性LUT 842。在圖8A中所圖解說明之實例中，指示符「P」表示與超級區塊相關聯之多個記憶體陣列內每平面之實體區塊之總數目。指示符「M」表示多個實體陣列內每平面之有缺陷區塊之最高數目。如上文所闡述，數目「M」可由一製造商提供，舉例而言，作為在一特定記憶體陣列之整個壽命內每平面有缺陷區塊之最大預期數目。因此，「P-M」表示每平面之可用實體區塊之總數目且因而存在「P-M」個超級區塊。「P-M」個超級區塊中之大部分將係類型1之超級區塊(例如，分別結合圖5及圖6所闡述之545-1或645-1)，此乃因每平面存在相對小量(例如，2%-4%)之壞區塊。

因而，在圖8A中所圖解說明之實例中，表842包含對應

於若干超級LBA(標記為所示之超級LBA 0至超級LBA (P-M-1))之「P-M」個項目。在此實例中，表842係一單個項目表，例如，每一超級LBA對應於一單個項目。項目850-0、850-1、850-2及850-3表示對應於類型1之超級區塊之項目。亦即，由於指派給類型1之一超級區塊之實體區塊中之每一者共用一共同區塊位置(例如，圖5/6中所示之522/622)，因此可使用一單個項目來確定指派給類型1之特定超級區塊之所有實體區塊之實體定位。

在實例性表842中，項目852表示對應於類型2之一超級區塊(例如，結合圖5、圖6及圖7所闡述之具有一個或多個指派給其之具有不同區塊位置之實體區塊之一超級區塊)之一項目。由於指派給一類型2之超級區塊之實體區塊跨越多個陣列可具有各種區塊位置，因此，與項目850-1、850-2、850-2及850-3不同，項目852不包含直接LBA至PBA映射。相反，項目852包含對一不同表(例如，表860)之一指示，該表包含針對類型2之超級區塊之LBA至PBA映射。

作為一實例，考量接收一特定超級LBA之一記憶體控制器。首先，可基於特定超級LBA搜尋一單個項目表(例如，842)若確定表842內對應於特定LBA之項目係對應於與類型2之一超級區塊相關聯之一PBA之一項目(例如，852)，則可搜尋一表(諸如，表860)來確定指示指派給類型2之超級區塊之實體區塊之實體定位的適當映射資訊。亦即，表860可包含對應於特定類型2之超級區塊之實體區塊

集合中之每一實體區塊之一PBA。圖8B及圖8C中圖解說明含有針對類型2之超級區塊之LBA至PBA映射的類型2之表(諸如，表860)之實例。

圖8B及圖8C圖解說明各自包含對應於類型2之超級區塊之LBA至PBA映射之實例性LUT 844-1及LUT 844-2。表844-1及表844-2可係回應於一表(諸如，圖8A中所示之表842)內之一指示而搜尋之表(諸如，表860)。

在圖8B中所圖解說明之實例中，LUT 844-1包含(M×N)個項目，其中「M」表示多個記憶體陣列內每平面之所期望有缺陷區塊之最高數目，且「N」表示每超級區塊之實體區塊之數目。作為一實例，項目862-0、862-1、...、862-(N-1)中之每一者包含對應於指派給一特定類型2之超級區塊(例如，結合圖5之實施例所闡述之545-2A或545-2B)之一特定實體區塊之LBA至PBA映射資訊。

在圖8C中所圖解說明之實例中，LUT 844-2包含[M x (N/2)]個項目，其中「M」表示多個記憶體陣列內每平面之所期望有缺陷區塊之最高數目，且「N」表示每超級區塊之實體區塊之數目。作為一實例，項目864-0、864-1、...、864-[(N-1)/2]中之每一者包含對應於指派給一特定類型2之超級區塊(例如，結合圖6之實施例所闡述之645-2)之一特定實體區塊對(來自一特定陣列之平面0及平面1之實體區塊)之LBA至PBA映射資訊。

如熟習此項技術者將瞭解，某些記憶體系統經組態以使得同時對一特定陣列之兩個平面內之實體區塊執行操作。

在此等實例中，可將相同陣列內與一壞區塊共用一共同區塊位置之一實體區塊強制為系統不可用。舉例而言，如圖6中所示之實施例中所圖解說明，與一壞區塊647共用一區塊位置622且在相同陣列中之實體區塊變為強制型壞區塊649。因而，圖8C之表844-2可在記憶體系統(例如，圖9中所示之900)經組態以同時對多個記憶體陣列之兩個平面內之實體區塊執行操作時具有圖8B之表844-1一半多之項目。

圖9係根據本發明之一項或多項實施例之一電子記憶體系統900之一功能方塊圖。在一項或多項實施例中，系統900係一固態驅動器(SSD)，例如，一快閃SSD。亦即，圖9之實施例可圖解說明一固態驅動器900之一項實施例之組件及架構。在圖9中所圖解說明之實施例中，系統900包含一控制器920、一主機介面924、一陣列介面926及固態記憶體單元925。

在圖9中所圖解說明之實施例中，記憶體單元925包含若干記憶體裝置930-0、930-1、...、930-D。作為一實例，該等記憶體裝置可係(諸如)快閃記憶體(例如，NAND快閃記憶體或NOR快閃記憶體裝置)之非揮發性記憶體裝置以及其他裝置。記憶體裝置930-0、930-1、...、930-D可係(諸如)結合圖2所闡述之記憶體裝置230-0、230-1、230-2及230-3之記憶體裝置。在一項或多項實施例中，且如圖9中所圖解說明，記憶體裝置930-0、930-1、...、930-D中之每一者包含若干記憶體陣列902-0、902-1、902-3、...、902-

(K-1)。記憶體陣列 902-0、902-1、902-3、...、902-(K-1) 可係(諸如)結合圖 5、圖 6 及圖 7 所闡述之記憶體陣列之陣列。舉例而言，記憶體陣列 902-0、902-1、902-3、...、902-(K-1)中之每一者可包含多個實體記憶體胞區塊。在一項或多項實施例中，記憶體陣列 902-0、902-1、902-3、...、902-(K-1)中之每一者可表示一單個晶粒，且記憶體裝置 930-0、930-1、...、930-D 中之每一者可表示具有每晶片多個晶粒之一記憶體晶片。

在一項或多項實施例中，可將記憶體單元 925 組織成跨越記憶體陣列之多個平面群組，其中每一群組係來自不同記憶體裝置之至少兩個平面之一集合。如上文結合圖 2 所闡述，該等群組可具有與其相關聯之若干超級區塊，其中該等超級區塊係來自該群組之至少兩個平面中之每一者之一實體區塊之一集合。在各種實施例中，該群組之至少兩個平面可位於至少兩個不同記憶體陣列上。

如圖 9 中所圖解說明，記憶體單元 925 可經由一陣列介面 926 耦合至控制器 920。陣列介面 926 可用於在記憶體單元 925 與控制器 920 之間傳送資訊。控制器 920 可經由主機介面 924 耦合至一記憶體存取裝置(例如，一主機裝置之一處理器(未顯示))。一主機裝置可包含一計算裝置，諸如，一個人電腦(PC)、一膝上型電腦、一數位相機或一蜂巢式電話以及各種其他計算裝置。作為一實例，當記憶體單元 925 如圖 9 中所圖解說明用於一計算裝置中之資料儲存時，主機介面 924 可係一串列先進技術附件(SATA)以及其他裝

置，例如，控制器920可係一SATA控制器或一USB控制器以及其他裝置。亦即，實施例並不限於一特定類型之控制器920及/或主機介面924。

在一項或多項實施例中，且如圖9中所圖解說明，控制器920包含控制電路922。控制電路922可包含一處理器923、一空間管理器927、記憶體929(例如，一RAM)以及用於記憶體系統900之操作之其他控制電路(未顯示)。在一項或多項實施例中，控制器920用於將資料寫入至記憶體單元925且自記憶體單元925讀取資料。

在一項或多項實施例中，控制器920可經由主機介面924自一主機裝置接收邏輯區塊位址(LBA)931。控制電路922可經組態以搜尋一個或多個查詢表(諸如，表842、844-1及844-2)來確定指派給特定超級區塊之實體區塊之實體定位。

在各種實施例中，且如上文所闡述，控制電路922可經組態以選擇性地將實體區塊指派給一第一類型之超級區塊或一第二類型之超級區塊，其中該等超級區塊係來自至少兩個不同平面中之每一者之實體區塊集合。在各種實施例中，該至少兩個不同平面可係來自不同記憶體陣列。控制電路922可經組態以將實體區塊指派給如(舉例而言)圖5、圖6及圖7中所闡述之特定超級區塊。

結論

本發明包含用於一記憶體系統中之記憶體區塊管理之方法及裝置。本發明之實施例與先前方法相比可改良記憶體

區塊管理之效率。本發明之一項或多項實施例包含一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊。一項或多項實施例包含確定該等平面內之有缺陷實體區塊。若一特定區塊位置處之實體區塊中無一區塊被確定為係有缺陷的，則一項或多項實施例包含將該特定實體區塊處之該等實體區塊指派給一超級區塊，且若一特定區塊位置處之該等實體區塊中之一者或多個被確定為係有缺陷的，則一項或多項實施例包含：將該特定區塊位置處被確定為係有缺陷的該等實體區塊指派給一超級區塊；及針對該特定區塊位置處被確定為係有缺陷的該一個或多個實體區塊中之每一者將一各別替換實體區塊指派給該超級區塊指派一各別替換實體區塊給該超級區塊。在一項或多項實施例中，該各別替換實體區塊係選自該等平面中包含被確定為係有缺陷的該各別實體區塊之一各別者內之若干實體區塊。

本發明之一項或多項實施例包含確定一記憶體單元內之有缺陷實體區塊具有與其相關聯之多個平面群組，每一群組包含組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊。實施例可包含將來自一各別群組之至少兩個平面中之每一者之區塊集合指派給各別超級區塊。一超級區塊可包含：在一各別群組之至少兩個平面中之每一者內具有相同特定位置編號之所有無缺陷區塊之一集合；及針對與該

等無缺陷區塊具有相同特定位置編號之每一有缺陷區塊之一替換區塊。該替換區塊可選自每一平面內被指派為用來替換該各別平面內之有缺陷區塊之一區塊群組。

雖然本文中已圖解說明及闡述了具體實施例，但熟習此項技術者將瞭解，可用經計算以達成相同結果之一配置來替代所示之具體實施例。本發明意欲涵蓋對本發明之一項或多項實施例之修改或變化。

應理解，以上說明係以一圖解說明性方式而非一限定性方式作出。在審閱以上說明之後，熟習此項技術者將明瞭以上實施例之組合及本文中未具體闡述之其他實施例。本發明之一項或多項實施例之範疇包含其中使用以上結構及方法之其他應用。因此，應參照隨附申請專利範圍連同授權此等申請專利範圍之等效內容之全部範圍來確定本發明之一項或多項實施例之範疇。

在前述實施方式中，出於簡化本發明之目的，將某些特徵一起集合於一單項實施例中。不應將本發明之此方法解釋為反映本發明之所揭示實施例必須使用比明確陳述於每一技術方案中更多之特徵之一意圖。

而是，如以下專利申請範圍反映，發明性標的物在於少於一單個所揭示實施例之所有特徵。因此，以下申請專利範圍藉此併入於實施方式中，其中每一技術方案獨立地作為一單獨實施例。

【圖式簡單說明】

圖1係包含多個區塊且可根據本發明之一項或多項實施

例操作之一記憶體陣列之一圖示。

圖2係圖解說明具有可根據本發明之一項或多項實施例操作之多個平面群組之若干記憶體裝置之一圖示。

圖3圖解說明記憶體區塊管理之一先前方法。

圖4圖解說明記憶體區塊管理之另一先前方法。

圖5圖解說明根據本發明之一項或多項實施例之記憶體區塊管理。

圖6圖解說明根據本發明之一項或多項實施例之記憶體區塊管理。

圖7圖解說明根據本發明之一項或多項實施例之記憶體區塊管理。

圖8A、圖8B及圖8C圖解說明具有可根據本發明之一項或多項實施例使用之映射資訊之表。

圖9係根據本發明之一項或多項實施例之一電子記憶體系統之一功能性方塊圖。

【主要元件符號說明】

102	記憶體陣列
104-0	實體區塊
104-1	實體區塊
104-B	實體區塊
106-0	實體記憶體胞列
106-1	實體記憶體胞列
106-R	實體記憶體胞列
108-0	實體磁區

108-1	實體磁區
108-S	實體磁區
202-1	記憶體陣列
202-0	記憶體陣列
230-0	記憶體裝置
230-1	記憶體裝置
230-2	記憶體裝置
230-3	記憶體裝置
240-0	群組
240-1	群組
245-0	超級區塊
245-1	超級區塊
302-0	記憶體陣列
302-1	記憶體陣列
302-2	記憶體陣列
302-(K-1)	記憶體陣列
322	區塊位置
324	實體區塊編號
345-1	超級區塊
345-2	超級區塊
347	壞區塊
349	強制型壞區塊
402-0	記憶體陣列
402-1	記憶體陣列

402-2	記憶體陣列
402-(K-1)	記憶體陣列
422	區塊位置
424	特定區塊編號
445-1	超級區塊
445-2	超級區塊
447	壞區塊/有缺陷區塊
449	強制型壞區塊
502-0	記憶體陣列
502-1	記憶體陣列
502-2	記憶體陣列
502-(K-1)	記憶體陣列
522	區塊位置
524	特定區塊編號
533	重新映射之部分
545-1	超級區塊
545-2A	超級區塊
545-2B	超級區塊
547	壞區塊/壞實體區塊
602-0	記憶體陣列
602-1	記憶體陣列
602-2	記憶體陣列
602-(K-1)	記憶體陣列
622	區塊位置

624	特定區塊編號
645-1	超級區塊
645-2	超級區塊
647	壞區塊
649	強制型壞區塊
702-0	記憶體陣列
702-1	記憶體陣列
702-2	記憶體陣列
702-(K-1)	記憶體陣列
722	區塊位置
724	特定區塊編號
733	重新映射之一部分
745-1A	超級區塊
745-1B	超級區塊
745-1C	超級區塊
745-2A	超級區塊
745-2B	超級區塊
745-2C	超級區塊
747	壞區塊
842	查詢表(LUT)
844-1	LUT
844-2	LUT
850-0	項目
850-1	項目

850-2	項目
850-3	項目
852	項目
860	表
862-0	項目
862-1	項目
862-(N-1)	項目
864-0	項目
864-1	項目
864-[(N-1)/2]	項目
900	記憶體系統/固態驅動器
902-0	記憶體陣列
902-1	記憶體陣列
902-3	記憶體陣列
902-M	記憶體陣列
920	記憶體控制器
922	控制電路
923	處理器
924	主機介面
926	陣列介面
927	空間管理器
929	記憶體
930-0	記憶體裝置
930-1	記憶體裝置

930-D

記憶體裝置

931

邏輯區塊位址(LBA)



發明專利說明書

年	月	日	修正
99	7	2	補充

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99106313

※申請日：

99. 3. 4

※IPC 分類：G06F

一、發明名稱：(中文/英文)

G06F 12/06

(2006.01)

記憶體區塊管理

MEMORY BLOCK MANAGEMENT

二、中文發明摘要：

各種實施例包含一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊。實施例包含確定該等平面內之有缺陷區塊。若一特定區塊位置處之區塊中無一區塊被確定為係有缺陷的，則實施例包含將該特定區塊位置處之該等區塊指派給一超級區塊，且若一特定區塊位置處之該等區塊中之一者或多者被確定為係有缺陷的，則實施例包含：將該特定區塊位置處未被確定為係有缺陷的該等區塊指派給一超級區塊；及針對該特定區塊位置處被確定為係有缺陷的該一個或多個區塊中之每一者將一各別替換區塊指派給該超級區塊。該各別替換區塊係選自該等平面中包含被確定為係有缺陷的該各別區塊之一各別一者內之若干區塊。

三、英文發明摘要：

Various embodiments include one or more memory devices having at least two planes of physical blocks organized into super blocks, with each super block including a physical block from each of the at least two planes. Embodiments include determining defective blocks within the planes. If none of the blocks at a particular block position are determined to be defective, embodiments include assigning the blocks at the particular block position to a super block, and if one or more of the blocks at a particular block position are determined to be defective, embodiments include: assigning the blocks at the particular block position that were not determined to be defective to a super block; and assigning a respective replacement block to the super block for each of the one or more blocks at the particular block position determined to be defective. The respective replacement block is selected from a number of blocks within a respective one of the planes that includes the respective block determined to be defective.

七、申請專利範圍：

1. 一種記憶體控制器，其包括：

控制電路，其耦合至一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊，且其中該控制電路經組態以：

確定該等平面內之有缺陷實體區塊；

若一特定區塊位置處之該等實體區塊中無一實體區塊被確定為係有缺陷的，則將該特定區塊位置處之該等實體區塊指派給一超級區塊；及

若一特定區塊位置處之該等實體區塊中之一者或多者被確定為係有缺陷的：

則將該特定區塊位置處未被確定為係有缺陷的該等實體區塊指派給一超級區塊；及

針對該特定區塊位置處被確定為係有缺陷的該一個或多個區塊中之每一者將一各別替換實體區塊指派給該超級區塊指派一各別替換實體區塊給該超級區塊；其中該各別替換實體區塊係選自該等平面中包含被確定為係有缺陷的該各別實體區塊之一各別平面內之若干實體區塊。

2. 如請求項1之記憶體控制器，其中：

該特定區塊位置處被確定為係有缺陷的該等實體區塊中之至少一者係一成長型有缺陷實體區塊；且

該控制電路經組態以針對該特定區塊位置處被確定為

係一成長型有缺陷實體區塊的該至少一個實體區塊中之每一者動態地指派一各別替換實體區塊給該超級區塊。

3. 如請求項1之記憶體控制器，其中該控制電路經組態以確定實體區塊數目。
4. 如請求項3之記憶體控制器，其中該實體區塊數目係至少部分地基於每平面有缺陷區塊之最高預期數目確定。
5. 如請求項3之記憶體控制器，其中該實體區塊數目不超過每平面有缺陷區塊之最高預期數目。
6. 如請求項1之記憶體控制器，其中該控制電路經組態以：將被確定為係有缺陷的一實體區塊映射至不同於被確定為係有缺陷的該實體區塊之一區塊位置處之一替換區塊。
7. 如請求項1之記憶體控制器，其中該控制電路經組態以：針對與被確定為係有缺陷的一實體區塊在一特定相同陣列內且在相同特定區塊位置處的每一實體區塊，將一原本無缺陷之實體區塊視為一有缺陷區塊。
8. 一種記憶體控制器，其包括：

控制電路，其耦合至一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊，且其中該控制電路經組態以：

將該等實體區塊中之至少某些實體區塊選擇性地指派給一第一類型之一超級區塊與一第二類型之一超級區塊中之一者；

其中該第一類型之超級區塊僅包含跨越該至少兩個平面之一各別相同區塊位置處之實體區塊；且

其中該第二類型之超級區塊包含：跨越該至少兩個平面之一各別相同區塊位置處尚未被確定為係有缺陷的若干實體區塊；及在一不同區塊位置處替換該特定區塊位置處被確定為係有缺陷的至少一個實體區塊之至少一個實體區塊。

9. 如請求項8之記憶體控制器，其中該控制電路經組態以存取一表，該表包含：

各自具有對應於該第一類型之一各別超級區塊之映射資訊之若干項目；及

各自具有對一不同表之一指示之若干項目，該不同表具有對應於該第二類型之一各別超級區塊之映射資訊。

10. 如請求項9之記憶體控制器，其中該控制電路經組態以：基於一特定邏輯超級區塊位址搜尋該不同表，以確定該第二類型之一特定超級區塊之一實體超級區塊位址。

11. 如請求項10之記憶體控制器，其中該不同表包含指派給該第二類型之該特定超級區塊之每一實體區塊之一實體區塊位址。

12. 如請求項10之記憶體控制器，其中記憶體單元包含多個快閃記憶體裝置，其中每一快閃記憶體裝置包含至少一個記憶體陣列，且其中該至少兩個平面係來自至少兩個不同記憶體陣列且被組織成若干群組中之一者。

13. 如請求項8之記憶體控制器，其中該等區塊位置指示該等實體區塊在其等各別平面內之實體定位。

14. 一種記憶體控制器，其包括：

控制電路，其耦合至一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊，且其中該控制電路經組態以：

將該等實體區塊中之至少某些實體區塊選擇性地指派給一第一類型之一超級區塊與一第二類型之一超級區塊中之一者，每一類型之超級區塊包含來自一特定平面之至多一個實體區塊；

其中該第一類型之超級區塊僅包含跨越該至少兩個平面之一特定區塊位置處之實體區塊；及

確定該至少兩個平面內之一實體區塊是否為有缺陷的；且

其中將位於被確定為係有缺陷的一實體區塊之該區塊位置處且尚未被確定為係有缺陷的一實體區塊指派給該第二類型之一超級區塊。

15. 如請求項14之記憶體控制器，其中該控制電路經組態以：防止將位於被確定為係有缺陷的一區塊之該區塊位置處並與被確定為係有缺陷的該區塊在一相同陣列中的尚未被確定為係有缺陷的一區塊指派給該第二類型之一超級區塊。

16. 如請求項14之記憶體控制器，其中該第二類型之該等超

級區塊中之一者或多者包含一相同區塊位置處之至少兩個區塊。

17. 如請求項14之記憶體控制器，其中該第二類型之該等超級區塊中之一者或多者包含一相同區塊位置處之至少三個區塊。

18. 如請求項14之記憶體控制器，其中該一個或多個記憶體裝置形成一快閃固態驅動器之一部分。

19. 如請求項14之記憶體控制器，其中對應於一超級區塊之該等實體區塊係可大致同時擦除。

20. 如請求項14之記憶體控制器，其中該第一類型及第二類型之超級區塊各自包含相同數目之實體區塊。

21. 一種記憶體控制器，其包括：

控制電路，其耦合至一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊，且其中該控制電路經組態以：

確定該至少兩個平面內之一實體區塊是否為有缺陷的；

將該等實體區塊中之至少某些實體區塊選擇性地指派給該等超級區塊中之一各別超級區塊，其中該等超級區塊中之每一者具有來自一特定平面之至多一個實體區塊；且

其中該等超級區塊中之至少一者包含：

位於跨越該至少兩個平面之一特定區塊位置處的尚

未確定為係有缺陷的該等實體區塊；及

針對該特定區塊位置處已確定為係有缺陷的一實體區塊之一替換區塊，該替換實體區塊選自與被確定為係有缺陷的該實體區塊在一相同平面內之一經指派實體區塊群組。

22. 一種用於一記憶體系統中之區塊管理之方法，該方法包括：

確定一記憶體單元內之有缺陷實體區塊，該記憶體單元具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊；及

將來自該至少兩個平面中之每一者之一實體區塊指派給該等超級區塊中之一各別超級區塊；

其中該等超級區塊中之每一者包含：

位於該至少兩個平面之一各別相同區塊位置處尚未被確定為係有缺陷的實體區塊；且

若該各別相同區塊位置處之一實體區塊被確定為係有缺陷的，則包含針對被確定為係有缺陷的該實體區塊之一替換區塊，該替換實體區塊選自與被確定為係有缺陷的該實體區塊在一相同平面內之實體區塊。

23. 如請求項22之方法，其包含將每一平面內之若干實體區塊指派為用來替換該平面內已確定為係有缺陷的實體區塊。

24. 如請求項22之方法，其包含將被確定為係有缺陷的該實

體區塊映射至該替換實體區塊。

25. 一種用於一記憶體系統中之區塊管理之方法，該方法包括：

將實體區塊指派給與一記憶體單元相關聯之一第一類型之超級區塊，該記憶體單元具有至少兩個不同之實體區塊平面，其中每一超級區塊包含來自該至少兩個不同平面中之每一者之一實體區塊；

將實體區塊指派給與該記憶體單元相關聯之一第二類型之超級區塊；

其中該第一類型之實體區塊中之每一者僅包含跨越該至少兩個不同平面之一各別區塊位置處之實體區塊；且

其中該第二類型之超級區塊中之每一者包含跨越該至少兩個不同平面之一各別區塊位置處之一實體區塊及一不同實體區塊位置處之一實體區塊，該不同區塊位置處之該實體區塊替換該各別區塊位置處已確定為係有缺陷的一實體區塊。

26. 如請求項25之方法，其包含防止將與被確定為係有缺陷的一區塊在一相同區塊位置處且在一相同陣列中之實體區塊指派給該第二類型之一超級區塊。

27. 如請求項25之方法，其包含搜尋一表，該表包含：

各自具有對應於該第一類型之一各別超級區塊之映射資訊之若干項目；及

各自具有對一不同表之一指示之若干項目，該不同表具有對應於該第二類型之一各別超級區塊之映射資訊。

28. 如請求項27之方法，其包含搜尋該不同表以基於一特定邏輯超級區塊位址確定該第二類型之一特定超級區塊之一實體超級區塊位址。

29. 一種記憶體控制器，其包括：

控制電路，其耦合至一個或多個記憶體裝置，該等記憶體裝置具有組織成超級區塊之至少兩個實體區塊平面，其中每一超級區塊包含來自該至少兩個平面中之每一者之一實體區塊，且其中該控制電路經組態以：

確定該等平面內之有缺陷實體區塊，該等有缺陷實體區塊包含原始有缺陷區塊以及成長型有缺陷區塊；

若一特定區塊位置處之該等實體區塊中無一區塊被確定為係有缺陷的，則將該特定區塊位置處之該等實體區塊指派給一超級區塊；及

若一特定區塊位置處之該等實體區塊中之一者或多者被確定為係有缺陷的，則：

將該特定區塊位置處未被確定為係有缺陷的該等實體區塊指派給一超級區塊；及

針對該特定區塊位置處被確定為係有缺陷的該一個或多個實體區塊中之每一者，將一各別替換實體區塊指派給該超級區塊指派一各別替換實體區塊給該超級區塊；其中該各別替換實體區塊係選自該等平面中包含被確定為係有缺陷的該各別實體區塊之一各別平面內之若干經指派實體區塊。

30. 如請求項29之記憶體控制器，其中該控制電路經組態

以：

若當前指派給一特定超級區塊之該等實體區塊中之一者或者多者變為一成長型有缺陷區塊，則

針對來自該等平面之該各別平面內之該若干經指派實體區塊之該成長型有缺陷區塊，指派一替換區塊。

八、圖式：

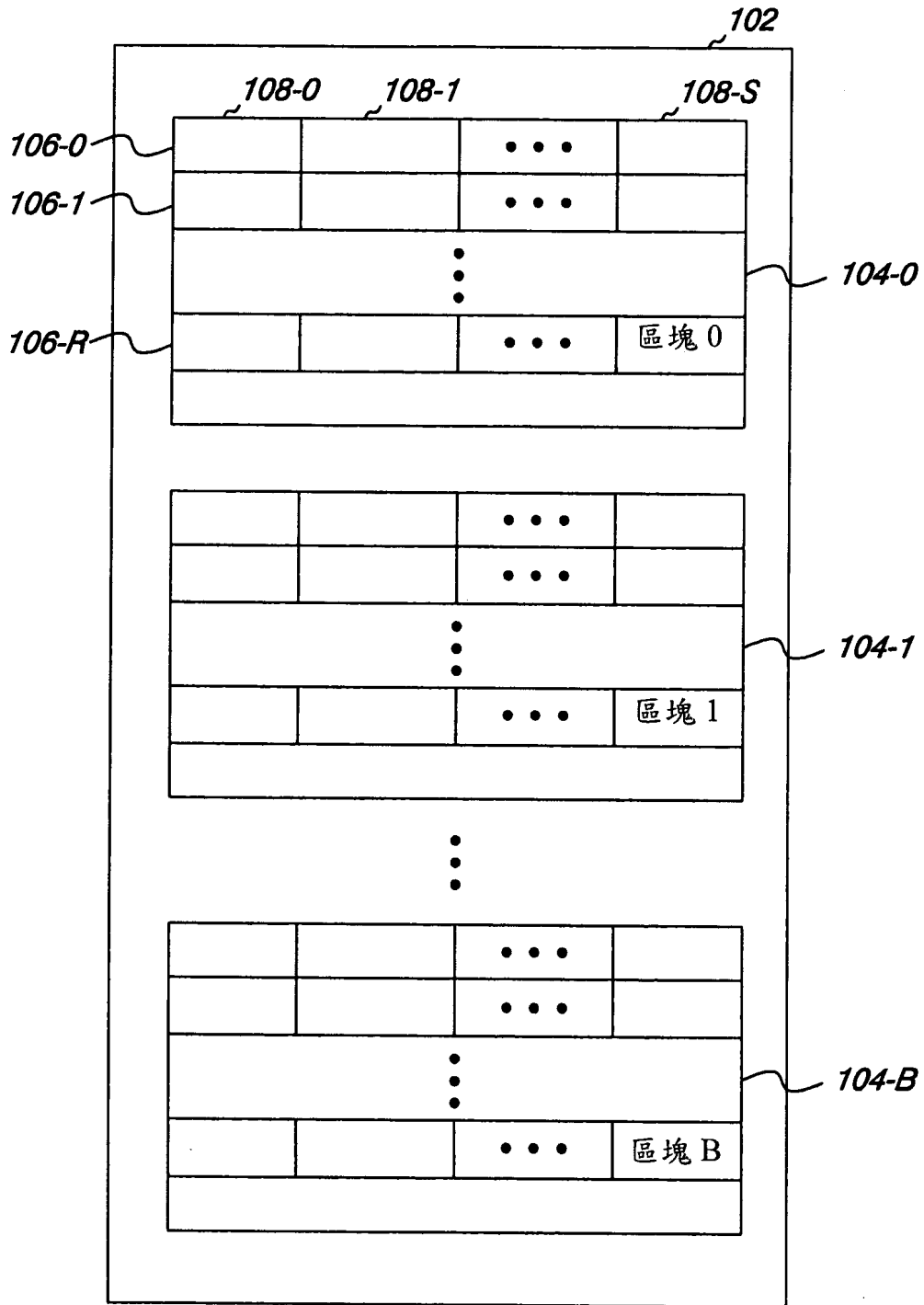


圖 1

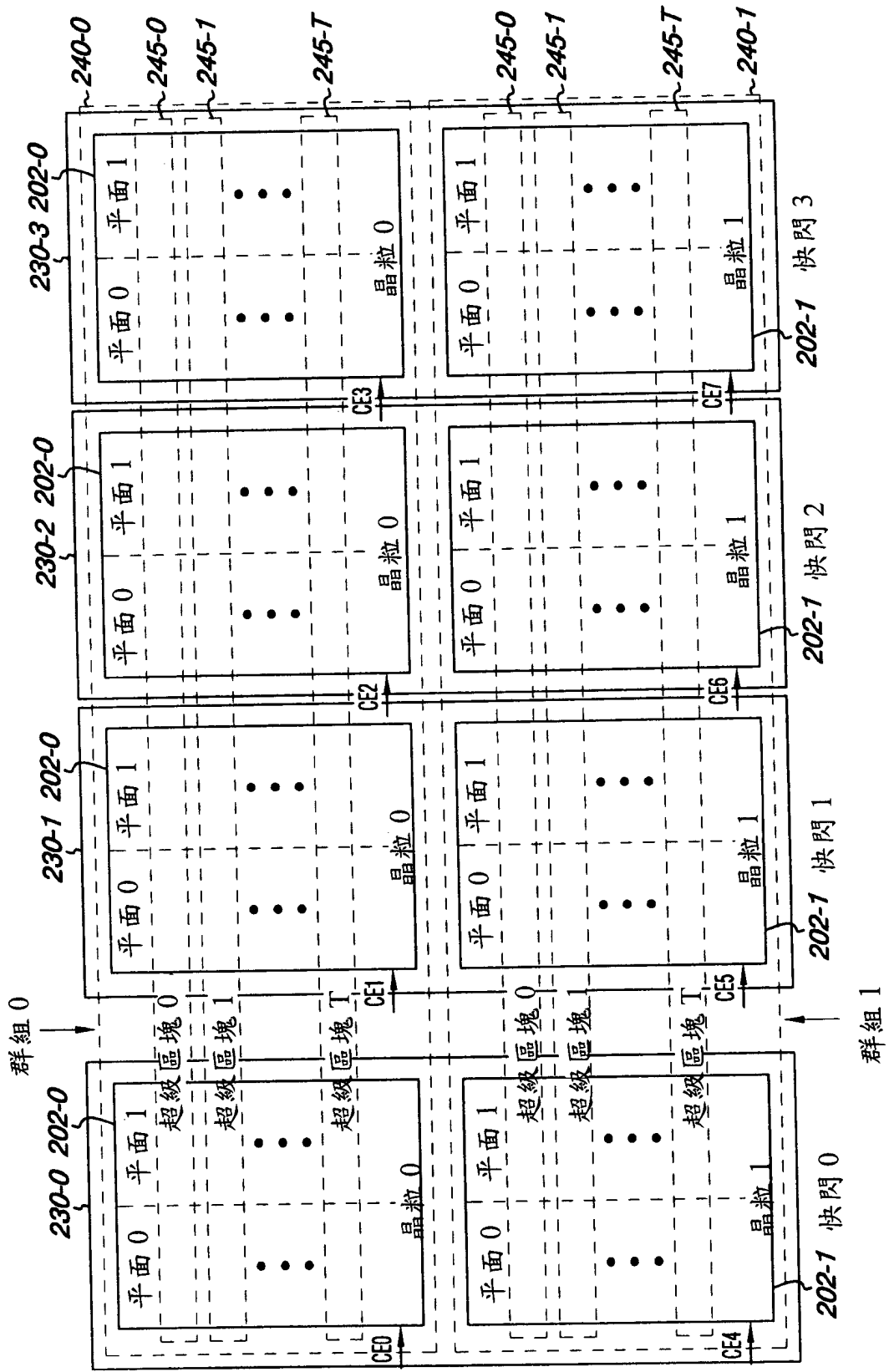


圖 2

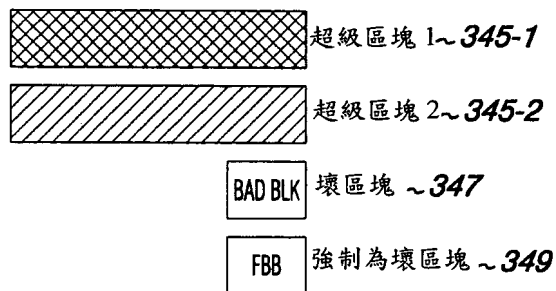
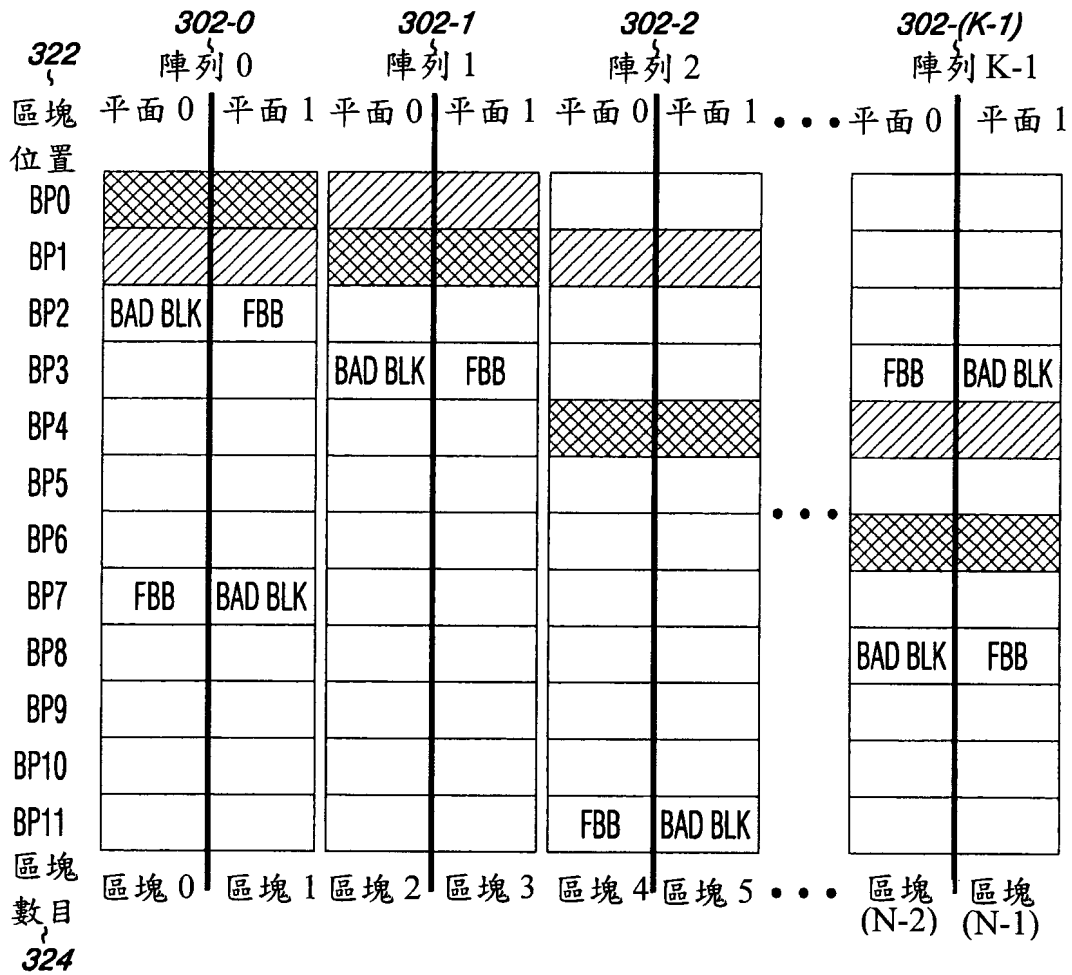


圖3

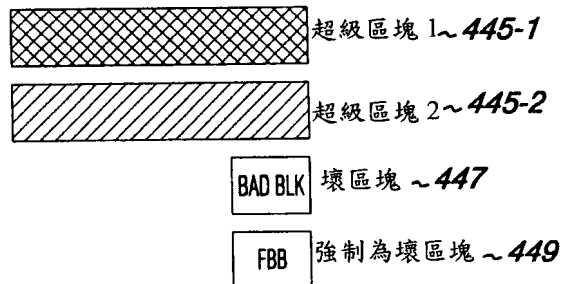
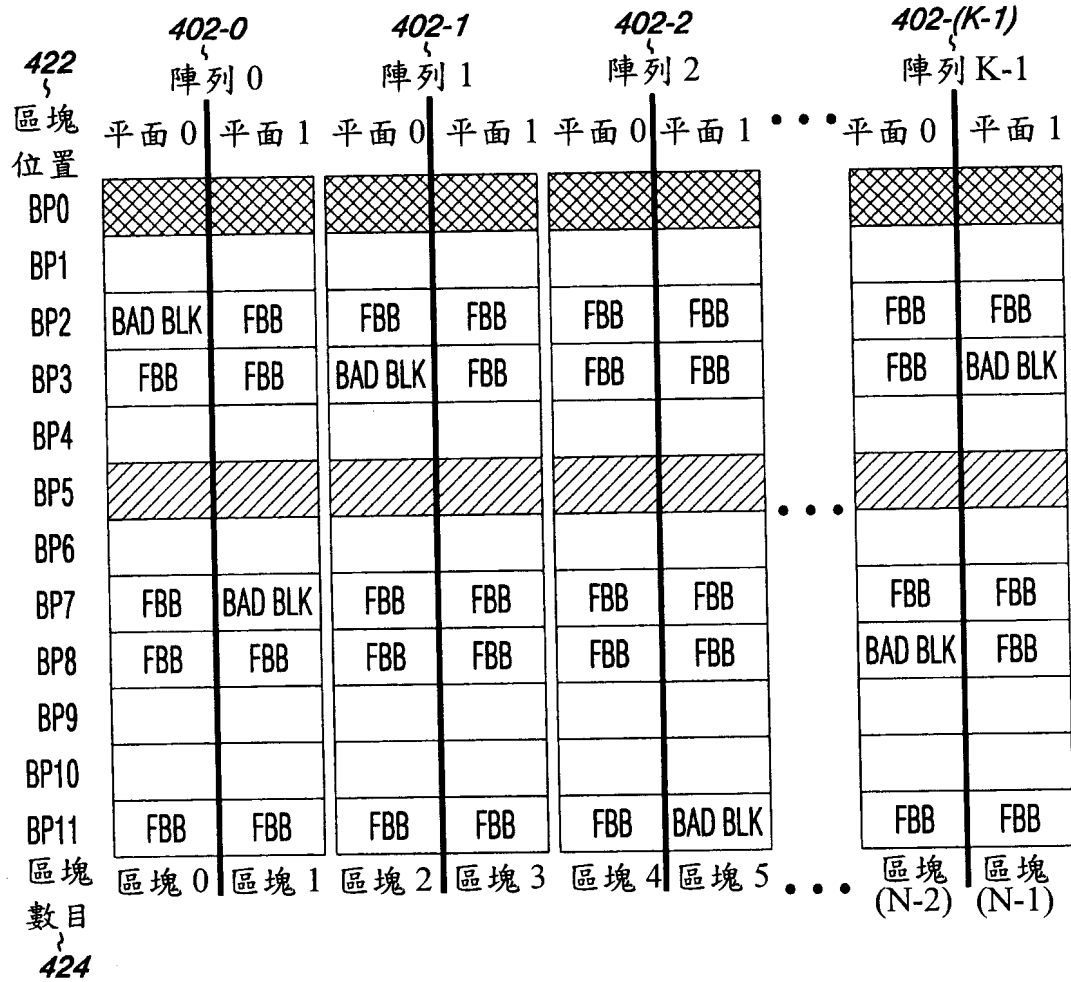


圖 4

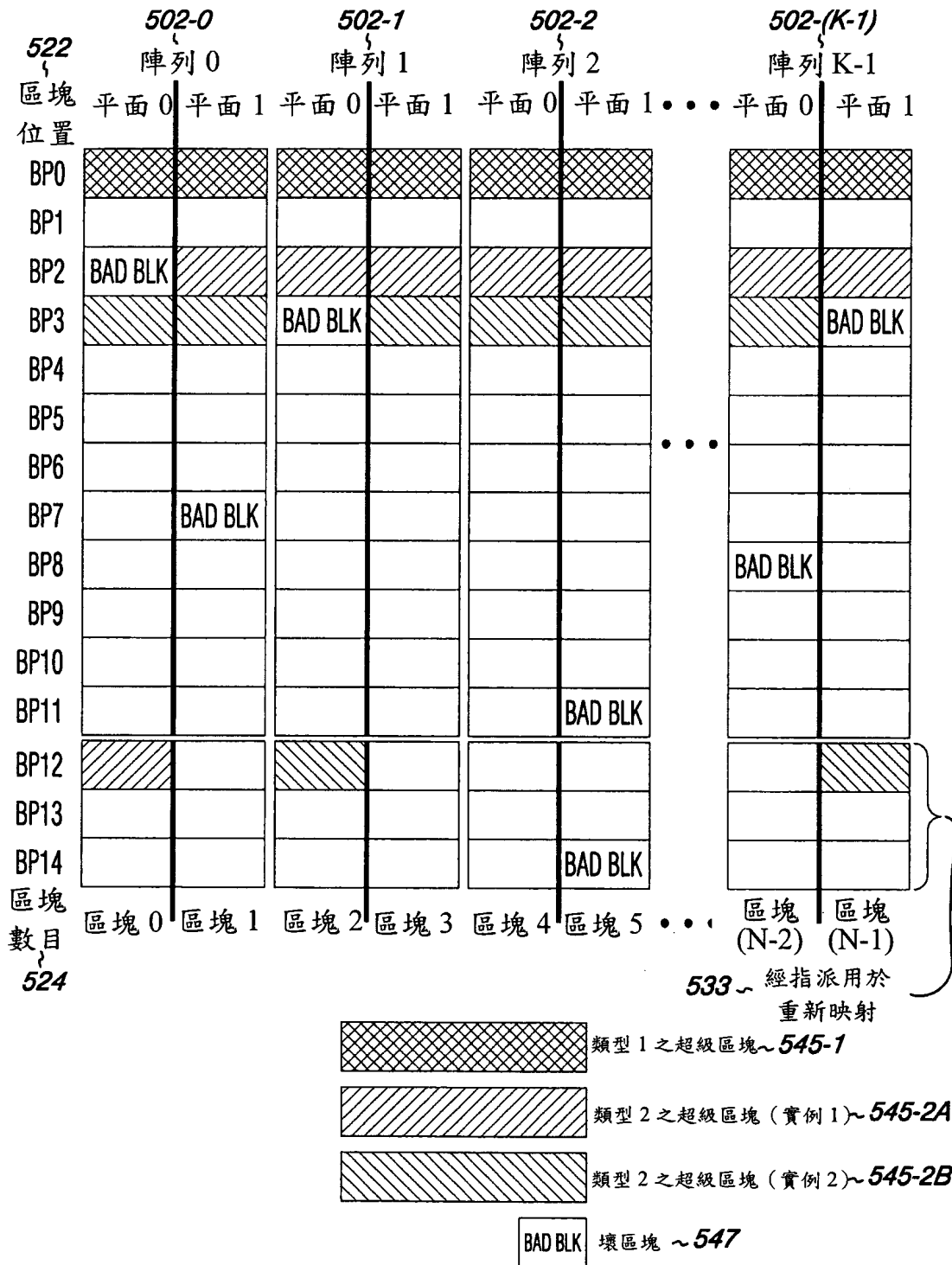


圖 5

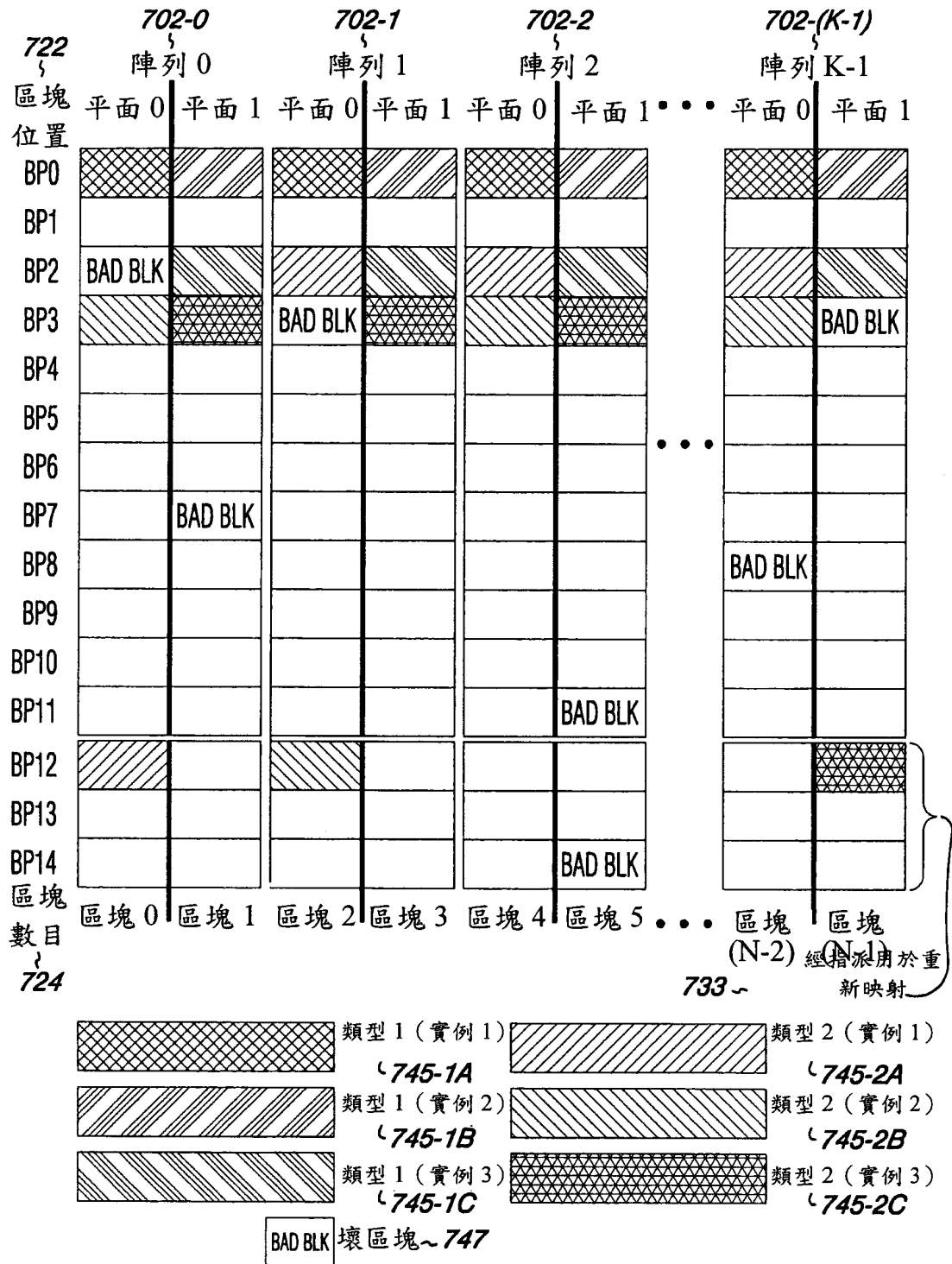


圖 7

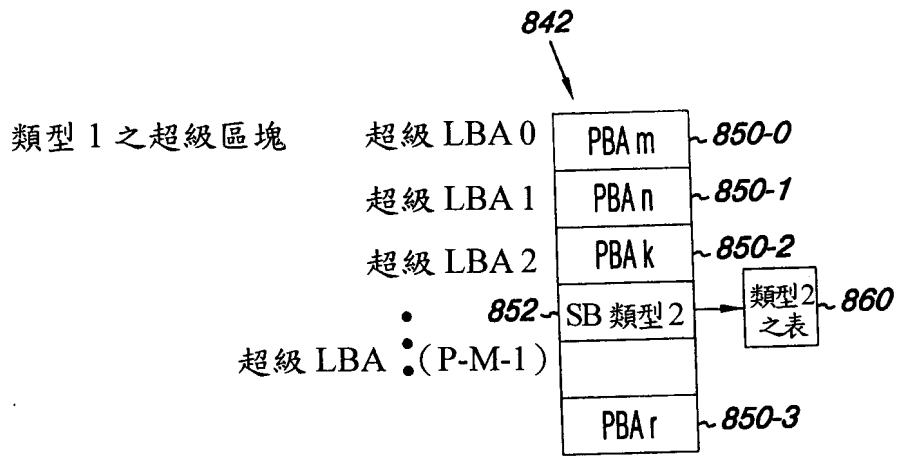


圖 8A

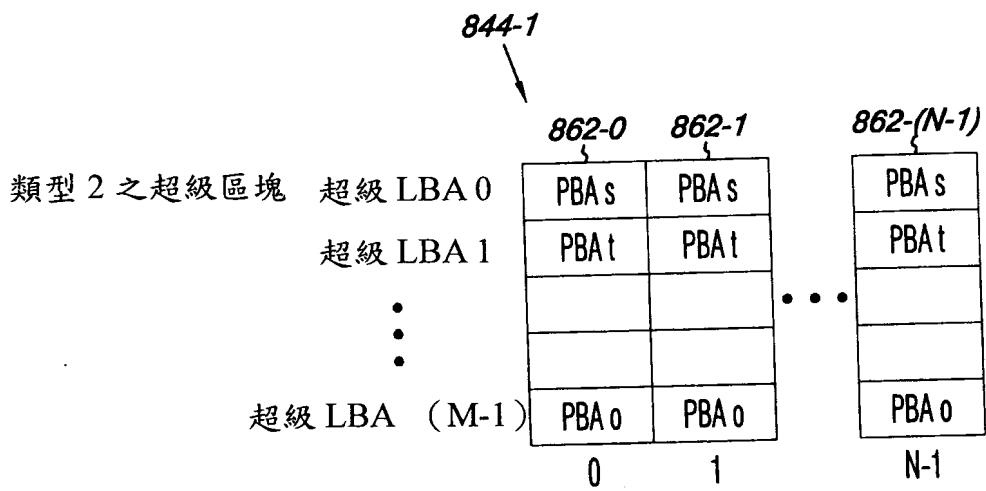


圖 8B

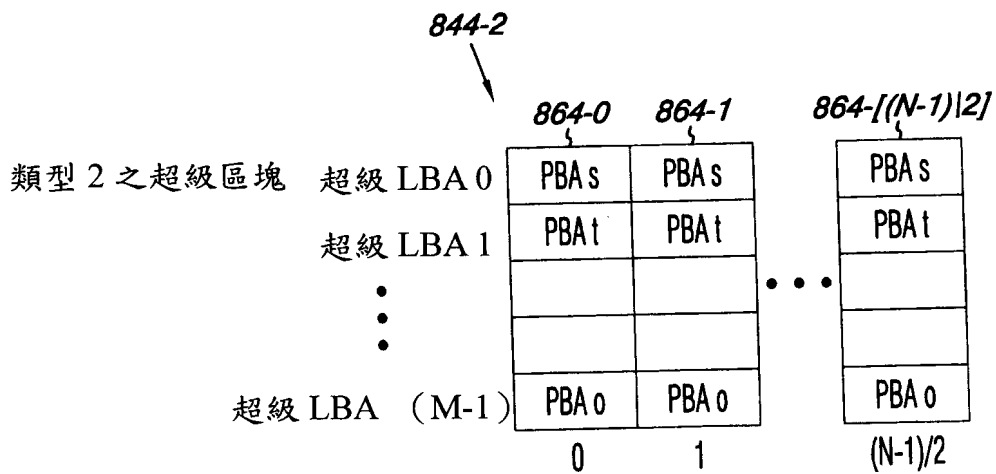


圖 8C

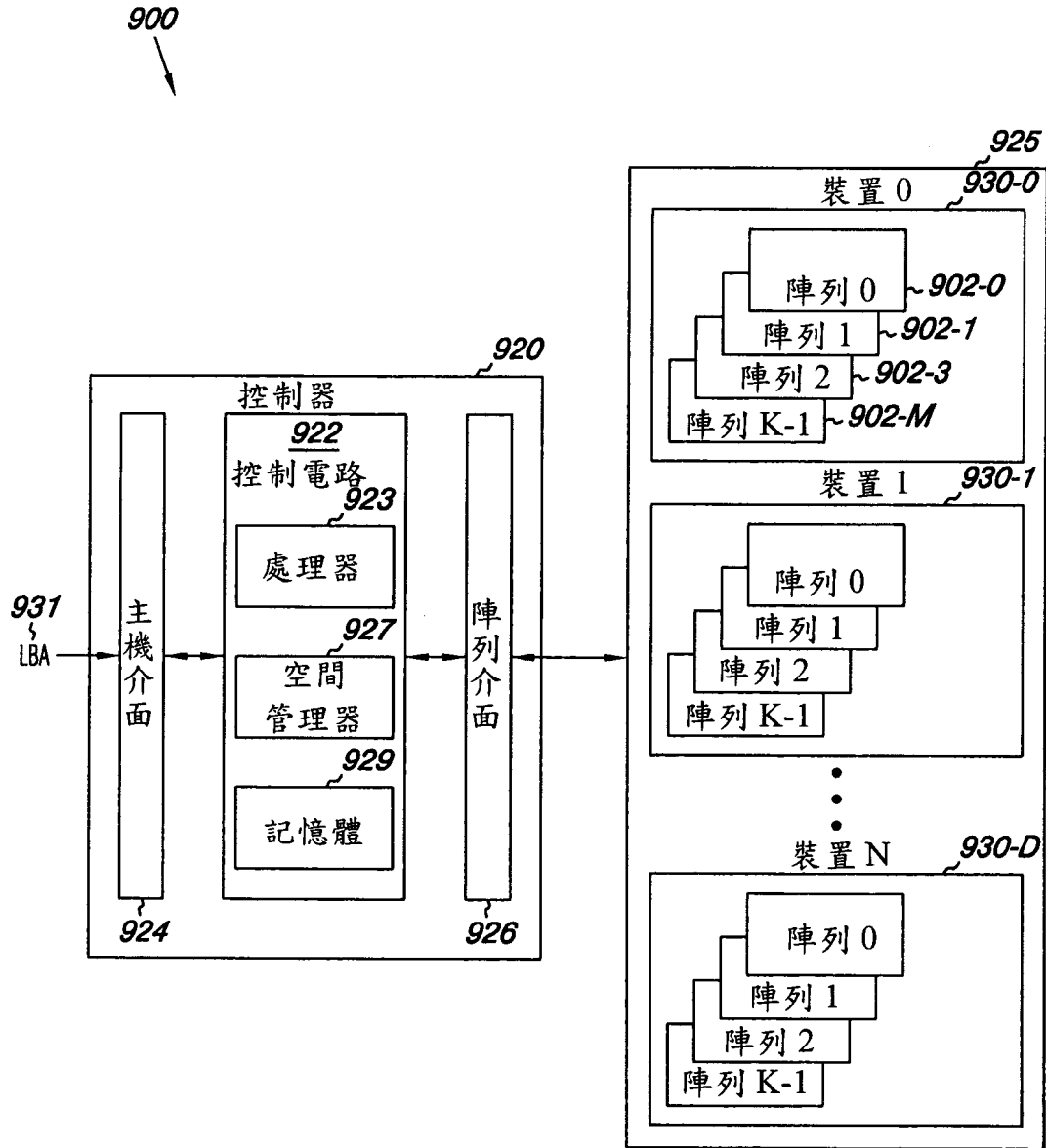


圖9

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

302-0	記憶體陣列
302-1	記憶體陣列
302-2	記憶體陣列
302-(K-1)	記憶體陣列
322	區塊位置
324	實體區塊編號
345-1	超級區塊
345-2	超級區塊
347	壞區塊
349	強制型壞區塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)