(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/82

(45) 공고일자 2000년04월15일
(11) 등록번호 10-0254078
(24) 등록일자 2000년01월28일

(21) 출원번호	10-1997-0020017	(65) 공개번호	특1997-0077534
(22) 출원일자	1997년05월22일	(43) 공개일자	1997년12월12일
(30) 우선권주장	96-128059 1996년05월23일 일본(JP)		

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 아라이 노리히사
일본국 가나가와껭 가와사끼시 가와사끼꾸 에끼마에혼쪼 25-1 도시바 마이크로일렉트로닉스 가부시끼가이샤
(74) 대리인 구영창, 이상희

심사관 : 김동원

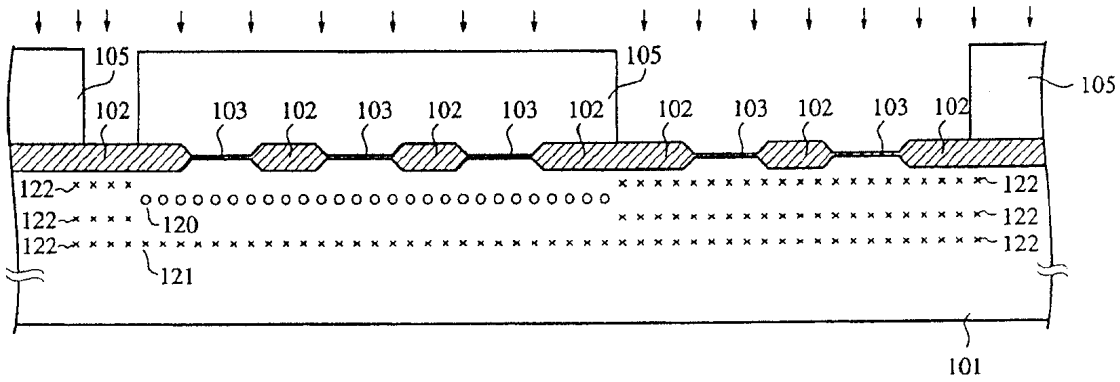
(54) 반도체 장치 및 그 제조 방법

요약

반도체 기판과 동일한 도전형 웰과의 사이를 전기적으로 분리하는 것이 필요한 소자를 구비한 반도체 장치에서, 반도체 기판과 상기 반도체 기판과 동일한 도전형 웰과의 분리와, 상기 웰 내에 형성된 MOSFET의 고성능화와의 양립을 가능하게 하고, 반도체 기판과 역도전형의 웰 내에 형성된 MOSFET의 미세 설계도 가능하게 되는 반도체 장치를 제공한다. 더불어 상기 반도체 장치의 제조 방법을 저비용으로 제공된다.

반도체 기판(101)과 동일한 도전형의 웰을 형성하기 위한 불순물 이온(120)과 상기 웰을 형성하기 위한 불순물 이온(121)을 주입할 때, 상기 불순물 이온의 가속 온도 에너지를 제어함으로써, 동일한 도전형 불순물 이온(120)을 반도체 기판(101) 표면에 주입하고, 역도전형 불순물 이온(121)을 상기 동일한 전도형 불순물 이온 (120)에 의해 깊이 주입함으로써 동일한 도전형의 웰 표면의 불순물의 총량을 저감시킨 반도체 장치와 그 제조 방법.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제2도는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제3도는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제4도는 본 발명의 제1 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제5도는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제6도는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제7도는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제8도는 본 발명의 제2 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제9도는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제10도는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제11도는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제12도는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제13도는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제14도는 본 발명의 제3 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제15도는 본 발명의 제4 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제16도는 본 발명의 제4 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제17도는 본 발명의 제4 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제18도는 본 발명의 제4 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제19도는 본 발명의 제5 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제20도는 본 발명의 제5 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제21도는 본 발명의 제5 실시예에 따른 반도체 장치의 제조 공정을 도시한 도면.

제22도는 본 발명의 반도체 장치의 이중 웰을 형성하는 부분의 프로필 구성을 도시한 도면.

제23도는 본 발명의 제1 실시예에 따른 반도체 장치의 제2 제조 공정을 도시한 도면.

제24도는 본 발명의 제1 실시예에 따른 반도체 장치의 제2 제조 공정을 도시한 도면.

제25도는 본 발명의 제1 실시예에 따른 반도체 장치의 제2 제조 공정을 도시한 도면.

제26도는 종래의 반도체 장치의 제조 공정을 도시한 도면.

제27도는 종래의 반도체 장치의 제조 공정을 도시한 도면.

제28도는 종래의 반도체 장치의 제조 공정을 도시한 도면.

제29도는 종래의 반도체 장치의 제조 공정을 도시한 도면.

제30도는 종래의 반도체 장치의 이중 웰을 형성하는 부분의 프로필 구성을 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명

120, 220, 320, 420, 520 : B 이온

121, 121, 221, 222, 223, 321, 332, 421, 422, 520, 521, 522, 607 : P 이온

107, 207 : P-웰 108, 408, 506, 605 : N-웰

208, 209, 310 : 제1 N-웰 311 : 제2 N-웰

312 : 제2 N-웰 401 : P형 반도체 기판

406 : P형 반도체 기판과 전기적으로 분리될 필요가 있는 P-웰

407 : P형 반도체 기판과 전기적으로 분리가 필요하지 않는 P-웰

507 : P형 반도체 기판과 전기적으로 분리 가능한 P-웰

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 예를 들면, 플래시 EEPROM(electrically erasable and programmable ROM), 및 그 제조 방법에 관한 것이다.

예를 들면, 불휘발성 메모리와 같이 데이타의 기록 및 소거 동작시에 정(+), 부(-) 양극의 전위를 메모리 셀의 워드선에 인가하는 유형의 디바이스에서는, 메모리 셀을 둘러싸는 주변 회로의 일부에는 2개의 다른 도전형의 MOSFET를 포함하며, 각각의 MOSFET를 형성하는 기초 기판을 전기적으로 분리하는 회로 구성을 구비할 필요가 있다. (ISSCC 92 "A 5V-Only 0.6㎛ Flash EEPROM with Row Decoder Scheme in Triple-Well Structure") 반도체 기판과 동일한 도전형의 웰을 분리하는 수단으로서 제26도 내지 제30도에 도시한 방법을 예로 들 수 있다.

우선, P형 실리콘 기판(701) 상에 실리콘 산화막(702)을 형성하고, 상기 P형 실리콘 기판(701)과 전기적으로 분리될 필요가 있는 P-웰 형성 영역 및 상기 P-웰과 둘러싸도록 배치된 N-웰 형성 예정 영역을 개구한 레지스트 패턴(703)을 형성한다. 이 P-웰 상에는 NMOSFET가 형성되고, N-웰 상에는 PMOSFET가 형성되며, P-웰 상에 형성된 NMOSFET는 반도체 기판 상에 형성된 NMOSFET와 전기적으로 분리 가능하게 된다. 계속해서, 상기 레지스트 패턴(703)을 마스크로서 P(인) 이온(720)을 상기 반도체 기판(701)에 주입한다. (제26도)

다음에, 상기 레지스트 패턴(703)을 박리한 후, 상기 반도체(701) 표면에 소자 분리용의 실리콘 산화막(704)을 형성한다. 또한, 상기 반도체 기판(701)에 주입한 P 이온(720)을 활성화함으로써 N-웰(705)을 형성한 후, 상기 반도체 기판(701) 상에 상기 P-웰 형성 예정 영역을 개구한 레지스트 패턴(706)을 형성한다. 계속해서, 상기 레지스트 패턴(706)을 마스크로 하여 B(붕소) 이온(721)을 상기 반도체 기판(701)에 주입한다. (제27도)

다음에, 레지스트 패턴(706)을 박리한 후, 상기 반도체 기판(701)에 주입한 B 이온(721)을 활성화하여 P-웰(707)을 형성한 후, 상기 N-웰(705) 중의 PMOSFET 형성 영역을 개구한 레지스트 패턴(708)을 형성한다. 계속해서, 상기 레지스트 패턴(708)을 마스크로 하여 예를 들면 P 이온(722)을 주입한다. (제28도)

다음에, 상기 레지스트 패턴을 박리한 후, 게이트 산화막(709) 및 게이트 전극 배선 패턴(710)을 형성하고, 계속하여, 소스, 드레인용의 N형 확산층(711) 및 P형 확산층(712)을 형성한다. (제29도)

이 수법으로 형성된 디바이스는 P-웰(707)이 N-웰(705)에 둘러싸여 있기 때문에, P-웰(707)과 P형 반도체 기판(701)과는 전기적으로 분리된다.

그러나, 상술한 제조 방법에 의한 반도체 디바이스에서는 이하와 같은 문제점이 발생된다.

N-웰(705)을 형성할 때에 주입한 P 이온(720)은 반도체 기판(701) 표면에 다수 존재한다. 이 때문에, P-웰(707)을 형성하는 데에는 상기 P 이온(720)을 제거하는 만큼의 B 이온(721)을 주입하지 않으면 안된다. 이와 같이 하여 형성된 P-웰(707)의 표면에는 P 이온(720) 및 상기 P 이온의 양을 초과하는 B 이온(721)이 존재하게 된다. 따라서, P-웰 내에 형성된 MOSFET의 채널을 형성하는 영역에 다량의 불순물을 갖게 된다. 이 때문에 불순물 산란 효과에 의해 캐리어 이동도가 저하하고, MOSFET를 고속으로 스위칭할 수 없게 되는 것은 주지의 사실이다. 제30도에 P-웰(707), N-웰(705), P-형 실리콘 기판(701)의 3층 구조의 프로필 구성을 도시한다.

이것을 보완하기 위해서 N-웰(705)을 형성하기 위해 이용하는 P 이온의 농도를 비교적 낮은 값으로 억제하는 방법이 있다. 당연히, N-웰(707)과 P형 반도체 기판(701)과의 분리 능력을 저하하고, N-웰(707)과 P형 반도체 기판 간의 전위차를 확보할 수 없게 된다. 또한, N-웰(705)은 반도체 기판(701) 표면에 PMOSFET 형성 영역을 더불어 갖지만, 그 기초 기판의 불순물 농도가 낮은 경우, 형성된 PMOSFET의 미세화가 불가능한 것은 스케일링측으로부터도 명백하다. 이 때문에 상기 N-웰(705)의 PMOSFET 형성 영역의 불순물 농도를 높이기 위해서 레지스트 패턴(708)을 이용하여 상기 N-웰(705) 상의 PMOSFET 형성 영역에 고농도의 P 이온을 주입하는 공정(제28도 참조)이 반드시 필요하다. 이것은, 공정수의 증가에 따른 비용 상승의 요인으로 되고 있다.

이것에 더붙여, P-웰(707) 표면에 형성된 NMOSFET의 채널부의 프로필은 N-웰(705)의 형성용의 P 이온과 P-웰 형성용 및 채널 제어용의 B 이온이 혼재하는 복잡한 프로필로 된다. 이 때문에, NMOSFET의 Vth 변동을 유발하는 원인으로 되어, 회로 마진을 작게 할 뿐만 아니라, 수율을 저하시키는 원인으로 된다.

발명이 이루고자 하는 기술적 과제

이상 설명한 바와 같이, 종래의 반도체 기판과 동일한 도전형의 웰과의 전기적으로 분리하는 것이 필요한 소자를 갖는 반도체 장치와 반도체 기판 표면에 2개의 다른 불순물이 다수 혼재한다. 이 때문에, 반도체 기판과 상기 반도체 기판과 동일한 도전형 웰과의 분리와 상기 웰 내에 형성된 MOSFET의 고성능화의 양립이 불가능하게 된다. 또한, 상기 MOSFET가 고성능화하기 위해서는 마스크 단계의 증가가 필수로 되고, 그 경우에서도 반도체 기판과 역도전형 웰 내에 형성된 MOSFET의 특성 변동은 피할 수 없다.

본 발명은 반도체 장치의 프로필 구조를 제어하고, 고성능의 반도체 장치와 상기 반도체 장치의 제조 방법을 저 비용으로 제공하는 것이다.

본 발명의 반도체 장치는 반도체 기판 상에 상기 반도체 기판과 동일한 도전형의 제1 불순물 영역이 형성되고, 상기 제1 불순물 영역의 바로 아래에 상기 반도체 기판과 역도전형의 제2 불순물 영역이 형성된다. 또한, 제1 및 제2 불순물 영역을 둘러싸도록 상기 반도체 기판과 역도전형의 제3 불순물 영역이 형성된다. 상기 제1 불순물 영역을 제1 웰로 하고, 제2 및 제3 불순물 영역을 제2 웰로 함으로써 상기 제2 웰에 의해서 상기 반도체 기판과 제1 웰과는 전기적으로 분리된다.

이 구조에서는 상기 제1 웰 표면에는 반도체 기판과 역도전형의 불순물은 존재하지 않으므로, 역도전형의 불순물을 제거하기 위한 불순물이 필요없게 된다.

당연히, 제1 웰 내에 존재하는 MOSFET의 채널부의 불순물 총량이 저하하기 때문에 상기 MOSFET의 구동 능력은 향상되고, 고속화를 이룰 수 있다.

또한, 제조 방법에서는 상기 제1, 제2 불순물 영역을 형성할 때, 제1 웰 형성 예정 영역을 개구한 마스크를 이용하여 반도체 기판과 역도전형 및 동일한 도전형의 불순물 이온을 주입한다. 이 때, 주입하는 불순물 이온은 가속 에너지에 의해 제어되고, 소정의 깊이로 주입된다. 예를 들면, 제1 불순물 영역 형성용의 불순물 이온 주입시의 가속 에너지를 조절함으로써 실리콘 기판 표면에 가깝게 2층의 불순물 영역을 형성한다. 이로써, 제1 불순물 영역 내의 제2 불순물 영역 형성용 불순물의 농도를 저하시킬 수 있다. 다음에, 상기 마스크를 박리한 후, 상기 제1 웰 형성 예정 영역을 둘러싸는 영역을 개구한 마스크를 이용하여 반도체 기판과 역도전형의 불순물 이온을 주입한다. 마찬가지로, 상기 제3 불순물 영역의 불순물 농도도 제어 가능하게 된다. 이 제3 불순물 영역은 주로 반도체 기판과 역도전형의 제2 웰의 MOSFET 형성 영역으로 될 가능성이 높고, 이 부분의 불순물 농도를 제어함으로써 소자의 미세화를 이룰 수 있다. 또한, 제2 웰의 MOSFET 형성 영역의 농도 조정을 위한 마스크 단계가 불필요하게 되기 때문에 제조 비용의 저감을 이룰 수 있다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 제1 실시예의 반도체 장치와 그 제조 방법에 대해, 기록 소거시에 정, 부의 전원을 이용하는 유형의 플래시 EEPROM을 예로써 설명한다.

우선, P형 실리콘 기판(101) 상에 주지의 LOCOS법에 의해 소자 분리 산화막(102)을 약 600㎚ 형성하고, 상기 실리콘 기판 표면에 열 산화에 의해, 실리콘 산화막(103)을 약 20㎚ 형성한 후, 상기 P형 실리콘 기판(101)과 전기적으로 분리될 필요가 있는 P-웰 형성 예정 영역을 개구한 레지스트 패턴(104)을 주지의 리소그래피 기술을 이용하여 형성한다. 계속하여, 상기 레지스트 패턴(104)을 마스크로서 B 이온(120)을 가속 에너지 80keV, 도우즈량 2.5E13/㎠로 주입하고, 또한 P 이온(121)을 가속 에너지 3MeV, 도우즈량 2E13/㎠로 이온 주입한다. 이 때, 이온 주입의 가속 에너지를 제어함으로써 제1도에 도시한 바와 같이 B 이온(120)은 기판 표면에 주입되고, P 이온(121)은 상기 B 이온보다 깊은 부분에 주입된다.

다음에 상기 레지스트 패턴(104)을 박리한 후, 상기 P-웰 형성 예정 영역을 둘러싸고, 또한, PMOSFET 형성 예정 영역을 개구한 레지스트 패턴(105)을 형성한다. 계속하여, 상기 레지스트 패턴(105)을 마스크로서 P 이온(122)을 이하의 조건으로 3회로 나누어 주입한다. 1회에는 가속 에너지 3MeV, 도우즈량 2E13/㎠, 2회에는 가속 에너지 160Kev, 도우즈량 2E13/㎠, 3회에는 가속 에너지 80keV, 도우즈량 1E13/㎠의 세 가지 조건이다. 이 때, 이온 주입의 가속 에너지를 제어함으로써 제2도에 도시한 바와 같이 P 이온(122)은 상기 B 이온(120)을 둘러싸도록 주입된다.

다음에 상기 레지스트 패턴(105)을 박리한 후, 실리콘 산화막(103)을 박리하여 850℃의 드라이 산화로 게이트 산화막(106)을 20㎚ 형성한다. 이 때, P형 실리콘 기판(101)에 주입된 불순물 이온을 활성화시킴으로써 P-웰(107), N-웰(108)을 각각 형성한다. (제3도)

이어서, 주지의 LPCVD법에 의해 게이트 전극 재료 폴리실리콘을 퇴적시킨 후 에칭 가공하고, 게이트 전극 배선 패턴(109)을 형성한다. 이하, 상세히 도시하지는 않았지만, 소스/드레인으로 이루어진 고농도 N형 확산층(110) 및 고농도 P형 확산층(111)을 형성한다. 이상의 공정에서, 기록 및 소거시에 양극, 음극 전원을 사용하는 유형의 플래시 EEPROM의 주변 회로를 형성한다. (제4도)

제16도에 P-웰(107), N-웰(108), P형 실리콘 기판(101)의 3층 구조의 프로필 구성을 도시한다. 본 발명에 의하면, N-웰(108) 형성을 위한 P 이온(121, 122)은 P-웰(107) 표면에는 존재하지 않는다. 바꿔 말하면, P-웰(107) 표면에 형성한 NMOSFET의 채널 형성부에는 불필요한 P 이온이 존재하지 않는다. 따라서, 종래의 기술의 항에서 기술한 반도체 장치에 비해서, 불순물 산란이 억제되기 때문에 캐리어의 이동도가 증가하고, 트랜지스터의 구동 능력이 약 10% 향상한다. 또한 P-웰(107) 표면에 불필요한 P이온이 존재하지 않기 때문에, 소자 설계를 행할 때 P-웰(107) 표면의 프로필은 B 이온만을 고려하여 행하면 되므로 소자 설계가 용이하게 됨과 동시에, Vth 변동도 억제할 수 있어서 회로 마진도 향상되어 수율의 개선을 이루게 된다.

또한 N-웰(108)은, 불순물 P의 농도를 P-웰의 형성 공정에 제한되지 않고 설정할 수 있어 가속도 에너지, 도우즈량을 조정하여 P 이온을 주입하고, 복잡한 N-웰의 프로필을 제어할 수 있다. 이 때문에, PMOSFET의 고밀도화, 고성능화가 가능하게 된다. 종래의 반도체 장치의 제조 방법에서는, PMOSFET 형성 예정 영역만을 개구한 마스크(708)를 준비하고, 불순물 농도의 조정을 행하였지만, 본 발명에서는, 마스크 스텝이 작음에도 불구하고, N-웰 상에 형성되는 PMOSFET의 고밀도화, 고성능화를 이룰 수 있어 제조 비용의 삭감이 이루어진다.

이어서 본 발명의 제2 실시예의 반도체 장치와 그 제조 방법에 대해, 기록, 소거시에 양극, 음극의 전원을 이용한 유형의 플래시 EEPROM을 예로써 설명한다.

우선, 제1 실시예와 마찬가지로, P형 실리콘 기판(201) 상에 소자 분리 산화막(202) 및 실리콘 산화막(203)을 형성한 후, 상기 P형 실리콘 기판(201)과 전기적으로 분리될 필요가 있는 P-웰 형성 예정 영역을 개구한 레지스트 패턴(204)을 마스크로 하여 B 이온(220)을 가속 에너지 80keV, 도우즈량 2.5E13/㎠로 주입하고, 또한 P 이온(221)을 가속 에너지 3MeV, 도우즈량 2E13/㎠로 이온 주입한다. (제5도)

이어서, 상기 레지스트 패턴(204)을 박리한 후, 상기 P-웰 형성 예정 영역을 둘러싼 부분을 개구한 레지스트 패턴(205)을 형성한다. 계속해서, 상기 레지스트 패턴(205)을 마스크로서 P 이온(222)을 이하의 조건에서 3회로 나누어 주입한다. 1회에는 가속 에너지 3MeV, 도우즈량 2E13/㎠, 2회에는 가속 에너지 160keV, 도우즈량 2E13/㎠, 3회에는 가속 에너지 80keV, 도우즈량 1E13/㎠의 세가지 조건이다. (제6도)

상기 레지스트 패턴(205)을 박리한 후, PMOSFET 형성 예정 영역을 개구한 레지스트 패턴(206)을 형성하고, 상기 레지스트 패턴(206)을 마스크로 하여 P 이온(223)을 주입한다. (제7도)

이어서, 상기 레지스트 패턴(206)을 박리한 후, 실리콘 산화막(203)을 박리하여 게이트 산화막(210)을 형성한다. 이 때, P형 실리콘 기판(201)에 주입된 불순물 이온을 활성화시킴으로써, P-웰(207), 제1 N-웰(208), 제2 N-웰(209)을 각각 형성한다. 그 후, 상세하게 도시하지는 않았지만, 게이트 전극 배선 패턴(211), 소스/드레인으로 이루어진 고농도 N형 확산층(212) 및 고농도 P형 확산층(213)을 형성한다. (제8도)

상기 P-웰(207) 및 N-웰(208, 209)에 플래스 EEPROM과 그 주변 회로를 형성한 경우, 상술한 바와 같이, 기록·소거 동작시의 사용 전원이 높기 때문에, 당연히, 각각에 높은 접합 내압이 요구된다. 접합 내압은, 일반적으로 PN 농도 경사에 의해 결정되고, 보다 급격한 PN 접합이면, 접합 내압이 저하하는 것은 주지의 사실이다. 예를 들면, P-웰(207)과 제1 N-웰(208)과의 접합 내압도, 30V 정도의 고 내압이 요구된다. 반면, MOSFET의 미세화를 위해서는, 주지의 스케일링측(Dennard, 1974)으로부터도 알 수 있듯이 웰 농도를 높이는 것이 필수인 것도 주지의 사실이다. 즉, 접합 내압을 높이기 위한 웰의 저 농도화가 요구되는 한편, 소자 미세화를 위한 웰의 고농도화가 요구된다고 하는 모순이 발생된다.

제2 실시예에 따르면 P-웰(207)과 P형 실리콘 기판(201)의 분리용의 제1 N-웰(208)과, PMOSFET 형성하기 위한 제2 N-웰(209)을 완전히 다른 농도로 제어하는 것이 가능하게 된다. 본 발명의 제2 실시예에서 기재한 반도체 장치와 그 제조 방법에서는, 미세한 PMOSFET를 형성하는 기초로 되는 N-웰을 제2 N-웰(209)에 한하여, 제1 N-웰 농도를 상기 제2 N-웰 농도보다도 저농도(6E16/㎤ 정도)로 제어함으로써, P-웰(20

7)과 이것을 둘러싼 제1 N-웰(208)과의 PN 접합의 경사를 완만한 것으로 제어할 수 있다. 따라서, 미세한 MOSFET 형성을 가능하게 하는 비교적 고농도(1E17/㎤ 정도)의 웰(P-웰(207) 및 제2 N-웰(209))을 갖춤으로써, P-웰(207) 및 제2 N-웰(209) 간에 비교적 저농도의 제1 N-웰(208)을 형성함으로써, 고 내압을 가능하게 한다.

플래시 EEPROM을 탑재한 혼성 논리 디바이스에서, 논리부의 MOSFET 설계와 플래시 EEPROM을 구성하는 MOSFET 설계가 일치하는 것은 드물다. 이에 반하여, 상기 제1 실시예와 제2 실시예를 조합시킨 반도체 장치와 그 제조 방법을 제3 실시예로서 제9도 내지 제14도에 도시한다.

우선, P형 실리콘(301)에 소자 분리 산화막(302), 실리콘 산화막(303)을 형성한 후, EEPROM 형성 예정부에서는 상기 P-웰 형성 예정 영역을 개구하고, 논리부에서는 전면을 피복한 레지스트 패턴(304)을 마스크로 하여, B 이온(320), P 이온(321)을 이온 주입한다. (제9도)

이어서, 상기 레지스트 패턴(304)을 박리한 후, EEPROM 형성 예정부에서는 상기 P-웰 예정 영역을 둘러싸고 또한 PMOSFET 형성 예정 영역을 개구하고, 논리부에서는 전면을 피복한 레지스트 패턴(305)을 마스크로서, P-이온(322)을 이온 주입한다. (제10도) 이온 주입 공정은 제1 및 제2 실시예에서 기재한 것과 마찬가지로, 가속 에너지를 제어함으로써 제어되는 것이다.

이어서, 상기 레지스트 패턴(305)을 박리한 후, EEPROM 형성 예정부에서는 전면을 피복하고, 논리부에서는 N-웰 형성 예정 영역을 개구한 레지스트 패턴(306)을 마스크로 하여, P 이온(323)을 이온 주입한다. (도 11)

이어서, 상기 레지스트 패턴(305)을 박리한 후, EEPROM 형성 예정부에서는 전면을 피복하고, 논리부에서는 P-웰 형성 예정 영역을 개구한 레지스트 패턴(307)을 마스크로 하여, B 이온(324)을 이온 주입한다. (제12도)

이어서, 상기 레지스트 패턴(307)을 박리한 후, 실리콘 산화막(303)을 박리하여 850℃의 드라이 산화로 게이트 산화막(308)을 형성한다. 이 때, P 실리콘 기판(301)에 주입된 불순물 이온을 활성화시킴으로써, P-웰, N-웰 및 P-웰 2, N-웰 2를 각각 형성한다. (제13도) 그 후, 상세하게 도시하지는 않았지만, 게이트 전극 배선 패턴(317, 318), 소스/드레인으로 이루어진 고농도 N형 확산층(313, 316), 및 고농도 P형 확산층(314, 315)을 형성한다. (제14도)

이상과 같이, 본 발명의 제1 실시예에서 반도체 장치의 제조 방법에서 PMOSFET와 그 주변 회로부를 형성하기 위한 공정과, 제2 실시예에서 기재한 반도체 장치의 제조 방법의 제2 N-웰을 형성하기 위한 공정을 조합시킴으로써, 각각 원하는 프로필 구조를 갖는 EEPROM부와 논리부를 형성할 수 있다. 이 때문에, 플래시 EEPROM의 설계와 논리 설계를 평형하게 하여 별개로 행할 수 있다. 이것은, 플래시 EEPROM을 탑재하는 혼성 논리 디바이스의 개발 기간과 그 개발비를 대폭 삭감할 수 있어 커다란 효과를 발휘한다.

이어서, 본 발명의 제4 실시예의 반도체 장치와 그 제조 방법에 대해, 기록, 소거시에 양극, 음극의 전원을 이용한 유형의 플래시 EEPROM을 예로 설명한다.

우선, 제1 및 제2 실시예와 마찬가지로, P형 실리콘 기판(401)상에 소자 분리 산화막(402) 및 실리콘 산화막(403)을 형성한 후, NMOSFET 형성 예정 영역을 개구한 레지스트 패턴(404)을 마스크로 하여 B 이온(420)을 가속 에너지 80keV, 도우즈량 2.5E13/㎠로 이온 주입하고, 또한 P 이온(421)을 가속 에너지 3keV, 도우즈량 2E13/㎠로 이온 주입한다. (제15도)

이어서, 상기 레지스트 패턴(404)을 박리한 후, 상기 P형 실리콘 기판(401)과 전기적으로 분리될 필요가 있는 P-웰 형성 예정 영역을 둘러싼 부분을 개구한 레지스트 패턴(405)을 형성한다. 계속해서, 상기 레지스트 패턴(405)을 마스크로 하여 P 이온(423)을 이하의 조건에서 3회로 나누어 주입한다. 1회에는 가속 에너지 3MeV, 도우즈량 2E13/㎠, 2회에는 가속 에너지 160keV, 도우즈량 2E13/㎠, 3회에는 가속 에너지 80keV, 도우즈량 1E13/㎠의 세가지 조건이다. (제16도)

상기 레지스트 패턴(405)을 박리한 후, P형 실리콘 기판(401)에 주입된 불순물 이온을 활성화시킴으로써, 제1 및 제2 P-웰(406, 407), 제1 및 제2 N-웰(408, 409)을 각각 형성한다. (제17도) 그 후, 실리콘 산화막(403)을 박리하고, 게이트 산화막(410)을 형성한 후, 상세하게 도시하지는 않았지만, 게이트 전극 배선 패턴(411), 소스/드레인으로 이루어진 고농도 N형 확산층(412) 및 고농도 P형 확산층(413)을 형성한다. (제18도)

회로 구성 상, 반도체(401)와 전기적으로 분리될 필요가 있는 P-웰과 따로 분리를 필요로 하지 않는 P-웰이 존재하는 경우가 있지만, 분리를 필요로 하지 않는 P-웰은 그 주위를 N-웰로 둘러쌀 필요가 없다. 제4 실시예에 따르면, P형 실리콘 기판(401)과 전기적으로 분리된 P-웰(416)과, 분리되지 않은 P-웰(407)을 형성할 수 있으므로, 상기 P-웰(407)을 둘러싼 여분의 N-웰을 생략할 수 있어 고밀도화가 가능하게 된다.

또한, 제2 실시예와 제3 실시예를 조합해서 이용하는 것도 물론 가능하다.

이어서, 본 발명의 제5 실시예의 반도체 장치와 그 제조 방법에 대해, 기록, 소거시에 양극, 음극의 전원을 이용한 유형의 플래시 EEPROM을 예로 설명한다.

우선, 제1 내지 제3 실시예와 마찬가지로, P형 실리콘 기판(501) 상에 소자 분리 산화막(502) 및 실리콘 산화막(503)을 형성한 후, 상기 P형 실리콘 기판(501)과 전기적으로 분리될 필요가 있는 NMOSFET 형성 예정 영역에 개구한 레지스트 패턴(504)을 마스크로 하여 P 이온(521)을 가속 에너지 3MeV, 도우즈량 2E13/㎠로 이온 주입한다. (제19도)

이어서 상기 레지스트 패턴(504)을 박리한 후, 상기 P형 실리콘 기판(501)과 전기적으로 분리될 필요가 있는 NMOSFET 형성 예정 영역을 둘러싼 부분을 개구한 레지스트 패턴(506)을 형성한다. 계속해서, 상기 레지스트 패턴(505)을 마스크로 하여 P 이온(522)을 이하의 조건에서 3회로 나누어 주입한다. 1회에는 가속 에너지 3MeV, 도우즈량 2E13/㎠, 2회에는 가속 에너지 160keV, 도우즈량 2E13/㎠, 3회에는 가속 에너지 80keV, 도우즈량 1E13/㎠의 세가지 조건이다. (제20도)

상기 레지스트 패턴(505)을 박리한 후, P형 실리콘 기판(501)에 주입된 불순물 이온을 활성화시킴으로써, N-웰(506), P형 실리콘 기판(501)과 전기적으로 분리 가능한 P형 실리콘 기판(507)을 형성한다. 그 후, 실리콘 산화막(503)을 박리하고, 게이트 산화막(508)을 형성한 후, 상세하게 도시하지는 않았지만, 게이트 전극 배선 패턴(509), 소스/드레인으로 이루어진 고농도 N형 확산층(510) 및 고농도 P형 확산층(511)을 형성한다. (제21도)

제5 실시예에 의하면, P형 실리콘 기판을 그대로 NMOSFET 형성 영역으로써 사용할 수 있기 때문에, P-웰 형성을 위한 B 이온 주입 공정을 생략할 수 있어 비용의 삭감이 가능하다.

상기 제1 내지 제5 실시예에 도시한 반도체 장치의 웰 부분의 프로필 구조는, 제16도에서도 명백한 바와 같이, P 이온의 농도의 최고치가 기판의 가장 깊은 부분에 형성된다. 또한, B 이온의 농도의 최고치는 기판의 표면 가깝게 형성된다. 이들의 불순물 영역을 활성화함으로써 고농도의 웰을 형성할 수 있기 때문에, 이들의 불순물 이온은 과도한 열 가공을 이용하지 않고도 활성화시킬 수가 있다. 따라서, 제1 내지 제5 실시예에 도시된 바와 같이 소자 분리 산화막을 형성한 후 불순물 이온을 주입했을 경우에도, 불순물 이온의 활성화는 예를 들면 게이트 산화막 형성시의 열 가공에 의해 행해지고 웰이 형성된다. 이 때 형성된 웰은 과도한 열 가공르 이용하지 않았기 때문에, 비교적 적어질 수 있고, 소자의 미세화에 있어서 유효하다.

또한, 도시하지 않았지만, 본 발명의 반도체 장치의 제조 방법에서, 상기 불순물 이온의 주입을 행한 후 소자 분리 산화막을 형성하는 공정을 이용하는 것도 가능하다. 이 경우에, 웰에는 과도한 열공정이 가해지기 때문에, 불순물 프로필이 완만해져 각 웰과 기판 간, 및 웰과 웰 간의 PN 접합이 보다 완화되고 접합 내압이 높아진다. 또한, 전술한 바와 같이 열 공정에 의해 불순물 이온의 활성화는 촉진되므로 깊은 웰을 형성하는 것이 가능하게 된다.

또한, 제1 실시예에서 도시한 반도체 장치를 제17도 내지 제19도에 도시한 공정에서 제조할 수 있다. 우선, P형 실리콘 기판(601) 상에 실리콘 산화막(602)을 형성하고, 상기 P형 실리콘 기판(601)과 전기적으로 분리될 필요가 있는 P-웰 형성 예정 영역을 둘러싸고, 또한, PMOSFET 형성 예정 영역을 개구한 레지스트 패턴(603)을 마스크로 하여 P 이온(620)을 주입한다. (제17도) 다음에, 소자 분리 산화막을 형성한다. 이 때, 소자 분리 산화막 형성시의 열 가공에 의해서 P 이온(620)은 활성화되고 N-웰이 형성된다. 다음에, 상기 P-웰 형성 예정 영역을 개구한 레지스트 패턴(604)을 마스크로 하여 B 이온(621), P 이온(622)을 주입한다. (제18도) 그 후, 실리콘 산화막(602)을 박리하고, 게이트 산화막(607)을 형성한다. 이 때, 게이트 산화막 형성시의 열 공정에 의해서 B 이온(622)은 활성화되고 P-웰(608)을 형성한다. 또한, P 이온(622)도 활성화되고 상기 소자 분리 산화막 형성시에 형성된 N-웰(606)과 동시에, 상기 P-웰을 기판에 의해 전기적으로 분리하는 N-웰(609)이 된다. 이 때 형성된 N-웰은 PN 접합이 완만하게 되기 때문에, 이 영역에 형성된 P형 MOSFET의 드레인 및 소스 확산층의 P+영역과 기초의 N-웰과의 접합 내압이 높아진다.

또한, 제1 내지 제5 실시예에서, P형 실리콘 기판과 전기적으로 분리된 P-웰의 형성을 위한 불순물 이온 주입 공정에서, NMOSFET의 채널 제어용으로서, 가속 에너지를 바꾸면서 B, As, P 등 불순물을 유입해도 좋다. 이 공정을 실시함으로써, NMOSFET의 채널 영역을 원하는 불순물 프로필에 조절할 수 있다. 예를 들면, 약 40keV 가속 에너지로 As와 B를 주입함으로써 NMOSFET의 소스, 드레인 간의 누설 전류를 제어하기가 유효하다. 마찬가지로, PMOSFET 형성 예정 영역 형성을 위한 불순물 이온 주입 공정에서, PMOSFET의 채널 제어용으로서 가속 에너지를 바꾸면서 B, As, P 등 불순물을 유입하고, PMOSFET의 채널 영역을 원하는 불순물 프로필로 조절할 수 있다.

이상 제1 내지 제5 실시예는, 모두 P형 실리콘 기판과 P-웰을 전기적으로 분리하는 것을 예를 들어 설명했지만, 각각 실리콘 기판 및 웰을 역도전형으로 한 회로 구성인 경우에서도 동일한 효과를 얻을 수 있음은 물론이다.

발명의 효과

이상 상술한 바와 같이, 본 발명의 반도체 장치는 웰 형성을 위한 불순물 이온을 반도체 기판에 주입할 때, 그 주입 조건을 제어하는 것으로 기판의 소정 깊이로 상기 불순물 이온을 주입하여 제조된 것이다. 따라서, 반도체 기판과 전기적으로 분리 가능한 제1 웰 내에 존재하는 MOSFET의 채널부의 불순물 총량이 저하되기 때문에 고속 동작이 가능하다. 또한, 반도체 기판과 상기 웰을 분리하기 위한 제2 웰의 불순물 농도를 상기 제1 웰의 불순물 농도에 좌우되지 않고 설정할 수 있으므로, 상기 제2 불순물 농도를 높임으로써 소자의 미세화가 가능해진다. 또한 MOSFET 형성 예정 영역의 프로필 구조를 단순화했기 때문에, MOSFET의 설계가 용이해진다.

또한, 본 발명의 반도체 장치의 제조 방법에서는, 불순물 이온을 효율 좋게 주입하고, 또한 MOSFET 형성 예정 영역의 불순물 농도의 조정 공정이 필요 없게되어 비용을 낮게 억제할 수 있다.

또한, 반도체 장치의 설계 과정에서도, 예를 들면 플래시 EEPROM과 논리 혼성 시스템 설계의 경우, 플래시 EEPROM 주변 회로부와 논리 회로부의 설계를 별도로 행하고, 그 후 통합하는 것이 가능하므로 개발 기간/ 개발비의 대폭적인 삭감도 이루어지게 된다.

(57) 청구의 범위

청구항 1

제1 도전형의 반도체 기판 상에, 제1 도전형의 제1 웰과 상기 제1 웰의 측면 및 저면을 둘러싸는 제2 도전형의 제2 웰을 갖는 반도체 장치에 있어서,

상기 제1 웰 내에서의 제2 도전형 불순물 농도 D1과, 상기 제2 웰 내에서의 제2 도전형 불순물 농도 D2의 관계가 D1 < D2로 되는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 제1 웰 내에서의 제1 도전형 불순물 농도 D3과 상기 제2 도전형 불순물 농도 D1의 관계가 D1 < D3 이고,

상기 제2 웰 내에서의 제1 도전형 불순물 농도 D4와 상기 제2 도전형 불순물 농도 D2의 관계가 D4 < D2 로 되는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서, 상기 제2 웰에 제1 도전형 MOS 트랜지스터가 형성되는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서,

상기 제2 웰에 인접하여 제2 도전형의 제3 웰이 형성되고,

상기 제3 웰에서의 제2 도전형 불순물 농도 D5와 상기 제2 웰에서의 제2 도전형 불순물 농도 D2의 관계가 D2 < D5로 되는 것을 특징으로 하는 반도체 장치.

청구항 5

제4항에 있어서, 상기 제2 웰 및 상기 제3 웰에 제1 도전형 MOS 트랜지스터가 형성되는 것을 특징으로 하는 반도체 장치.

청구항 6

제1 도전형 반도체의 기판과,

상기 반도체 기판 표면으로부터 소정의 깊이 H1까지 형성된 제1 도전형의 제1 불순물 영역과,

상기 제1 불순물 영역 밑에, 깊이 H1으로부터 H2 > H1인 깊이 H2까지 형성된 제2 도전형의 제2 불순물 영역과,

상기 제1 및 제2 불순물 영역 측면에, 상기 반도체 기판 표면으로부터 깊이 H2까지 형성된 제2 도전형의 제3 불순물 영역

을 구비하고,

상기 제1 불순물 영역은 상기 제2 및 제3 불순물 영역에 의해 상기 반도체 기판과 분리되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서, 상기 제3 불순물 영역은 불순물 농도가 균일한 것을 특징으로 하는 반도체 장치.

청구항 8

제6항에 있어서,

상기 제3 불순물 영역에 인접하여 제2 도전형의 제4 불순물 영역이 형성되고,

상기 제3 불순물 영역의 불순물 농도와 상기 제4 불순물 영역의 불순물 농도가 다른 것을 특징으로 하는 반도체 장치.

청구항 9

제6항에 있어서,

상기 제3 불순물 영역에 인접하여, 상기 반도체 기판의 표면으로부터 깊이 H1까지 형성된 제1 도전형의 제5 불순물 영역과, 상기 제5 불순물 영역 밑에 깊이 H1으로부터 H2까지 형성된 제2 도전형의 제6 불순물 영역이 형성되고,

상기 제5 불순물 영역은 상기 반도체 기판과 접촉하고 있는 것을 특징으로 하는 반도체 장치.

청구항 10

제1 도전형의 반도체 기판과,

상기 반도체 기판의 표면으로부터 소정의 깊이 H1으로부터 H2 > H1인 깊이 H2까지 형성된 제2 도전형의 제1 불순물 영역과,

상기 제1 불순물 영역 측면에 접하고, 상기 반도체 기판 표면으로부터 깊이 H2까지 형성된 제2 도전형의 제2 불순물 영역과,

상기 제1 및 제2 불순물 영역에 의해 상기 반도체 기판과 전기적으로 분리된 제3 영역

을 구비하고,

상기 제3 영역은 상기 반도체 기판과 동일 농도인 것을 특징으로 하는 반도체 장치.

청구항 11

제10항에 있어서, 상기 제2 불순물 영역은 불순물 농도가 균일한 것을 특징으로 하는 반도체 장치.

청구항 12

제10항 또는 제11항에 있어서,

상기 제2 불순물 영역에 제1 도전형 MOS 트랜지스터가 형성되고,

상기 제3 영역에 제2 도전형 MOS 트랜지스터가 형성되는 것을 특징으로 하는 반도체 장치.

청구항 13

칩 내에 플래시 EEPROM과 논리부를 탑재하는 반도체 장치에 있어서,

제1 도전형의 반도체 기판과,

상기 반도체 기판 표면으로부터 소정의 깊이 H1까지 형성된 제1 도전형의 제1 불순물 영역과,

상기 제1 불순물 영역 밑에, 깊이 H1으로부터 H2 > H1인 깊이 H2까지 형성된 제2 도전형의 제2 불순물 영역과,

상기 제1 및 제2 불순물 영역 측면에, 상기 반도체 기판 표면으로부터 깊이 H2까지 형성된 제2 도전형과 제3 불순물 영역과,

상기 반도체 기판 표면으로부터 소정의 깊이 H3까지 형성된 제2도전형의 제4 불순물 영역

을 구비하고,

상기 제1 도전형의 불순물 영역은 상기 제2 및 제3 불순물 영역에 의해 상기 반도체 기판과 분리되어 있고,

상기 제1 및 제3 불순물 영역에 EEPROM의 메모리셀 및 그 주변 회로가 형성되며,

상기 제4 및 제5 불순물 영역에 논리 회로가 형성되는 것을 특징으로 하는 반도체 장치.

청구항 14

제13항에 있어서,

상기 반도체 기판 표면으로부터 소정의 깊이 H4까지 형성된 제1 도전형의 제5 불순물 영역을 구비하고,

상기 제5 불순물 영역에 논리 회로가 형성되는 것을 특징으로 하는 반도체 장치.

청구항 15

제1 도전형의 반도체 기판 상에, 제1 도전형의 제1 웰과 상기 제1 웰의 측면 및 저면을 둘러싸는 제2 도전형의 제2 웰을 갖는 반도체 장치의 제조 방법에 있어서,

적어도 상기 제1 웰 형성 예정 영역에, 제1 도전형 불순물과 제2 도전형 불순물의 이온 주입을 행하는 제1 이온 주입 공정과,

상기 제1 웰 형성 예정 영역을 둘러싸는 영역에 제2 도전형 불순물의 이온 주입을 행하는 제2 이온 주입 공정과,

상기 제1 도전형 불순물 및 제2 도전형 불순물을 활성화시켜 제1 및 제2 웰을 형성하는 공정

을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16

제15항에 있어서,

상기 제1 이온 주입 공정시, 제1 도전형 불순물이 상기 반도체 기판 표면으로부터 깊이 H1에 도달하도록 제어되고,

제2 도전형 불순물이 상기 반도체 기판 표면으로부터 H2 > H1인 깊이 H2에 도달하도록 제어되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17

제16항에 있어서, 상기 제2 이온 주입 공정시, 제2 도전형 불순물이 깊이 H2로부터 H1에 걸쳐 균일하게 도달하도록 제어하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 18

제16항 또는 제17항에 있어서, 상기 제1 및 제2 도전형의 불순물 이온의 주입시의 가속 에너지에 의해 불순물 주입의 깊이를 제어하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19

제15항에 있어서,

소자 분리 산화막을 형성하는 공정을 포함하며,

상기 소자 분리 산화막 형성 공정을 행한 후, 상기 제1 및 제2 이온 주입 공정을 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20

제15항에 있어서,

소자 분리 산화막을 형성하는 공정을 포함하며,

상기 제1 및 제2 이온 주입 공정을 행한 후, 상기 소자 분리 산화막 형성 공정을 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21

제15항에 있어서,

소자 분리 산화막을 형성하는 공정과 게이트 산화막을 형성하는 공정을 포함하며,

상기 제2 이온 주입 공정을 행한 후, 상기 소자 분리 산화막 형성 공정을 행한 다음, 상기 제1 이온 주입 공정을 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22

제19항에 있어서, 상기 불순물 이온의 확산을 위한 어닐링 공정을 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 23

제20항에 있어서, 상기 불순물 이온의 확산을 위한 어닐링 공정을 더 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 24

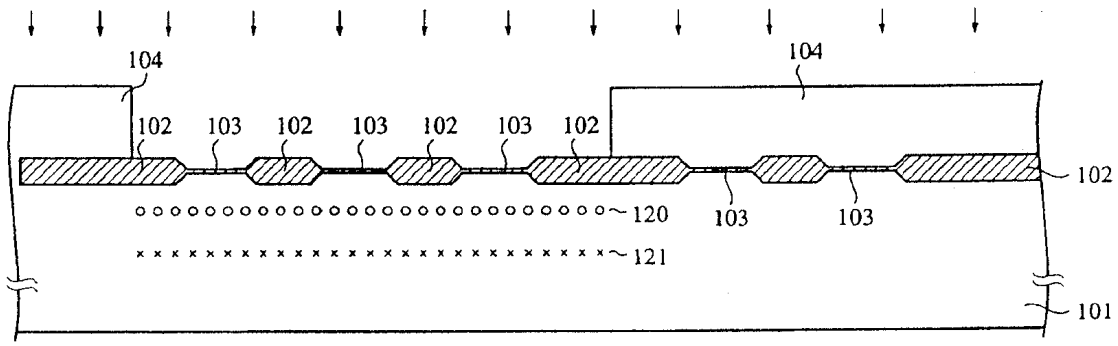
제21항에 있어서, 상기 불순물 이온의 확산을 위한 어닐링 공정을 더 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 25

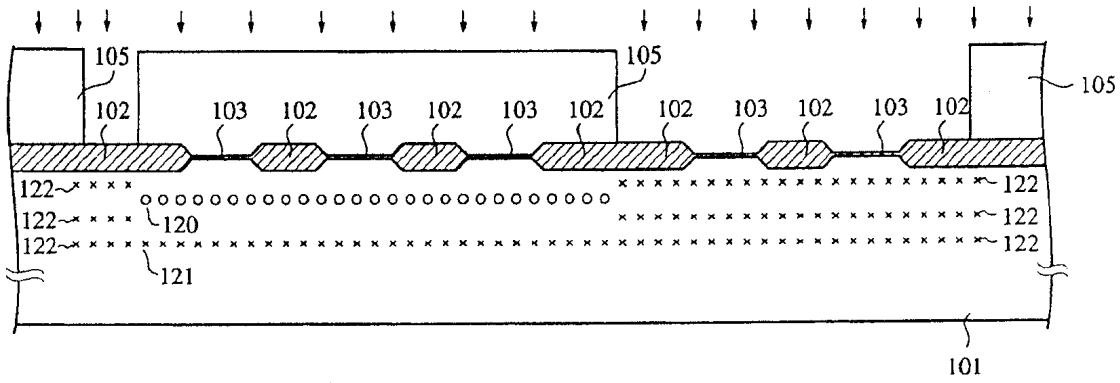
제15항에 있어서, 상기 제1 이온 주입 공정은 동일한 마스크를 이용하여 행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

도면

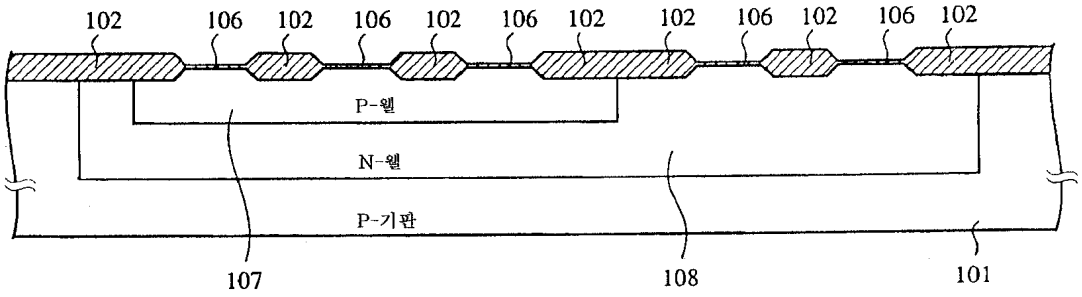
도면1



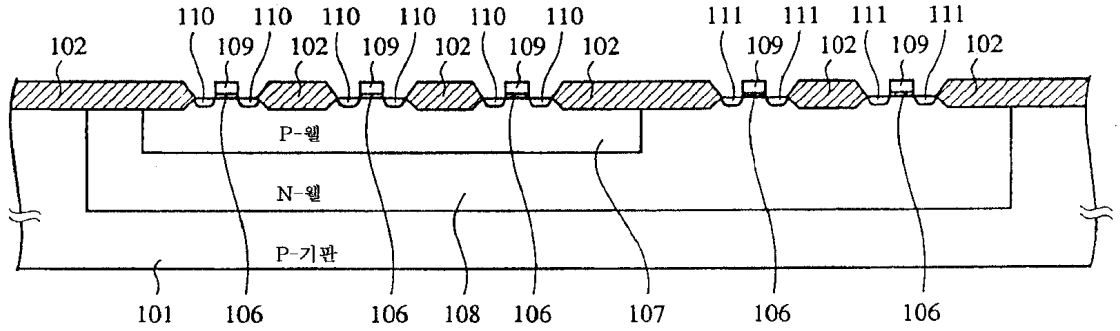
도면2



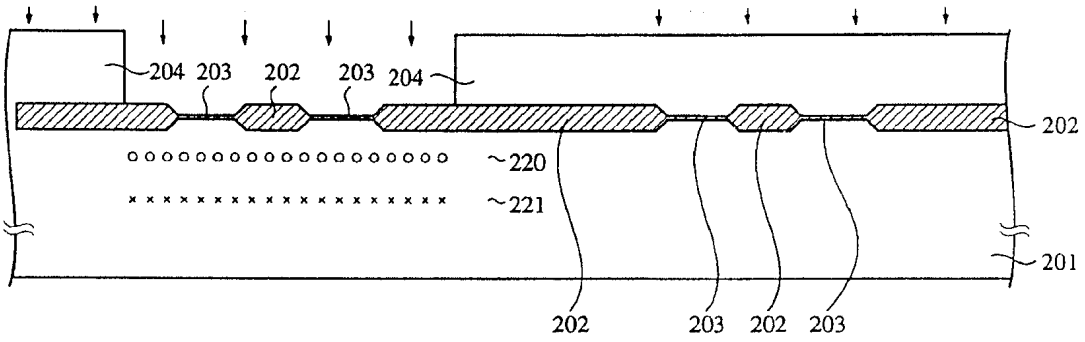
도면3



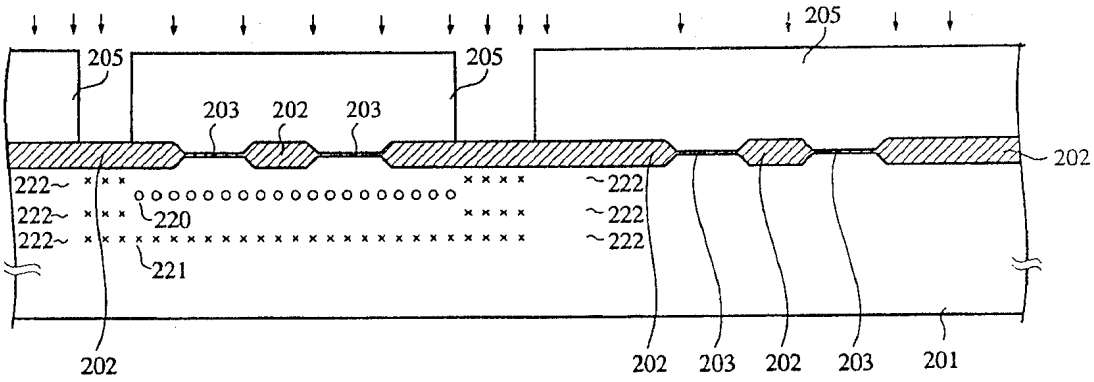
도면4



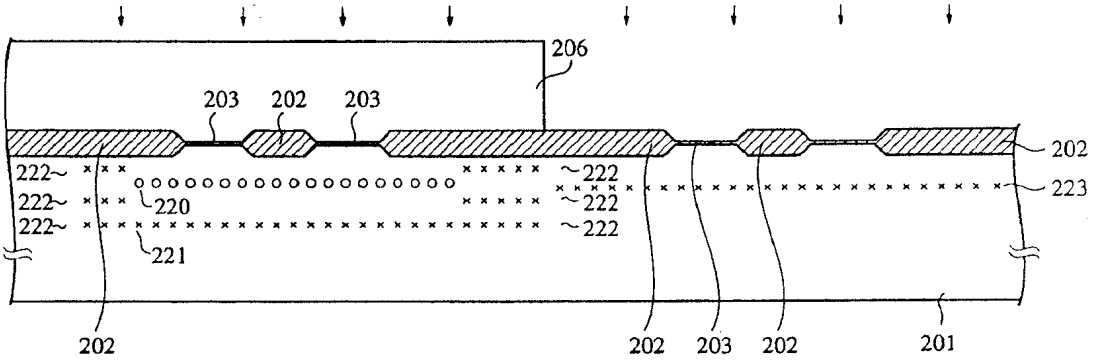
도면5



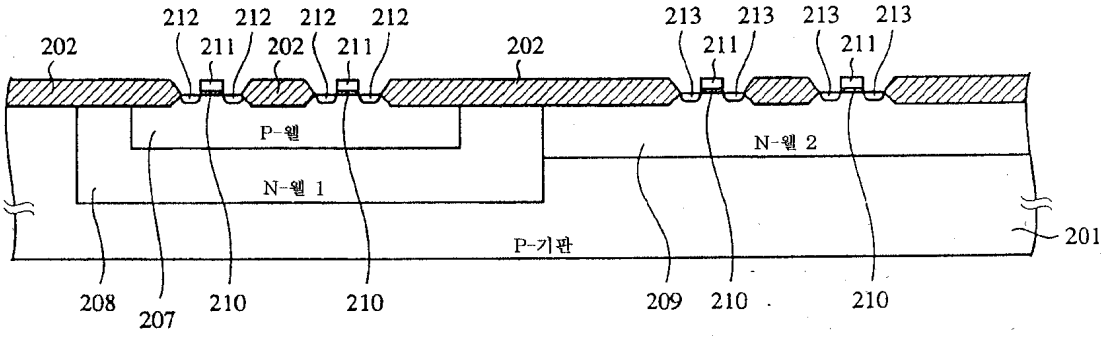
도면6



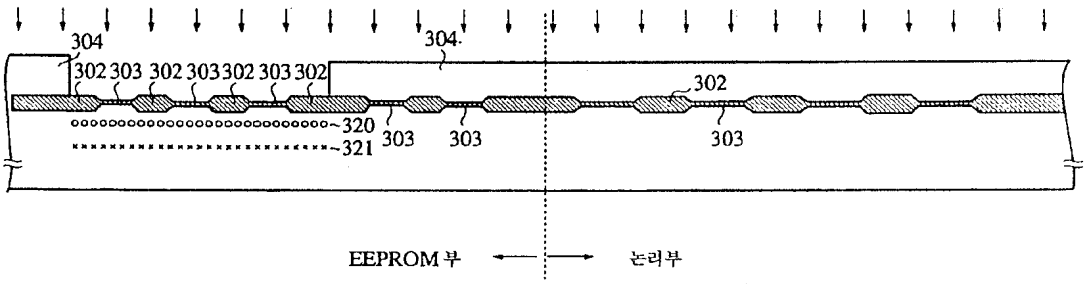
도면7



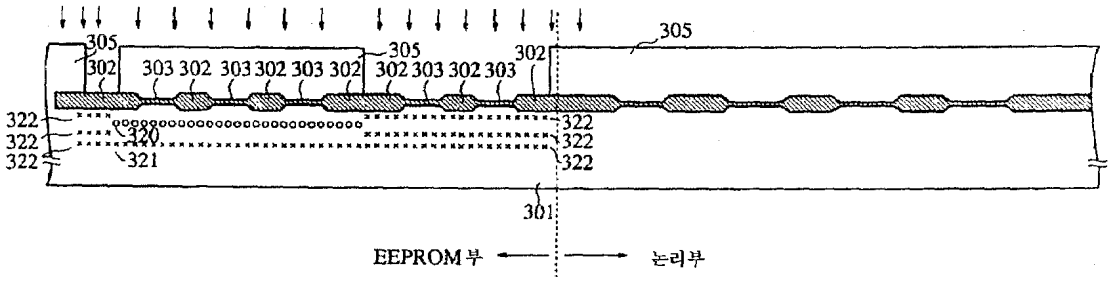
도면8



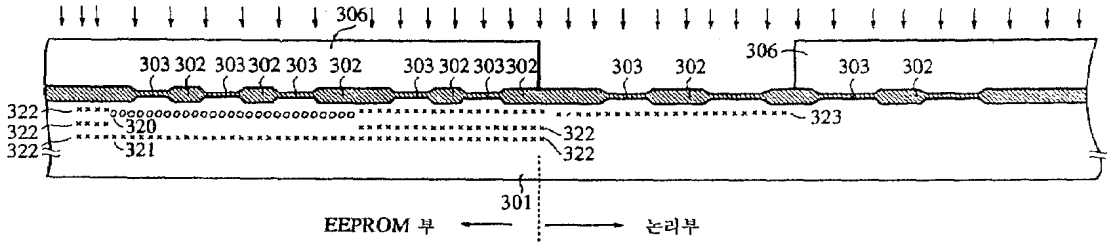
도면9



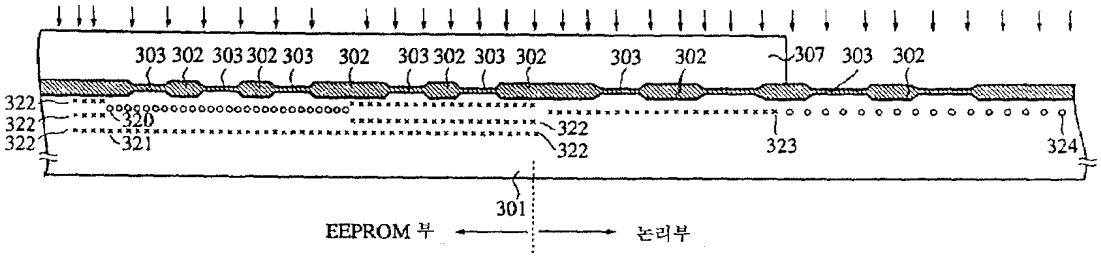
도면10



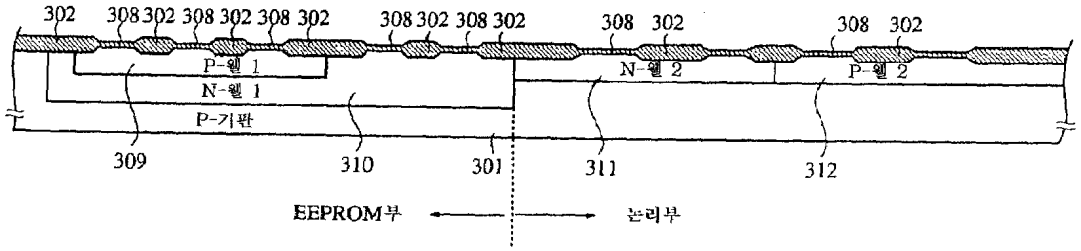
도면11



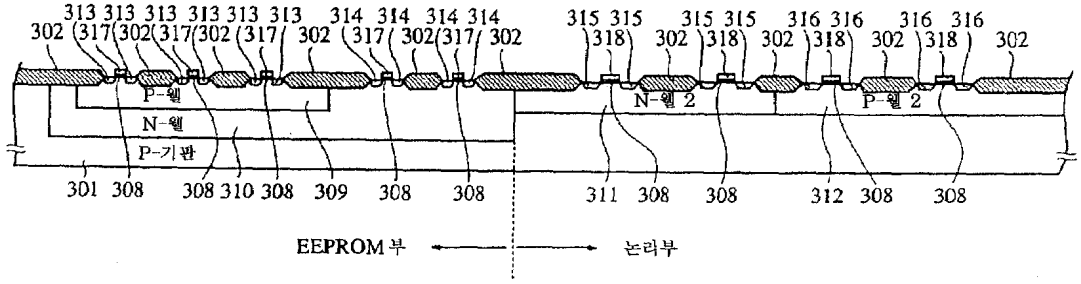
도면12



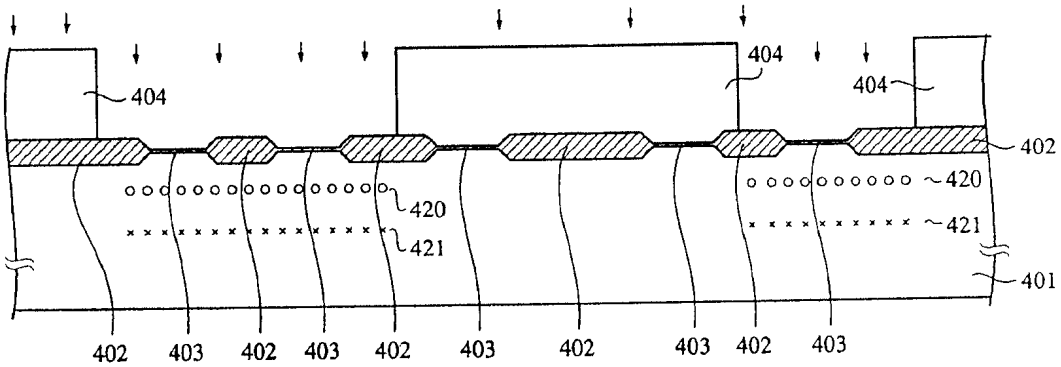
도면13



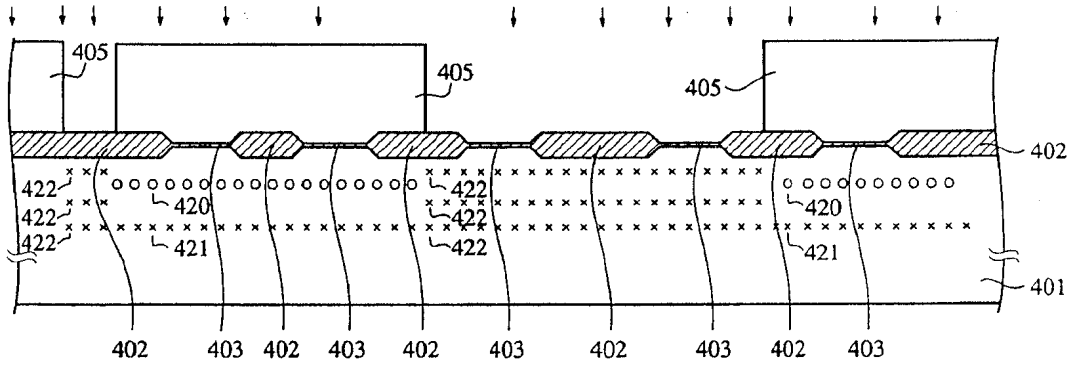
도면14



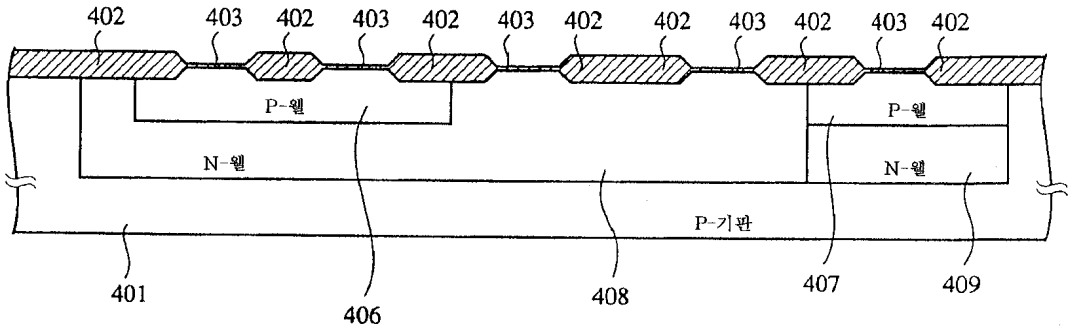
도면15



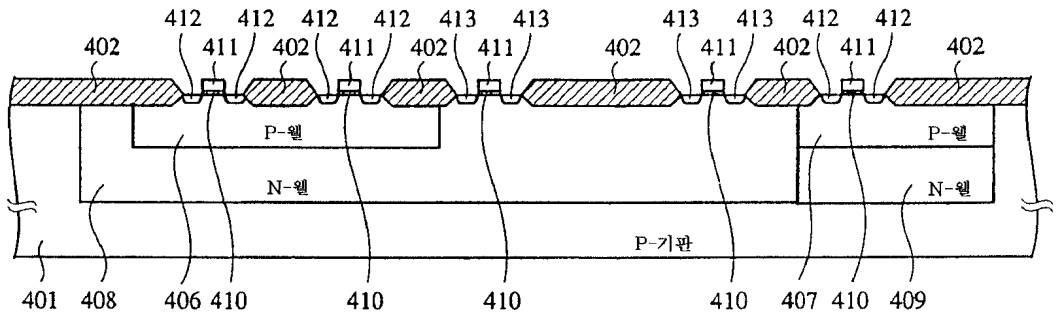
도면16



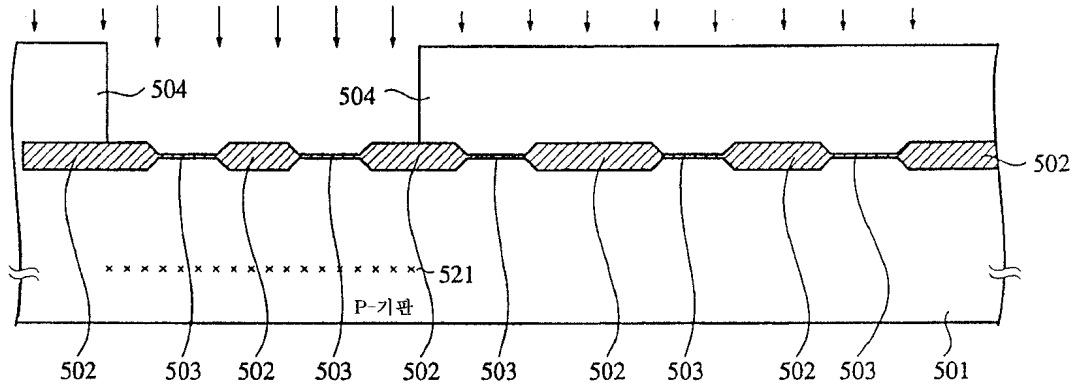
도면17



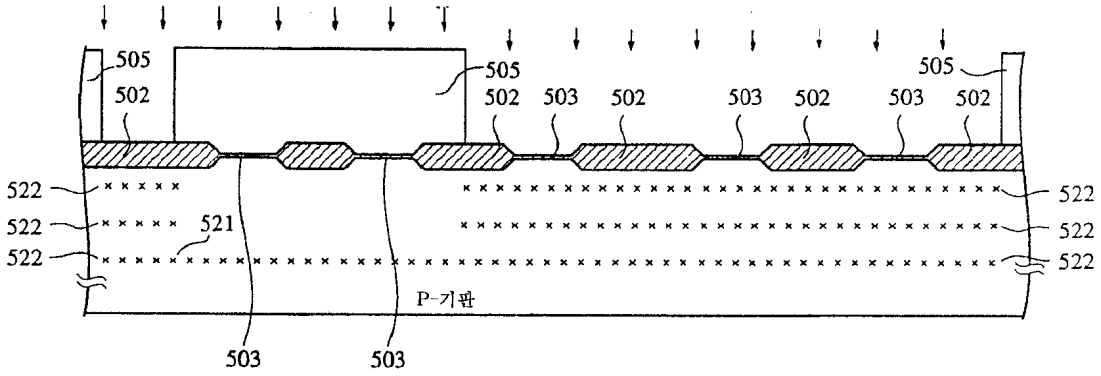
도면18



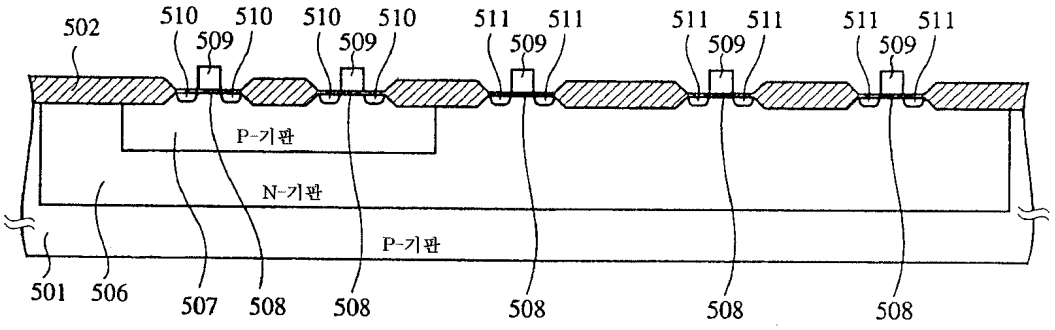
도면19



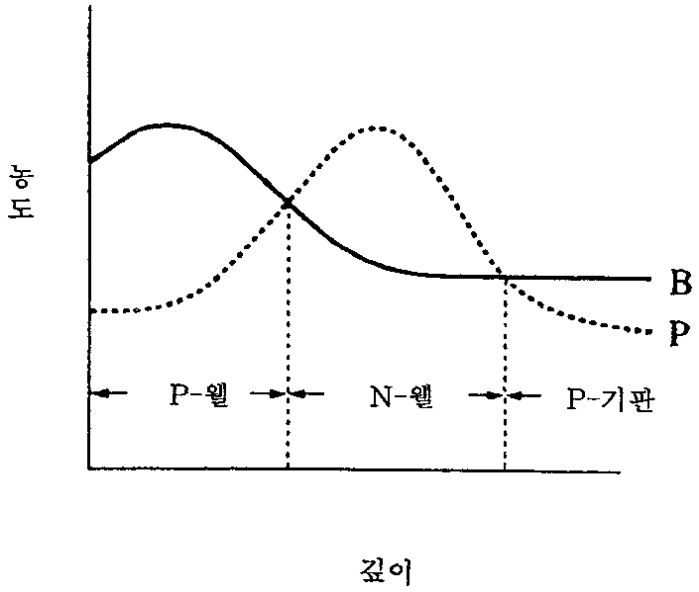
도면20



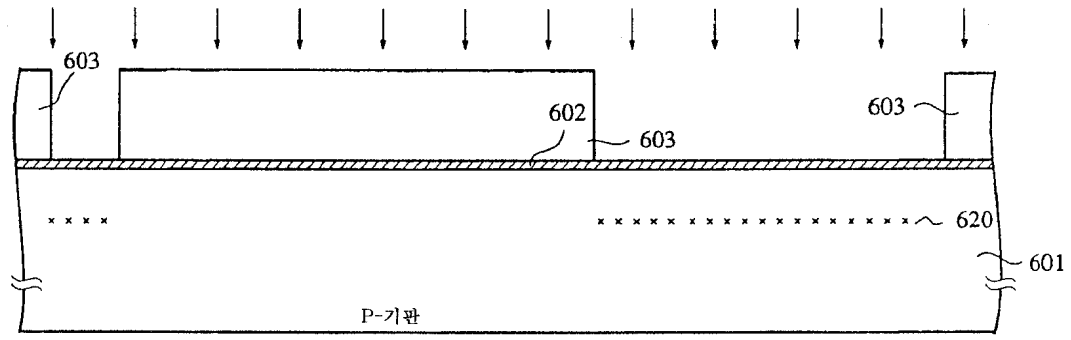
도면21



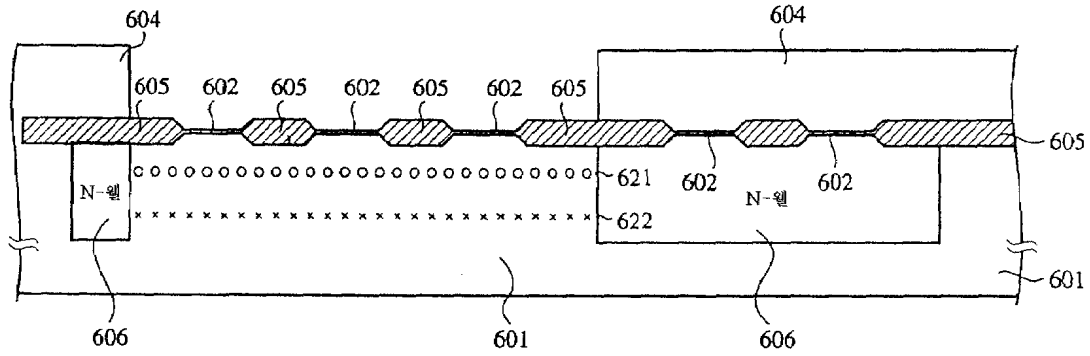
도면22



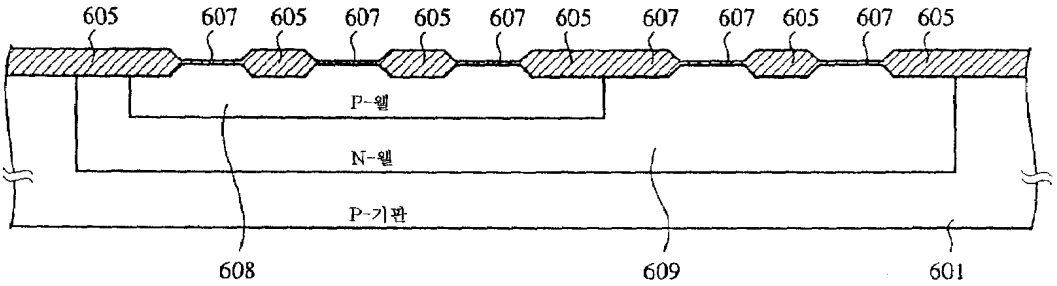
도면23



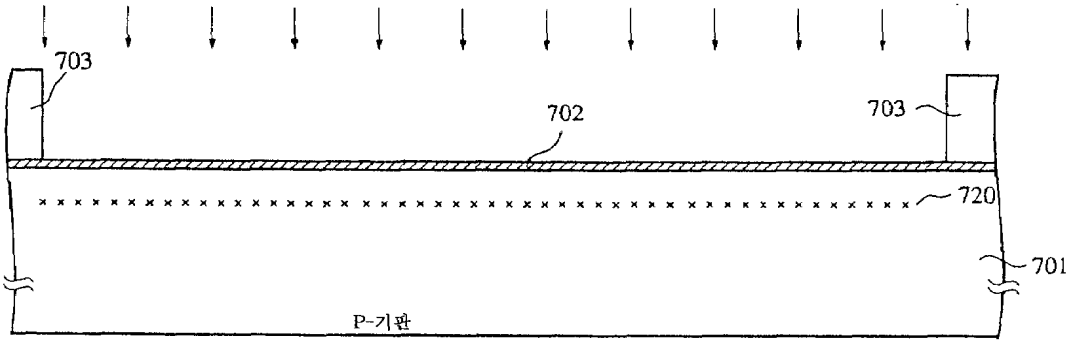
도면24



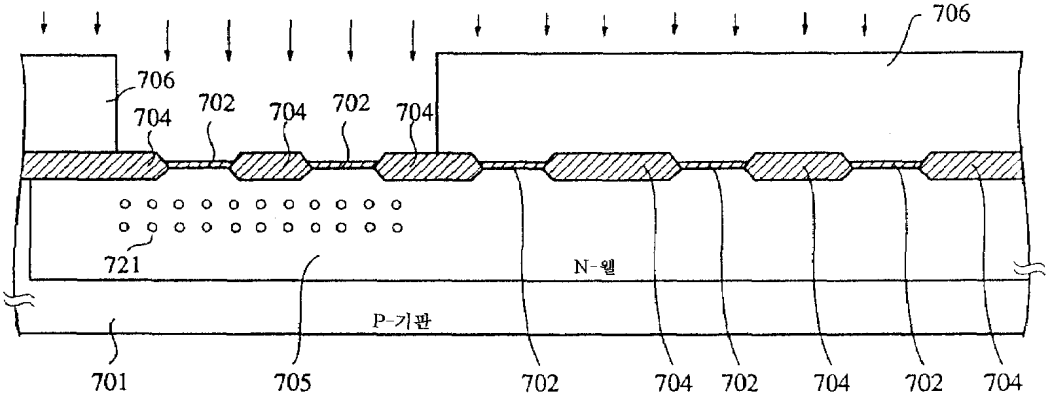
도면25



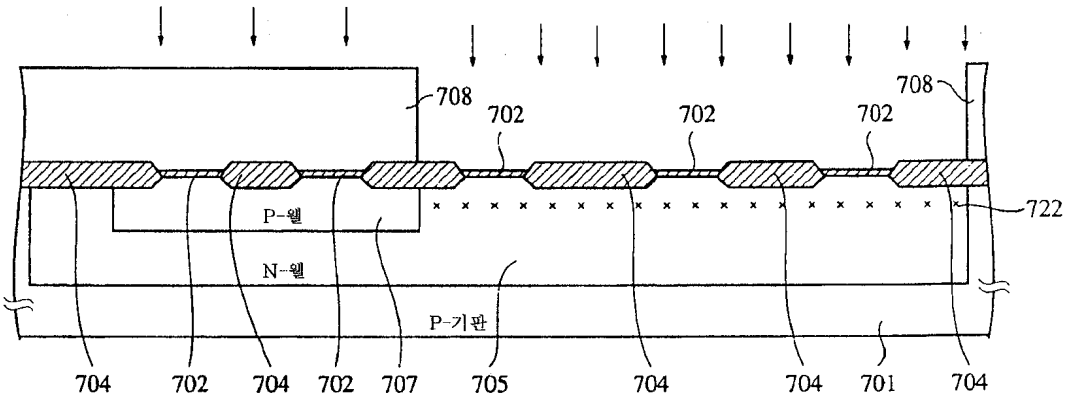
도면26



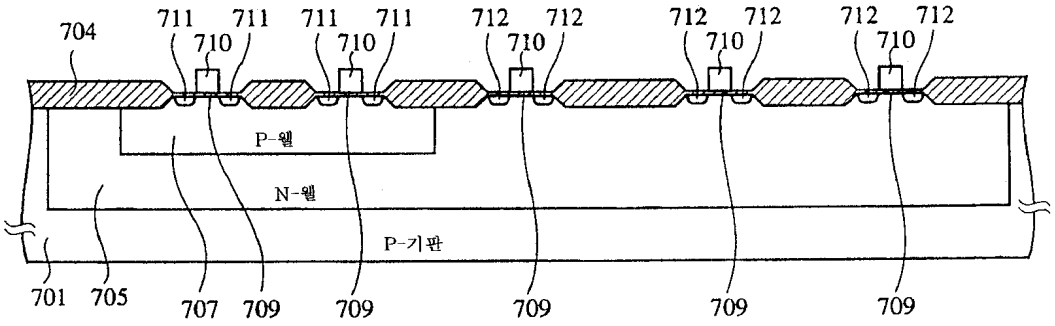
도면27



도면28



도면29



도면30

