



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년05월09일  
 (11) 등록번호 10-1032945  
 (24) 등록일자 2011년04월27일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2004-0016812  
 (22) 출원일자 2004년03월12일  
 심사청구일자 2009년03월11일  
 (65) 공개번호 10-2005-0091378  
 (43) 공개일자 2005년09월15일  
 (56) 선행기술조사문헌  
 US5859630 A  
 JP2003076346 A

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

신경주

경기도용인시기흥읍보라리289-12삼정선비마을102동504호

채중철

서울특별시마포구신공덕동삼성아파트102동2001호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 10 항

심사관 : 이성현

**(54) 시프트 레지스터 및 이를 포함하는 표시 장치**

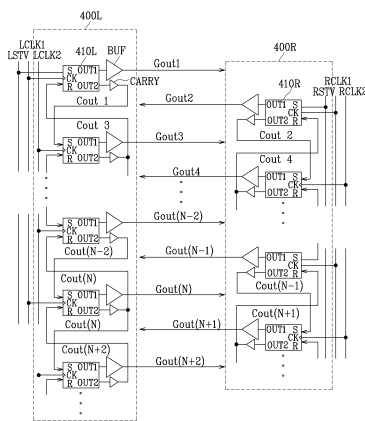
**(57) 요약**

본 발명은 표시 장치의 구동 장치에 관한 것으로서, 특히 저온 구동시 게이트 출력 신호의 지연이 없는 표시 장치의 구동 장치를 제공하는 것이다.

서로 연결되어 있으며 차례대로 출력 신호를 생성하는 복수의 스테이지를 포함하며, 상기 각 스테이지는 서로 다른 두 개의 스테이지의 출력에 응답하여 듀티비가 50% 미만이며 위상이 다른 복수의 클록 신호 중 어느 하나에 따라 상기 출력 신호를 생성한다.

이런 방식으로, 게이트 출력의 하강 에지에서 지연을 없애어 저온 구동시 신뢰성이 높은 표시 장치를 제공할 수 있다.

**대표도 - 도7**



(72) 발명자

**홍문표**

경기도성남시분당구정자동한솔마을청구아파트107  
동1103호

**박철우**

경기도수원시팔달구매탄2동한국1차아파트102동601  
호

**노남석**

경기도성남시분당구서당동(효자촌)화성아파트607  
동703호

**특허청구의 범위**

**청구항 1**

서로 연결되어 있으며 차례대로 출력 신호를 생성하는 복수의 스테이지를 포함하며,  
 복수의 스테이지들로 구성된 제 1 레지스터부 및 제 2 레지스터부로 구성되어있으며,  
 상기 제1 레지스터부는 홀수 번째 신호선에 연결되어 있는 복수의 제1 스테이지를 포함하고 상기 제2 레지스터부는 짝수 번째 신호선에 연결되어 있는 복수의 제2 스테이지를 포함하며,  
 상기 각 스테이지는 서로 다른 네 개의 스테이지의 출력에 응답하여 위상이 다른 복수의 클록 신호 중 어느 하나에 따라 상기 출력 신호를 생성하는 시프트 레지스터.

**청구항 2**

제1항에서,  
 상기 각 스테이지는 출력 시작 신호 또는 전단 스테이지 중 하나의 출력 신호에 응답하여 전압을 충전하고, 상기 복수의 클록 신호 중 어느 하나에 따라 상기 출력 신호를 생성하는 구동부, 그리고 후단 스테이지 중 어느 하나의 출력 신호에 응답하여 상기 충전된 전압을 방전하는 방전부를 포함하고,  
 상기 구동부는 출력 시작 신호 또는 전단 스테이지 중 어느 하나의 출력 신호에 응답하여 제1 전압을 출력하는 입력부, 그리고 상기 제1 전압을 충전하고 상기 복수의 클록 신호 중 어느 하나에 따라 상기 출력 신호를 생성하는 출력부를 포함하며,  
 상기 방전부는 후단 스테이지 중 어느 하나의 출력 신호에 응답하여 상기 출력부에 제2 전압을 출력하여 상기 충전된 제1 전압을 상기 제2 전압으로 방전시키고,  
 상기 출력부는 상기 제2 전압이 입력되면 이를 출력 신호로서 출력하는 시프트 레지스터.

**청구항 3**

제2항에서,  
 상기 각 스테이지는 상기 입력부의 출력에 따라 상기 제1 전압을 상기 출력부에 선택적으로 전달하는 출력 보조부를 더 포함하는 시프트 레지스터.

**청구항 4**

제3항에서,  
 상기 각 스테이지는 세트 단자, 리세트 단자, 클록 단자와 제1 및 제2 출력 단자를 가지며,  
 상기 입력부는 상기 제1 전압과 제1 접점 사이에 연결되어 있으며, 상기 세트 단자에 제어 단자가 연결되어 있는 제1 스위칭 소자를 포함하고,  
 상기 출력 보조부는  
 상기 제1 전압과 제2 접점 사이에 연결되어 있는 제2 스위칭 소자,  
 상기 제1 전압과 제2 전압 사이에 직렬로 연결되어 있는 제3 및 제4 스위칭 소자를 포함하며,  
 상기 제2 스위칭 소자의 제어 단자는 상기 제3 및 제4 스위칭 소자의 접점에 연결되어 있고, 상기 제3 스위칭 소자의 제2 및 제3 단자는 서로 연결되어 있으며,  
 상기 방전부는  
 상기 제1 접점과 상기 제2 전압 사이에 병렬로 연결되어 있는 제5 및 제6 스위칭 소자, 그리고  
 상기 제2 접점과 상기 제2 전압 사이에 병렬로 연결되어 있는 제7 및 제8 스위칭 소자

를 포함하고,

상기 제5 스위칭 소자의 제어 단자는 상기 리셋 단자에 연결되어 있고, 상기 제6 스위칭 소자의 제어 단자는 상기 제2 접점에 연결되어 있으며, 상기 제7 스위칭 소자의 제어 단자는 상기 제1 접점에 연결되어 있고, 상기 제8 스위칭 소자의 제어 단자는 상기 세트 단자에 연결되어 있으며,

상기 출력부는

상기 클록 단자와 상기 제2 전압 사이에 병렬로 연결되어 있으며 각 쌍은 직렬로 연결되어 있는 제9 내지 제12 스위칭 소자, 그리고

상기 제1 접점과 상기 제1 및 제2 출력 단자 사이에 각각 연결되어 있는 제1 및 제2 축전기

를 포함하고,

상기 제9 및 제11 스위칭 소자의 제어 단자는 상기 제1 접점에 연결되어 있으며, 제10 및 제12 스위칭 소자의 제어 단자는 제2 접점에 연결되어 있고,

상기 제1 출력 단자는 상기 제9 스위칭 소자와 제10 스위칭 소자 사이의 접점에 연결되어 있고, 상기 제2 출력 단자는 상기 제11 스위칭 소자와 상기 제12 스위칭 소자 사이의 접점에 연결되어 있는

시프트 레지스터.

#### 청구항 5

제4항에서,

상기 제1 내지 제12 스위칭 소자는 비정질 규소로 이루어지는 시프트 레지스터.

#### 청구항 6

제1항에서,

상기 제1 레지스터부의 첫 번째 스테이지와 상기 제2 레지스터부의 첫 번째 스테이지에는 시간 간격을 갖는 별개의 출력 시작 신호가 각각 입력되는 시프트 레지스터.

#### 청구항 7

제1항에서,

상기 복수의 클록 신호는 상기 제1 레지스터부에 입력되는 제1 및 제2 클록 신호와, 상기 제2 레지스터부에 입력되는 제3 및 제4 클록 신호를 포함하며,

상기 제1, 제3, 제2 및 제4 클록 신호는 듀티비가 25%이고 차례로 90°의 위상차를 가지며,

인접한 두 클록 신호의 하강 에지(falling edge)와 상승 에지(rising edge)가 일치하는

시프트 레지스터.

#### 청구항 8

복수의 스위칭 소자를 포함하는 화소,

상기 스위칭 소자에 연결되어 있는 복수의 신호선, 그리고

서로 연결되어 있으며 차례로 출력 신호를 생성하여 상기 신호선에 인가하는 복수의 스테이지를 각각 포함하는 제1 및 제2 시프트 레지스터,

상기 제1 시프트 레지스터는 홀수 번째 신호선에 연결되어 제1 레지스터부를 구성하고 상기 제2 시프트 레지스터는 짝수 번째 신호선에 연결되어 제2 레지스터부를 구성하며,

상기 스테이지 각각은 세트 단자, 리셋 단자, 클록 단자, 그리고 제1 및 제2 출력 단자를 포함하고,

상기 세트 단자는 동일 시프트 레지스터 내의 다른 스테이지의 제2 출력 단자에 연결되어 있으며, 상기 리셋 단자는 동일 시프트 레지스터 내의 또 다른 스테이지의 제2 출력 단자에 연결되어 있고, 상기 클록 단자는 제1

내지 제4 클록 신호 중 하나를 입력받으며, 상기 제1 출력 단자는 상기 신호선에 연결되어 있는 표시 장치.

**청구항 9**

제8항에서,

상기 제1 내지 제4 클록 신호는 듀티비가 25%이고 위상이 다른 표시 장치.

**청구항 10**

제8항에서,

상기 제 1 레지스터부는 표시장치의 일측에 형성되고, 제 2 레지스터부는 제 1 레지스터부가 형성된 영역과 다른 일측에 형성되는 표시 장치.

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

[0014] 본 발명은 시프트 레지스터 및 이를 포함하는 표시 장치에 관한 것이다.

[0015] 최근, 무겁고 큰 음극선관(cathode ray tube, CRT)을 대신하여 유기 전계 발광 표시 장치(organic electroluminescence display, OLED), 플라즈마 표시 장치(plasma display panel, PDP), 액정 표시 장치

(liquid crystal display, LCD)와 같은 평판 표시 장치가 활발히 개발 중이다.

[0016] PDP는 기체 방전에 의하여 발생하는 플라스마를 이용하여 문자나 영상을 표시하는 장치이며, 유기 EL 표시 장치는 특정 유기물 또는 고분자들의 전계 발광을 이용하여 문자 또는 영상을 표시한다. 액정 표시 장치는 두 표시판의 사이에 들어 있는 액정층에 전기장을 인가하고, 이 전기장의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다.

[0017] 이러한 평판 표시 장치 중에서 예를 들어 액정 표시 장치와 유기 EL 표시 장치는 스위칭 소자를 포함하는 화소와 표시 신호선이 구비된 표시판, 그리고 표시 신호선 중 게이트선에 게이트 신호를 내보내어 화소의 스위칭 소자를 턴온/오프시키는 게이트 구동부, 즉 시프트 레지스터를 포함한다.

[0018] 시프트 레지스터는 복수의 스테이지로 이루어져 있으며, 각 스테이지는 입력부, 출력부, 풀업 구동부 및 풀다운 구동부를 이루는 복수의 NMOS 또는 PMOS 트랜지스터를 포함한다.

[0019] 첫 번째 스테이지는 수직 동기 시작 신호에 기초하고 클록 신호에 동기하여 게이트 출력을 내보내고, 두 번째 스테이지부터는 전단 및 후단 스테이지의 게이트 출력에 기초하고 클록 신호에 동기하여 게이트 출력을 내보낸다.

**발명이 이루고자 하는 기술적 과제**

[0020] 이 때, 시프트 레지스터는 저온 구동시에 신뢰성이 문제가 된다. 여기서 저온 구동이란 영하 20° 이하의 온도에서 동작에서 하는 것을 말하고, 이 때 각 스테이지의 트랜지스터는 반도체의 특성상 드레인 전류가 감소하게 된다. 이로 인해 특히 출력부의 트랜지스터는 원하는 게이트 출력의 레벨까지 상승하는데 시간이 걸리는 현상, 즉 지연이 발생한다. 또한, 게이트선 자체의 저항과 기생용량 등으로 인한 RC 지연 등이 더해지고 이러한 지연은 후단 스테이지에도 영향을 미치게 되어 결국은 일부 화소의 스위칭 소자를 턴온시키지 못하는 게이트 블록 결함(gate block defect)을 유발한다.

[0021] 따라서, 본 발명이 이루고자 하는 기술적 과제는 높은 신뢰도와 고해상도를 구현할 수 있는 시프트 레지스터를 제공하는 것이다.

**발명의 구성 및 작용**

[0022] 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 시프트 레지스터는 서로 연결되어 있으며 차례대로 출력 신호를 생성하는 복수의 스테이지를 포함하며, 상기 각 스테이지는 서로 다른 두 개의 스테이지의 출력에 응답하여 듀티비가 50% 미만이며 위상이 다른 복수의 클록 신호 중 어느 하나에 따라 상기 출력 신호를 생성한다.

[0023] 이 때, 상기 각 스테이지는 출력 시작 신호 또는 전단 스테이지 중 하나의 출력 신호에 응답하여 소정의 전압을 충전하고, 상기 복수의 클록 신호 중 어느 하나에 따라 상기 출력 신호를 생성하는 구동부, 그리고 후단 스테이지 중 어느 하나의 출력 신호에 응답하여 상기 충전된 전압을 방전하는 방전부를 포함할 수 있다.

[0024] 나아가, 상기 구동부는 출력 시작 신호 또는 전단 스테이지 중 어느 하나의 출력 신호에 응답하여 제1 전압을 출력하는 입력부, 그리고 상기 제1 전압을 충전하고 상기 복수의 클록 신호 중 어느 하나에 따라 상기 출력 신호를 생성하는 출력부를 포함할 수 있으며, 상기 방전부는 후단 스테이지 중 어느 하나의 출력 신호에 응답하여 상기 출력부에 제2 전압을 출력하여 상기 충전된 제1 전압을 상기 제2 전압으로 방전시킬 수 있다. 또한, 상기 출력부는 상기 제2 전압이 입력되면 이를 출력 신호로서 출력할 수 있다.

[0025] 이 때, 상기 출력부는 실질적으로 동일한 구조를 가지는 두 개의 출력 회로를 포함할 수 있고, 상기 각 스테이지는 상기 입력부의 출력에 따라 상기 제1 전압을 상기 출력부에 선택적으로 전달하는 출력 보조부를 더 포함할 수 있다.

[0026] 한편, 상기 각 스테이지는 세트 단자, 리셋 단자와 제1 및 제2 단자를 가지며, 상기 입력부는 상기 제1 전압과 제1 접점 사이에 연결되어 있으며, 상기 세트 단자에 제어 단자가 연결되어 있는 제1 스위칭 소자를 포함하고, 상기 출력 보조부는 상기 제1 전압과 제2 접점 사이에 연결되어 있는 제2 스위칭 소자, 상기 제1 전압과 제2 전압 사이에 직렬로 연결되어 있는 제3 및 제4 스위칭 소자를 포함하며, 상기 제2 스위칭 소자의 제어 단자는 상기 제3 및 제4 스위칭 소자의 접점에 연결되어 있고, 상기 제3 스위칭 소자의 제2 및 제3 단자는 서로 연결되어 있으며,

- [0027] 상기 방전부는 상기 제1 접점과 상기 제2 전압 사이에 병렬로 연결되어 있는 제5 및 제6 스위칭 소자, 그리고 상기 제2 접점과 상기 제2 전압 사이에 병렬로 연결되어 있는 제7 및 제8 스위칭 소자를 포함하고, 상기 제5 스위칭 소자의 제어 단자는 상기 리세트 단자에 연결되어 있고, 상기 제6 스위칭 소자의 제어 단자는 상기 제2 접점에 연결되어 있으며, 상기 제7 스위칭 소자의 제어 단자는 상기 제1 접점에 연결되어 있고, 상기 제8 스위칭 소자의 제어 단자는 상기 세트 단자에 연결되어 있으며,
- [0028] 상기 출력부는 상기 클록 단자와 상기 제2 전압 사이에 병렬로 연결되어 있으며 각 쌍은 직렬로 연결되어 있는 제9 내지 제12 스위칭 소자, 그리고 상기 제1 접점과 상기 제1 및 제2 출력 단자 사이에 각각 연결되어 있는 제1 및 제2 축전기를 포함하고, 상기 제9 및 제11 스위칭 소자의 제어 단자는 상기 제1 접점에 연결되어 있으며, 제10 및 제12 스위칭 소자의 제어 단자는 제2 접점에 연결되어 있고, 상기 제1 출력 단자는 상기 제9 스위칭 소자와 제10 스위칭 소자 사이의 접점에 연결되어 있고, 상기 제2 출력 단자는 상기 제11 스위칭 소자와 상기 제12 스위칭 소자 사이의 접점에 연결되어 있을 수 있다.
- [0029] 이 때, 상기 제1 내지 제12 스위칭 소자는 비정질 규소로 이루어질 수 있다.
- [0030] 한편, 상기 시프트 레지스터는 제1 및 제2 시프트 레지스터부를 포함하며, 상기 제1 레지스터부는 홀수 번째 신호선에 연결되어 있는 복수의 제1 스테이지를 포함하고 상기 제2 레지스터부는 짝수 번째 신호선에 연결되어 있는 복수의 제2 스테이지를 포함할 수 있으며, 상기 제1 스테이지 각각은 두 개의 다른 제1 스테이지에 연결되어 있고 상기 제2 스테이지 각각은 두 개의 다른 제2 스테이지에 연결되어 있을 수 있다. 또한, 상기 각 스테이지는 상기 시프트 레지스터의 외부와 연결되는 제1 출력단과, 다른 스테이지에 연결되어 있는 제2 출력단을 가지고 있을 수 있다. 이 때, 상기 각 스테이지는 서로 다른 스테이지의 출력이 입력되는 세트 단자와 리세트 단자를 가지고 있을 수 있다.
- [0031] 또한, 상기 제1 레지스터부의 첫 번째 스테이지와 상기 제2 레지스터부의 첫 번째 스테이지에는 소정의 시간 간격을 갖는 별개의 출력 시작 신호가 각각 입력되는 것이 바람직하며, 상기 복수의 클록 신호는 상기 제1 레지스터부에 입력되는 제1 및 제2 클록 신호와, 상기 제2 레지스터부에 입력되는 제3 및 제4 클록 신호를 포함하며, 상기 제1, 제3, 제2 및 제4 클록 신호는 듀티비가 25%이고 차레로 90°의 위상차를 가지며, 인접한 두 클록 신호의 하강 에지(falling edge)와 상승 에지(rising edge)가 일치하는 것이 바람직하다.
- [0032] 본 발명의 한 실시예에 따른 표시 장치는 복수의 스위칭 소자를 포함하는 화소, 상기 스위칭 소자에 연결되어 있는 복수의 신호선, 그리고 서로 연결되어 있으며 차레로 출력 신호를 생성하여 상기 신호선에 인가하는 복수의 스테이지를 각각 포함하는 제1 및 제2 시프트 레지스터를 포함하며, 상기 스테이지 각각은 세트 단자, 리세트 단자, 클록 단자, 그리고 제1 및 제2 출력 단자를 포함하고, 상기 세트 단자는 동일 시프트 레지스터 내의 다른 스테이지의 제2 출력 단자에 연결되어 있으며, 상기 리세트 단자는 동일 시프트 레지스터 내의 또 다른 스테이지의 제2 출력 단자에 연결되어 있고, 상기 클록 단자는 제1 내지 제4 클록 신호 중 하나를 입력받으며, 상기 제1 출력 단자는 상기 신호선에 연결되어 있다.
- [0033] 이 때, 상기 제1 출력 신호 생성부는 홀수 번째 신호선에 연결되어 있고, 상기 제2 출력 신호 생성부는 짝수 번째 신호선에 연결되어 있을 수 있으며, 상기 제1 내지 제4 클록 신호는 듀티비가 25%이고 위상이 다른 것이 바람직하다.
- [0034] 또한, 상기 제1 및 제2 시프트 레지스터의 첫 번째 스테이지는 각각 상기 세트 단자를 통하여 제1 및 제2 출력 시작 신호를 각각 입력받으며, 상기 제2 출력 시작 신호는 상기 제1 출력 시작 신호에 비하여 1H만큼 지연된 신호인 것이 바람직하다.
- [0035] 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0036] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0037] 이제 본 발명의 실시예에 따른 표시 장치에 대하여 첨부한 도면을 참고로 하여 상세하게 설명한다.
- [0038] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 개략도이다.

- [0039] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 표시판부(300) 및 이에 연결된 한 쌍의 게이트 구동부(400L, 400R)와 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- [0040] 표시판부(300)는 등가 회로로 볼 때 복수의 표시 신호선( $G_1-G_{2n}$ ,  $D_1-D_m$ )과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소( $P_x$ )를 포함한다.
- [0041] 표시 신호선( $G_1-G_{2n}$ ,  $D_1-D_m$ )은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선( $G_1-G_{2n}$ )과 데이터 신호를 전달하는 데이터 신호선 또는 데이터선( $D_1-D_m$ )을 포함한다. 게이트선( $G_1-G_{2n}$ )은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선( $D_1-D_m$ )은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.
- [0042] 각 화소는 표시 신호선( $G_1-G_{2n}$ ,  $D_1-D_m$ )에 연결된 스위칭 소자(Q)와 이에 연결된 화소 회로(pixel circuit)를 포함한다.
- [0043] 스위칭 소자(Q)는 삼단자 소자로서 그 제어 단자 및 입력 단자는 각각 게이트선( $G_1-G_{2n}$ ) 및 데이터선( $D_1-D_m$ )에 연결되어 있으며, 출력 단자는 화소 회로에 연결되어 있다. 또한, 스위칭 소자(Q)는 박막 트랜지스터인 것이 바람직하며, 특히 비정질 규소를 포함하는 것이 좋다.
- [0044] 평판 표시 장치의 대표 격인 액정 표시 장치의 경우, 도 2 및 도 3에 도시한 바와 같이 하부 표시판(100)과 상부 표시판(200) 및 그 사이의 액정층(3)을 포함한다. 표시 신호선( $G_1-G_{2n}$ ,  $D_1-D_m$ )과 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있다. 액정 표시 장치의 화소 회로는 스위칭 소자(Q)에 연결된 액정 축전기(liquid crystal capacitor)( $C_{LC}$ ) 및 유지 축전기(storage capacitor)( $C_{ST}$ )를 포함한다. 유지 축전기( $C_{ST}$ )는 필요에 따라 생략할 수 있다.
- [0045] 액정 축전기( $C_{LC}$ )는 하부 표시판(100)의 화소 전극(190)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(190, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(190)은 스위칭 소자(Q)에 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압( $V_{com}$ )을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(190, 270)이 모두 선형 또는 막대형으로 만들어진다.
- [0046] 유지 축전기( $C_{ST}$ )는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(190)이 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압( $V_{com}$ ) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기( $C_{ST}$ )는 화소 전극(190)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.
- [0047] 한편, 색 표시를 구현하기 위해서는 각 화소가 색상을 표시할 수 있도록 하여야 하는데, 이는 화소 전극(190)에 대응하는 영역에 삼원색, 예를 들면 적색, 녹색, 또는 청색의 색 필터(230)를 구비함으로써 가능하다. 도 2에서 색 필터(230)는 상부 표시판(200)에 형성되어 있지만 이와는 달리 하부 표시판(100)의 화소 전극(190) 위 또는 아래에 형성할 수도 있다.
- [0048] 도 3에 도시한 바와 같이, 액정 표시 장치의 표시판부(300)는 표시 영역(31)을 정의하는 블랙 매트릭스(32)를 포함하며, 화소와 표시 신호선( $G_1-G_{2n}$ ,  $D_1-D_m$ )의 대부분은 표시 영역(31) 내에 위치한다. 상부 표시판(200)은 하부 표시판(100)보다 크기가 작아서 하부 표시판(100)의 일부 영역이 노출되며 이 영역으로 데이터선( $D_1-D_m$ )이 연장되어 데이터 구동부(500)와 연결된다. 게이트선( $G_1-G_{2n}$ )은 또한 블랙 매트릭스(32)로 가려진 영역으로 연장되어 게이트 구동부(400)와 연결된다.
- [0049] 액정 표시 장치의 표시판부(300)의 두 표시판(100, 200) 중 적어도 하나의 바깥 면에는 빛을 편광시키는 편광자(도시하지 않음)가 부착되어 있다.
- [0050] 다시 도 1을 참조하면, 액정 표시 장치의 계조 전압 생성부(800)는 화소의 투과율과 관련된 두 벌의 복수 계조 전압을 생성한다. 두 벌 중 한 벌은 공통 전압( $V_{com}$ )에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다.
- [0051] 한 쌍의 게이트 구동부(400L, 400R)는 각각 표시판부(300)의 좌측과 우측에 배치되고 홀수 번째 게이트선( $G_1$ ,



$G_3, \dots, G_{2n-1}$ )과 짝수 번째 게이트선( $G_2, G_4, \dots, G_{2n}$ )에 각각 연결되어 외부로부터의 게이트 온 전압( $V_{on}$ )과 게이트 오프 전압( $V_{off}$ )의 조합으로 이루어진 게이트 신호를 게이트선( $G_1-G_{2n}$ )에 인가한다. 이러한 게이트 구동부(400L, 400R)는 실질적으로 시프트 레지스터로서 일렬로 배열된 복수의 스테이지(stage)를 포함한다. 도 3에서 게이트 구동부(400L, 400R)는 블랙 매트릭스(32)로 가려진 영역에 위치하여 화소의 스위칭 소자(Q)와 동일한 공정으로 형성되어 집적되어 있다. 그러나 집적 회로(IC)의 형태로 실장될 수도 있다.

[0052] 데이터 구동부(500)는 표시판부(300)의 데이터선( $D_1-D_m$ )에 연결되어 계조 전압 생성부(800)로부터의 계조 전압을 선택하여 데이터 신호로서 화소에 인가한다.

[0053] 신호 제어부(600)는 게이트 구동부(400L, 400R) 및 데이터 구동부(500) 등의 동작을 제어한다.

[0054] 신호 제어부(600), 데이터 구동부(500) 및 계조 전압 생성부(800)는 도 3에 도시한 것처럼 하나의 칩(33)으로 구현되어 COG(chip on glass) 방식으로 액정 표시 장치에 장착되어 있다. 그러나, 개별적인 복수의 칩으로 COF(chip on film) 등의 방식으로 장착될 수 있다.

[0055] 그러면 이러한 액정 표시 장치의 표시 동작에 대하여 좀더 상세하게 설명한다.

[0056] 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 RGB 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호( $V_{sync}$ )와 수평 동기 신호( $H_{sync}$ ), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 제어 신호 및 입력 영상 신호(R, G, B)를 기초로 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성하고 영상 신호(R, G, B)를 표시판부(300)의 동작 조건에 맞게 적절히 처리한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400L, 400R)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(R', G', B')는 데이터 구동부(500)로 내보낸다.

[0057] 게이트 제어 신호(CONT1)는 게이트 온 전압( $V_{on}$ )의 출력 시작을 지시하는 수직 동기 시작 신호(STV), 게이트 온 전압( $V_{on}$ )의 출력 시기를 제어하는 게이트 클럭 신호(CPV) 및 게이트 온 전압( $V_{on}$ )의 지속 시간을 한정하는 출력 인에이블 신호(OE) 등을 포함한다.

[0058] 데이터 제어 신호(CONT2)는 영상 데이터(R', G', B')의 입력 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선( $D_1-D_m$ )에 해당 데이터 전압을 인가하라는 로드 신호(LOAD), 공통 전압( $V_{com}$ )에 대한 데이터 전압의 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.

[0059] 데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대응하는 영상 데이터(R', G', B')를 차례로 입력받고, 계조 전압 생성부(800)로부터의 계조 전압 중 각 영상 데이터(R', G', B')에 대응하는 계조 전압을 선택함으로써, 영상 데이터(R', G', B')를 해당 데이터 전압으로 변환하고 이를 데이터선( $D_1-D_m$ )에 인가한다.

[0060] 게이트 구동부(400L, 400R)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압( $V_{on}$ )을 게이트선( $G_1-G_{2n}$ )에 인가하여 이 게이트선( $G_1-G_{2n}$ )에 연결된 스위칭 소자(Q)를 턴온시킨다. 데이터선( $D_1-D_m$ )에 공급된 데이터 전압은 턴온된 스위칭 소자(Q)를 통해 해당 화소에 인가된다.

[0061] 도 2 및 도 3에 도시한 액정 표시 장치의 경우, 화소에 인가된 데이터 전압과 공통 전압( $V_{com}$ )의 차이는 액정 축전기( $C_{LC}$ )의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리 한다. 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판(100, 200)에 부착된 편광자(도시하지 않음)에 의하여 빛의 투과율 변화로 나타난다.

[0062] 1 수평 주기(또는 "1H") [수평 동기 신호( $H_{sync}$ ), 데이터 인에이블 신호(DE), 게이트 클럭(CPV)의 한 주기]가 지나면 데이터 구동부(500)와 게이트 구동부(400)는 다음 행의 화소에 대하여 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 게이트선( $G_1-G_{2n}$ )에 대하여 차례로 게이트 온 전압( $V_{on}$ )을 인가하여 모든 화소에 데이터 전압을 인가한다. 도 2에 도시한 액정 표시 장치의 경우, 특히 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호

(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나("컬럼 반전"), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다("도트 반전")

- [0063] 그러면 본 발명의 실시예에 따른 게이트 구동부의 구조와 동작에 대하여 도 4 내지 도 10을 참조하여 좀더 상세히 설명한다.
- [0064] 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이며, 도 5는 도 4에 도시한 게이트 구동부용 시프트 레지스터의 N 번째 스테이지의 회로도의 한 예이고, 도 6a 및 도 6b는 도 4에 도시한 게이트 구동부의 신호 파형도이다.
- [0065] 도 4에 도시한 왼쪽 시프트 레지스터(400L)에는 수직 동기 시작 신호(STV) 및 클록 신호(CLK2)가 입력되며, 오른쪽 시프트 레지스터(400R)에는 클록 신호(CLK1)가 입력된다. 도 6에 도시한 바와 같이, 두 클록 신호(CLK1, CLK2)는 듀티비가 50%이고 180°의 위상차를 가진다.
- [0066] 각 시프트 레지스터(400L, 400R)는 각각 일렬로 배열되어 있으며 게이트선( $G_1$ - $G_{2n}$ )에 각각 연결되어 있는 복수의 스테이지(400L, 400R)를 포함한다.
- [0067] 각 스테이지(410L, 410R)는 세트 단자(S), 클록 단자(CK) 및 리세트 단자(R), 그리고 하나의 출력 단자(OUT)를 포함하며 출력 단자(OUT)는 버퍼(BUF)에 연결되어 있다.
- [0068] 각 스테이지, 예를 들면 오른쪽 시프트 레지스터(400R)에 위치한 N 번째 스테이지의 세트 단자(S)에는 전단 스테이지의 출력, 즉 전단 게이트 출력[Gout(N-1)]이, 리세트 단자(R)에는 후단 스테이지의 출력, 즉 후단 게이트 출력[Gout(N+1)]이 입력되고, 클록 단자(CK)에는 클록 신호(CLK1)가 입력된다. 이 스테이지(410L)는 출력 단자(OUT)와 버퍼(BUF)를 통하여 게이트 출력[Gout(N)]을 내보내고, 게이트 출력[Gout(N)]은 이에 연결되어 있는 게이트선( $G_1$ - $G_{2n}$ )에 인가된다. 바꿔 말하면, 각 스테이지는 전단 게이트 출력과 후단 게이트 출력에 기초하고 클록 신호(CLK1, CLK2)에 동기하여 게이트 출력을 생성한다. 여기에서 전단 및 후단 스테이지는 다른 쪽 시프트 레지스터(400L, 400R)에 위치한다.
- [0069] 단, 왼쪽 시프트 레지스터(400L)의 첫 번째 스테이지에는 전단 게이트 출력 대신 수직 동기 시작 신호(STV)가 입력되며, 수직 동기 시작 신호(STV)의 하이 구간은 클록 신호(CLK2)의 로우 구간에 위치한다.
- [0070] 각 시프트 레지스터(400L, 400R)에서 인접한 두 스테이지(410L, 410R)에는 동일한 클록 신호(CLK1, CLK2)가 각각 입력된다. 예를 들어, 왼쪽 시프트 레지스터(400L)의 두 스테이지(410L)에는 클록 신호(CLK2)가 입력되며, 오른쪽 시프트 레지스터(400R)의 두 스테이지(410R)에는 클록 신호(CLK1)가 입력된다. 각 클록 신호(CLK1, CLK2)는 화소의 스위칭 소자(Q)를 구동할 수 있도록 하이인 경우는 게이트 온 전압( $V_{on}$ )이고 로우인 경우는 게이트 오프 전압( $V_{off}$ )인 것이 바람직하다.
- [0071] 본 발명의 한 실시예에 따른 게이트 구동부(400L, 400R)의 각 스테이지, 예를 들면 N 번째 스테이지는, 도 5에 도시한 바와 같이, 입력부(420), 풀업 구동부(430), 풀다운 구동부(440) 및 출력부(450)를 포함한다. 이들은 적어도 하나의 NMOS 트랜지스터(M1, M2, M5-M12)를 포함하며, 출력부(450)는 축전기(C)를 더 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C)는 실제로 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있으며, 고전압 및 저전압(VDD, VSS)은 게이트 온 전압( $V_{on}$ )과 게이트 오프 전압( $V_{off}$ )일 수 있다.
- [0072] 입력부(420)는 세트 단자(S)에 연결되어 있는 트랜지스터(M5)를 포함하며, 이 트랜지스터(M5)는 세트 단자(S)에 연결되어 있는 게이트에 전단 게이트 출력[Gout(N-1)]이 입력되면 드레인에 연결되어 있는 고전압(VDD)을 소스를 통하여 접점(J1)으로 출력한다.
- [0073] 풀업 구동부(430)는 드레인을 통하여 고전압(VDD)을 인가받아 소스를 통하여 접점(J2)으로 출력하는 트랜지스터(M6)와 고전압(VDD)과 저전압(VSS) 사이에 직렬로 연결되어 있는 한 쌍의 트랜지스터(M7, M8)를 포함한다. 트랜지스터(M7)는 게이트와 드레인이 서로 연결되어 일종의 다이오드 역할을 하며, 트랜지스터(M8)의 게이트는 접점(J1)에 연결되어 있고, 트랜지스터(M6)의 게이트는 두 트랜지스터(M7, M8)의 접점에 연결되어 있다.
- [0074] 풀다운 구동부(440)는 소스를 통하여 저전압(VSS)을 입력받아 드레인을 통하여 접점(J1, J2)으로 출력하는 복수의 트랜지스터(M9-M12)를 포함한다. 트랜지스터(M9)의 게이트와 드레인은 각각 리세트 단자(R)와 접점(J1)에, 트랜지스터(M12)의 게이트와 드레인은 각각 세트 단자(S)와 접점(J2)에 연결되어 있다. 트랜지스터(M10)의 게

이트와 드레인은 접점(J2) 및 접점(J1)에 각각 연결되어 있고, 반대로 트랜지스터(M11)의 게이트와 드레인은 접점(J1) 및 접점(J2)에 각각 연결되어 있다.

- [0075] 출력부(450)는 클록 단자(CK)와 저전압(VSS) 사이에 연결되어 접점(J1, J2)의 전압에 따라 클록 신호(CLK)와 저전압(VSS)을 선택적으로 출력하는 한 쌍의 트랜지스터(M1, M2)와 축전기(C)를 포함한다. 트랜지스터(M1)의 게이트는 접점(J1)에 연결되어 있으며 축전기(C1)를 통하여 출력단(OUT)에 연결되어 있다. 트랜지스터(M2)의 게이트는 접점(J2)에 서로 연결되어 있으며 드레인은 출력단(OUT)에 연결되어 있다. 두 트랜지스터(M1, M2)의 접점은 출력단(OUT)에 연결되어 있다.
- [0076] 그러면 이러한 스테이지의 동작에 대하여 도 6a 및 도 6b를 참고로 하여 상세하게 설명한다.
- [0077] 앞에서 예를 든 N 번째 스테이지가 클록 신호(CLK1)에 동기하여 게이트 출력을 생성하는 경우, 전단 및 후단 스테이지는 클록 신호(CLK2)에 동기하여 게이트 출력을 생성한다. 또한, 도 6b에는 출력부(450)의 두 트랜지스터(M1, M2)의 게이트 전위의 변화를 나타내었다.
- [0078] 먼저, 전단 게이트 출력 신호[Gout(N-1)]와 후단 게이트 출력 신호[Gout(N+1)]가 로우일 때의 상태를 보면, 세트 단자(S)와 리세트 단자(R)에 각각 연결되어 있는 트랜지스터(M5, M12)와 트랜지스터(M9)는 턴오프 상태이다. 또한, 접점(J1)의 전위가 낮아 트랜지스터(M8)가 턴오프 상태이면, 트랜지스터(M7)가 트랜지스터(M6)의 게이트에 고전압(VDD)을 출력하므로 트랜지스터(M6)가 턴온되어 고전압(VDD)을 접점(J2)에 전달한다. 그러면 트랜지스터(M10)가 턴온되어 접점(J1)의 전위를 저전압(VSS)으로 끌어내리고, 이에 따라 트랜지스터(M11)가 턴오프되어 접점(J2)을 저전압(VSS)으로부터 차단한다. 결국, 접점(J1)은 저전압(VSS), 접점(J2)은 고전압(VDD)이 되므로 접점(J1)에 연결되어 있는 트랜지스터(M1)의 게이트 전위는 로우가 되어 클록 신호(CLK1)가 차단되고 접점(J2)에 연결되어 있는 트랜지스터(M2)의 게이트 전위는 하이가 되어 저전압(VSS)을 출력단(OUT)에 전달한다. 그러므로 이 때의 출력[Gout(N)]은 로우이다.
- [0079] 이어, 전단 게이트 출력 신호[Gout(N-1)]가 하이가 되면, 트랜지스터(M5)와 트랜지스터(M12)가 턴온되어 접점(J1)에는 고전압(VDD)이, 접점(J2)에는 저전압(VSS)이 전달된다. 이에 따라, 트랜지스터(M10)가 턴오프되면서 접점(J1)을 저전압(VSS)으로부터 차단하고 이에 따라 트랜지스터(M11)가 턴온되면서 접점(J2)의 전위를 끌어내린다. 한편, 접점(J1)의 전위가 높아지면서 트랜지스터(M8)가 턴온되어 저전압(VSS)을 출력하므로 트랜지스터(M6)가 턴오프 상태로 바뀌어 접점(J2)을 고전압(VDD)으로부터 차단한다.
- [0080] 이에 따라, 접점(J1)에 일단이 연결되어 있는 축전기(C)가 충전되면서 도 6b에 도시한 바와 같이 트랜지스터(M1)의 게이트 전위가 상승하고 결국 트랜지스터(M1)가 턴온되어 클록 신호(CLK1)를 전달한다. 한편, 접점(J2)에 연결되어 있는 트랜지스터(M2)가 턴오프되어 출력단(OUT)에 인가되는 저전압(VSS)을 차단하므로, 게이트 출력[Gout(N)]은 클록 신호(CLK1)와 동일하게 되는데, 이 때의 클록 신호(CLK1)는 로우이므로 결국 게이트 출력[Gout(N)]도 로우가 된다.
- [0081] 이러한 상태에서 전단 게이트 출력[Gout(N-1)]이 다시 로우가 되면 트랜지스터(M5, M12)는 턴오프되고, 리세트 단자(R)의 입력은 여전히 로우이므로 트랜지스터(M9)는 턴오프 상태가 되어 접점(J1)이 부유 상태가 된다. 축전기(C)에 전압이 충전되어 있으므로 접점(J1)의 전위는 이전 상태를 유지하고 이에 따라 나머지 트랜지스터(M1, M2, M6, M8, M10, M11) 또한 이전 상태를 유지한다. 이와 동시에, 클록 신호(CLK1)가 하이가 되면 출력[Gout(N)]이 하이가 되면서 축전기(C)에 연결된 부유 접점(J1)의 전압, 즉 트랜지스터(M1)의 게이트에 인가되는 전압이 출력 전압[Gout(N)]만큼 상승한다.
- [0082] 이어, 리세트 단자(R)에 입력되는 후단 게이트 출력[Gout(N+1)]이 하이가 되면, 트랜지스터(M9)가 턴온되어 저전압(VSS)을 접점(J1)으로 출력한다. 그러면, 트랜지스터(M8)가 턴오프되고 이에 따라 트랜지스터(M6)가 턴온되므로 접점(J2)은 다시 고전압(VDD)이 된다. 따라서, 접점(J2)에 게이트가 연결되어 있는 트랜지스터(M10)가 턴온되어 접점(J1)을 저전압(VSS)으로 확실하게 끌어내리는 한편, 트랜지스터(M11)를 턴오프시켜 접점(J2)을 저전압(VSS)으로부터 차단한다. 결국 접점(J1)은 저전압(VSS)이 되므로 축전기(C)가 방전되면서 트랜지스터(M1)의 게이트 전위가 낮아져 트랜지스터(M1)가 턴오프되면서 클록 신호(CLK1)를 차단하고, 접점(J2)은 고전압(VDD)이 되므로 트랜지스터(M2)가 턴온되어 저전압(VSS)을 출력단(OUT)에 제공하므로 출력 전압[Gout(N)]은 로우가 된다.
- [0083] 그런데, 도 6b에서 원으로 나타난 것처럼, 트랜지스터(M1)의 게이트에 걸리는 전압, 즉 접점(J1)의 전압은 트랜지스터(M9)가 턴온되는 즉시 바로 저전압(VSS)에 연결되므로 하강 속도가 빠른 반면, 접점(J2)의 전압은 접점(J1)의 전압이 하강하고 나서 트랜지스터(M8)가 턴오프된 후 트랜지스터(M6)가 턴온되어야 비로소 고전압(VDD)

에 연결되기 때문에 상승 속도가 느리다. 따라서, 접점(J1)의 전압은 트랜지스터(M1)를 턴오프시킬 정도로 떨어졌지만 접점(J2)의 전압은 트랜지스터(M2)를 턴온시킬 정도까지 상승하지 못한 상태가 존재하게 된다. 그런 상태에서는 두 트랜지스터(M1, M2)가 모두 턴오프되어 있으므로 출력단(OUT)이 부유 상태가 되고 이에 따라 하강하던 출력 전압이 더 이상 떨어지지 않고 일정하게 유지된다. 그 후 접점(J2)의 전압이 트랜지스터(M2)의 턴온 전압 이상이 되면 출력 전압[Gout(N)]이 정상적으로 로우 상태가 된다.

- [0084] 그러면 본 발명의 다른 실시예에 따른 게이트 구동부에 대하여 도 7 내지 도 10을 참고로 하여 설명한다.
- [0085] 도 7은 본 발명의 다른 실시예에 따른 게이트 구동부의 블록도이고, 도 8은 본 발명의 다른 실시예에 따른 게이트 구동부용 시프트 레지스터의 N번째 스테이지의 회로도이며, 도 9a, 도 9b 및 도 10은 도 7에 도시한 게이트 구동부의 신호 파형도이다.
- [0086] 도 7에 도시한 시프트 레지스터(400L, 400R)에는 제1 및 제2 수직 동기 시작 신호(LSTV, RSTV), 제1 내지 제4 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2)가 입력된다. 각 시프트 레지스터(400L, 400R)는 각각 일렬로 배열되어 있으며 게이트선에 각각 연결되어 있는 복수의 스테이지(400L, 400R)를 포함한다.
- [0087] 도 9에 도시한 바와 같이, 왼쪽 시프트 레지스터(400L)에 입력되는 제1 수직 동기 시작 신호(LSTV)와 오른쪽 시프트 레지스터(400R)에 입력되는 제2 수직 동기 시작 신호(RSTV)는 폭이 1H인 복수의 펄스를 1 프레임에 1개 포함하는 1 프레임 주기의 신호이며, 제2 수직 동기 시작 신호(RSTV)는 제1 수직 동기 시작 신호(LSTV)에 비하여 1H만큼 지연된 신호이다. 제1 내지 제4 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2)는 듀티비(duty ratio)가 25%이고 4H의 주기를 가지며 차례로 90°의 위상차를 가진다.
- [0088] 각 스테이지(410L, 410R)는 세트 단자(S), 클록 단자(CK) 및 리세트 단자(R), 그리고 두 개의 게이트 및 캐리 출력 단자(OUT1, OUT2)를 포함하며 두 출력 단자(OUT1, OUT2)는 각각 게이트 버퍼(BUF)와 캐리 버퍼(CARRY)에 연결되어 있다.
- [0089] 각 스테이지(410L, 410R) 및 버퍼(BUF, CARRY)는 앞에서 설명한 바와 같이 화소의 스위칭 소자(Q)와 동일한 공정으로 형성되어 동일한 기판 위에 집적된다.
- [0090] 각 스테이지, 예를 들면 왼쪽 시프트 레지스터(400L)에 위치한 N 번째 스테이지의 세트 단자(S)에는 전단 스테이지의 캐리 출력, 즉 전단 캐리 출력[Cout(N-2)]이, 리세트 단자(R)에는 후단 스테이지의 캐리 출력, 즉 후단 캐리 출력[Cout(N+2)]이 입력되고, 클록 단자(CK)에는 클록 신호(LCLK1)가 입력된다. 두 개의 출력 단자(OUT1, OUT2)는 게이트 버퍼(BUF) 및 캐리 버퍼(CARRY)를 통하여 게이트 출력[Gout(N)]과 캐리 출력[Cout(N)]을 각각 내보낸다. 게이트 출력[Gout(N)]은 이에 연결되어 있는 게이트선(G<sub>1</sub>-G<sub>2n</sub>)으로 출력되며, 캐리 출력[Cout(N)]은 전단 및 후단 스테이지로 출력된다.
- [0091] 정리하면, 각 스테이지는 전단 캐리 출력과 후단 캐리 출력에 기초하고 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2)에 동기하여 게이트 출력 및 캐리 출력을 생성한다. 여기에서, 전단 및 후단 스테이지는 도 4에 도시한 것과는 달리 현재 스테이지와 동일한 시프트 레지스터에 위치한다.
- [0092] 단, 각 시프트 레지스터(400L, 400R)의 첫 번째 스테이지에는 전단 캐리 출력 대신 수직 동기 시작 신호(LSTV, RSTV)가 입력되며, 왼쪽 시프트 레지스터(400L)의 첫 번째 스테이지(410L)에 입력되는 제1 수직 동기 시작 신호(LSTV)의 하이 구간은 제1 클록 신호(LCLK1)의 로우 구간에 위치하고 제1 클록 신호(LCLK1)가 하이가 됨과 동시에 로우가 되며, 오른쪽 시프트 레지스터(400R)의 첫 번째 스테이지(410R)에 입력되는 제2 수직 동기 시작 신호(RSTV)의 하이 구간 역시 제2 클록 신호(RCLK1)의 로우 구간에 위치하고 제2 클록 신호(RCLK1)가 하이가 됨과 동시에 로우가 된다.
- [0093] 각 시프트 레지스터(400L, 400R)에서 인접한 두 스테이지(410L, 410R)에는 서로 다른 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2)가 입력된다. 예를 들면, 왼쪽 시프트 레지스터(400L)의 첫 번째 스테이지에는 제1 클록 신호(LCLK1), 두 번째 스테이지에는 제3 클록 신호(LCLK2)가 입력되며, 오른쪽 시프트 레지스터(400R)의 첫 번째 스테이지에는 제2 클록 신호(RCLK1), 두 번째 스테이지에는 제4 클록 신호(RCLK2)가 입력된다.
- [0094] 각 클록 신호(LCLK1, RCLK1, LCLK2, RCLK2) 역시 화소의 스위칭 소자(Q)를 구동할 수 있도록 하이인 경우는 게이트 온 전압(V<sub>on</sub>)이고 로우인 경우는 게이트 오프 전압(V<sub>off</sub>)인 것이 바람직하다.
- [0095] 본 발명의 다른 실시예에 따른 게이트 구동부(400L, 400R)의 각 스테이지, 예를 들면 N 번째 스테이지는 도 5에 도시한 스테이지와 거의 동일하다. 즉, 도 8에 도시한 바와 같이, 입력부(420), 풀업 구동부(430), 풀다운 구



동부(440), 그리고 게이트 및 캐리 출력부(451, 452)를 포함하며, 이들은 적어도 하나의 NMOS 트랜지스터(M1-M12) 및 축전기(C1, C2)로 이루어져 있다.

- [0096] 입력부(420)는 세트 단자(S)에 연결되어 있는 트랜지스터(M5)를 포함하며, 풀업 구동부(430)는 드레인을 통하여 고전압(VDD)을 인가받아 소스를 통하여 접점(J2)으로 출력하는 트랜지스터(M6)와 고전압(VDD)과 저전압(VSS) 사이에 직렬로 연결되어 있는 한 쌍의 트랜지스터(M7, M8)를 포함한다. 풀다운 구동부(440)는 소스를 통하여 저전압(VSS)을 입력받아 드레인을 통하여 접점(J1, J2)으로 출력하는 복수의 트랜지스터(M9-M12)를 포함한다.
- [0097] 그러나, 도 5에 도시한 스테이지와는 달리, 출력부(450)는 클록 단자(CK)와 저전압(VSS) 사이에 병렬로 연결되어 있으며, 각각 게이트 출력단(OUT1)과 캐리 출력단(OUT2)에 연결되어 있는 게이트 출력부(451)와 캐리 출력부(452)를 포함한다.
- [0098] 게이트 출력부(451)는 클록 단자(CK)와 저전압(VSS) 사이에 직렬로 연결되어 접점(J1, J2)의 전위에 따라 클록 신호(LCLK1)와 저전압(VSS)을 선택적으로 전달하는 한 쌍의 트랜지스터(M1, M2)와 축전기(C1)를 포함한다. 두 트랜지스터(M1, M2)의 접점은 게이트 출력단(OUT1)에 연결되어 있으며, 클록 단자(CK) 쪽 트랜지스터(M1)의 게이트는 접점(J1)에, 저전압(VSS) 쪽 트랜지스터(M2)의 게이트는 접점(J2)에 연결되어 있고, 축전기(C1)는 접점(J1)과 출력단(OUT1) 사이에 연결되어 있다.
- [0099] 캐리 출력부(452)도 이와 유사하게 클록 단자(CK)와 저전압(VSS) 사이에 직렬로 연결되어 접점(J1, J2)의 전위에 따라 클록 신호(LCLK1)와 저전압(VSS)을 선택적으로 전달하는 한 쌍의 트랜지스터(M3, M4)와 축전기(C2)를 포함한다. 두 트랜지스터(M3, M4)의 캐리 출력단(OUT2)에 연결되어 있으며, 클록 단자(CK) 쪽 트랜지스터(M3)의 게이트는 접점(J1)에, 저전압(VSS) 쪽 트랜지스터(M4)의 게이트는 접점(J2)에 연결되어 있고, 축전기(C2)는 접점(J1)과 출력단(OUT2) 사이에 연결되어 있다.
- [0100] 그러면 도 8에 도시한 시프트 레지스터의 동작에 대하여 도 9a 및 9b를 참조하여 설명한다.
- [0101] N 번째 스테이지가 클록 신호(LCLK1)에 동기하여 캐리 출력을 생성하는 경우, 전단 및 후단 스테이지는 클록 신호(LCLK2)에 동기하여 캐리 출력을 생성한다.
- [0102] 전단 캐리 출력[Cout(N-2)] 및 후단 캐리 출력[Cout(N+2)]이 모두 로우이어서, 세트 단자(S)와 리세트 단자(R)의 입력이 모두 로우이고, 접점(J1)의 전위가 로우이면, 앞서 도 5에서 설명한 것처럼 출력[Gout(N), Cout(N)]이 로우이다. 전단 캐리 출력[Cout(N-2)]이 하이가 되어 세트 단자(S)의 입력이 하이가 되면 앞서 도 5에서 설명한 것처럼 접점(J1)은 하이가 되고 접점(J2)은 로우가 되므로 트랜지스터(M1, M3)는 턴온 상태, 트랜지스터(M2, M4)는 턴오프 상태인데, 클록 신호(LCLK1)가 로우이므로 출력[Gout(N), Cout(N)] 역시 로우이다.
- [0103] 전단 캐리 출력[Cout(N-2)]이 로우가 되어 세트 단자(S)의 입력이 다시 로우가 되면, 앞서 도 5에서 설명한 것처럼 접점(J1)이 부유 상태이면서 고전압(VDD)이 걸려 있는 상태가 되지만, 클록 신호(LCLK1)는 여전히 로우이므로, 출력[Gout(N), Cout(N)] 또한 로우를 유지한다.
- [0104] 이어, 클록 신호(LCLK1)가 하이가 되면 출력[Gout(N), Cout(N)]은 하이가 되고, 접점(J1)은 여전히 부유 상태를 유지한다. 따라서, 접점(J1)의 전위는 출력[Gout(N), Cout(N)] 전압 레벨만큼 상승한다.
- [0105] 다음, 클록 신호(LCLK1)가 다시 로우가 되면, 접점(J1)은 여전히 부유 상태이므로 이전 단계에서의 전압 상승분만큼 하강한 고전압(VDD)을 유지한다. 이에 따라 트랜지스터(M1, M3)는 턴온 상태를 유지하지만, 클록 신호(LCLK1)가 로우이므로 출력[Gout(N), Cout(N)] 또한 로우가 된다.
- [0106] 이어, 후단 캐리 출력[Cout(N+2)]이 로우가 되면 트랜지스터(M1, M3)는 턴오프되어 클록 신호(LCLK1)를 차단하고 트랜지스터(M2, M4)는 턴온되어 저전압(VSS)을 출력단(OUT1, OUT2)에 전달한다. 이 경우에도 두 트랜지스터(M1, M2) 또는 두 트랜지스터(M3, M4)가 모두 턴오프되어 출력단(OUT1, OUT2)이 부유 상태가 될 수 있지만, 도 9b에 도시한 바와 같이, 출력[Gout(N), Cout(N)]이 이미 로우이므로, 부유 상태를 전후로 한 출력[Gout(N), Cout(N)]의 레벨 변화가 없고 일정하다.
- [0107] 도 11a와 도 11b, 도 12a와 도 12b, 그리고 도 13a와 도 13b는 각각 도 4에 도시한 시프트 레지스터의 게이트 출력과 도 7에 도시한 시프트 레지스터의 출력 파형도이다.
- [0108] 여기서, 게이트 출력은 첫 번째 내지 세 번째 게이트 출력(Gout1, Gout2, Gout3)의 파형을 나타내었다.
- [0109] 도 11a 및 도 11b는 정상 상태의 게이트 출력을 비교한 파형이고, 도 12a 및 도 12b는 저온 구동 조건에서 게이트 출력을 비교한 파형이다. 도 13a 및 도 13b는 장시간 구동 조건에서 게이트 출력을 비교한 파형이다.

- [0110] 도 11a 및 도 11b를 보면, 도 6b 및 도 9b에서 설명한 바와 같이, 도 4에 도시한 시프트 레지스터의 게이트 출력(Gout1, Gout2, Gout3)은 원으로 표시한 바와 같이 하강 에지에서 지연이 나타나는 반면, 도 7의 시프트 레지스터의 게이트 출력(Gout1, Gout2, Gout3)은 하강 에지에서 지연이 생기지 않는다.
- [0111] 도 12a 및 도 12b에 나타난 게이트 출력(Gout1, Gout2, Gout3)은 저온 구동 조건에서 게이트 출력을 비교한 도면으로서, 저온 구동 조건은 영하 약 20° 정도를 말하는 것이다.
- [0112] 여기서, 저온 구동 조건에서 게이트 출력을 알아보기 위하여 제1 및 제2 트랜지스터(M1, M2)의 드레인 전류를 실온 대비 30% 정도 감소시킨 상태에서 스파이스 시뮬레이션(spice simulation)을 행하였다.
- [0113] 도 12a의 경우에는 게이트 출력(Gout1, Gout2, Gout3)의 크기가 점점 줄어드는 반면, 도 12b의 경우 모든 게이트 출력(Gout1, Gout2, Gout3)이 일정한 크기를 가진다.
- [0114] 한편, 도 13a 및 도 13b에 나타난 게이트 출력(Gout1, Gout2, Gout3)은 장시간 구동 조건에서 게이트 출력을 비교한 도면이다.
- [0115] 여기서 장시간 구동 조건이란, 도 6b 및 도 9b를 다시 참조하면, 트랜지스터(M2)는 클록 신호(CLK1)가 하이 가 될 때와 그 전후로 약 2H(도 6b의 경우) 또는 4H(도 9b의 경우) 동안만 턴오프되고 그 외에는 항상 턴온 상태를 있는 것을 말한다.
- [0116] 장시간 턴온되어 있음으로 해서 트랜지스터(M2)의 동작 특성에 영향을 미치게 되는데, 대표적인 것이 문턱 전압이 증가하는 것이다. 이러한 문턱 전압은 통상 7V 정도 증가한 것으로 알려져 있으며, 본 발명의 실시예에서도 문턱 전압을 7V 정도 증가시켜 스파이스 시뮬레이션을 행하였다.
- [0117] 도 13a의 경우, 게이트 출력의 하강 에지에서 원으로 나타난 부분과 같이 지연이 더욱 두드러지나, 도 13b에 경우에는 이러한 하강 에지의 지연 없이 출력됨을 알 수 있다.
- [0118] 트랜지스터를 이루는 반도체의 특성상 온도가 낮아지면 드레인 전류(NMOS의 경우) 또는 소스 전류(PMOS의 경우)가 상온에 비하여 약 70% 정도로 감소하므로 구동 능력이 그만큼 떨어진다. 따라서, 도 12a 및 도 12b에서와 같이, 게이트 출력(Gout1, Gout2, Gout3)의 상승 시간이 길어진다.
- [0119] 그런데, 도 4에 도시한 시프트 레지스터의 경우 도 12a에 도시한 바와 같이 게이트 출력(Gout1, Gout2, Gout3)의 하강 에지에서의 지연이 후단 스테이지로 전이되어 후단 게이트 출력의 상승 시간을 더 길어지게 할 수 있다.
- [0120] 이와는 달리, 도 7에 도시한 실시예는 도 12b에 도시한 바와 같이 게이트 출력(Gout1, Gout2, Gout3)의 하강 에지에서 지연이 없으므로 동일한 진폭을 유지한다. 따라서, 저온 구동시에도 신뢰성이 높은 표시 장치체를 제공할 수 있다.
- [0121] 한편, NMOS 또는 PMOS 트랜지스터의 경우, 문턱 전압이 증가하면 턴온시키는데 필요한 게이트 전압의 크기가 증가하므로 그에 이르기까지 시간이 오래 걸린다. 그러면 앞에서 설명한 바와 같이, 출력단[OUT1, OUT2]이 부유 상태로 있는 시간이 길어지면서 도 13a에 도시한 바와 같이 지연이 더욱 증가하는 것이다. 이와는 달리, 도 7에 도시한 실시예에서는 부유 상태 전후의 출력[Cout(N), Gout(N)]의 전압 변화가 없으므로 일정한 게이트 출력 신호가 만들어진다.
- [0122] 한편, 도 7에 도시한 실시예에서, 두 클록 신호(CLK1, CLK2)는 듀티비가 25%이고 위상차가 180° 이므로 소비 전력이 문제될 수 있다. 이에 대하여 도 14를 참고로 하여 살펴본다.
- [0123] 도 14는 도 7에 도시한 시프트 레지스터의 클록 신호의 타이밍도이다.
- [0124] 도 14에는 왼쪽 시프트 레지스터(400L)에 입력되는 제1 및 제3 클록 신호(LCLK1, LCLK2)와 오른쪽 시프트 레지스터(400R)에 입력되는 제2 및 제4 클록 신호(RCLK1, RCLK2)를 각각 나타내었다.
- [0125] 도시한 바와 같이, 동일한 시프트 레지스터에 입력되는 제1 및 제3 클록 신호(LCLK1, LCLK2) 또는 제2 및 제4 클록 신호(RCLK1, RCLK2)는 상승 에지와 하강 에지가 서로 어긋나 있다. 하지만, 다른 시프트 레지스터에 입력되는 제1 및 제2 클록 신호(LCLK1, RCLK1) 또는 제3 및 제4 클록 신호(LCLK2, RCLK2)는 원으로 나타난 바와 같이 하강 에지와 상승 에지가 일치한다. 정리하면, 제1 내지 제4 클록 신호는 차례로 90°의 위상차를 가지면서 인접한 두 클록 신호는 상승 에지와 하강 에지가 일치하게 된다. 그러므로, 상승 에지와 하강 에지를 일치시켜 평균 전력의 관점에서 0을 만들어 소비 전력을 최소화한다. 도 7에 도시한 실시예에서도 다른 시프트 레지스터

에 입력되는 두 클럭 신호(LCLK1, RCLK2) 또는 두 클럭 신호(LCLK2, RCLK2)의 상승 에지와 하강 에지를 일치시킴으로써, 전체적으로 소비되는 전력은 도 4에 도시한 실시예와 동일한 수준이 된다.

[0126] 한편, 게이트 구동부를 오른쪽에 하나 더 배치함으로써 수직 동기 시작 신호(RSTV) 및 두 클럭 신호(RCLK1, RCLK2)를 위한 3개의 배선이 추가되지만 이러한 신호선이 도 3에 도시한 바와 같은 통합칩에서 제공되기 때문에 원가 상승 요인은 거의 없다.

[0127] 또한, 도 7에 도시한 실시예에서, 클럭 신호(CLK1, CLK2)의 듀티비가 25%인 것을 일례로 설명하였으나, 부유 상태 전후의 출력[Cout(N), Gout(N)]의 전압 변화가 없도록 하는 클럭 신호(LCLK1, LCLK2, RCLK1, RCLK2)의 듀티비이면 족하다. 예를 들어, 클럭 신호(LCLK1, LCLK2, RCLK1, RCLK2)가 50%인 경우, 도 4에 도시한 실시예처럼 부유 상태를 전후한 출력[OUT1, OUT2]의 전압이 변화한다. 따라서, 듀티비는 50%미만인 것이 바람직하다. 달리 말하면, 50% 미만이면 그 사이의 임의의 듀티비를 가질 수 있다..

**발명의 효과**

[0128] 앞에서 설명한 바와 같이, 왼쪽 및 오른쪽 스테이지에 입력되는 두 클럭 신호의 듀티비를 25%로 하는 한편 위상차를 180° 가 되게 하여 저온에서도 출력이 저하되지 않는 신뢰성이 높은 고해상도의 증소형 표시 장치의 구동 장치를 제공할 수 있다.

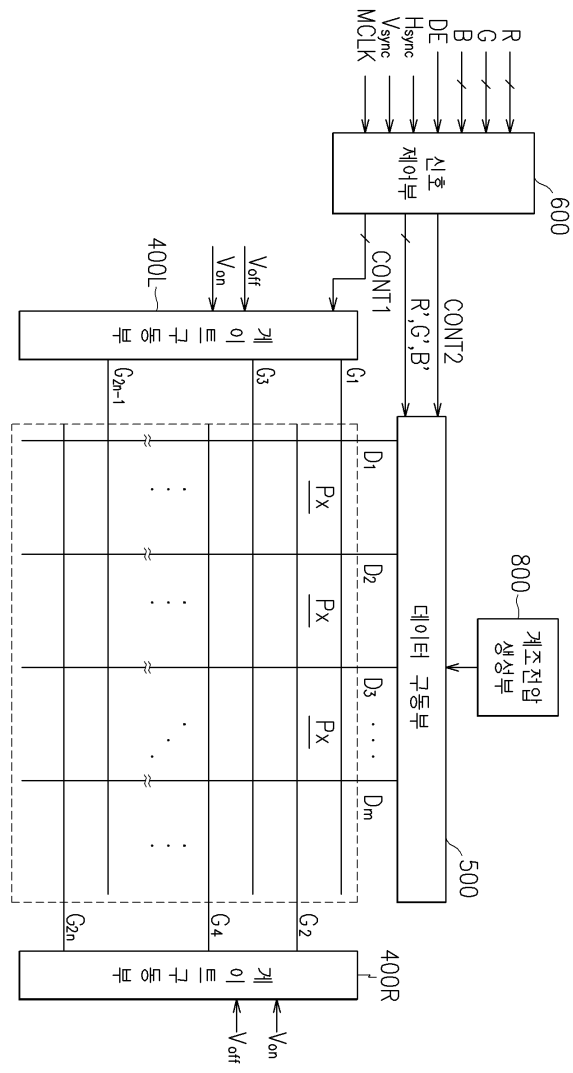
[0129] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

**도면의 간단한 설명**

- [0001] 도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도이다.
- [0002] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0003] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 개략도이다.
- [0004] 도 4는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이다.
- [0005] 도 5는 도 4에 도시한 게이트 구동부용 시프트 레지스터의 N번째 스테이지(stage)의 회로도의 한 예이다.
- [0006] 도 6a 및 도 6b는 도 4에 도시한 게이트 구동부의 신호 파형도이다.
- [0007] 도 7은 본 발명의 다른 실시예에 따른 게이트 구동부의 블록도이다.
- [0008] 도 8은 본 발명의 다른 실시예에 따른 게이트 구동부용 시프트 레지스터의 N번째 스테이지의 회로도의 한 예이다.
- [0009] 도 9a, 9b 및 도 10은 도 7에 도시한 게이트 구동부의 신호 파형도이다.
- [0010] 도 11a 및 도 11b는 각각 도 4 및 도 7에 도시한 게이트 구동부의 정상 상태의 게이트 출력을 나타내는 파형도이다.
- [0011] 도 12a 및 도 12b는 각각 도 4 및 도 7에 도시한 게이트 구동부의 저온 구동 조건에서 게이트 출력을 나타내는 파형도이다.
- [0012] 도 13a 및 도 13b는 각각 도 4 및 도 7에 도시한 게이트 구동부의 장시간 구동 조건에서 게이트 출력을 나타내는 파형도이다.
- [0013] 도 14는 도 7에 도시한 게이트 구동부의 클럭 신호의 타이밍도이다.

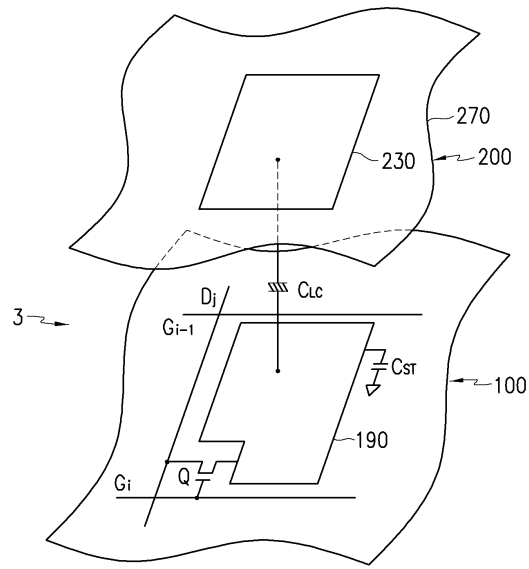
도면

도면1

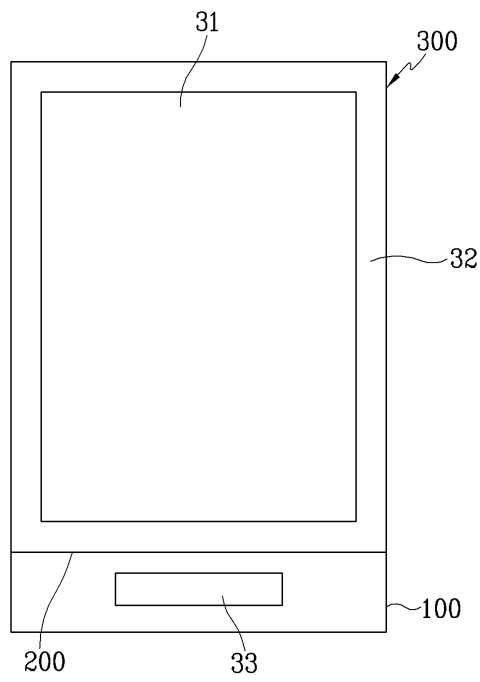




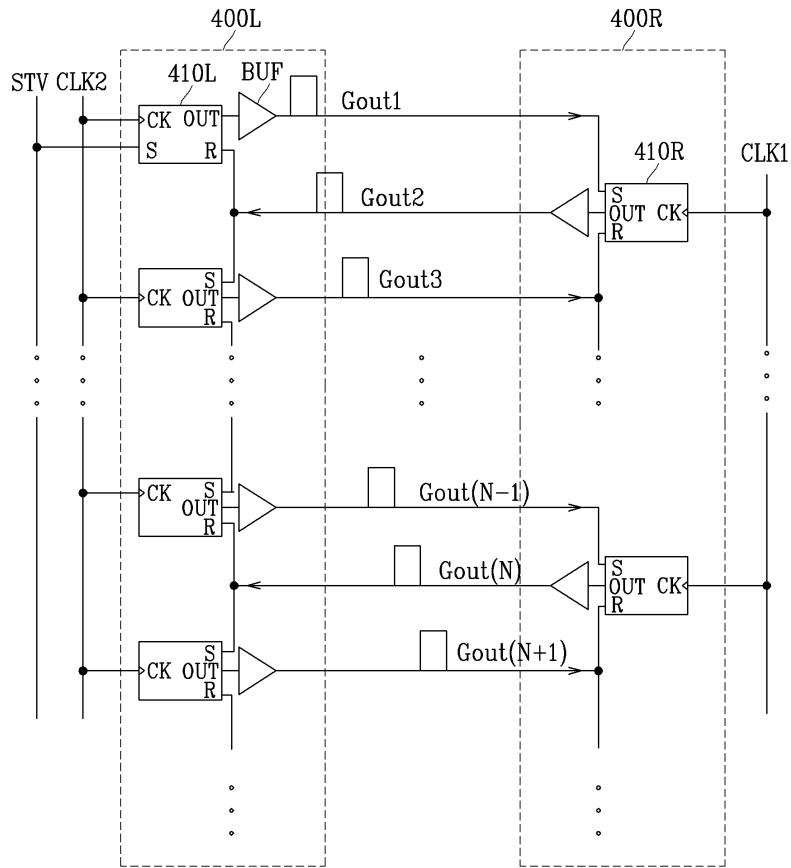
도면2



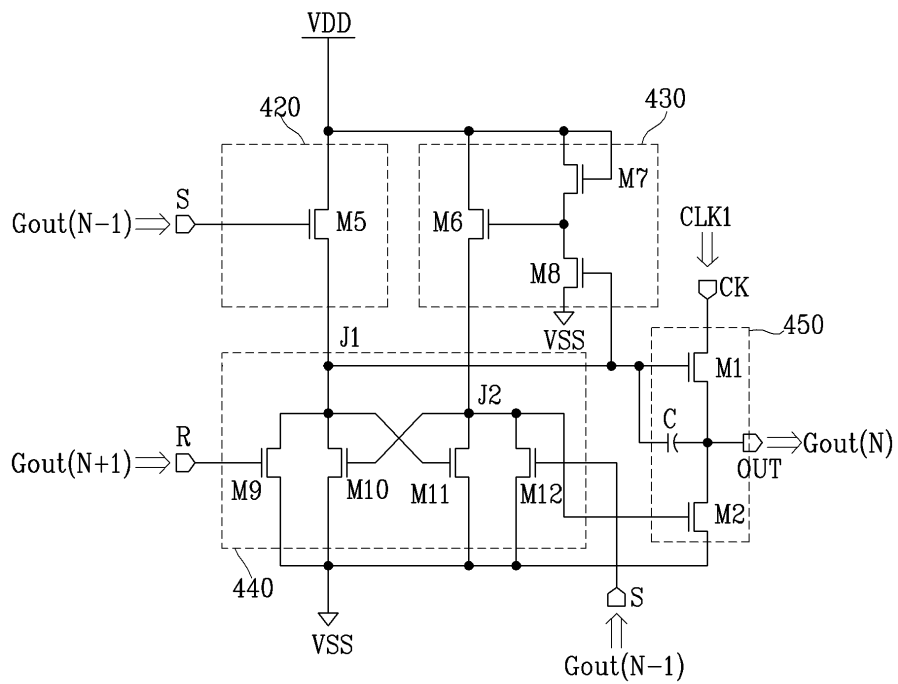
도면3



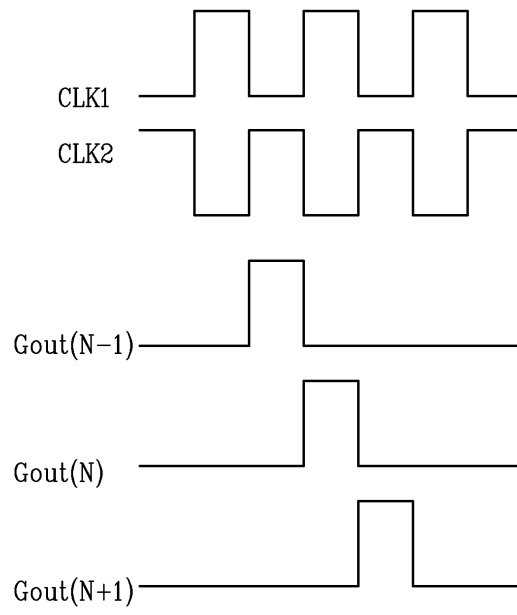
도면4



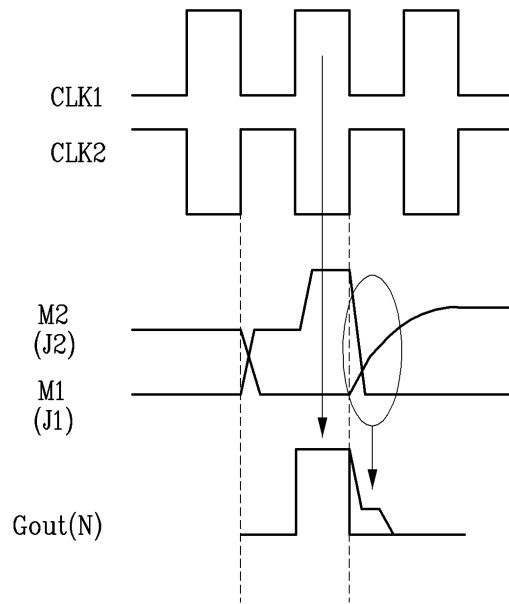
도면5



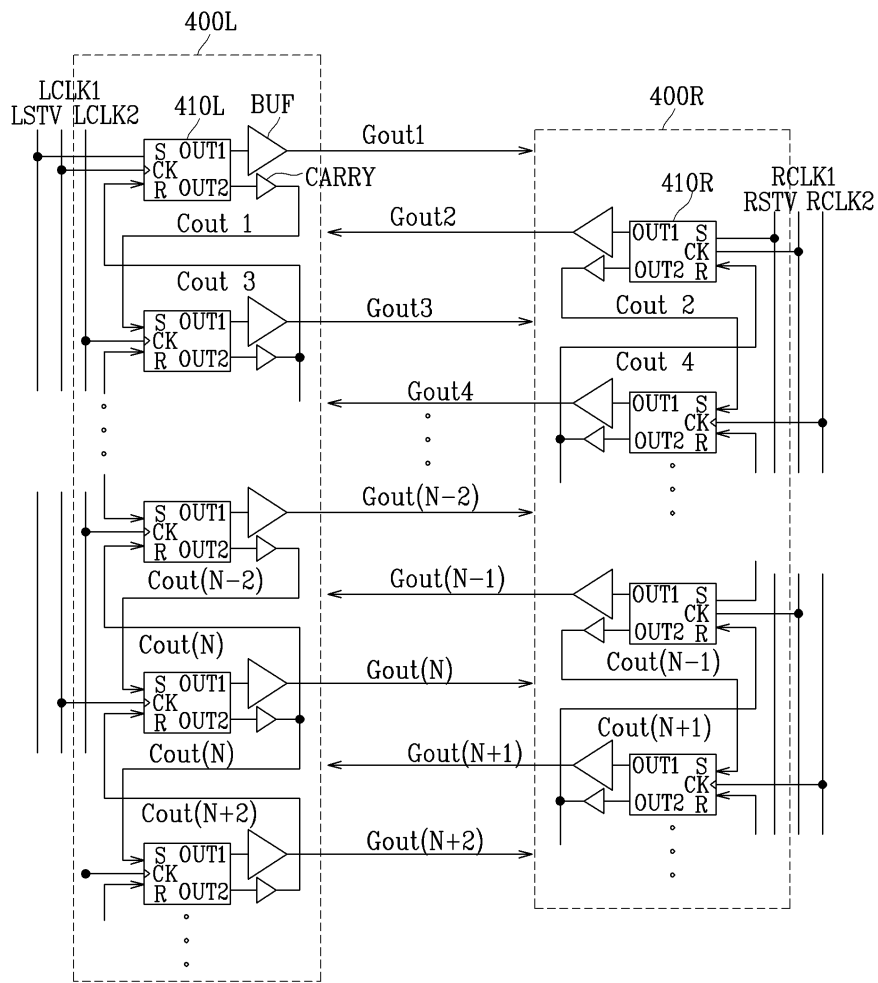
도면6a



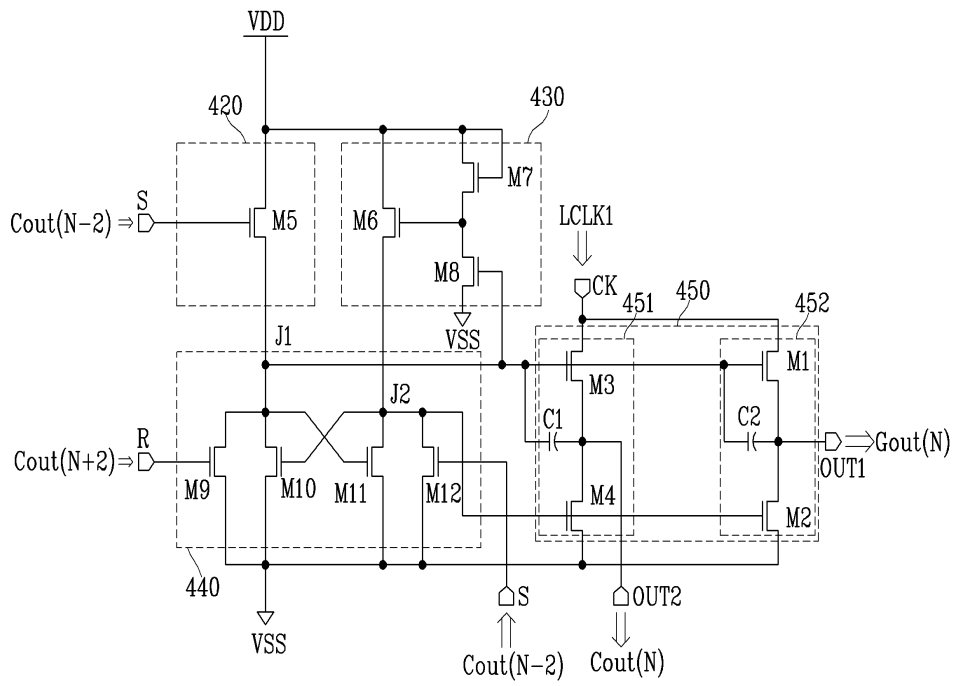
도면6b



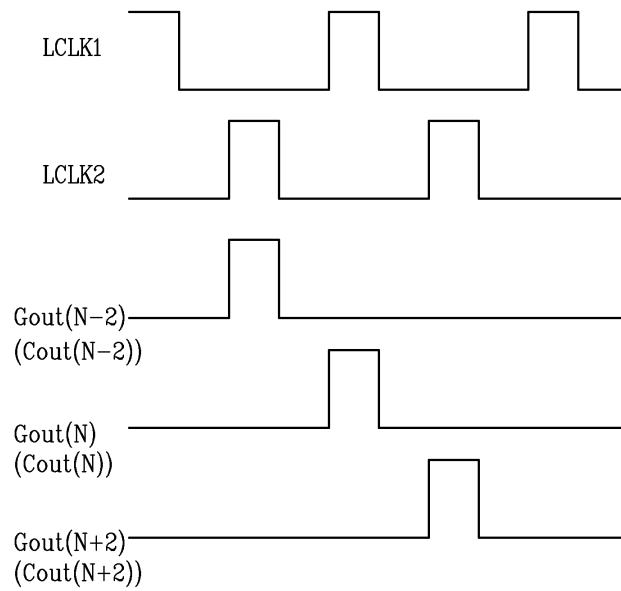
도면7



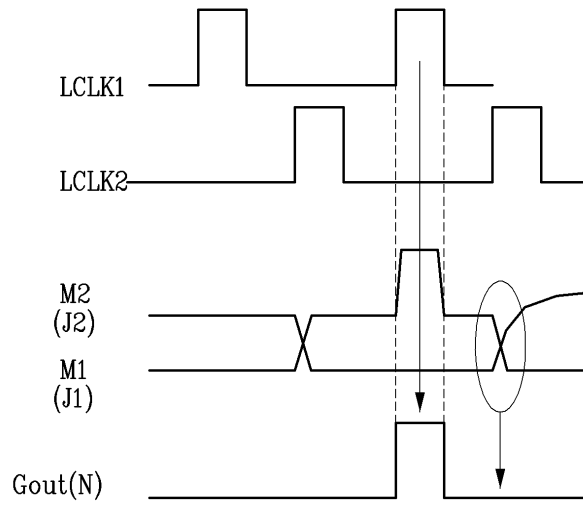
도면8



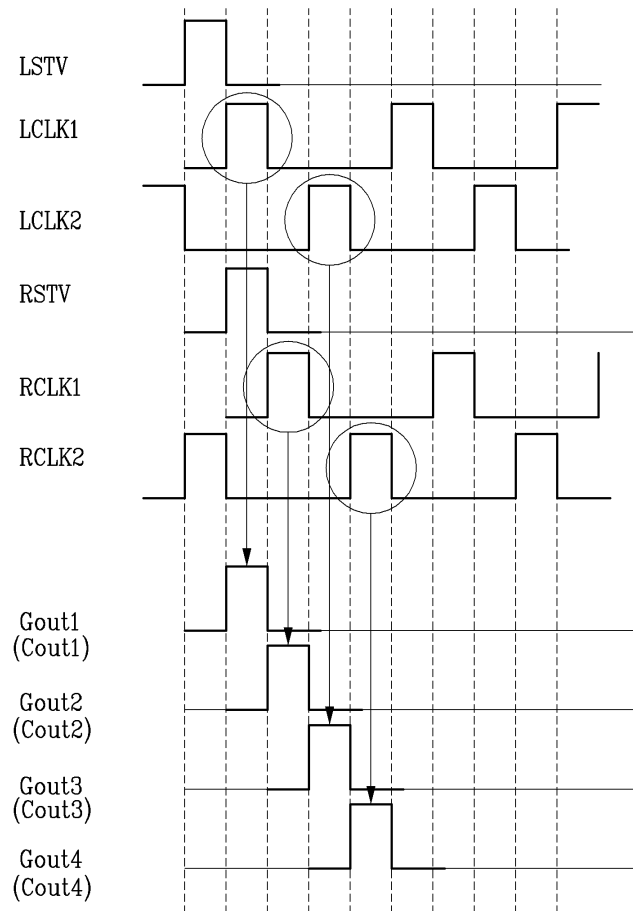
도면9a



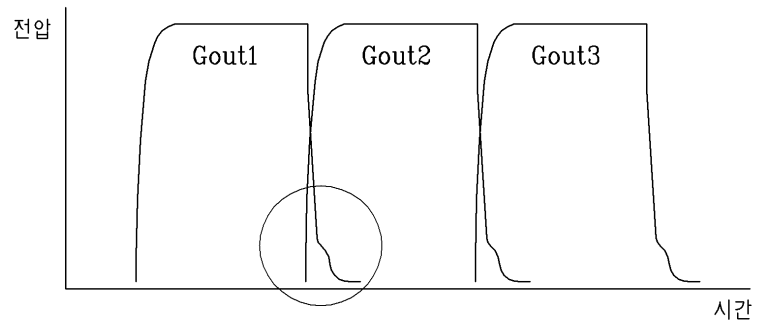
도면9b



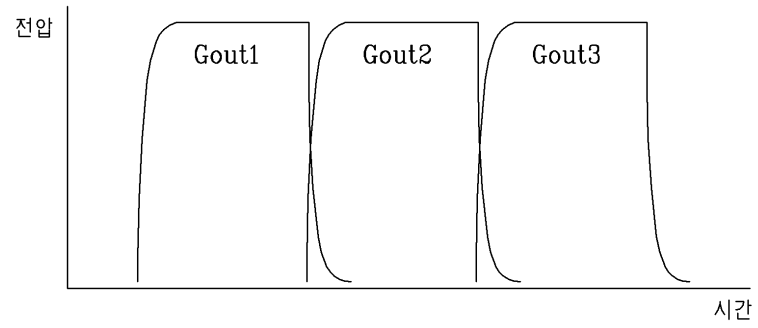
도면10



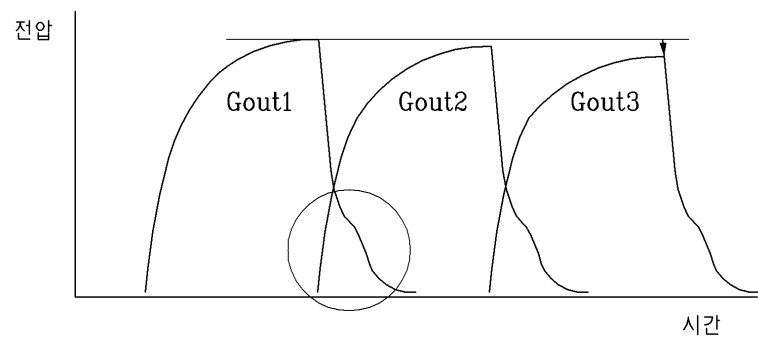
도면11a



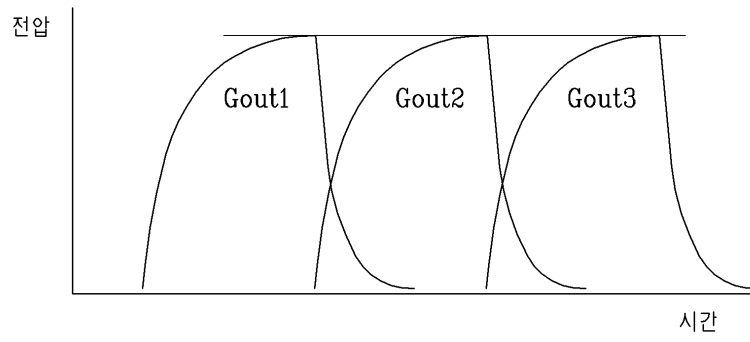
도면11b



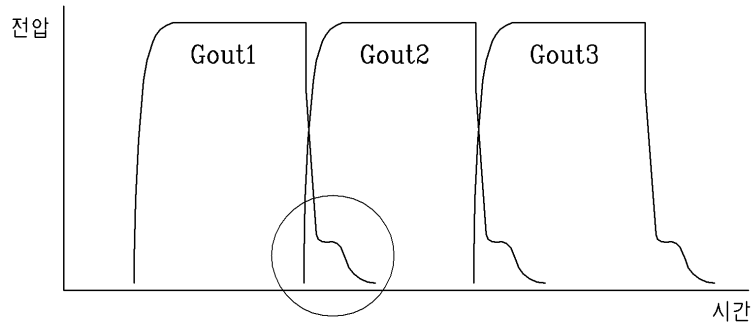
도면12a



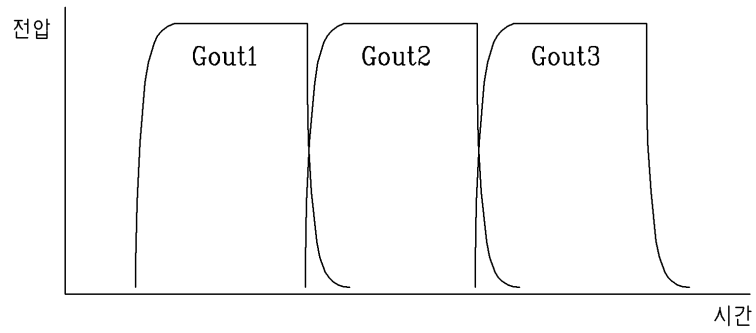
도면12b



도면13a



도면13b





도면14

