

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5870046号
(P5870046)

(45) 発行日 平成28年2月24日 (2016. 2. 24)

(24) 登録日 平成28年1月15日 (2016. 1. 15)

(51) Int. Cl.	F I	
HO 1 L 21/8238 (2006. 01)	HO 1 L 27/08	3 2 1 G
HO 1 L 27/092 (2006. 01)	HO 1 L 29/78	6 1 8 B
HO 1 L 29/786 (2006. 01)	HO 1 L 29/06	6 0 1 N
HO 1 L 29/06 (2006. 01)	HO 1 L 29/78	6 1 3 Z
HO 1 L 51/30 (2006. 01)	HO 1 L 29/28	2 5 0 E
請求項の数 8 (全 10 頁) 最終頁に続く		

(21) 出願番号 特願2012-557052 (P2012-557052)
 (86) (22) 出願日 平成23年2月4日 (2011. 2. 4)
 (65) 公表番号 特表2013-522873 (P2013-522873A)
 (43) 公表日 平成25年6月13日 (2013. 6. 13)
 (86) 国際出願番号 PCT/US2011/023665
 (87) 国際公開番号 W02011/112300
 (87) 国際公開日 平成23年9月15日 (2011. 9. 15)
 審査請求日 平成25年11月11日 (2013. 11. 11)
 (31) 優先権主張番号 12/719, 058
 (32) 優先日 平成22年3月8日 (2010. 3. 8)
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 390009531
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
 New Orchard Road, Armonk, New York 10504, United States of America
 (74) 代理人 100108501
 弁理士 上野 剛史

最終頁に続く

(54) 【発明の名称】 グラフェン・ベースの三次元集積回路デバイス

(57) 【特許請求の範囲】

【請求項 1】

三次元 (3D) 集積回路 (IC) 構造体を形成する方法であって、前記方法は、
乾燥熱剥離テープを使用した転写処理によって基板上面にグラフェンの単分子層である第一層を形成することと、

前記グラフェンの第一層を使って一つ以上の能動デバイスの第一レベルを形成することと、

前記一つ以上の能動デバイスの第一レベルの上面に絶縁層を形成することと、
乾燥熱剥離テープを使用した転写処理によって前記絶縁層の上面にグラフェンの単分子層である第二層を形成することと、

前記グラフェンの第二層を使って一つ以上の能動デバイスの第二レベルを形成することと、

を含み、

前記一つ以上の能動デバイスの第二レベルは、前記一つ以上の能動デバイスの第一レベルと電氣的に相互接続される、

前記方法。

【請求項 2】

前記第一および第二レベルの前記一つ以上の能動デバイスは、関連するグラフェン層に対しトップ・ゲート方位の関係を有する電界効果トランジスタを含む、請求項 1 に記載の方法。

【請求項 3】

前記グラフェン層上方のトップ方位のゲート電極に隣接し、前記グラフェン層上に配置された複数のソースおよびドレイン・コンタクトを形成することをさらに含む、請求項 2 に記載の方法。

【請求項 4】

所望の活性レイアウト領域に応じて前記関連するグラフェン層をパターン取りすることと、

前記パターン取りされたグラフェン層の上面にゲート誘電体層およびゲート電極層を形成することと、

所望のゲート・パターンに応じて前記ゲート誘電体層およびゲート電極層の部分を除去することと、

によって前記トップ・ゲート方位電界効果トランジスタを形成することをさらに含む、請求項 2 に記載の方法。

10

【請求項 5】

前記第一および第二レベルの前記一つ以上の能動デバイスは、関連するグラフェン層に対しボトム・ゲート方位の関係を有する電界効果トランジスタを含む、請求項 1 に記載の方法。

【請求項 6】

前記グラフェン層下方のボトム方位のゲート電極の上側に、前記グラフェン層上に配置された複数のソースおよびドレイン・コンタクトを形成することをさらに含む、請求項 5

20

に記載の方法。

【請求項 7】

所望のゲート・パターンに応じて、関連する絶縁層中に開口部を形成することと、

前記関連する絶縁層中の前記開口部にゲート電極材料を充填し、前記ゲート電極材料を平坦化して個々のゲート電極を形成することと、

前記個々のゲート電極上面にゲート誘電体層を形成することと、

前記ゲート誘電体層上面に前記関連するグラフェン層を形成することと、

所望の活性レイアウト領域に応じて、前記関連するグラフェン層および前記ゲート誘電体層をパターン取りすることと、

によって前記ボトム・ゲート方位電界効果トランジスタを形成することをさらに含む、請求項 5 に記載の方法。

30

【請求項 8】

前記第一レベルの前記一つ以上の能動デバイスは、前記第二レベルの前記一つ以上の能動デバイスとは異なる機能を有する、請求項 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に半導体デバイスの製造に関し、さらに具体的には、グラフェン・ベースの三次元(3D)集積回路デバイスに関する。

【背景技術】

40

【0002】

グラフェンとは、六角形ベンゼン環構造に配列された炭素原子の二次元平面シートをいう。自立グラフェン構造体は、理論的には二次元空間においてのみ安定であり、このことは、三次元空間には真に平面的なグラフェン構造体は存在せず、グラフェン構造体は、シート、フラーレン、ナノチューブ、または歪みのある二次元構造体など、曲がった構造体の形成に関して不安定であることを意味する。しかしながら、二次元グラフェン構造体は、例えば、炭化ケイ素(SiC)結晶の表面上など、基板に下支えされている場合は安定であり得る。自立グラフェン膜も生成されているが、これらも理想的な平面形状を有していない。

【0003】

50

グラフェンは、構造的に、 sp^2 混成化によって形成された混成軌道を有する。 sp^2 混成化では、2s軌道と三つのうちの二つの2p軌道とが混成して三つの sp^2 軌道を形成する。残りの一つのp軌道は、炭素原子の間のパイ()結合を形成する。ベンゼンの構造と同様に、グラフェンの構造はp軌道の共役環を有する。すなわち、グラフェン構造体は芳香族である。ダイヤモンド、アモルファス炭素、炭素ナノフォーム、またはフラーレンなど、他の炭素の同素体と違って、グラフェンは単一原子層の薄さである。

【0004】

グラフェンは、円錐型の電子ポケットとホール・ポケットとが、運動量空間中のブリュアン・ゾーンのK点においてのみ接するという独特のバンド構造を有する。電荷キャリア、すなわち電子またはホールのエネルギーは、キャリアの運動量に対し線形従属性を有する。その結果、これらキャリアは、実効質量ゼロの相対論的ディラック・フェルミオンとして振る舞い、ディラックの方程式に従う。グラフェン・シートは、4Kで $200,000\text{ cm}^2/\text{V}\cdot\text{秒}$ を上回る大きなキャリア移動度を有し得る。300Kであっても、このキャリア移動度は $15,000\text{ cm}^2/\text{V}\cdot\text{秒}$ という高さであり得る。

10

【0005】

グラフェン層は、固相黒鉛化、すなわち、(0001)表面など、炭化ケイ素結晶の表面からケイ素原子を昇華させることによって成長させることができる。約 $1,150$ で、黒鉛化の初期段階における、表面再構成の複雑なパターンが出現し始める。通常、グラフェン層を形成するにはより高い温度が必要である。また、当該技術分野では別の材料上のグラフェン層も知られている。例えば、グラフェンの単一層または数層を、炭素に富む先駆体からの炭素原子の化学堆積によって、銅およびニッケルなどの金属の表面に形成することができる。

20

【0006】

グラフェンは、室温近くにおける電子コヒーレンスおよび量子干渉効果など、他の多くの有利な電気特性を示す。また、グラフェン層中では、小規模構造における弾道輸送特性も起こり得る。

【0007】

ほんの数年前に(普通のスコッチテープ(R)を使って)グラフェンが最初に単離されたというにもかかわらず、現在、この分野は集中的に研究されている。前述したような独特の電気特性(例、高い電荷キャリア移動度など)のために、グラフェンは電氣的用途に対し極めて有望である。例えば、最近、グラフェン・トランジスタが発表され、さらに先進的なグラフェン回路が、おそらくは、将来の集積回路技術においてシリコンに取って換わる有力な候補として検討されている。しかしながら、現在は、容易で低コストのグラフェン作製プロセスがないため、グラフェン用途の展開が制限されている。

30

【0008】

本明細書は、グラフェン・ベースの三次元(3D)集積回路デバイス、およびそれを形成する方法の実施形態を開示する。半導体業界では、3D集積回路(IC:integrated circuit)とは、一般に、垂直および水平双方向に単一の回路に集積された、能動電子コンポーネントの2つ以上の層を有するチップをいう。3DICは、いくつか例を挙げると、例えば、より小さな設置面積(小さなスペースに収まるより多くの機能)、速度(平均配線長はさらに短くなり、これにより信号伝播遅延が低減され全体的な性能が向上する)、電力消費(信号をオンチップにとどめることで得られる短縮された配線によって電力消費が低減され、寄生キャパシタンスの生成が小さくなる)、および異種材料集積など、潜在的に多くの大きな利点を提供する。異種材料集積の場合、相異なるプロセス、またさらには相異なる種類のウエハを使ってさまざまな回路層を形成することができる。さらに、別なやり方では全く両立しない製造工程を有するコンポーネント群を、単一のデバイス中に組み合わせることも可能となる。

40

【0009】

近年では、3DICは、ウエハ貼り合わせ(wafer-on-wafer bonding)などの技法により形成することができ、この技法では、電子コンポーネントが2

50

枚以上のウエハの上に形成され、次いでこれらが整合され、張り合わされ、3DICにダイシングされる。各ウエハは、貼り合わせの前または後にシンニングすることができる。垂直方向接続は、貼り合わせの前にウエハ中に形成するか、あるいは貼り合わせ後、スタック中に別の方法で生成される。これらの「スルーシリコン・ビア(TSV: through-silicon via)」は、活性層の間、もしくは活性層と外部接合パッドと間またはそれら両方の間で、シリコン基板(群)を貫通して通る。ダイ・ウエハ貼り合わせ処理(die-on-wafer process)では、電子コンポーネントは二枚の半導体ウエハ上に形成される。一枚のウエハはダイシングされ、切り出されたダイが、第二ウエハのダイ・サイトに整合され、貼り付けられる。ウエハ貼り合わせ法と同様に、シンニングおよびTSV生成は、貼り合わせの前もしくは後に行われる。ダイシングの前

10

【発明の概要】

【発明が解決しようとする課題】

【0010】

複数の基板、その整合、シンニング、貼り合わせ、またはTSV技法を避けるために、3DICは一体的に形成することが望ましい。すなわち、電子コンポーネントおよびそれらの接続(配線)を単一の半導体ウエハの層群中に形成し、然る後3DICにダイシングするのである。残念ながら、この方法の既存の適用は現在のところ限定されている、というのは、半導体層に従来式のトランジスタを生成すること(例、ドーパント注入および活性化アニーリング)は、どの既存の配線にも十分な処理温度を必要とするからである。

20

【課題を解決するための手段】

【0011】

ある例示的な実施形態において、三次元(3D)集積回路(IC:integrated circuit)構造体は、基板の上面に形成されたグラフェンの第一層と、グラフェンの第一層を使って形成された一つ以上の能動デバイスの第一レベルと、一つ以上の能動デバイスの第一レベルの上面に形成された絶縁層と、絶縁層の上面に形成されたグラフェンの第二層と、グラフェンの第二層を使って形成された一つ以上の能動デバイスの第二

30

【0012】

別の実施形態において、三次元(3D)集積回路構造体を形成する方法は、基板の上面にグラフェンの第一層を形成することと、グラフェンの第一層を使って一つ以上の能動デバイスの第一レベルを形成することと、一つ以上の能動デバイスの第一レベルの上面に絶縁層を形成することと、絶縁層の上面にグラフェンの第二層を形成することと、グラフェンの第二層を使って一つ以上の能動デバイスの第二レベルを形成することとを含み、一つ以上の能動デバイスの第二レベルは一つ以上の能動デバイスの第一レベルと電氣的に相互接続される。

40

【0013】

例示的な図面を参照すると、いくつかの図面において、類似のエレメントは同様の番号が付されている。

【図面の簡単な説明】

【0014】

【図1】図1(a)~(c)は、本発明のある実施形態による、グラフェン・ベースの三次元(3D)集積回路を形成する例示的な方法を示す、一連の断面図である。

【図2】図2(a)~(c)は、本発明のある実施形態による、グラフェン・ベースの三次元(3D)集積回路を形成する例示的な方法を示す、一連の断面図である。

【図3】図3(a)~(b)は、本発明のある実施形態による、グラフェン・ベースの三

50

次元（3D）集積回路を形成する例示的な方法を示す、一連の断面図である。

【図4】図4（a）～（c）は、本発明の別の実施形態による、グラフェン・ベースの3D集積回路を形成する例示的な方法を示す、一連の断面図である。

【図5】図5（a）～（c）は、本発明の別の実施形態による、グラフェン・ベースの3D集積回路を形成する例示的な方法を示す、一連の断面図である。

【図6】図6（a）～（c）は、本発明の別の実施形態による、グラフェン・ベースの3D集積回路を形成する例示的な方法を示す、一連の断面図である。

【図7】図7（a）～（b）は、本発明の別の実施形態による、グラフェン・ベースの3D集積回路を形成する例示的な方法を示す、一連の断面図である。

【発明を実施するための形態】

10

【0015】

図1（a）～図3（b）は、前述による、グラフェン・ベースの三次元（3D）集積回路を形成する例示的な方法を示す一連の断面図である。図1（a）から始まり、開始基板102（例、シリコン）は、その上に絶縁層（例、 SiO_2 などの酸化物）104が形成されている。図1（b）において、ブランケットのグラフェン層106が絶縁層104の上に転写される。このグラフェン膜の転写は、例えば、乾燥熱剥離テープ処理によるなど、当該技術分野で既知の任意の適切な仕方で行うことができる。一つの例示的な実施形態において、グラフェン層106は、グラフェンの単分子層である。特筆すると、グラフェンがこのような仕方で行われる基板表面に堆積されるので、これは3D集積に特に適した材料である。

20

【0016】

図1（c）に示されるように、グラフェン層106は、適切なりソグラフィ技法（例えば、ハードマスクもしくはフォトレジストまたはその両方による、層形成、現像、およびエッチング）を介してパターン取りされ、グラフェン・ベース・デバイスの所望の活性領域が形成される。続いて、トランジスタ・デバイスの第一レベルの形成が行われる。図2（a）に示されるように、グラフェン活性領域106は、例えばゲート誘電体層108およびゲート電極層110など、トランジスタ・ゲート・スタック材料で覆われる。ある例示的な実施形態において、ゲート誘電体層108は、ハフニウム、ケイ酸ハフニウム、酸化ジルコニウム、ケイ酸ジルコニウム、窒化誘電体、およびこれらの組み合わせなど、high-k材料とすることができる。ゲート電極層110には、ポリシリコン、金属、またはこれらの組み合わせを含めることができる。

30

【0017】

ここで図2（b）を参照すると、ゲート誘電体層およびゲート電極層108、110は、次いで、パターン取りされ、パターン取りされたグラフェン活性領域106上に、ゲート電極112およびゲート誘電体層114を含む、トランジスタ・デバイス（例えば、電界効果トランジスタまたはFET）が画定される。なお、図に描かれたパターン取りオペレーションは実際には単なる例示的なものであって、このオペレーションには、例えば、トランジスタ・デバイスの型および極性如何により、異なったゲート・スタック要求条件に応じ、複数のパターン取り法およびRIE処理を用いることができる。しかして、示されたこの例示的な実施形態において、記号表示「GN」はn型デバイス（例、NFET）に対するトランジスタ・ゲートを表し、記号表示「GP」はp型デバイス（例、PFET）に対するトランジスタ・ゲートを表す。

40

【0018】

ゲート・スタックのパターン取りに続いて、図2（c）には、ソース/ドレイン・コンタクト116および導電パッド構造体118の形成が示されている。ソースおよびドレイン・コンタクトの形成は、例えば、ソース/ドレイン・コンタクト材料の堆積およびパターン取りを含む。ソース/ドレイン・コンタクトの材料は、例えば、チタン（Ti）、パラジウム（Pd）、アルミニウム（Al）、タングステン（W）などの金属材料またはこれらの合金とすることができる。堆積方法は、例えば、スパッタリング、および原子層堆積法（ALD: atomic layer deposition）などとするこ

50

き、またはこれらを含めることができる。

【0019】

グラフェン回路デバイスの第一層が完成したならば、図3(a)に示されるように、これらデバイスの上面に絶縁層120(例、酸化物)が形成される。次いで、所与の3DIC構造に応じて、グラフェン・ベース能動デバイスの一つ以上の追加のレベルに対して垂直方向の電氣的接続を設けるために、絶縁層120中にビア122がエッチング形成される。図3(b)には、グラフェン・ベース能動デバイスの上部層126に接続されたグラフェン・ベース能動デバイスの下部レベル124が示されている。上部レベル126の形成は、下部レベル124の形成と同様で、最初にグラフェン層(例、単分子層)が完成した下部レベル124の上に堆積/転写され、次いで、所望のグラフェンの活性領域のパターン取り、ゲート・スタック材料の形成およびパターン取り、ソース/ドレイン・コンタクトおよび導電パッドの形成およびパターン取り、および上部レベルのデバイスの上面に絶縁層の形成へと続く。

10

【0020】

この例示的实施形態にはグラフェン・ベース能動デバイス・レベルの対が描かれているが、上記の処理を所望なだけ繰り返してさらなる追加のグラフェン・ベース能動デバイスのレベルを形成できることはよく理解されよう。一つの企図された実施形態において、グラフェンの各レベルには、相異なる機能(例えば、ロジック、アナログ、メモリなど)を持たせることができる。

【0021】

図1(a)~図3(b)の処理フロー・シーケンスで示された、例示的な3DICデバイスの実施形態は、トップ・ゲート方位の例であり、ゲート電極および誘電体は活性グラフェンソース/ドレイン領域の上側に配置される。しかしながら、能動グラフェンデバイスは、図4(a)~図7(b)の処理フロー・シーケンスに図示されるように、ボトム方位を使って形成することもできる。図4(a)から始まり、開始基板202(例、シリコン)は、図1(a)のトップ・ゲート方位処理と同様に、その上に絶縁層(例えば、SiO₂などの酸化物)204が形成されている。

20

【0022】

工程のこの点で、グラフェン層を絶縁層204に転写するのではなく、代わりに、図4(b)に示されるように、絶縁層204に、下部レベルのグラフェン・ベース・デバイスのゲートの位置に対応するビア206がパターン取りをされる。次いで、図4(c)に示されるように、ゲート電極層208が、デバイス上面にビアを充填して形成される。ゲート電極層208が平坦化されたならば、図5(a)に示されるように、個々のゲート電極210が画定される。次いで、図5(b)に示されるように、ゲート誘電体層212が、絶縁層204およびゲート電極210の上面に形成される。第一実施形態と同様に、ゲート誘電体層212は、high-kゲート誘電体層とすることができる。

30

【0023】

ここで図5(c)を参照すると、ゲート誘電体層212の上にグラフェン層214が形成される。前述と同様に、グラフェン膜の転写は、例えば、乾燥熱剥離テープ法によるなど、当該技術分野で既知の任意の適した仕方で行うことができる。一つの例示的な実施形態において、グラフェン層214はグラフェンの単分子層である。また、図5(c)に示されるように、ゲート電極は、例示的なn型およびp型FET/デバイスを表すための「GN」および「GP」の記号表示で標識されている。

40

【0024】

図6(a)で、グラフェン層は、所望の活性領域に従い、ボトム方位ゲート電極の位置に応じてパターン取りされる。ブランケットのゲート誘電体層212は、この時点では未処理のままである。次いで図6(b)に示されるように、グラフェン・ベースFETデバイスに対するソース/ドレイン・コンタクト216が形成され、続いて、ゲート誘電体層パターン取りが行われ、図6(c)に示されるように導電パッド218が形成される。このように作製されて、グラフェン・ベース能動デバイスの第一または下部層が完成され、

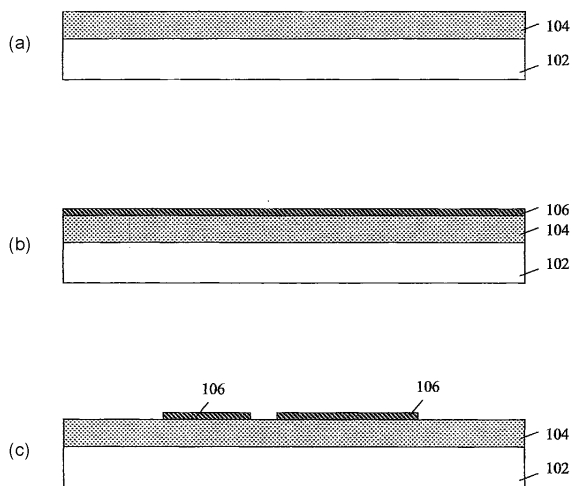
50

続いて、図7(a)に示されるように、デバイスの上面に絶縁層220(例、酸化物)が形成される。次いで、所与の3DIC構造に応じ、グラフェン・ベース能動デバイスの一つ以上の追加レベルに対して垂直方向の電気的接続を設けるために、絶縁層220中にビア222がエッチング形成される。最後に、図7(b)に、グラフェン・ベース能動デバイスの第一レベルに接続されたグラフェン・ベース能動デバイスの第二レベル224が示されている。ここでは、第二レベル224のFETデバイスもボトム方位のゲートである。但し、デバイスの同一レベルまたは異なったレベルにおいて、グラフェン・ベースの3DIC構造体に、トップ方位およびボトム方位両方のゲートを持たせる可能性もさらに企図される。

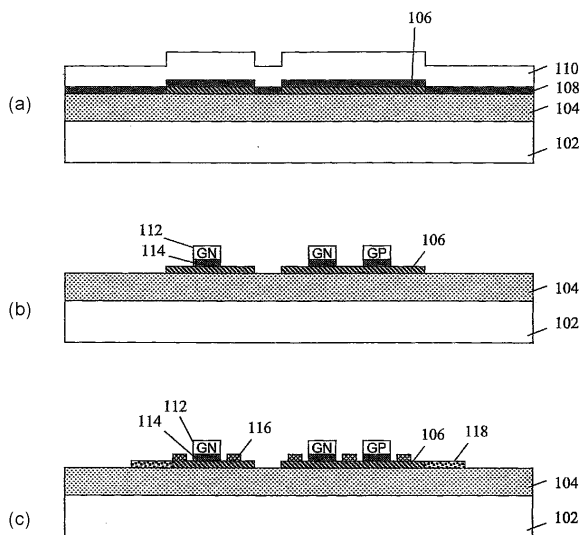
【0025】

好適な実施形態または諸実施形態を参照しながら本発明を説明してきたが、当業者は、本発明の範囲から逸脱することなく、これらのエレメントに種々の変更を加え、等価物で代替できることを理解しよう。さらに、特定の状況または材料に適合させるため、本発明の基本的範囲から逸脱することなくその教示に多くの修改を加えることが可能である。従って、本発明は、本発明を実施するために考えられる最善のモードとして開示された特定の実施形態に限定されることなく、添付の請求項の範囲内に網羅される全ての実施形態を含むものと意図されている。

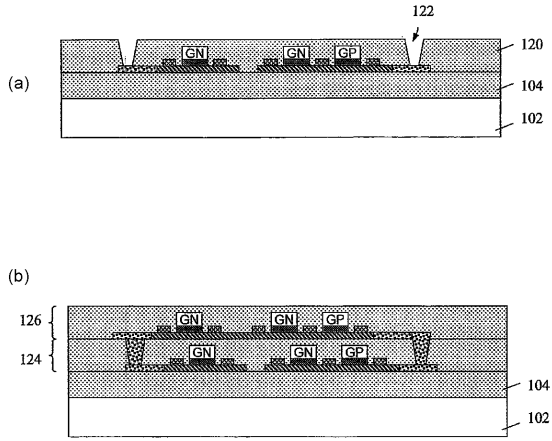
【図1】



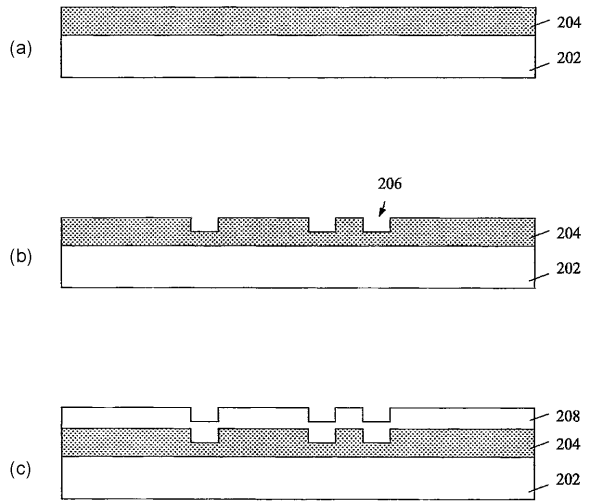
【図2】



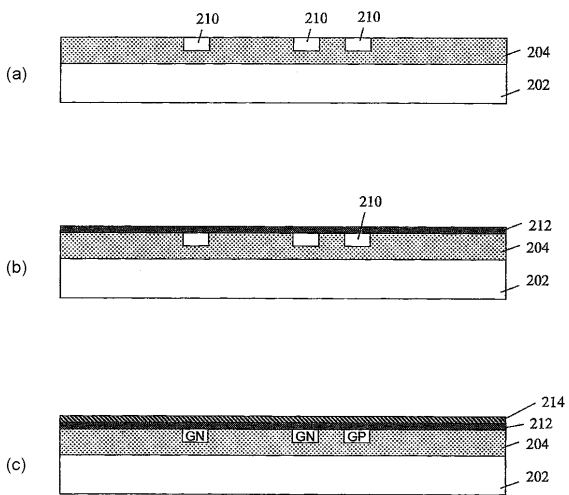
【 図 3 】



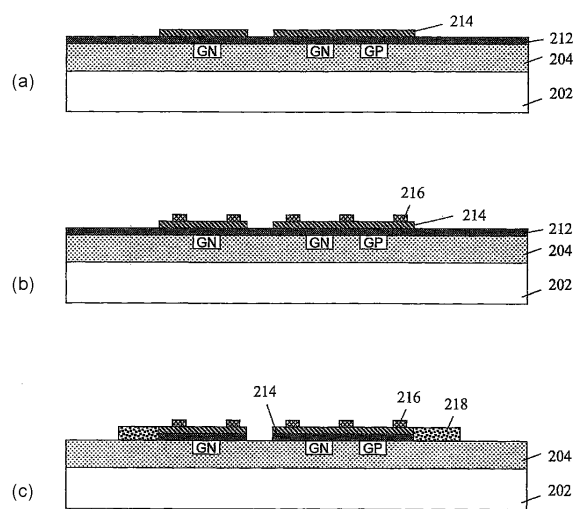
【 図 4 】



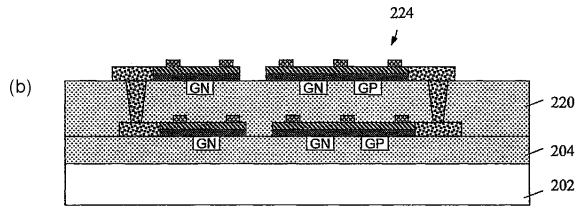
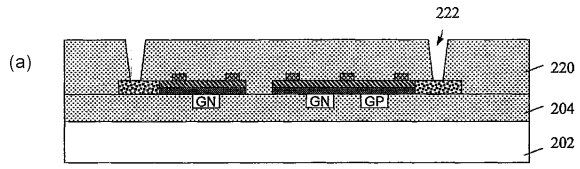
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/28	(2006.01)	H 0 1 L	29/28 5 0 0
H 0 1 L	51/05	(2006.01)	H 0 1 L	29/28 1 0 0 A
H 0 1 L	51/40	(2006.01)	H 0 1 L	29/28 3 1 0 K

(74)代理人 100112690

弁理士 太佐 種一

(74)復代理人 100110607

弁理士 間山 進也

(72)発明者 ギュオ、デチャオ

アメリカ合衆国 1 2 5 3 3 ニューヨーク州 ホープウェル・ジャンクション ルート 5 2 2
0 7 0

(72)発明者 ハン、シュージェン

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ ピーオー・ボックス 2 1
8

(72)発明者 リン、チャンスン

アメリカ合衆国 1 0 5 9 8 ニューヨーク州 ヨークタウン・ハイツ ピーオー・ボックス 2 1
8

(72)発明者 スー、ニン

アメリカ合衆国 1 2 5 2 4 ニューヨーク州 フィッシュキル ジェファーソン・ブルーバード
2 0 7

審査官 市川 武宜

(56)参考文献 特開 2 0 0 9 - 2 1 8 5 3 4 (J P , A)

特開 2 0 0 9 - 1 5 5 1 6 8 (J P , A)

特開 2 0 0 9 - 1 1 1 3 7 7 (J P , A)

特開 2 0 0 5 - 2 8 5 8 2 2 (J P , A)

特開 2 0 0 7 - 1 2 3 3 7 7 (J P , A)

Joshua D. Caldwell .etc , Technique for the Dry Transfer of Epitaxial Graphene onto Arbitrary Substrates , ACS NANO , 米国 , American Chemical Society , 2 0 1 0 年 1 月 2 5 日 , V
ol.4 , No.2 , p1108-p1114

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 8 2 3 8

H 0 1 L 2 7 / 0 9 2

H 0 1 L 2 7 / 2 8

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 7 8 6

H 0 1 L 5 1 / 0 5

H 0 1 L 5 1 / 3 0

H 0 1 L 5 1 / 4 0

ACS P U B L I C A T I O N S