

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3757646号
(P3757646)**

(45) 発行日 平成18年3月22日(2006.3.22)

(24) 登録日 平成18年1月13日(2006.1.13)

(51) Int. Cl.

F I

G02F 1/133 (2006.01)

G02F 1/133 550

G09G 3/20 (2006.01)

G09G 3/20 623L

G09G 3/36 (2006.01)

G09G 3/36

請求項の数 4 (全 23 頁)

(21) 出願番号 特願平10-311291
 (22) 出願日 平成10年10月30日(1998.10.30)
 (65) 公開番号 特開2000-137205(P2000-137205A)
 (43) 公開日 平成12年5月16日(2000.5.16)
 審査請求日 平成15年6月9日(2003.6.9)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 青木 透
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (72) 発明者 村出 正夫
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 電気光学装置の駆動回路及び電気光学装置

(57) 【特許請求の範囲】

【請求項1】

複数のデータ線と、複数の走査線と、前記データ線と前記走査線に電氣的に接続されたスイッチング素子と、前記スイッチング素子に電氣的に接続された画素電極とを有する電気光学装置の駆動回路であって、

画像信号を供給する複数の画像信号線と、

前記複数の画像信号線に供給される画像信号をサンプリングして前記複数のデータ線のそれぞれに供給する複数のサンプリングスイッチと、

前記画像信号線と前記サンプリングスイッチとを接続する中継配線と、

前記複数のサンプリングスイッチのうち n 個 (n は 2 以上の整数) のサンプリングスイ
 ッチからなるブロック毎に共通に転送信号を出力するシフトレジスタと、

前記シフトレジスタの出力端から前記転送信号が入力される第 1 バッファ回路と、

各前記第 1 バッファ回路の出力端に並列に接続された複数の第 2 バッファ回路とを有し

、
 前記第 1 バッファ回路と前記第 2 バッファ回路とを接続する出力線は前記画像信号線を
 交差した後に分岐されて前記複数の第 2 バッファ回路に並列に接続され、各前記第 2 バッ
 ファ回路から供給されるサンプリング制御信号は前記第 2 バッファ回路に接続されたサン
 プリング制御信号線を介して前記サンプリングスイッチのゲートに供給されることを特徴
 とする電気光学装置の駆動回路。

【請求項2】

1つの前記ブロック内のn個のサンプリングスイッチの各々のゲートは、互いに異なる第2バッファ回路に接続されてなることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項3】

前記ブロック内の複数のサンプリングスイッチのゲートは1つの第2バッファ回路に接続されてなることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項4】

請求項1乃至請求項3のいずれか一項に記載の電気光学装置の駆動回路を備えた電気光学装置。

【発明の詳細な説明】

10

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス型の電気光学装置等に用いられる駆動回路の構成に関する。詳しくは、複数の画像信号線からの画像信号を同時にサンプリングして複数のデータ線に同時書き込みを行なう電気光学装置の駆動回路及び電気光学装置に関する。

【0002】

【従来の技術】

例えば、電気光学装置の一例として、アクティブマトリクス型の液晶装置では、複数の走査線と、複数のデータ線と、各走査線と各データ線に接続された薄膜トランジスタ等からなるスイッチング素子とスイッチング素子に接続された画素電極とからなる画素とを有している。一走査線に複数接続された薄膜トランジスタ等のスイッチング素子を介して、各画素の液晶層に画像信号を書き込む動作を、点順次駆動により実施している。

20

【0003】

このようなアクティブマトリクス型の液晶装置では、上述の点順次駆動のために、データ線ごとに設けられたサンプリングスイッチを点順次駆動の速度で順次スイッチングさせ、画像信号をサンプリングする必要がある。このとき、サンプリングスイッチのスイッチング特性が入力画像信号の周波数に対して十分に追従できないという問題が生ずる。一般にドライバ回路を画素と同時に作り込むドライバー内蔵の表示装置の場合は、外付けドライバを用いた表示装置の場合に比べてサンプリング用薄膜トランジスタの駆動能力が低く、その問題がより顕著となる。また、多数の画素を有する高精細な表示装置の場合は、入力画像信号の周波数が高くなることから、上記問題がより顕著となる。

30

【0004】

このため、図13に示す液晶装置のように、画像信号を例えば6つのシリアル-パラレル信号に変換し、1画素あたりのデータ長を長くして、液晶装置に入力される信号周波数を低くする技術が開示されている。このシリアル-パラレル変換により、例えばサンプリングスイッチとしての薄膜トランジスタの周波数特性が十分でなくても、1画素あたりのデータ長を長くして、解像度を高くできる。

【0005】

図13の液晶装置では、シフトレジスタ400からの出力を受けるバッファ124には、それぞれ6つのサンプリングスイッチ121が接続され、これら6つのサンプリングスイッチ121を同時に切替可能に構成されている。そして、6つずつサンプリングスイッチ121を同時にオンさせることにより、画像信号線115に供給される画像信号VID1-VID6を6本の相隣接するデータ線6に同時に出力するようにしている。このような構成を採ることにより、サンプリングスイッチ121によるサンプリングの間隔を長くすることができ、薄膜トランジスタをサンプリングスイッチとして使用することも容易となる。

40

【0006】

【発明が解決しようとする課題】

しかしながら、図13の構成を採用した場合、液晶装置の画像にゴーストが発生しやすいという問題がある。一般に、サンプリングスイッチとデータ線の結合構造は周波数特性が

50

悪い。また、サンプリングスイッチを制御するサンプリング制御信号の位相がばらつく。これらの原因により、本来書き込むべき画像信号がそのブロックだけでなく1ブロック先の画素にも書き込まれてしまい、ゴーストが発生してしまうのである。つまり、同時にサンプリング制御信号が供給されるサンプリングスイッチの数が多いために、本来その時間にサンプリングしなければならないはずが、それよりもずれた時間でサンプリングしてしまい、ゴーストを引き起こすことになるのである。特に、同時に駆動されるサンプリングスイッチの本数が6本、12本、あるいは24本等増えると、同時に駆動されるブロック全体への影響も大きくなる。

【0007】

そこで、本発明は、ゴースト等の発生がない良好な表示画像を得ることができる電気光学装置の駆動回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

本発明の電気光学装置の駆動回路は、上記課題を解決するため、複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、画像信号を供給する複数の画像信号線と、前記複数の画像信号線に供給される画像信号をサンプリングして前記各データ線に供給する複数のサンプリングスイッチと、複数のサンプリングスイッチからなるブロック毎に共通に転送信号を出力するシフトレジスタと、前記シフトレジスタの出力端に接続された第1バッファ回路と、各前記第1バッファ回路の出力端に並列に接続された複数の第2バッファ回路とを有し、前記複数の第2バッファ回路の出力端の夫々は前記ブロック内のサンプリングスイッチに接続されてなることを特徴とする。

【0009】

本発明の電気光学装置の駆動回路によれば、サンプリング制御信号手段は、前記ブロック毎に共通に設けられた第1バッファ回路と、各第1バッファ回路に接続された複数の第2バッファ回路とを有し、前記複数の第2バッファ回路の出力が前記ブロック内の複数のサンプリングスイッチに供給されてなる。

【0010】

したがって、バッファ回路がサンプリングスイッチのブロック毎に共通に接続されているだけの場合と比較して、ブロック内のいくつかのサンプリングスイッチに分割接続されたバッファ回路を介してサンプリングスイッチを駆動する場合の負荷が軽くなるため、バッファ回路の出力側にノイズが混入しにくくなり、サンプリングスイッチに供給されるサンプリング信号の波形の乱れを抑制することができる。このため、サンプリング制御信号の波形の乱れに起因するデータ線の電圧変動を効果的に抑制することができ、ゴースト等の画質劣化を招かない電気光学装置を実現できる。

【0011】

また、共通にサンプリング制御信号が供給されるサンプリングスイッチは、各々異なるバッファ回路の出力端に接続されているから、異なるサンプリングスイッチ間のサンプリング制御信号の伝播を大幅に減少させることができる。このため、例えばサンプリングスイッチに形成された容量等に起因して、サンプリングスイッチがオンしたときなどにサンプリング制御信号にノイズが混入したとしても、そのノイズが他のサンプリングスイッチのサンプリング制御信号に伝播することが効果的に防止される。したがって、電気光学装置にはゴーストの極めて少ない、あるいはゴーストのない画像を表示することができる。

【0012】

本発明の電気光学装置の駆動回路は、1つのブロック内の複数のサンプリングスイッチの各々は、異なる第2バッファ回路に接続されてなることを特徴とする。

【0013】

この態様によれば、各サンプリングスイッチには、それぞれのサンプリングスイッチごとに独立して設けられた第2バッファ回路を介してサンプリング制御信号が入力される。こ

10

20

30

40

50

のため、サンプリングスイッチを駆動する場合の負荷が極めて軽くなるため、第2バッファ回路の出力側にノイズが混入しにくくなり、サンプリング制御信号の波形の乱れを著しく抑制することができる。したがって、電気光学装置を精度よく駆動することができる。

【0014】

また、各サンプリングスイッチにサンプリング制御信号を供給するサンプリング制御信号は、各々異なる第2バッファ回路の出力端に接続されているから、異なるサンプリングスイッチのサンプリング制御信号間における信号の伝播を大幅に減少させることができ、あるいはこのような信号の伝播を消滅させることができる。このため、サンプリング制御信号線間にノイズが混入したとしても、そのノイズが他のサンプリングスイッチのサンプリング制御信号線に伝播することが効果的に防止される。したがって、電気光学装置にはゴーストの極めて少ない、あるいはゴーストのない画像を表示することができる。

10

【0015】

本発明による電気光学装置の駆動回路の一態様では、1つのブロック内の複数のサンプリングスイッチは1つの第2バッファ回路に接続されてなることを特徴とする。

【0016】

この態様によれば、1つの第2バッファ回路に複数のサンプリングスイッチが接続されるので、第2バッファ回路の総数がいたずらに増加することを防止でき、スペースを有効活用することができる。

【0017】

本発明による電気光学装置の駆動回路の一態様では、前記インピーダンス変換器としてインバータを用いる。

20

【0018】

この態様によれば、インバータの出力側のインピーダンスを低くすることができるので、サンプリング制御信号線にノイズが混入しにくくなり、各要素に供給されるサンプリング制御信号線の波形の乱れを効果的に抑制することができる。

【0019】

本発明による電気光学装置の駆動回路に二態様では、複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、画像信号を供給する複数の画像信号線と、前記複数の画像信号線に供給される画像信号をサンプリングして前記各データ線に供給する複数のサンプリングスイッチと、複数のサンプリングスイッチからなるブロック毎に共通に転送信号を出力するシフトレジスタと、前記シフトレジスタの出力端に並列に接続された複数のバッファ回路とを有し、前記複数のバッファ回路の出力端の夫々は前記ブロック内のサンプリングスイッチに接続されてなることを特徴とする。

30

【0020】

本発明のこの態様によれば、バッファ回路がサンプリングスイッチのブロック毎に共通に接続されているだけの場合と比較して、ブロック内のいくつかのサンプリングスイッチに分割接続されたバッファ回路を介してサンプリングスイッチを駆動する場合の負荷が軽くなるため、バッファ回路の出力側にノイズが混入しにくくなり、サンプリングスイッチに供給されるサンプリング信号の波形の乱れを抑制することができる。このため、サンプリング制御信号の波形の乱れに起因するデータ線の電圧変動を効果的に抑制することができ、ゴースト等の画質劣化を招かない電気光学装置を実現できる。

40

【0021】

また、共通にサンプリング制御信号が供給されるサンプリングスイッチは、各々異なるバッファ回路の出力端に接続されているから、異なるサンプリングスイッチ間のサンプリング制御信号の伝播を大幅に減少させることができる。このため、例えばサンプリングスイッチに形成された容量等に起因して、サンプリングスイッチがオンしたときなどにサンプリング制御信号にノイズが混入したとしても、そのノイズが他のサンプリングスイッチのサンプリング制御信号に伝播することが効果的に防止される。したがって、電気光学装置

50

にはゴーストの極めて少ない、あるいはゴーストのない画像を表示することができる。

【0022】

本発明の電気光学装置の駆動回路は、複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、画像信号を供給する複数の画像信号線と、前記複数の画像信号線に供給される画像信号をサンプリングして前記各データ線に供給するサンプリングスイッチと、前記画像信号線と前記サンプリングスイッチとを接続する中継配線と、複数のサンプリングスイッチからなるブロック毎に共通に転送信号を出力するシフトレジスタと、前記シフトレジスタの出力端に接続された第1バッファ回路と、各前記第1バッファ回路の出力端に並列に接続された複数の第2バッファ回路とを有し、前記複数の第2バッファ回路と前記サンプリングスイッチとを接続するサンプリング制御信号線は、前記中継配線の間隙に沿って画像信号線を交差してなることを特徴とする。

10

【0023】

本発明のこの態様によれば、バッファ回路がサンプリングスイッチのブロック毎に共通に接続されているだけの場合と比較して、ブロック内のいくつかのサンプリングスイッチに分割接続されたバッファ回路を介してサンプリングスイッチを駆動する場合の負荷が軽くなるため、バッファ回路の出力側にノイズが混入しにくくなり、サンプリングスイッチに供給されるサンプリング信号の波形の乱れを抑制することができる。このため、サンプリング制御信号の波形の乱れに起因するデータ線の電圧変動を効果的に抑制することができ、ゴースト等の画質劣化を招かない電気光学装置を実現できる。

20

【0024】

また、共通にサンプリング制御信号が供給されるサンプリングスイッチは、各々異なるバッファ回路の出力端に接続されているから、異なるサンプリングスイッチ間のサンプリング制御信号の伝播を大幅に減少させることができる。このため、例えばサンプリングスイッチに形成された容量等に起因して、サンプリングスイッチがオンしたときなどにサンプリング制御信号にノイズが混入したとしても、そのノイズが他のサンプリングスイッチのサンプリング制御信号に伝播することが効果的に防止される。したがって、電気光学装置にはゴーストの極めて少ない、あるいはゴーストのない画像を表示することができる。

【0025】

30

本発明の電気光学装置の駆動回路は、複数のデータ線と、複数の走査線と、前記データ線と前記走査線に電氣的に接続されたスイッチング素子と、前記スイッチング素子に電氣的に接続された画素電極とを有する電気光学装置の駆動回路であって、画像信号を供給する複数の画像信号線と、前記複数の画像信号線に供給される画像信号をサンプリングして前記複数のデータ線のそれぞれに供給する複数のサンプリングスイッチと、前記画像信号線と前記サンプリングスイッチとを接続する中継配線と、前記複数のサンプリングスイッチのうち n 個(n は2以上の整数)のサンプリングスイッチからなるブロック毎に共通に転送信号を出力するシフトレジスタと、前記シフトレジスタの出力端から前記転送信号が入力される第1バッファ回路と、各前記第1バッファ回路の出力端に並列に接続された複数の第2バッファ回路とを有し、前記第1バッファ回路と前記第2バッファ回路とを接続する出力線は前記画像信号線を交差した後に分岐されて前記複数の第2バッファ回路に並列に接続され、各前記第2バッファ回路から供給されるサンプリング制御信号は前記第2バッファ回路に接続されたサンプリング制御信号線を介して前記サンプリングスイッチのゲートに供給されることを特徴とする。

40

【0026】

本発明のこの態様によれば、第1バッファ回路と第2バッファ回路とを接続する出力線が画像信号線を交差し、交差した後に第2バッファ回路が設けられているため、サンプリング制御信号が画像信号による影響を抑えることができるとともに、配線に引き回しをより短くすることができる。

本発明の電気光学装置の駆動回路において、1つの前記ブロック内の n 個のサンプリン

50

グスイッチの各々のゲートは、互いに異なる第2バッファ回路に接続されてなることを特徴とする。

【0027】

この態様によれば、各サンプリングスイッチには、それぞれのサンプリングスイッチごとに独立して設けられた第2バッファ回路を介してサンプリング制御信号が入力される。このため、サンプリングスイッチを駆動する場合の負荷が極めて軽くなるため、第2バッファ回路の出力側にノイズが混入しにくくなり、サンプリング制御信号の波形の乱れを著しく抑制することができる。したがって、電気光学装置を精度よく駆動することができる。

【0028】

また、各サンプリングスイッチにサンプリング制御信号を供給するサンプリング制御信号は、各々異なる第2バッファ回路の出力端に接続されているから、異なるサンプリングスイッチのサンプリング制御信号間における信号の伝播を大幅に減少させることができ、あるいはこのような信号の伝播を消滅させることができる。このため、サンプリング制御信号線間にノイズが混入したとしても、そのノイズが他のサンプリングスイッチのサンプリング制御信号線に伝播することが効果的に防止される。したがって、電気光学装置にはゴーストの極めて少ない、あるいはゴーストのない画像を表示することができる。

【0029】

本発明の電気光学装置の駆動回路において、前記ブロック内の複数のサンプリングスイッチのゲートは1つの第2バッファ回路に接続されてなることを特徴とする。

【0030】

この態様によれば、1つの第2バッファ回路に複数のサンプリングスイッチが接続されるので、第2バッファ回路の総数がいたずらに増加することを防止でき、スペースを有効活用することができる。

【0031】

本発明の電気光学装置の駆動回路は、複数のデータ線と、複数の走査線と、前記各データ線と前記各走査線に接続されたスイッチング素子と、前記スイッチング素子に接続された画素電極とを有する電気光学装置の駆動回路であって、画像信号を供給する複数の画像信号線と、前記複数の画像信号線に供給される画像信号をサンプリングして前記各データ線に供給する複数のサンプリングスイッチと、複数のサンプリングスイッチからなるブロック毎に共通に転送信号を出力するシフトレジスタと、前記シフトレジスタの出力端に並列に接続されたバッファ回路とを有し、前記シフトレジスタの出力端と前記バッファ回路とを接続する出力線は前記画像信号線を交差した後に複数の分岐して前記複数のバッファ回路に並列に接続され、前記複数のバッファ回路から供給されるサンプリング制御信号をサンプリング制御信号線を介して前記サンプリングスイッチに供給することを特徴とする。

【0032】

本発明のこの態様によれば、シフトレジスタの出力端とバッファ回路とを接続する出力線が画像信号線を交差し、交差した後にバッファ回路が設けられているため、サンプリング制御信号への画像信号のノイズの影響を抑えることができるとともに、配線に引き回しをより短くすることができる。

【0033】

【発明の実施の形態】

- 第1実施形態 -

以下、図1～図4を用いて、本発明による電気光学装置の駆動回路をアクティブマトリクス型液晶装置に適用した第1実施形態について説明する。

【0034】

図1は、液晶装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。

【0035】

図1において、本実施形態による液晶装置の画像表示領域110aを構成するマトリクス状に形成された複数の画素は、画素電極9と画素電極9を制御するためのスイッチング素

10

20

30

40

50

子として、例えば薄膜トランジスタ（以下、TFTと称す。）30とがマトリクス状に複数形成されており、画像信号が供給されるデータ線6が当該TFT30のソースに電氣的に接続されている。

【0036】

本実施形態では特に、データ線6に書き込まれる画像信号S1、S2、...、Snは、当該液晶装置に画像信号S1、S2、...、Snを供給する画像信号処理回路内のシリアル-パラレル変換回路によって予めn（nは2以上の整数）個にシリアル-パラレル変換されており、相隣接するn本のデータ線6からなるブロック毎に、シリアル-パラレル変換された画像信号を同時に供給するように構成されている。シリアル-パラレル変換数については一般には、ドット周波数が相対的に低いか或いは後述のサンプリングスイッチにおけるサンプリング能力が相対的に高ければ、例えば3相展開、6相展開等のように小さく設定してもよい。逆に、ドット周波数が相対的に高いか或いはサンプリング能力が相対的に低ければ、例えば12相展開、24相展開等のように大きく設定してもよい。尚、このシリアル-パラレル変換（相展開）数としては、カラー画像信号が3つの色（赤、青、黄）に係る信号からなることとの関係から、3の倍数であると、NTSC表示やPAL表示等のビデオ表示をする際に制御や回路を簡易化する上で好ましい。また、近時のXGA方式、SXGA方式、EWS方式等の高ドット周波数の場合には、既存のTFT製造技術に鑑みれば、例えば12相展開、24相展開等のようにシリアル-パラレル変換数を大きく設定するのが好ましい。

【0037】

また、TFT30のゲートに走査線3が電氣的に接続されており、所定のタイミングで、走査線3にパルスの走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。画素電極9は、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6から供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9を介して液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光がこの液晶部分を通す不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通す可能とされ、全体として液晶装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極9と対向電極との間に形成される液晶容量と並列に蓄積容量（図示せず）を付加する。例えば、画素電極9の電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。

【0038】

次に、本実施形態の液晶装置の駆動回路を説明する。上述のように走査線、データ線等が設けられた画像表示領域110aと共に、該画像表示領域110aの周辺のTFTアレイ基板10上には、データ線駆動回路101、走査線駆動回路104及びサンプリングスイッチ121等の駆動回路が設けられている。

【0039】

走査線駆動回路104は、外部の画像信号処理回路から供給される画像信号の垂直同期信号に応じた所定タイミングで、走査線3に対して走査信号G1、G2、...、Gmをパルスの線順次で供給する。

【0040】

データ線駆動回路101は、走査線駆動回路104が走査線3に走査信号を送るのに合わせて、サンプリング制御信号線40を介してサンプリング制御信号X1、X2...、Xnをサンプリングスイッチ121に供給する。サンプリングスイッチ121は、このサンプリング制御信号に応じて、画像信号線115に供給される画像信号VID1～VID6を

10

20

30

40

50

サンプリングしてデータ線 6 に供給する。本実施形態では、画像信号が 6 相にシリアル - パラレル変換されているため、相隣接する 6 本のデータ線 6 に接続されたサンプリングスイッチ 1 2 1 には、共通のサンプリング制御信号が供給されて同時にオン状態とされ、画像信号線 1 1 5 から中継配線 8 0 を介して画像信号 V I D 1 ~ V I D 6 がこの 6 本のデータ線に同時に供給される。

【 0 0 4 1 】

次に、データ線駆動回路 1 0 1 及びサンプリングスイッチ 1 2 1 に関してより詳細な構成についてその動作と共に説明する。

【 0 0 4 2 】

データ線駆動回路 1 0 1 は、転送信号を順次出力するシフトレジスタ回路 4 0 0 と、順次出力された転送信号をサンプリング制御信号として出力するためのバッファ回路 2 0 0 とを備えて構成されている。シフトレジスタ回路 4 0 0 は、直列接続された複数段の遅延型フリップフロップ回路等からなるラッチ回路 1 2 3 で構成されており、画像信号 V I D 1 ~ V I D 6 の水平同期信号に同期したスタートパルス S P が外部の画像信号処理回路から入力されると、先ず左端段のラッチ回路 1 2 3 a が基準クロック信号（及びその反転クロック信号）に基づいて転送動作を開始する。

10

【 0 0 4 3 】

このようにラッチ回路 1 2 3 からの転送信号 O U T 1、O U T 2、...、O U T n は、バッファ回路 2 0 0 を介してサンプリング制御信号として、サンプリングスイッチ 1 2 1 に出力される。バッファ回路 2 0 0 は、直列接続された第 1 バッファ回路 1 2 4 と第 2 バッファ回路 1 2 5 との 2 段からなり、バッファ回路 2 0 0 を介してサンプリング制御信号がブロック毎に同時にサンプリングスイッチ 1 2 1 に供給される。

20

次に、バッファ回路 2 0 0 に含まれる第 1 バッファ回路 1 2 4 及び第 2 バッファ回路 1 2 5 の具体的な構成について説明する。

【 0 0 4 4 】

図 1 に示されるように、シフトレジスタ回路 4 0 0 の各ラッチ回路 1 2 3 はそれぞれ第 1 バッファ回路 1 2 4 に接続され、さらに第 1 バッファ回路 1 2 4 はそれぞれ 6 つの第 2 バッファ回路 1 2 5 に直列に接続されている。すなわち、第 1 番目のバッファ回路 1 2 4 a には第 1 ~ 第 6 番目の第 2 バッファ回路 1 2 5 が、第 2 番目の第 1 バッファ回路 1 2 4 b には第 7 ~ 1 2 番目の第 2 バッファ回路 1 2 5 がそれぞれ接続されている。

30

【 0 0 4 5 】

また、第 1 番目の第 2 バッファ回路 1 2 5 a の出力端は相隣接する 6 本のサンプリング制御信号線 4 0 を介して第 1 番目の 6 つのサンプリングスイッチ 1 2 1 に、第 2 番目の第 2 バッファ回路 1 2 4 b の出力端は次の相隣接する 6 本のサンプリング制御信号線 4 0 を介して第 2 番目の 6 つのサンプリングスイッチ 1 2 1 にそれぞれ接続される。以下同様にして、第 (N + 1) 番目の第 2 バッファ回路 1 2 5 の出力端は第 (N + 1) 番目のサンプリングスイッチ 1 2 1 に、それぞれ接続される。

【 0 0 4 6 】

上記サンプリングスイッチ 1 2 1 の各々は、例えば電界効果トランジスタ等の半導体素子により構成することができる。サンプリングスイッチ 1 2 1 として、例えば電界効果トランジスタを用いる場合には、ゲートにはサンプリング制御信号線 4 0 が接続され、ソースには中継配線 8 0 を介して画像信号線 1 1 5 に接続され、ドレインにはデータ線 6 に接続されるように構成されている。

40

【 0 0 4 7 】

上記第 1 バッファ回路 1 2 4 および第 2 バッファ回路 1 2 5 はインピーダンス変換器として機能し、いずれも入力インピーダンスが高く、かつ出力インピーダンスが低くされている。

【 0 0 4 8 】

上記第 2 バッファ回路 1 2 5 はサンプリングスイッチ 1 2 1 を駆動するために必要な電流供給能力を備えなければならない。例えばサンプリングスイッチ 1 2 1 として電界効果ト

50

ランジスタを用い、第２バッファ回路１２５の出力端にゲート端子が接続される場合には、第２バッファ回路１２５には等価的に容量負荷が接続されることとなるので、容量負荷に対して十分な速度で充放電を行うための電流供給能力が必要となる。

【００４９】

また、第１バッファ回路１２４は入力端が並列に接続された６つのバッファ回路を駆動するのに必要な電流供給能力を備えなければならない。すなわち、第１バッファ回路１２４には出力端に６つの第２バッファ回路１２５が接続されるので、この負荷に対して十分な速度で充放電を行うための電流供給能力が必要となる。なお、第１バッファ回路１２４を設けなくても、シフトレジスタ４００に第２バッファ回路１２５を直接駆動できる能力がある場合には、第１バッファ回路１２４を取り除き、シフトレジスタ４００の出力端を直接第２バッファ回路１２５に接続するようにしてもよい。

10

【００５０】

第１バッファ回路１２４回路あるいは第２バッファ回路１２５として、例えば図２（ａ）に示すような、相補型トランジスタによるインバータIn vを２段重ねた回路を用いることができる。また、例えば図２（ｂ）に示す回路を用いることができる。後段のインピーダンスを前段のインピーダンスよりも低くできる回路であれば、広くインピーダンス変換器として使用することができる。

【００５１】

インバータを用いる場合には、入出力の信号が反転するため、駆動回路全体としての論理が整合するように、必要に応じて回路に変更を加えなければならない。なお、図１の第１バッファ回路１２４および第２バッファ回路１２５の両者にインバータを用いる場合には、他の部分に変更を加えなくても、第１実施形態と同様の動作を確保することができる。

20

【００５２】

上記の構成を有する液晶装置１００には、図３に示す表示情報処理回路６００からの画像信号がシリアル - パラレルに変換されて出力される。この表示情報処理回路６００は、液晶装置１００から分離された外付け回路（ＩＣ）として設けられていてもよい。この表示情報処理回路６００には、一本の画像信号V I Dが入力される。そして、表示情報処理回路６００は画像信号V I Dの画像情報を６つのシリアル - パラレル変換信号に展開し、これらの信号を画像信号V I D １～V I D ６として出力する。

【００５３】

30

（画素領域の構成）

次に上述の等価回路により構成されたT F Tアレイ基板１０の画素の構成について、図４を参照して説明する。

【００５４】

図４（ａ）は、データ線、走査線、画素電極が形成されたT F Tアレイ基板１０の隣接した画素群の平面図である。図４（ｂ）は、図４（ａ）のC - C '断面図である。

【００５５】

図４（ａ）及び図４（ｂ）において、各画素は、マトリクス状に複数の透明な画素電極９と各画素電極９に接続されたスイッチング素子の一例である画素スイッチング用T F T ３０とにより構成されている。画素電極９の縦横の境界に各々沿ってデータ線６、走査線３及び容量線３'が設けられており、データ線６を構成する第１導電層は、アルミニウム、クロム等の金属からなり、第１層間絶縁膜４に形成されたコンタクトホール５aを介してT F T ３０のアモルファスシリコン膜やポリシリコン膜等からなる半導体層１aのうち後述のソース領域１dに電氣的接続されている。画素電極９は、第１層間絶縁膜４及び第２層間絶縁膜７に形成されたコンタクトホール８を介して薄膜トランジスタ３０の半導体層１aのうち後述のドレイン領域１eに電氣的接続されている。また、ゲート絶縁膜２を介して半導体層１aのうちのチャネル形成用領域１a'（図２中右下りの斜線の領域）に対向するように走査線３が配置されている。走査線３を構成する第２導電層はアルミニウム、クロムのような金属で形成する場合もあるが、製造工程において６００以上の高温にさらされる場合はポリシリコンで形成する場合がある。蓄積容量は、画素スイッチング用

40

50

TFT30の半導体層1aから延設された第1蓄積容量電極1fを一方の電極とし、ゲート絶縁膜2と同時に形成された絶縁膜を誘電体膜とし、走査線3と同時に形成された容量線3'を他方の電極(第2蓄積容量電極)として構成されている。このような構成を採れば、薄膜で緻密なゲート絶縁膜2を誘電体とすることで、第1蓄積容量電極1fと第2蓄積容量電極3'の重なり面積が小さくても、十分な蓄積容量が得られるため、画素の高開口率化や微細化が容易に実現することができる。

【0056】

画素電極9の上側には、図4(b)に示すようにラビング処理等の所定の配向処理が施された配向膜16が設けられている。画素電極9は例えば、ITO(Indium Tin Oxide)膜などの透明導電性薄膜からなる。また配向膜16は例えば、ポリイミド薄膜などの有機薄膜からなる。

10

【0057】

他方、対向基板20には、その全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。対向電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。更に、画素スイッチング用TFT30や液晶のディスプレイネーションが発生する領域を覆うように非光透過性の金属膜、金属合金膜、或いは黒色有機膜等により遮光膜23を設けても良い。これにより、コントラスト比の高い画像表示を実現することができる。遮光膜23はTFTアレイ基板10に設けるようにしても良い。このような構成を採れば、TFTアレイ基板10と対向基板20を貼り合わせる際の精度を考慮する必要がないため、透過率のばらつかない液晶装置100を安定して提供することができる。

20

【0058】

上記の構成を有するTFTアレイ基板10と、対向基板20の間には、電気光学物質としての液晶が封入され、液晶層50が形成される。液晶層50は、画素電極9からの電界が印加されていない状態で配向膜により所定の配向状態を採る。

【0059】

ここで、一般には、半導体層1aのチャネル形成用領域1a'、低濃度ソース領域1b及び低濃度ドレイン領域1c等を形成するアモルファスシリコン膜あるいはポリシリコン膜は、光が入射すると光電変換効果により光電流が発生してしまいTFT30のトランジスタ特性が劣化するが、第1実施形態では、走査線3を上側から覆うようにデータ線6がAl(アルミニウム)等の遮光性の金属薄膜から形成されているので、少なくとも半導体層1aのチャネル形成用領域1a'及びソース側LDD(Lightly Doped Drain)領域1b、ドレイン側LDD領域1cへの投射光(即ち、図3で上側からの光)の入射を効果的に防ぐことが出来る。また、TFT30の下側に、層間絶縁膜を介して、少なくとも半導体層1aのチャネル形成用領域1a'及びLDD領域1b、1cを覆うように遮光膜(図示せず)を設ければ戻り光(即ち、図4(b)で下側からの光)の入射を効果的に防ぐことが出来る。

30

【0060】

次に、図5を用いてサンプリングスイッチのレイアウトについて説明する。共通にサンプリング制御信号が供給されるサンプリングスイッチ121のブロック毎に第1バッファ回路124と第1バッファ回路124に接続された複数の第2バッファ125が設けられており、第1バッファ回路124と第2バッファ回路125とを接続する6つの分岐配線である第1配線41が第1導電層で形成されている。そして、第1配線41は平行に6つに分岐して第2バッファ回路125に接続され、第2バッファ回路125の出力信号(サンプリング制御信号)が、サンプリング制御信号線40を介してサンプリングスイッチ121のゲート電極に入力されるように構成されている。サンプリング制御信号線40は画像信号線に交差する第2配線42と、第2配線42からさらに延長された第3配線43と、サンプリングスイッチのゲート電極となる第4配線48からなる。

40

【0061】

50

図 5 に示されるように、第 2 バッファ 1 2 5 の出力端子に接続された第 2 配線 4 2 及び第 3 配線 4 3 は、画像信号線 1 1 5 に接続された中継配線 8 0 と平行に設けられ、また第 2 配線 4 2 及び第 3 配線 4 3 と中継配線 8 0 とは 1 配線ずつ交互に配置されている。画像信号線 1 1 5 はデータ線 6 と同様に第 1 導電層により形成されているため、サンプリング制御信号線 4 0 を構成する第 2 配線 4 2 は第 1 導電層とは別層、例えば走査線 3 と同様に第 2 導電層で形成するとよい。またサンプリング制御信号線 4 0 のうち画像信号線 1 1 5 に交差しない第 3 配線 4 3 は、上述のように第 1 導電層及び第 2 導電層の 2 層構造にしてコンタクトホール 4 4、4 5 を介して接続すれば、さらに低抵抗化される。

【 0 0 6 2 】

サンプリングスイッチ 1 2 1 毎に独立したバッファ回路 1 2 5 を用いているので、サンプリング制御信号線 4 0 のインピーダンスを低くすることができる。このため、サンプリングスイッチ 1 2 1 を安定してスイッチングさせることができ、よって表示画像の画質を向上させることができる。

10

【 0 0 6 3 】

次に、第 1 実施形態の駆動回路の動作について説明する。画像信号 V I D は液晶装置 1 0 0 の各画素に対応するデータが時系列的に並んだアナログ信号であり、図 3 に示すように、表示情報処理回路 6 0 0 はドットクロック D C を基準クロックとして画像信号 V I D をサンプリングする。そして、この画像情報を画像信号 V I D のサンプリング周期よりも長いデータ長の 6 本の画像信号 V I D 1 ~ V I D 6 にシリアル - パラレル変換する。すなわち、表示情報処理回路 6 0 0 は画像信号 V I D の画像情報のデータ長を伸張する機能と、シリアルな画像信号 V I D をパラレルな信号に変換する機能とを備えるものである。

20

【 0 0 6 4 】

画像信号線 1 1 5 に出力される画像信号 V I D 1 ~ V I D 6 は、画像信号 V I D の連続する 6 画素分のデータを、順番にドットクロック D C の 6 周期分のデータ長に伸張したものである。この 6 画素分の画像信号の先頭はいずれも 6 画素目のデータの先頭に位置しており、それぞれの画像信号 V I D 1 ~ V I D 6 は同一のタイミングで出力される。

【 0 0 6 5 】

図 6 では、画像信号 V I D の個々の画素データに順番に画素番号 (1 ~ 1 8) を付するとともに、画像信号 V I D 1 ~ V I D 6 に変換した元の画素データの画像番号を付しており、これにより両者の対応関係を示している。画素番号 1 ~ 6 の画素データが画像信号 V I D 1 ~ V I D 6 として出力されるドットクロック D C 6 周期分の期間では、シフトレジスタ 4 0 0 が出力信号 O U T 1 を出力する。次いで、画素番号 7 ~ 1 2 の画素データが V I D 1 ~ V I D 6 として出力されるドットクロック D C 6 周期分の期間では、シフトレジスタ 4 0 0 から出力信号 O U T 2 が出力される。このように、シフトレジスタ 4 0 0 は、新たなシリアル - パラレル変換信号が出力されるドットクロック D C 6 周期分の期間において、出力信号 O U T 1 , O U T 2 , O U T 3 , ... を順次出力する。

30

【 0 0 6 6 】

シフトレジスタ 4 0 0 のラッチ回路 1 2 3 a から第 1 バッファ回路 1 2 4 に出力信号 O U T 1 が出力されると、バッファ回路 1 2 4 の出力が立ち上がり、これによって、第 2 バッファ回路 1 2 5 は 6 本のサンプリング制御信号線 4 0 に同時にサンプリング制御信号を出力する。6 本のサンプリング制御信号線 4 0 に供給されるサンプリング制御信号 X 1 ~ X 6 は、6 つのサンプリングスイッチ 1 2 1 に供給される。

40

【 0 0 6 7 】

サンプリングスイッチ 1 2 1 に供給されるサンプリング制御信号に応じて、画像信号線 1 1 5 に供給される画像信号 V I D 1 ~ V I D 6 は、それぞれデータ線 6 に供給される。例えば第 1 番目の走査線 3 と、上記データ線 6 とに接続された 6 つの画素の T F T 3 0 を介して、画素電極 9 に書き込みが行われる。このように、6 本のデータ線 6 と、1 本の走査線 3 とによって選択された 6 つの画素 (画素番号 1 ~ 6) について、同時に書き込みが行われる。

【 0 0 6 8 】

50

次いで、シフトレジスタ400のラッチ回路123bから第1バッファ回路124bに出力信号OUT2が出力されると、第1バッファ回路124bの出力が立ち上がり、これによって、6つの第2バッファ回路125は6本の相隣接するサンプリング制御信号線40に同時にサンプリング制御信号を出力し、6つのサンプリングスイッチ121をオンさせる。このため、6本のデータ線6と、上記の1本の走査線3とによって選択された次の6つの画素（画素番号7～12）について、同時に書き込みが行われる。

【0069】

以下同様にして、シフトレジスタ400からの出力信号によって、順次6つずつサンプリングスイッチ121がオンし、6画素ずつの書き込みが実行される。このようにして、第1番目の走査線3の全画素について書き込みを行うことができる。第2番目以降の走査線3のすべてについて順次走査信号を出力しながら上記動作を繰り返すことにより、1フレームの画像が形成される。

10

【0070】

第1実施形態では、サンプリングスイッチ121のそれぞれに対して第2バッファ回路125を設け、1つの第1バッファ回路124によって6つの第2バッファ回路125を駆動するようにしている。つまり、1つのブロック内のサンプリングスイッチ121はそれぞれ異なる第2バッファ回路125に接続されている。このため、第2バッファ回路125はそれぞれ1つのサンプリングスイッチ121のみを駆動すればよく、その負荷が軽いものとなる。

【0071】

20

また、同時にサンプリング信号が出力される6本のサンプリング制御信号線40は互いに6つの第2バッファ回路125を介して接続されることになるが、第2バッファ回路125は出力側の信号が入力側にほとんど影響を与えないという性質を有するので、第2バッファ回路125の入力端が出力端の影響を受けて変動することはない。このため、いずれかのサンプリング制御信号線40の信号は、第2バッファ回路125の入力側の電圧にほとんど影響を与えることはない。なお、第2バッファ回路125の入力側には第1バッファ回路124の出力端が接続されており、そのインピーダンスは低くされているから、なおさら第2バッファ回路125の入力端の電圧は変動しにくい。

【0072】

このため、例えばサンプリング制御信号線40に何らかの原因でノイズが混入しても、そのノイズの影響を受けて第2バッファ回路125の入力側の電圧が変動し、これによりサンプリング制御信号線40の全体が第2バッファ回路125によって駆動され揺さぶられるということはない。同様に、サンプリング制御信号線40のいずれかにノイズが混入したとしても、これによって他のサンプリング制御信号線が第2バッファ回路125によって揺さぶられることはない。

30

【0073】

また、第2バッファ回路125の出力側は低インピーダンスとされているから、画像信号線115から供給される画像信号VID1～VID6やデータ線6に供給されるデータ信号S1、S2...、あるいは各部のノイズ等が、容量結合を介して直接サンプリング制御信号線40に入るとしてもほとんどない。

40

【0074】

このように、第1実施形態では、各サンプリング制御信号線40毎に第2バッファ回路125を設けているので、各種ノイズがサンプリング制御信号線40に混入しにくく、サンプリング信号の純度を高く維持することができる。このため、第1実施形態の駆動回路によれば、ゴースト等が発生せず、良好な表示画像を得ることができるものである。

【0075】

本発明による駆動回路は、従来の駆動回路におけるゴースト現象の発生原因の解析に基づいて、発明されたものである。以下、本発明による駆動回路の作用効果を明らかにするため、図13を用いて従来の駆動回路におけるゴースト発生の機構等について説明する。

【0076】

50

図 13 の駆動回路では、6 つのサンプリングスイッチ 121 からなるブロック毎に、同時にサンプリング制御信号が供給される 6 本のサンプリング制御信号線 40 は共通に 1 つのバッファ回路 124 に接続されている。一方、1 つのブロック内のサンプリング制御信号線 40 と画像信号線 115、およびサンプリング制御信号線 40、データ線 6 は、それぞれサンプリングスイッチ 121 に形成される容量（例えばサンプリングスイッチ 121 として電界効果トランジスタを用いる場合には、そのゲート・ソース間容量、ゲート・ドレイン間容量等）を介して結合された状態にある。

【0077】

このため、例えば、サンプリングスイッチ 121 のオンに伴ってデータ線 6 の電圧が急激に変動すると、その変動に見合った成分（微分波形）が上記容量を介してサンプリング制御信号線 40 に回り込みノイズとなる。ところが、1 つのブロック内のサンプリング制御信号線 40 は共通に接続されているので、例えば 1 つのサンプリング制御信号線 40 に侵入したノイズは、さらにブロック内の他のサンプリング制御信号線 40 にも容易に伝播する。上記のように、サンプリングスイッチ 121 が同時にオンしたときにサンプリング制御信号線 40 に現れるノイズはデータ線 6 の変動幅に依存し、その変動幅はそのときの画像信号（電圧値）に依存するから、結局サンプリング制御信号線 40 に重畳されるノイズ成分は画像信号の電圧値と相関があることになる。

【0078】

このような現象は、サンプリング制御信号線 40 のいずれかから他のサンプリング制御信号線への影響についてもそのまま当てはまる。したがって、サンプリング制御信号線 40 の電圧は、画素電極 9 への書き込み時における画像信号線 115 の電圧に応じて変動し、しかもサンプリング制御信号線 40 の変動は互いに同期したものとなることが判る。

【0079】

そしてサンプリング制御信号線 40 の電圧変動は、ブロック内のサンプリングスイッチ 121 を介してデータ線 6 の電圧を変動させる。例えば、サンプリングスイッチ 121 として電界効果トランジスタ等を用いる場合には、サンプリング制御信号線 40 に接続されたゲート電圧の変動にともなって、その素子の特性に従いドレイン電圧が変動するので、データ線 6 の電圧がすべて変動する。

【0080】

このように、サンプリング制御信号線 40 の電圧は、画素電極 9 への書き込み時における画像信号線 115 全体の電圧の影響を受けて変化し、その変化がデータ線 6 全体の電圧を変動させる。すなわち、データ線 6 はサンプリングスイッチ 121 によって直接接続されることのない、他の画像信号線の電圧値の影響を受けて変動するので、画像にゴーストを生じさせることになる。

【0081】

また、例えばサンプリング制御信号線 40 は共通のバッファ回路 124 に接続されているので、第 1 実施形態におけるサンプリング制御信号線 40 とは異なり、引き回しが長くならざるを得ない。このため、サンプリング制御信号線 40 はサンプリングスイッチ 121 の近くでインピーダンスが上昇しやすく、比較的ノイズの飛びつきが多くなる。このため、上記のようなゴーストがより発生しやすい状況となる。

【0082】

このように従来の駆動回路では、データ線 6 の電圧が本来そのデータ線 6 とは無関係の画像信号の影響を受けて変動し、また、サンプリング制御信号線 40 に比較的ノイズが乗りやすいため、ゴーストの全くない、良好な画像を得ることは困難である。

【0083】

これに対して、第 1 実施形態の駆動回路では、各サンプリングスイッチ 121 毎に第 2 バッファ回路 125 を用意し、第 2 バッファ回路 125 を介してサンプリングスイッチ 121 をスイッチングしている。このため、異なるサンプリング制御信号線 40 の間には必ず第 2 バッファ 125 が挿入されることとなり、異なるサンプリング制御信号線 40 間の結合をほぼ完全に遮断することができる。

10

20

30

40

50

【 0 0 8 4 】

すなわち、第 1 の実施の形態の駆動回路では、例えば 1 つのサンプリング制御信号線 4 0 にノイズが侵入したとしても、そのノイズは別のサンプリング制御信号線 4 0 には伝播しないので、データ線 6 の電圧が変動することはない。

【 0 0 8 5 】

また、サンプリング制御信号線 4 0 の各々に第 2 バッファ 1 2 5 の出力端が接続されているので、サンプリング制御信号線 4 0 の配線の引き回しを短くすることができ、そのインピーダンスの上昇が抑えられる。このため、サンプリング制御信号線 4 0 にノイズが飛びつきにくい。

【 0 0 8 6 】

したがって、第 1 の実施の形態の駆動回路では、従来の駆動装置に見られるようなゴーストが発生せず、良好な表示画像を得ることができる。

【 0 0 8 7 】

- 第 2 実施形態 -

以下、図 7 を用いて、本発明による電気光学装置の駆動回路の第 2 実施形態について説明する。第 2 実施形態では、サンプリング制御信号のパルスの形状を第 1 実施形態と異なるものとしている。なお、第 1 実施形態と同一の構成要素についてはその説明を省略する。

【 0 0 8 8 】

第 1 実施形態では、サンプリング制御信号のパルス幅はシリアル - パラレル変換信号と同一のパルス幅（ドットクロック D C 6 周期分）に設定されている（図 2 ）が、第 2 実施形態では、図 6 に示すようにサンプリング制御信号線 4 0 に出力されるサンプリング信号のパルス幅を、画像信号線 1 1 5 の画像信号 V I D 1 ~ V I D 6 のパルス幅よりも小さくして、サンプリング制御信号 X 1 ~ X 6 、 X 7 ~ X 1 2 、 X 1 3 ~ X 1 8 、 ... のパルスを画像信号の立ち上がり立ち下りの間に位置させている。

【 0 0 8 9 】

このように、サンプリング信号のパルスを画像信号の立ち上がりおよび立ち下りに重ならない期間に設定すれば、画像信号が安定している期間に書き込みを実行できる。したがって、高精度の信号をデータ線 6 に供給することができ、より一層良好な画像を得ることができる。

【 0 0 9 0 】

なお、図 7 ではサンプリング制御信号のパルス幅をドットクロック D C 4 周期分の幅としているが、サンプリング制御信号のパルス幅は液晶層 5 0 に対する書き込みが可能な範囲で適宜選択することができる。

【 0 0 9 1 】

- 第 3 実施形態 -

以下、図 8 を用いて本発明による電気光学装置の駆動回路の第 3 実施形態について説明する。図 8 は第 3 実施形態の等価回路図である。なお、第 1 実施形態と同一の構成要素については、同一符号を付してその説明を省略する。

【 0 0 9 2 】

第 3 実施形態では、図 8 に示すように、シフトレジスタ 4 0 0 の出力端にそれぞれ接続された各第 1 バッファ回路 1 2 4 の出力端には、それぞれ 3 つの第 2 バッファ回路 1 2 5 が接続されている。また、各第 2 バッファ回路 1 2 5 には、それぞれ 2 つのサンプリングスイッチ 1 2 1 が接続されている。

【 0 0 9 3 】

次に図 9 を用いて第 3 実施形態のレイアウトについて説明する。

【 0 0 9 4 】

サンプリング制御信号線 1 2 1 は、第 2 バッファ 1 2 5 回路の出力端子からサンプリングスイッチ 1 2 1 に向けて、中継配線 8 0 と平行に交差された第 2 配線 4 2 と、第 2 配線 4 2 に接続されてさらに延設された第 3 配線 4 3 と、画像信号線 1 1 5 と平行に延設された接続配線 4 5 と、各サンプリングスイッチ 1 2 1 の各ゲート電極から引き出され、接続配

10

20

30

40

50

線 4 5 と接続された第 4 配線 4 8 とからなる。第 2 配線 4 2 と第 2 配線に接続された第 3 配線 4 3 の間隙には 2 本の中継配線 8 0 が第 2 配線 4 2 及び第 3 配線 4 3 に平行に延設されている。さらに、第 3 配線 4 3 はコンタクトホール 4 7 を介して接続配線 4 6 に接続され、接続配線 4 6 は中継配線 8 0 に交差するように延設されている。また、第 3 配線 4 3 はコンタクトホール 4 4 と 4 5 の間は第 1 導電層と第 2 導電層の二重配線となっている。接続配線 4 5 は第 1 導電層からなり、サンプリングスイッチ 1 2 1 に接続されるように楕型に延長された第 4 配線 4 8 とコンタクトホール 4 7 を介して接続されている。

【 0 0 9 5 】

第 3 実施形態では、隣り合った 2 つのサンプリングスイッチ 1 2 1 に入力される 2 つのサンプリング制御信号線 4 0 が互いに共通に第 2 バッファ回路 1 2 5 に接続されている。従って、図 1 3 に示す従来の駆動回路と比較すればバッファ回路 1 2 5 の負荷が軽いため、バッファ回路 1 2 5 の出力側にはノイズが混入しにくく、したがって、サンプリング制御信号の変動を良好に抑制することができる。このため、データ線の信号の精度を高めることができ、よって良好が画像を得ることができる。

10

【 0 0 9 6 】

また、2 つ以上離れたデータ線 6 間への影響はバッファ回路 1 2 5 によって排除されるため、画面上で像が二重に表示されているようには認識し難く、事実上、ゴーストを排除することができる。

【 0 0 9 7 】

第 3 実施形態では、1 つの第 2 バッファ回路 1 2 5 から 2 つのサンプリングスイッチにサンプリング制御信号を供給するようにしているが、1 つのバッファ回路から 3 つ以上のサンプリングスイッチにサンプリング制御信号を供給するようにしてもよい。

20

【 0 0 9 8 】

- 第 4 実施形態 -

以下、図 1 0 を用いて本発明による電気光学装置の駆動回路の第 4 実施形態について説明する。図 1 0 は第 4 実施形態の等価回路図である。なお、第 1 実施形態と同一の構成要素については、同一符号を付してその説明を省略する。

【 0 0 9 9 】

第 4 実施形態では、図 1 0 に示すように、第 1 バッファ回路 1 2 4 と第 2 バッファ回路 1 2 5 とを互いに画像信号線 1 1 5 を隔てて配置し、第 1 バッファ回路 1 2 4 からの出力線である第 1 配線を第 2 バッファ回路 1 2 5 の側で分岐させている。つまり、第 1 バッファ回路に接続された第 1 配線は画像信号線 1 1 5 と交差するように延設し、交差した後に分岐して複数の第 2 バッファ回路に並列に接続されている。

30

【 0 1 0 0 】

このようなレイアウトを採用することにより、第 4 実施形態では第 2 バッファ 1 2 5 の出力線に該当するサンプリング制御信号線 4 0 の配線の引き回しをより一層短くすることができ、また、画像信号線 1 1 5 からサンプリング制御信号線 4 0 へのノイズの飛びつきを避けることができる。尚、実施形態 1 で説明したように、本実施形態においても第 1 バッファ回路 1 2 4 を設けなくても、シトレジスタ 4 0 0 に大 2 バッファ回路 1 2 5 を直接駆動できる能力がある場合には、第 1 バッファ回路 1 2 4 を取り除き、シフトレジスタ 4 0 0 の出力端を直接第 2 バッファ回路 1 2 5 に接続するようにしても良い。

40

【 0 1 0 1 】

(液晶表示装置の全体レイアウト)

以下、図 1 1 および図 1 2 を用いて、本発明が適用されるアクティブマトリクス型の液晶表示装置の全体レイアウトについて第 1 の実施の形態の場合を例に挙げて説明する。

【 0 1 0 2 】

図 1 1 において、T F T アレイ基板 1 0 の上には、シール材 1 5 2 がその縁に沿って設けられており、その内側に並行して、額縁としての遮光膜 1 5 3 が設けられている。シール材 1 5 2 の外側の領域には、データ線駆動回路 1 0 1 及び実装端子 1 0 2 が T F T アレイ基板 1 0 の一辺に沿って設けられており、走査線駆動回路 1 0 4 が、この一辺に隣接する

50

2 辺に沿って設けられている。シフトレジスタ 4 0 0、第 1 及び第 2 バッファ回路 1 2 4、1 2 5 はデータ線駆動回路 1 0 1 に含まれる。走査線駆動回路 1 0 4 に供給される走査信号遅延が問題にならないのならば、図 1 に示すように走査線駆動回路 1 0 4 は片側だけでも良いことは言うまでもない。また、データ線駆動回路 1 0 1 を画像表示領域 D A の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画像表示領域 D A の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータラインは画像表示領域 D A の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。更に T F T アレイ基板 1 0 の残る一辺には、画像表示領域 D A の両側に設けられた走査線駆動回路 1 0 4 間をつなぐための複数の配線 1 0 5 が設けられており、更に、額縁としての遮光膜 1 5 3 の下に隠れてサンプリング回路 1 2 1 を設けるようにすると、データ線駆動回路 1 0 1 のレイアウト領域を拡張することができるため、大規模回路の内蔵や液晶装置 1 0 0 の小型化が実現できる。また、対向基板 2 0 のコーナー部の少なくとも 1 箇所においては、T F T アレイ基板 1 0 と対向基板 2 0 との間で電氣的導通をとるための導通材 1 0 6 が設けられている。そして、図 1 2 に示すように、図 1 1 に示したシール材 1 5 2 とほぼ同じ輪郭を持つ対向基板 2 0 が当該シール材 1 5 2 により T F T アレイ基板 1 0 に固着され、内部に液晶 5 0 が封入される。

10

【 0 1 0 3 】

以上、図 1 ~ 図 1 2 を参照して説明した各実施の形態における液晶装置の T F T アレイ基板 1 0 上には更に、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路 1 0 1 及び走査線駆動回路 1 0 4 を T F T アレイ基板 1 0 の上に設ける代わりに、例えば T A B (テープオートメテッドボンディング基板) 上に実装された駆動用 L S I に、T F T アレイ基板 1 0 の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板 2 0 の投射光が入射する側及び T F T アレイ基板 1 0 の出射光が出射する側には各々、例えば、T N (ツイステッドネマティック) モード、S T N (スーパー T N) モード、D - S T N (ダブル - S T N) モード等の動作モードや、ノーマリーホワイトモード / ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

20

30

【 0 1 0 4 】

上記実施の形態では、T F T を用いて各画素を駆動してもよいし、あるいは T F T 以外の、例えば T F D (薄膜ダイオード) 等のアクティブ素子を用いることも可能であり、さらに液晶装置をパッシブマトリクス型の液晶装置として構成することも可能である。また、シリコン基板にスイッチング素子を形成してなる表示装置の駆動回路にも適用可能である。さらに、本発明は液晶装置以外の電気光学装置についても、広く適用することができる。

【 0 1 0 5 】

(電子機器)

次に、以上詳細に説明した電気光学装置の一例として液晶装置 1 0 0 を備えた電子機器の実施の形態について図 1 4 から図 1 6 を参照して説明する。

40

【 0 1 0 6 】

先ず図 1 4 に、このように液晶装置 1 0 0 を備えた電子機器の概略構成を示す。

【 0 1 0 7 】

図 1 4 において、電子機器は、表示情報出力源 1 0 0 0、表示情報処理回路 1 0 0 2、駆動回路 1 0 0 4、液晶装置 1 0 0、クロック発生回路 1 0 0 8 並びに電源回路 1 0 1 0 を備えて構成されている。表示情報出力源 1 0 0 0 は、R O M (Read Only Memory)、R A M (Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路 1 0 0 8 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1 0 0 2 に出力する。表示情報

50

処理回路 1002 は、増幅・極性反転回路、シリアル - パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 CLK と共に駆動回路 1004 に出力する。駆動回路 1004 は、液晶装置 100 を駆動する。電源回路 1010 は、上述の各回路に所定電源を供給する。尚、液晶装置 100 を構成する液晶装置用基板の上に、駆動回路 1004 を搭載してもよく、これに加えて表示情報処理回路 1002 を搭載してもよい。

【0108】

次に図 15 から図 16 に、このように構成された電子機器の具体例を各々示す。

【0109】

図 15 において、電子機器の一例たる液晶プロジェクタ 1100 は、上述した駆動回路 1004 が液晶装置用基板上に搭載された液晶装置 100 を含む液晶表示モジュールを 3 個用意し、各々 RGB 用のライトバルブ 100R、100G 及び 100B として用いたプロジェクタとして構成されている。液晶プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3 枚のミラー 1106 及び 2 枚のダイクロイックミラー 1108 によって、RGB の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 100R、100G 及び 100B に各々導かれる。この際特に B 光は、長い光路による光損失を防ぐために、入射レンズ 1122、リレーレンズ 1123 及び出射レンズ 1124 からなるリレーレンズ系 1121 を介して導かれる。そして、ライトバルブ 100R、100G 及び 100B により各々変調された 3 原色に対応する光成分は、ダイクロイックプリズム 1112 により再度合成された後、投射レンズ 1114 を介してスクリーン 1120 にカラー画像として投射される。

【0110】

図 16 において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ (PC) 1200 は、上述した液晶装置 100 がトップカバーケース内に設けられており、更に CPU、メモリ、モデム等を収容すると共にキーボード 1202 が組み込まれた本体 1204 を備えている。

【0111】

以上図 15 から図 16 を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション (EWS)、携帯電話、テレビ電話、POS 端末、タッチパネルを備えた装置等などが図 14 に示した電子機器の例として挙げられる。

【0112】

以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置を備えた各種の電子機器を実現できる。

【0113】

【発明の効果】

以上に説明したように、本発明によれば前記シフトレジスタの出力端に接続された第 1 バッファ回路と、前記第 1 バッファ回路の出力端に各々接続された複数の第 2 バッファ回路とを有し、前記複数の第 2 バッファ回路の出力端は前記ブロック内のサンプリングスイッチに接続されているので、サンプリング制御信号の波形の乱れを良好に抑制できるとともに、サンプリング制御信号線を介してのノイズの侵入を防ぐことができる。したがってゴーストの極めて少ない、あるいはゴーストのない、良好な画像を得ることができる。

【図面の簡単な説明】

【図 1】第 1 実施形態の電気光学装置の駆動回路を示す等価回路図。

【図 2】インピーダンス変換器の回路を示す図であり、(a) はバッファ回路を示す等価回路図、(b) はインバータの回路を示す等価回路図。

【図 3】表示情報処理回路および液晶装置の接続関係を示す図。

【図 4】本発明の第 1 実施形態の画素群の平面図であり、(b) は図 4 (a) の C - C ' 50

断面図。

- 【図 5】第 1 実施形態の駆動回路のレイアウトを示す図。
 【図 6】第 1 実施形態の電気光学装置の駆動回路の動作を示すタイミングチャート。
 【図 7】第 2 実施形態の電気光学装置の駆動回路の動作を示すタイミングチャート。
 【図 8】第 3 実施形態の駆動回路の等価回路図。
 【図 9】第 3 実施形態の電気光学装置の駆動回路のレイアウト図。
 【図 10】第 4 実施形態の電気光学装置の等価回路図。
 【図 11】電気光学装置全体構成を示す平面図。
 【図 12】図 10 の H - H' 線における断面図。
 【図 13】従来の電気光学装置の駆動回路を示す等価回路図。
 【図 14】本発明による電子機器の実施の形態の概略構成を示すブロック図である。
 【図 15】電子機器の一例として液晶プロジェクタを示す断面図である。
 【図 16】電子機器の他の例としてパーソナルコンピュータを示す正面図である。

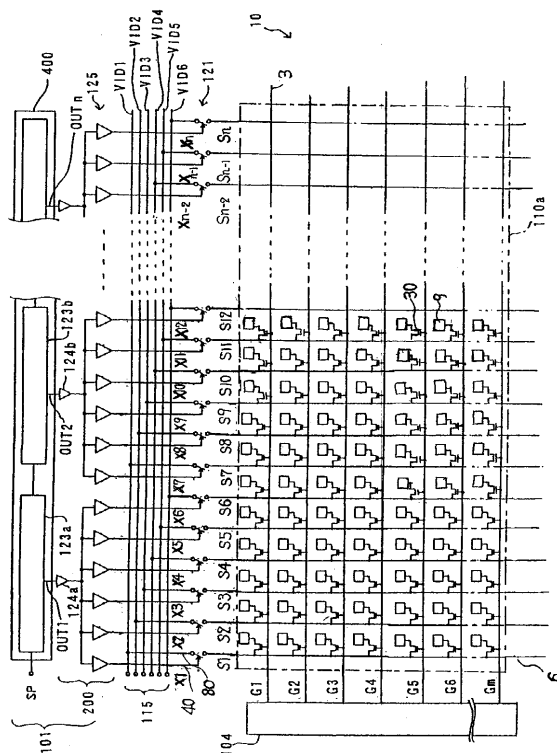
【符号の説明】

- 100 液晶装置
 101 走査線駆動回路
 121 サンプリングスイッチ
 400 シフトレジスタ
 124 第 1 バッファ回路
 125 第 2 バッファ回路
 115 画像信号線

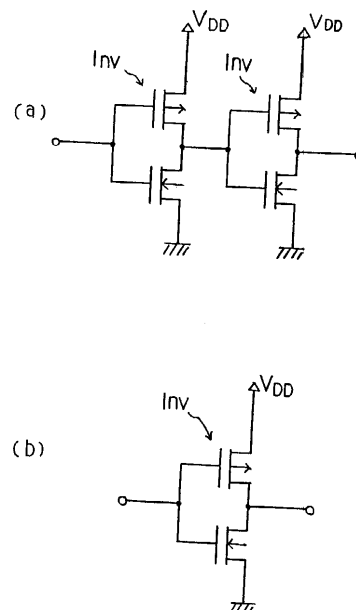
10

20

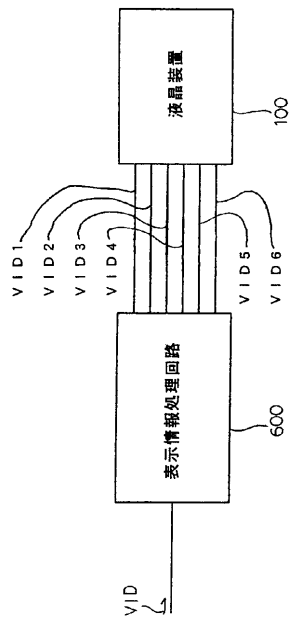
【図 1】



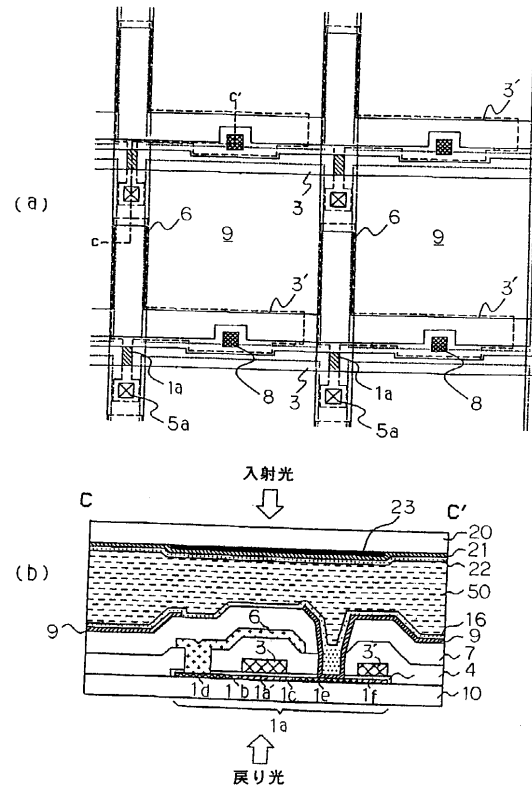
【図 2】



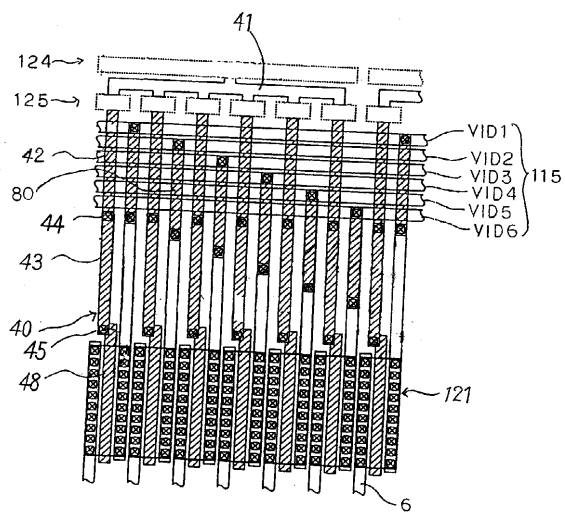
【図 3】



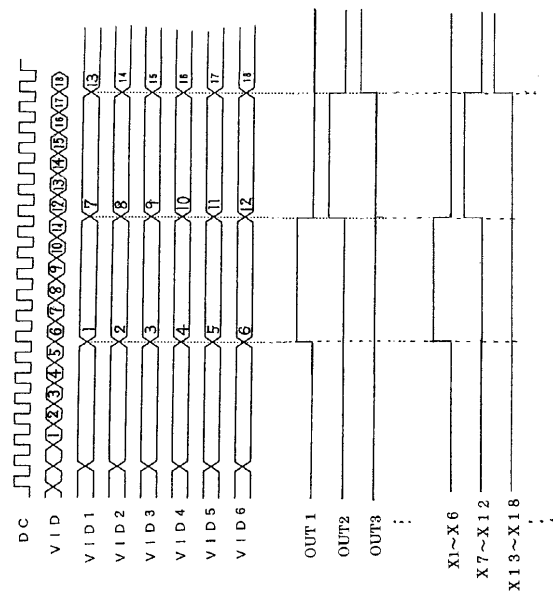
【図 4】



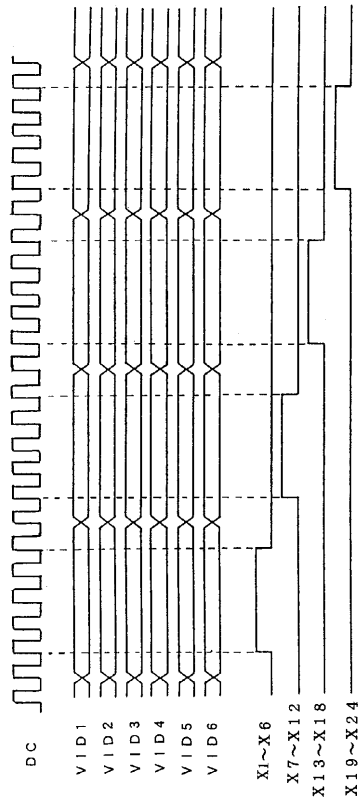
【図 5】



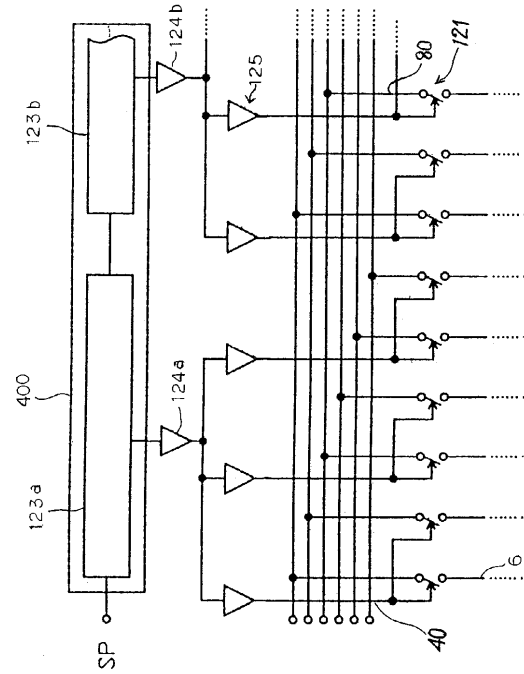
【図 6】



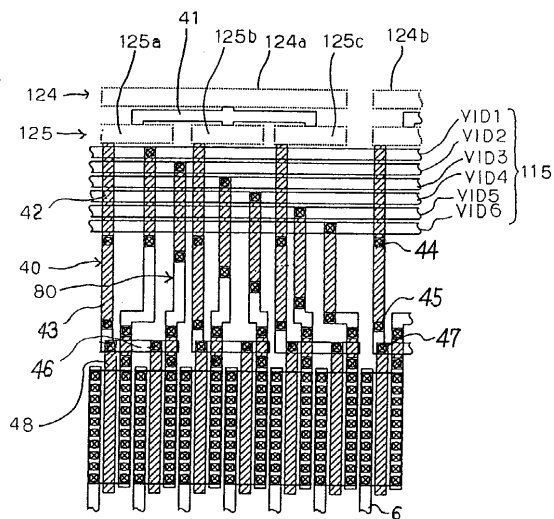
【図 7】



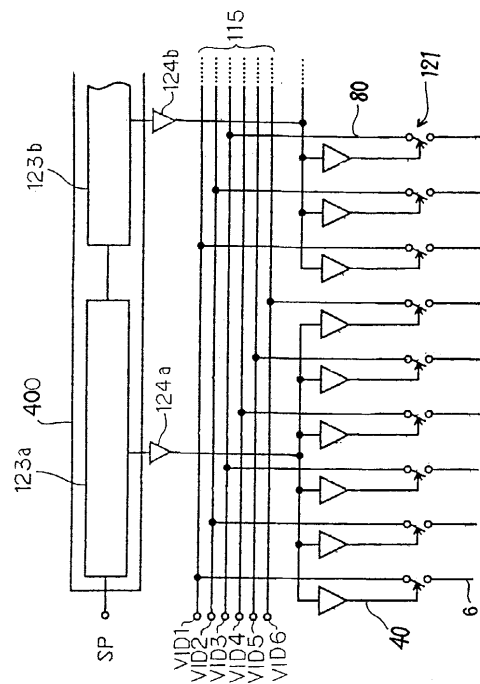
【図 8】



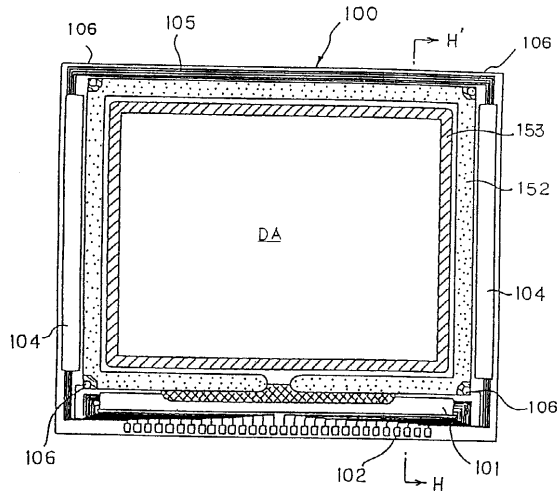
【図 9】



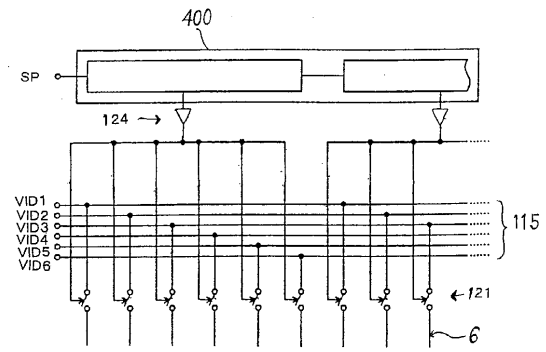
【図 10】



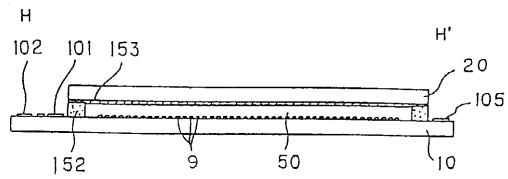
【 図 1 1 】



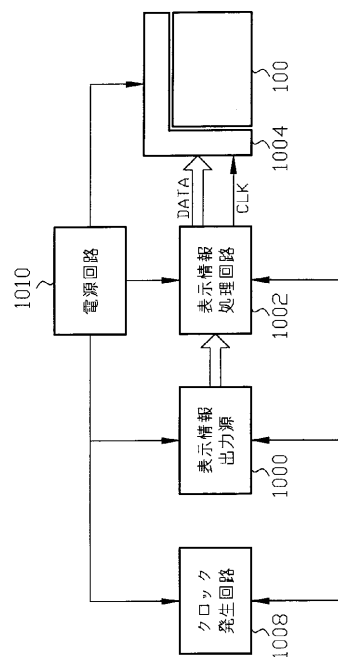
【 図 1 3 】



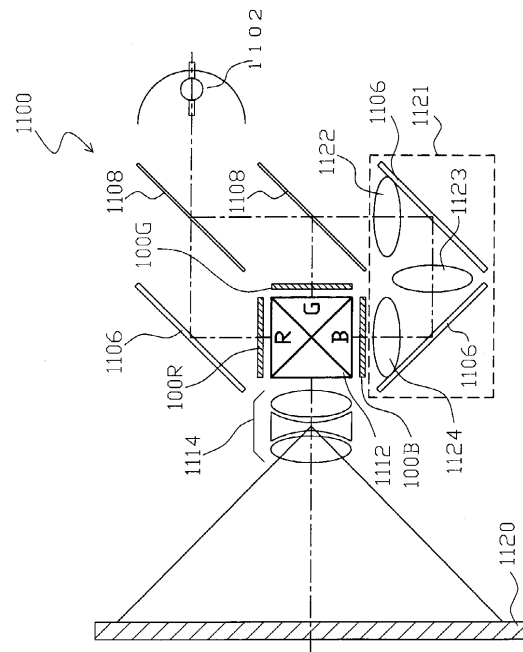
【 図 1 2 】



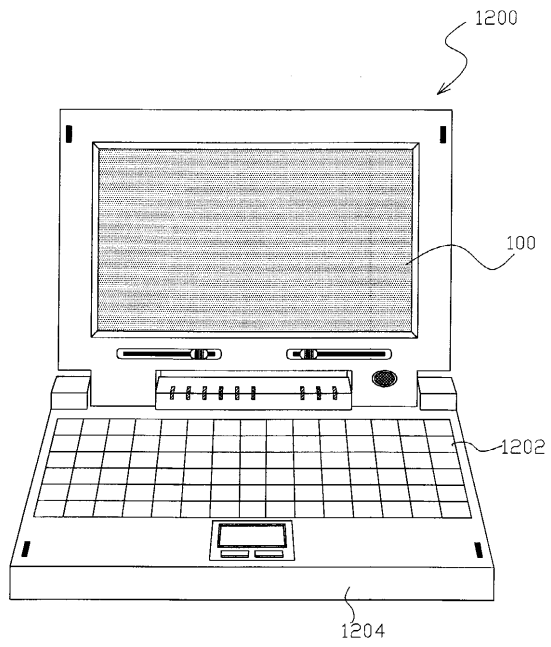
【 図 1 4 】



【 図 1 5 】



【図 16】



フロントページの続き

(56)参考文献 特開平07-056142(JP,A)
特開平10-171421(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133 550

G09G 3/20 623L

G09G 3/36