

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-211186

(P2008-211186A)

(43) 公開日 平成20年9月11日 (2008.9.11)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 3 1	5 F 0 8 3
H O 1 L 27/28 (2006.01)	H O 1 L 27/10 4 4 9	5 F 1 1 0
H O 1 L 51/05 (2006.01)	H O 1 L 27/10 4 6 1	
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 3 B	
G 1 1 C 13/00 (2006.01)	H O 1 L 29/28 1 0 0 A	
審査請求 未請求 請求項の数 21 O L (全 41 頁) 最終頁に続く		

(21) 出願番号 特願2008-7505 (P2008-7505)
 (22) 出願日 平成20年1月17日 (2008.1.17)
 (31) 優先権主張番号 特願2007-24862 (P2007-24862)
 (32) 優先日 平成19年2月2日 (2007.2.2)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 吉住 健輔
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 針馬 典子
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F083 CR14 FZ07 GA06 GA25 GA27
 HA02 HA10 JA36 JA37 JA38
 JA39 JA40 JA42 JA58 JA60
 LA01 LA25 PR03 PR23 PR33
 PR43 PR44 PR45 PR53 PR54
 PR55 ZA12 ZA30
 最終頁に続く

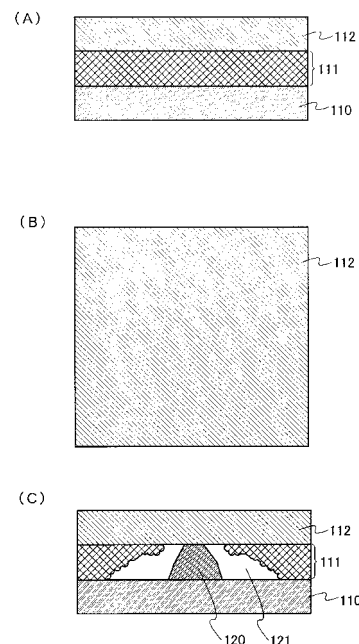
(54) 【発明の名称】 記憶素子及び半導体装置

(57) 【要約】 (修正有)

【課題】歩留まりが高く、簡便かつ安価に記憶素子を提供する。

【解決手段】記憶素子を少なくとも第1の導電層110と、第2の導電層と112、第1の導電層110と第2の導電層112に挟持されたメモリ層111とを有する構成とする。メモリ層111は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成されており、液滴吐出法を用いて形成する。具体的には、有機薄膜で被覆された導電性材料よりなるナノ粒子が溶媒に分散された組成物を液滴として吐出（噴出）し、乾燥することで該溶媒を気化させ、メモリ層111を形成する。記憶素子への書き込みは、電圧の印加により導電性材料よりなるナノ粒子の融着により形成される導電部を介して第1の導電層110と第2の導電層112とが電氣的に接続させることにより行う。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

第 1 の導電層と、第 2 の導電層と、前記第 1 の導電層と前記第 2 の導電層に挟持されたメモリ層とを有し、

前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成された部分と、前記ナノ粒子が融着して形成された導電部と、当該導電部の側面と前記ナノ粒子から構成された部分との間に形成された空間とを有し、

前記第 1 の導電層と前記第 2 の導電層は前記導電部を介して電氣的に接続されていることを特徴とする記憶素子。

【請求項 2】

第 1 の導電層と、第 2 の導電層と、前記第 1 の導電層と前記第 2 の導電層に挟持されたメモリ層とを有し、

前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成された部分と、当該部分の内側に形成された空間と、当該空間内に前記ナノ粒子が融着して形成された前記第 1 の導電層と前記第 2 の導電層とを電氣的に接続する導電部とを有することを特徴とする記憶素子。

【請求項 3】

第 1 の導電層と、第 2 の導電層と、前記第 1 の導電層と前記第 2 の導電層に挟持されたメモリ層とを有し、

前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成された部分と、前記ナノ粒子が融着して形成された導電部と、空間とを有し、

前記第 1 の導電層と前記第 2 の導電層は前記導電部を介して電氣的に接続され、前記導電部の側面は、前記空間を介して前記ナノ粒子から構成された部分に囲われていることを特徴とする記憶素子。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記メモリ層が有する前記導電部は、1 つであることを特徴とする記憶素子。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、

前記導電部の形状は、柱状もしくは錐状であることを特徴する記憶素子。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一項において、

前記第 1 の導電層と前記第 2 の導電層の間には、一定の距離が保持されていることを特徴とする記憶素子。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項において、

前記ナノ粒子から構成された部分は、液滴吐出法を用いて形成されていることを特徴する記憶素子。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記ナノ粒子の粒径は 1 nm 以上 200 nm 以下であることを特徴とする記憶素子。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、

前記有機薄膜は、少なくとも前記導電性材料と配位結合を形成することが可能な物質もしくは界面活性剤より構成されていることを特徴とする記憶素子。

【請求項 10】

請求項 9 において、

前記有機薄膜には、さらに還元剤、樹脂、可塑剤が含まれていることを特徴とする記憶素子。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項において、
前記導電部は、前記第 1 の導電層と前記第 2 の導電層間に電圧を印加することにより形成されることを特徴とする記憶素子。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか一項において、
前記第 1 の導電層と前記メモリ層との間に絶縁層を有することを特徴とする記憶素子。

【請求項 13】

請求項 1 乃至請求項 12 のいずれか一項において、
前記第 2 の導電層と前記メモリ層との間に絶縁層を有することを特徴とする記憶素子。

【請求項 14】

請求項 12 または請求項 13 において、
前記絶縁層は液滴吐出法を用いて形成されることを特徴とする記憶素子。

【請求項 15】

請求項 1 乃至請求項 11 のいずれか一項において、
前記第 1 の導電層と前記メモリ層との間に半導体層を有することを特徴とする記憶素子。

【請求項 16】

請求項 1 乃至請求項 11 及び請求項 15 のいずれか一項において、
前記第 2 の導電層と前記メモリ層との間に半導体層を有することを特徴とする記憶素子。

【請求項 17】

請求項 15 または請求項 16 において、
前記半導体層は液滴吐出法を用いて形成されることを特徴とする記憶素子。

【請求項 18】

マトリクス状に配置された複数の記憶素子を有し、
前記複数の記憶素子の各々は、第 1 の導電層と、第 2 の導電層と、前記第 1 の導電層と前記第 2 の導電層に挟持されたメモリ層とを有し、
前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成され、
前記複数の記憶素子のうち少なくとも一のメモリ層は、前記第 1 の導電層と前記第 2 の導電層を電氣的に接続する導電部と、当該導電部の側面と前記ナノ粒子から構成された部分との間に空間とを有することを特徴とする半導体装置。

【請求項 19】

請求項 18 において、
前記導電部は、前記メモリ層が有するナノ粒子が互いに融着して形成されたことを特徴とする半導体装置。

【請求項 20】

請求項 18 または請求項 19 において、
前記複数の記憶素子の各々は、薄膜トランジスタに電氣的に接続されていることを特徴とする半導体装置。

【請求項 21】

請求項 20 において、
前記薄膜トランジスタはガラス基板もしくは可撓性基板上に設けられていることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、記憶素子及び当該記憶素子を有する半導体装置に関する。

【背景技術】

【0002】

近年、絶縁表面上に複数の回路が集積され、様々な機能を有する半導体装置の開発が進められている。また、アンテナを設けることにより、アンテナで受信した電波を電気エネルギーに変換して動作するデータの送受信が可能な半導体装置の開発が進められている。

10

20

30

40

50

このような半導体装置は、無線チップ（ＩＤタグ、ＩＣタグ、ＩＣチップ、ＲＦ（Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ）タグ、無線タグ、電子タグ、ＲＦＩＤ（Ｒａｄｉｏ Ｆｒｅｑｕｅｎｃｙ Ｉｄｅｎｔｉｆｉｃａｔｉｏｎ）とも呼ぶ）と呼ばれ、既に一部の市場に導入されている。

【０００３】

現在実用化されているこれらの半導体装置の多くは、シリコン等の半導体基板を用いた回路（ＩＣ（Ｉｎｔｅｇｒａｔｅｄ Ｃｉｒｃｕｉｔ）チップとも呼ばれる）とアンテナとを有する。そして、当該ＩＣチップは記憶回路（メモリとも呼ぶ）や制御回路等から構成されている。特に多くのデータを記憶可能な記憶回路を備えることによって、より高性能で付加価値が高い半導体装置の提供が可能となる。しかし、シリコン基板は高価であるにもかかわらず、これら半導体装置は低コストで作製することが要求されている。これは無線チップのような小型半導体装置が半ば使い捨て商品としての需要が期待されているからである。そこで、近年、制御回路や記憶回路等に有機化合物を用いた有機薄膜トランジスタ（以下、「有機ＴＦＴ」ともいう。）や有機メモリ等の開発が盛んに行われている（例えば特許文献１参照）。

10

【特許文献１】特開２００２－２６２７７号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

有機メモリの記憶部分としてはたらく記憶素子は、一対の電極間に有機化合物層を設けることで形成され、そのデータの書き込みには電圧の印加による電気的特性、例えば抵抗値などの変化を利用する。このような有機化合物層は蒸着法を用いて形成されることが多い。

20

【０００５】

蒸着法を用いて形成した場合、気化した有機化合物のうちの一部しか使用しないため材料の利用効率が悪い。そのうえ、使用されない材料までを気化しているため製造工程におけるエネルギー消費量が大きいといった問題が挙げられる。

【０００６】

また、メタルマスクを用いた蒸着法によって有機メモリを作製する場合、メタルマスクにおけるアライメントの位置合わせ工程が必要となる。このため、アライメントの位置あわせの不具合から製品の歩留まりが低下してしまう。

30

【０００７】

そこで、本発明では歩留まりが高く、簡便かつ安価に記憶素子を提供することを課題とする。また、前記記憶素子を備えた半導体装置を提供することを課題とする。

【課題を解決するための手段】

【０００８】

本発明では、記憶素子を少なくとも第１の導電層と、第２の導電層と、第１の導電層と第２の導電層に挟持されたメモリ層とを有する構成とする。前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成されており、湿式法を用いて形成することができる。代表的には、液滴吐出法や印刷法等があり、なかでも液滴吐出法を用いて形成することが好ましい。例えば、有機薄膜で被覆された導電性材料よりなるナノ粒子が溶媒に分散された組成物を液滴として吐出（噴出）し、乾燥することで該溶媒を気化させ、メモリ層を形成する。よって、材料の利用効率を高め、簡便に記憶素子を形成することができる。さらに、歩留まりも上がるため安価に記憶素子を提供することが可能となる。

40

【０００９】

なお、ナノ粒子を被覆する有機薄膜は、吐出される組成物（吐出材料ともいう）中でナノ粒子の凝集を防ぎ、かつ粒子を安定に分散させる機能を有する分散剤に相当し、例えばナノ粒子が有する導電性材料と配位結合を形成することが可能な物質や界面活性剤等より構成されている。また、吐出材料には、導電性ナノ粒子、分散剤、溶媒の他、ナノ粒子の作製時に用いられる物質（例えば、還元剤）、バインダー、可塑剤、シランカップリング

50

剤等が含まれる場合もある。そのため、ナノ粒子を被覆する有機薄膜は、少なくとも分散剤、例えばナノ粒子が有する導電性材料と配位結合を形成することが可能な物質や界面活性剤等から構成されており、さらにナノ粒子の作製時に用いられる物質、バインダー、可塑剤、シランカップリング剤等を有していても良い。

【0010】

このような記憶素子に対し電圧を印加することで、記憶素子の電気的特性を変化させ、データの書き込みを行う。電気的特性には例えば抵抗値があり、書き込んだ際には対となる第1の導電層と第2の導電層とが導電性材料よりなるナノ粒子の融着により形成される導電部を介して電氣的に接続される、つまり第1の導電層と第2の導電層とが短絡（ショートともいう）することにより生じる抵抗値の変化を利用して書き込みを行う。

10

【0011】

なお、メモリ層に形成された導電部の形状は例えば柱状、錐状もしくは球状であり、その周囲には空間が形成される。

【0012】

また、本明細書において書き込み電圧は、第1の導電層と第2の導電層との間に電圧を印加することにより記憶素子の電気的特性を変化させる電圧であれば特に限定されない。この記憶素子の電気的特性を大幅に変化させるために要する印加電圧の最小値を、本明細書においては書き込み電圧とする。また、読み取り電圧とは、未書き込み素子と書き込み済み素子との電気的特性の差を読み取るために用いる印加電圧であり、記憶素子の電気的特性を変化させない程度の電圧であれば特に限定されない。

20

【0013】

また、第1の導電層及び第2の導電層を電極と記載することもある。

【0014】

本発明の一は、第1の導電層と、第2の導電層と、前記第1の導電層と前記第2の導電層に挟持されたメモリ層とを有し、前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成された部分（第2の部分ともよぶ）と、前記ナノ粒子が融着して形成された導電部（第1の部分ともよぶ）と、当該導電部の側面と前記ナノ粒子から構成された部分との間に形成された空間とを有し、前記第1の導電層と前記第2の導電層は前記導電部を介して電氣的に接続されている記憶素子である。

30

【0015】

本発明の一は、第1の導電層と、第2の導電層と、前記第1の導電層と前記第2の導電層に挟持されたメモリ層とを有し、前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成された部分と、当該部分の内側に形成された空間と、当該空間内に前記ナノ粒子が融着して形成された前記第1の導電層と前記第2の導電層とを電氣的に接続する導電部とを有する記憶素子である。

【0016】

本発明の一は、第1の導電層と、第2の導電層と、前記第1の導電層と前記第2の導電層に挟持されたメモリ層とを有し、前記メモリ層は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成された部分と、前記ナノ粒子が融着して形成された導電部と、空間とを有し、前記第1の導電層と前記第2の導電層は前記導電部を介して電氣的に接続され、前記導電部の側面は、前記空間を介して前記ナノ粒子から構成された部分に囲われている記憶素子である。

40

【0017】

上記構成において、メモリ層と第1の導電層及び第2の導電層の少なくとも一方との間に絶縁層もしくは半導体層が設けられていても良い。

【0018】

なお、メモリ層は例えば液滴吐出法を用いて形成されている。また、絶縁層及び半導体層においても、液滴吐出法を用いて形成しても良い。その場合、絶縁層には絶縁性有機化合物を用いて形成することが好ましい。

【0019】

50

また、本発明の一は上記記憶素子がマトリックス状に複数配置されていることを特徴とする半導体装置であっても良い。なお、その複数の記憶素子の各々は、薄膜トランジスタに接続されていても良い。

【発明の効果】

【0020】

本発明により、簡便に歩留り良く、性能及び信頼性に優れた記憶素子及び記憶素子を備えた半導体装置を作製することができる。そのため、性能及び信頼性に優れた記憶素子及び半導体装置を安価に提供することが可能となる。

【発明を実施するための最良の形態】

【0021】

本発明の実施の形態及び実施例について、図面を用いて以下に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間においても共通して用いる場合がある。

【0022】

(実施の形態1)

本発明の記憶素子の一構成例を図1を用いて説明する。図1に示す記憶素子は、第1の導電層110と、第2の導電層112と、第1の導電層110と第2の導電層112に挟持されたメモリ層111とを有し、メモリ層111は有機薄膜で被覆された導電性材料よりなるナノ粒子から構成されている。

【0023】

まず、本発明の記憶素子の動作機構について図2を用いて説明する。書き込みを行う前の記憶素子の断面図を図2(A)に、書き込みを行った後の記憶素子の上面図及び断面図をそれぞれ図2(B)、図2(C)に示す。電圧を印加する前、即ち書き込みを行う前のメモリ層111は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成されている。そのため、メモリ層111は導電性を有さず、記憶素子の抵抗値は高い。このような記憶素子の第1の導電層110と第2の導電層112との間に電圧を印加するとメモリ層111に微電流が流れ、ジュール熱が発生する。このジュール熱により有機薄膜が分解され、導電性材料よりなるナノ粒子同士が接触し融着する。よって、メモリ層111は低抵抗化され、図2(C)に示すように最終的には融着により形成された導電部120を介して第1の導電層110と第2の導電層112とが電氣的に接続され、記憶素子はショートした状態となる。以上のように、電圧印加前後での記憶素子の抵抗値が変化する。

【0024】

上記の動作機構より、電圧の印加による記憶素子の抵抗値の変化を利用して、データの書き込みを行う。

【0025】

なお、書き込み後のメモリ層111に形成された導電部120の形状は、柱状、錐状もしくは球状となる。もちろん、前述のように表現された形状に限られるものではなく、導電部120が第1の導電層110と第2の導電層112とを電氣的に接続する機能を有するものであれば良い。また、その断面は導電性材料よりなるナノ粒子の融着により形成されているため左右対称とは限らず、いびつな形状となっている場合もある。また、導電部120はメモリ層111内に少なくとも1つは形成され、その場所は特に限定されない。

【0026】

また、導電部120の周囲には空間121が形成される。空間121は、有機薄膜の分解と融着によって形成される導電部120の占有領域が融着前のナノ粒子の占有領域より小さいために生じる。この空間121が生じることによりメモリ層111自体は収縮しないため、第2の導電層112に応力がかからない。よって、第2の導電層112に変形は生じず、第1の導電層110と第2の導電層112との間には書き込み後においても一定

10

20

30

40

50

の距離が保たれている。そのため、例えば第2の導電層112上に他の層を設けた場合などには前記他の層の膜剥がれ等を懸念する必要もなくなる。なお、空間121の形状は、メモリ層111に用いる材料にもよるが、導電部120の形状におおよそ依存する。

【0027】

なお、メモリ層111には、第1の導電層110と第2の導電層112とを電氣的に接続するに至らないまでも、第1の導電層110と電氣的に接続された導電部が形成される場合もある。そのため、メモリ層111は上記構成に加え、第1の導電層110のみに電氣的に接続された導電部を有していても良い。また、前記導電部の形成に伴い、ナノ粒子の融着量が多い箇所ではメモリ層111に空間が生じる。よって、メモリ層111は、さらに前記導電部の周囲に空間を有していても良い。もちろん、前記導電部及び前記空間においても、形状及び数量は特に限定されるものではない。

10

【0028】

図3に書き込み前後のメモリ層111の上面図の一例を示す。なお、図3における上面図はメモリ層111の膜厚方向における1/2の箇所での切断面であり、図3(A)が書き込み前のメモリ層111であり、図3(B)が書き込み後のメモリ層111である。

【0029】

次に、各層に用いることが可能な材料について説明する。本発明の記憶素子における第1の導電層110と第2の導電層112には、単層または積層構造からなる導電性の高い金属、合金、化合物等を用いることができる。

【0030】

20

例えば、金(Au)、銀(Ag)、白金(Pt)、ニッケル(Ni)、タングステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)等の金属、または金属材料の窒化物(例えば、窒化チタン、窒化タングステン、窒化モリブデン)の他、周期表の1族または2族に属する金属、即ちリチウム(Li)やセシウム(Cs)等のアルカリ金属、マグネシウム(Mg)、カルシウム(Ca)、ストロンチウム(Sr)等のアルカリ土類金属、及びこれらのいずれかを含む合金(たとえば、Mg:Ag、Al:Li)等が挙げられる。また、ユーロピウム(Er)、イッテルビウム(Yb)等の希土類金属及びこれらを含む合金等を用いてもよい。また、透明導電膜として用いられるインジウム錫酸化物(以下、ITOと表記する)、珪素を含有したインジウム錫酸化物、2~20[w t %]の酸化亜鉛(ZnO)を含む酸化インジウム(略称:IZO)等を用いることもできる。

30

【0031】

なお、第1の導電層110は、蒸着法、スパッタ法、CVD法、印刷法、電解メッキ法、無電解メッキ法、スピンコート法等を用いて形成される。

【0032】

第2の導電層112は、蒸着法、スパッタ法、CVD法、印刷法、スピンコート法等を用いて形成することができる。

【0033】

40

メモリ層111は、有機薄膜で被覆された導電性材料よりなるナノ粒子から構成されている。このメモリ層111は、液滴吐出法を用いて形成される。液滴吐出法とは所定の物質を含む液滴を細孔から吐出してパターンを形成する方法であり、ここでは溶媒に有機薄膜で被覆された導電性材料よりなるナノ粒子が分散された組成物を液滴として吐出(噴出)し、乾燥することで該溶媒を気化させ、メモリ層111を形成する。メモリ層111の膜厚は特に限定されないが、1nm以上250nm以下が好ましい。ただし、膜厚を厚くしすぎると、電圧を印加した際、記憶素子によって挙動が異なる可能性があるため、これを考慮にいれたうえで適宜設定する必要がある。なお、本発明の記憶素子において、メモリ層111の薄膜化に伴い書き込み電圧を低減することができる。

【0034】

ナノ粒子を形成する導電性材料には、金(Au)、銀(Ag)、白金(Pt)、ニッケ

50

ル (N i)、銅 (C u)、パラジウム (P d)、タンタル (T a)、イリジウム (I r)、ロジウム (R h)、タングステン (W)、アルミニウム (A l)、鉄 (F e)、亜鉛 (Z n)、錫 (S n)、チタン (T i)、インジウム (I n) 等から選択された金属元素又はこれらの元素を主成分とする合金材料が用いられる。また、カドミウム (C d)、亜鉛 (Z n) の金属硫化物、ゲルマニウム (G e)、ケイ素 (S i)、ジルコニウム (Z r)、バリウム (B a) や上述の金属元素などの酸化物、ハロゲン化物の一種又は複数種が混合されていてもよい。その他、導電性材料に、透明導電膜として用いられる I T O、珪素を含有したインジウム錫酸化物、 I Z O 等を用いることもできる。

【 0 0 3 5 】

なお、導電性材料に 2 種以上の元素もしくは化合物が用いられる場合、その混合状態については特に限定されず、例えばこれらの各々が均一に存在しても、コア部にいずれかが偏在していても良い。

【 0 0 3 6 】

ナノ粒子の粒径は、1 n m 以上 2 0 0 n m 以下、好ましくは 1 n m 以上 1 0 0 n m 以下が良く、吐出材料に含まれるナノ粒子の粒径は均一であるほうが好ましい。

【 0 0 3 7 】

なお、ナノ粒子は、気相法、液相法、固相法のいずれを用いて形成されたものであっても良く、その作製方法は特に限定されない。

【 0 0 3 8 】

なお、ナノ粒子を構成する導電性材料によっては電圧を印加した際、粒子間にボイドが発生することがある。これは、導電性材料の結晶成長が非常に速く進行したためであり、記憶素子への印加電圧を低く設定することやナノ粒子に合金材料を用いることでこのようなボイドの発生を抑制することができる。よって、より信頼性の高い記憶素子を得ることができる。

【 0 0 3 9 】

ナノ粒子を被覆する有機薄膜は、溶媒中においてナノ粒子の凝集を防ぎ、粒子を安定に分散させる機能を有する分散剤に相当する。そのため、有機薄膜を形成する化合物は、導電性材料が有する金属元素と配位結合を形成することが可能な物質や界面活性剤等により構成されている。ここで、金属元素と配位結合を形成する物質としては、アミノ基、チオール基 (- S H)、スルファンジイル基 (- S -)、ヒドロキシ基 (- O H)、オキシ基 (- O -)、カルボキシル基 (- C O O H)、シアノ基 (- C N) 等の窒素、硫黄、酸素原子などが有する孤立電子対を有する物質が挙げられる。例えば、エタノールアミン等のヒドロキシアミン類、ポリエチレンイミンやポリビニルピロリドン等のアミン系化合物、ポリビニルアルコール等のアルコール類、アルカンチオール類、ジチオール類、エチレングリコール、ジエチレングリコールやポリエチレングリコール等のグリコール類、ポリアクリル酸やカルボキシメチルセルロース等を用いることができる。また、界面活性剤としては、例えば、ビス (2 - エチルヘキシル) スルホコハク酸やドデシルベンゼンスルホン酸ナトリウム等のアニオン性界面活性剤、ポリアルキルグリコールのアルキルエステルやアルキルフェニルエーテル等の非イオン性界面活性剤、フッ素系界面活性剤、ポリエチレンイミンとポリエチレンオキサイドとを有する共重合体等を用いることができる。なお、分散剤はナノ粒子に対し 3 0 w t % 以上とした場合には吐出材料の粘度が高くなるため、1 . 0 w t % 以上 3 0 w t % 以下が好ましい。

【 0 0 4 0 】

上記のような有機薄膜で被覆された導電性材料よりなるナノ粒子は、溶媒に分散されて吐出される。溶媒には、水または有機溶媒を用いることができ、有機溶媒は水溶性有機溶媒であっても、非水溶性有機溶媒であっても良い。例えば、水溶性有機溶媒にはメタノール、エタノール、プロパノール、ブチルアルコール、グリセリン、ジブロピレングリコール、エチレングレコール等のアルコール、アセトン、メチルエチルケトン等のケトン、エチレングリコールモノメチルエーテル、エチレングリコールモノエチルエーテル、エチレングリコールモノブチルエーテル、ジエチレングリコールモノブチルエーテル等のグリコ

10

20

30

40

50

ールエーテル、2 - ピロリドン、N - メチルピロリドン等の水溶性含窒素有機化合物や酢酸エチル等が挙げられる。また、非水溶性有機溶媒には、オクタン、ノナン、デカン等のアルカン、シクロアルカン、トルエン、キシレン、ベンゼン、ジクロロベンゼン等の芳香族等が挙げられる。もちろん、これら溶媒は必ずしも一種で使用する必要はなく、溶媒同士において相分離が生じなければ複数種を混合して用いることも可能である。

【0041】

次に液滴吐出法に用いる液滴吐出装置の一態様を図4に示す。液滴吐出手段203の個々のヘッド205、ヘッド212は制御手段207に接続され、それをコンピュータ210で制御することにより予めプログラミングされたパターンに描画することができる。描画するタイミングは、例えば、記憶素子が設けられる基板200上に形成されたマーカー211を基準に行えば良い。あるいは、基板200の縁を基準としても良い。この基準を撮像手段204により検出し、画像処理手段209にてデジタル信号に変換したものをコンピュータ210で認識して制御信号を発生させて制御手段207に送る。撮像手段204としては、電荷結合素子(CCD)や相補型金属酸化物半導体を利用したイメージセンサなどを用いることができる。基板200上に形成されるべきパターンの情報は記憶媒体208に格納されたものであり、この情報をもとにして制御手段207に制御信号を送り、液滴吐出手段203の個々のヘッド205、ヘッド212を個別に制御する。吐出する材料は、材料供給源213、材料供給源214より配管を通してヘッド205、ヘッド212にそれぞれ供給される。

10

【0042】

ヘッド205内部は、点線206が示すように液状の材料を充填する空間と、吐出口であるノズルを有する構造となっている。ここでは図示していないが、ヘッド212もヘッド205と同様の内部構造を有する。例えば、ヘッド205とヘッド212におけるノズルのサイズを異ならせると、異なる材料を異なる幅で同時に描画することができる。もちろん、同じ材料を異なる幅で同時に描画することも可能である。

20

【0043】

また、大型基板を用いる場合、ヘッド205、ヘッド212を図中の矢印の方向に自在に走査し、描画する領域を自由に設定することができる。そのため、同じパターンを一枚の基板に複数描画することもできる。また、ステージを動かし、描画する領域を自由に設定しても良い。もちろん、ヘッド及びステージを同時に動かしても良い。

30

【0044】

なお、吐出する材料の粘度は $20 \text{ mPa} \cdot \text{s}$ 以下が好適であり、これはノズルから材料を円滑に吐出できるようにするためである。また、吐出する材料の表面張力は、 40 mN/m 以下が好ましい。ただし、用いる溶媒や用途等に合わせて、吐出材料の粘度等は適宜調整するとよい。例えば、金や銀のナノ粒子が溶媒に分散された吐出材料の粘度は $5 \text{ mPa} \cdot \text{s}$ 以上 $20 \text{ mPa} \cdot \text{s}$ 以下に設定するとよい。

【0045】

このような液滴吐出装置を用いて、溶媒に有機薄膜で被覆された導電性材料よりなるナノ粒子が分散された吐出材料を所望の位置に吐出し、その後溶媒を気化するために乾燥する。乾燥条件は用いた溶媒により異なるが、例えば、溶媒にプロパノールを用いた場合には 100°C で5分間ほど行えば良い。なお、吐出時に第1の導電層110が設けられた基板を加熱して、乾燥に要する時間を短縮しても良い。

40

【0046】

なお、吐出材料には、導電性材料、分散剤、溶媒の他にナノ粒子の作製時に用いられる物質、バインダー、可塑剤、シランカップリング剤等が含まれる場合もある。バインダーには、熱硬化性樹脂が用いられ、例えば、ポリイミド、アクリル、ノボラック樹脂、メラミン樹脂、フェノール樹脂、エポキシ樹脂、シリコーン樹脂、フラン樹脂、ジアリルフタレート樹脂等の有機樹脂が挙げられる。なお、バインダーは熱硬化性樹脂の収縮力によりナノ粒子同士の不均一な融着箇所が発生することを抑制することができる。また、このような樹脂により、吐出材料の粘度を調節することも可能である。

50

【 0 0 4 7 】

よって、メモリ層 1 1 1 を構成するナノ粒子を被覆する有機薄膜は、分散剤の他、溶媒、ナノ粒子の作製時に用いられる物質（例えば、還元剤）、バインダー、可塑剤、シランカップリング剤等が含まれる場合もある。さらに、溶媒が有機薄膜中に残留している場合もある。以上のように、メモリ層 1 1 1 を構成する有機薄膜は、少なくともナノ粒子が有する金属元素と配位結合を形成することが可能な物質や界面活性剤等から構成されており、さらにナノ粒子の作製時に用いられる物質、バインダー、可塑剤、シランカップリング剤等を有していても良い。

【 0 0 4 8 】

なお、上記では液滴吐出法を用いてメモリ層 1 1 1 を形成する場合について述べたが、吐出材料を高粘度化することにより、スクリーン印刷をはじめとする印刷法を用いて形成しても良い。印刷法であっても、蒸着法等と比べ材料の利用効率を高め、簡便にメモリ層 1 1 1 を形成することができる。ただし、これらに限られるものではなく、他の湿式法を用いて形成することも可能である。

【 0 0 4 9 】

また、第 1 の導電層 1 1 0 及び第 2 の導電層 1 1 2 についても、液滴吐出法を用いて形成しても良い。

【 0 0 5 0 】

以上のようにして、本発明の記憶素子を簡便に歩留り良く作製することができる。また、本発明の記憶素子は、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。よって、性能及び信頼性に優れた記憶素子を安価に作製することが可能となる。

【 0 0 5 1 】

なお、本発明の記憶素子に印加する電圧は、第 2 の導電層 1 1 2 に比べ第 1 の導電層 1 1 0 により高い電圧をかけてもよいし、第 1 の導電層 1 1 0 に比べ第 2 の導電層 1 1 2 により高い電圧をかけてもよい。

【 0 0 5 2 】

また、記憶素子の構成は図 1 に限らず、図 5 に示す構成であっても良い。図 5 (A) に示す記憶素子は、第 1 の導電層 1 1 0 と、層 3 0 0 と、メモリ層 1 1 1 と、第 2 の導電層 1 1 2 とを有し、層 3 0 0 及びメモリ層 1 1 1 は第 1 の導電層 1 1 0 と第 2 の導電層 1 1 2 に挟持された構成であり、メモリ層 1 1 1 は、層 3 0 0 上に接して形成されている。なお、層 3 0 0 の膜厚は特に限定されないが、0 . 1 n m 以上 5 0 n m 以下が好ましい。

【 0 0 5 3 】

層 3 0 0 は絶縁層であり、絶縁性を有する無機化合物または有機化合物を用いて形成することができる。例えば無機化合物としては、酸化リチウム (Li_2O)、酸化ナトリウム (Na_2O)、酸化カリウム (K_2O)、酸化ルビジウム (Rb_2O)、酸化ベリリウム (BeO)、酸化マグネシウム (MgO)、酸化カルシウム (CaO)、酸化ストロンチウム (SrO)、酸化バリウム (BaO) 等の酸化物、フッ化リチウム (LiF)、フッ化ナトリウム (NaF)、フッ化カリウム (KF)、フッ化ルビジウム (RbF)、フッ化ベリリウム (BeF_2)、フッ化マグネシウム (MgF_2)、フッ化カルシウム (CaF_2)、フッ化ストロンチウム (SrF_2)、フッ化バリウム (BaF_2) 等のフッ化物や、その他絶縁性を有する窒化物、塩化物、臭化物、ヨウ化物、炭酸塩、硫酸塩若しくは硝酸塩等が挙げられる。また、絶縁性を有する有機化合物としては、ポリイミド、アクリルポリマー、ポリアミド、ベンゾシクロブテン系樹脂、ポリエステル、ノボラック樹脂、メラミン樹脂、フェノール樹脂、エポキシ樹脂、シリコーン樹脂、フラン樹脂、ジアリルフタレート樹脂等を用いることができる。また、ケイ素と酸素との結合で主鎖が構成される、いわゆるシロキサン系の材料を用いてもよい。

【 0 0 5 4 】

図 5 (A) に示すように絶縁層を設けることで、読み取り電圧を印加した際に未書き込み素子に流れてしまうリーク電流をより小さくすることができる。よって、読み取り時に

10

20

30

40

50

おける消費電力を低減することが可能となる。

【0055】

なお、本発明の記憶素子における書き込み電圧は、上述のようにメモリ層111を薄くすることで低減することができる。しかしながら、薄膜化すると書き込み電圧を低減することは可能なものの、薄膜化しすぎると読み取り時におけるリーク電流が増えてしまう。このような場合に、絶縁層を設けることは特に効果的である。

【0056】

この絶縁層は、蒸着法、スパッタ法、CVD法、印刷法、スピンコート法、ゾルゲル法または液滴吐出法等を用いて形成することができる。なかでも、絶縁性を有する有機化合物を用いて液滴吐出法により形成することが好ましい。この場合、絶縁層は前記有機化合物もしくはその反応物質を有機溶媒に溶解させた組成物を所望の位置に吐出し、溶媒を除去することにより形成される。そのため、メモリ層111を形成するために用いられる組成物の溶媒に、絶縁層を形成するために用いた有機溶媒と相分離が生じる溶媒を選択することで、絶縁層を形成する際に有機溶媒が除去しきれていなくともメモリ層111を形成するための組成物を吐出することができる。よって、絶縁層を形成するために溶媒を除去するための乾燥工程を別途設ける必要はなく、例えば絶縁層の形成時に第1の導電層110が設けられた基板を加熱する程度で足りる。また、後の工程のメモリ層111を形成する際に施す乾燥と兼ねて行うことも可能である。さらに、絶縁性を有する有機化合物を用いて液滴吐出法により形成された絶縁層は密度が低く嵩高いため、他の方法もしくは他の絶縁性材料を用いて形成された絶縁層に比べ、層300を設けることによる書き込み電圧の上昇をほとんど招くことなく、読み取り時における未書き込み素子に流れるリーク電流を低減することができる。

【0057】

また、層300は半導体層であっても良く、酸化モリブデン、酸化スズ、酸化ビスマス、シリコン膜、酸化バナジウム、酸化ニッケル、酸化亜鉛、シリコンゲルマニウム、ヒ化ガリウム、窒化ガリウム、酸化インジウム、リン化インジウム、窒化インジウム、硫化カドミウム、テルル化カドミウム、チタン酸ストロンチウム膜などの無機半導体を用いて形成することができる。

【0058】

半導体層においても液滴吐出法や印刷法を用いて形成することができる。また、他の形成方法として、蒸着法、電子ビーム、スパッタリング法、CVD法、スピンコート法、ゾルゲル法等を用いても良い。

【0059】

また、記憶素子の構成は図5(A)に限らず、図5(B)のように層300は第2の導電層112に接して設けられていても良い。また、図5(C)に示すように、層300を第1の導電層110及び第2の導電層112に接するように2層設けても良い。

【0060】

以上のように、第1の導電層及び第2の導電層の少なくとも一方に接してさらに絶縁層もしくは半導体層を設けることにより、読み取り時における未書き込み素子に流れるリーク電流を低減することができる。よって、消費電力を低減することも可能となる。

【0061】

(実施の形態2)

本実施形態では、本発明の記憶素子を有する半導体装置、代表的には記憶装置について図面を用いて説明する。ここでは、記憶装置の構成がパッシブマトリクス型の場合に関し示す。

【0062】

本実施形態で示す半導体装置の一構成例を図6(A)に示す。半導体装置400は、記憶素子401がマトリクス状に設けられたメモリセルアレイ411、デコーダ412、413、セレクト414、読み出し/書き込み回路415を有する。なお、ここで示す半導体装置400の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の

10

20

30

40

50

回路を有していてもよい。

【0063】

なお、デコーダ412、413、セレクタ414、読み出し/書き込み回路415、インターフェイス等は、記憶素子と同様に基板上に形成しても良いし、ICチップとして外付けしても良い。

【0064】

記憶素子401は、ワード線 $W_y(1 \leq y \leq n)$ に接続される第1の導電層と、ビット線 $B_x(1 \leq x \leq m)$ に接続される第2の導電層と、第1の導電層と第2の導電層に挟持されたメモリ層とを有する。

【0065】

メモリセルアレイ411の上面図と断面図の一例に関して図7に示す。なお、図7(A)はメモリセルアレイ411の一部の上面図を示している。

【0066】

メモリセルアレイ411には、記憶素子401がマトリクス状に設けられている。記憶素子401は、基板上に、第1の方向(A-B)に延びた第1の導電層510と、第1の方向と垂直な第2の方向(C-D)に延びたメモリ層及び第2の導電層512とを有する。なお、複数設けられたメモリ層及び第2の導電層512の各々の間には第2の方向に延びた隔壁(絶縁層)520が設けられており、この、隔壁(絶縁層)520により第1の方向(A-B)に隣接する記憶素子を分離している。なお、記憶素子401に用いられる各々の層は、実施の形態1で示した物質を用いて形成することができる。図7(A)では、隔壁(絶縁層)520及び第2の導電層512を覆うように設けられた保護膜として機能する絶縁層が省略されている。

【0067】

なお、本実施形態における第1の導電層510は、実施の形態1における第1の導電層110に相当し、メモリ層は、メモリ層111に相当する。また、第2の導電層512は実施の形態1における第2の導電層112に相当する。実施の形態1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0068】

図7(A)におけるA-B間の断面構造の一例を図7(B)に、C-D間の断面構造の一例を図7(C)に示す。記憶素子401が設けられた基板521には、ガラス基板や可撓性基板の他、石英基板、シリコン基板、金属基板、ステンレス基板、繊維質な材料からなる紙等を用いることができる。可撓性基板とは、折り曲げることができる(フレキシブル)基板のことであり、例えば、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等からなるプラスチック基板等が挙げられる。また、フィルム(ポリプロピレン、ポリエステル、ポリフッ化ビニル、ポリ塩化ビニルなどからなる)を用いることもできる。

【0069】

また、絶縁性を有する基板上に薄膜トランジスタ(TFT)を設けてその上に記憶素子401を設けてもよいし、上記基板の代わりにSi等の半導体基板やSOI基板を用いて基板上に電界効果トランジスタ(FET)を形成しその上に記憶素子401を設けてもよい。また、記憶素子401と薄膜トランジスタまたは電界効果トランジスタを貼り合わせるによって設けてもよい。この場合、記憶素子401と薄膜トランジスタまたは電界効果トランジスタは別工程で作製し、その後、導電性フィルムや異方性導電接着剤等を用いて貼り合わせるによって設けることができる。

【0070】

図7(B)及び図7(C)では、まず基板521上に第1の導電層110を、蒸着法、スパッタ法、CVD法、印刷法、電解メッキ法、無電解メッキ法、液滴吐出法等を用いて形成する。次に、隔壁(絶縁層)520を、スパッタ法、CVD法、印刷法、液滴吐出法、スピンコート法、蒸着法等を用いて形成する。なお、隔壁(絶縁層)520には、酸化

10

20

30

40

50

珪素、窒化珪素、酸化窒化珪素等の無機絶縁性材料、アクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド、芳香族ポリアミド、ポリベンゾイミダゾールなどの耐熱性高分子、又はシロキサン樹脂を用いてもよい。また、ポリビニルアルコール、ポリビニルブチラルなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いても良いし、またベンゾシクロブテン、パリレン、フッ化アリーレンエーテル、ポリイミドなどの有機材料、水溶性ホモポリマーと水溶性共重合体を含む組成物等を用いてもよい。また、A - B間の断面即ち図7 (B) に示す隔壁 (絶縁層) 5 2 0 の断面において、隔壁 (絶縁層) 5 2 0 の側面は、第1の導電層1 1 0の表面に対して1 0度以上6 0度未満、好ましくは2 5度以上4 5度以下の傾斜角度を有することが好ましい。さらには、湾曲していることが好ましい。このような形状とすることで、液滴吐出法を用いてメモリ層1 1 1を形成する際、吐出材料が所望の位置より不要に広がることを防ぐことができる。次に、第1の導電層1 1 0上に前述したようにメモリ層1 1 1を液滴吐出法を用いて形成する。さらに、メモリ層1 1 1上に第2の導電層1 1 2を、蒸着法、スパッタ法、C V D法、印刷法または液滴吐出法等を用いて形成する。そして、隔壁 (絶縁層) 5 2 0及び第2の導電層1 1 2を覆うように保護膜として機能する絶縁層5 2 2を設ける。なお、保護膜には、酸化珪素、窒化珪素、酸化窒化珪素等を用いることができ、水分や酸素等の侵入を防ぐことができる。

10

【0 0 7 1】

また、C - D間の断面即ち図7 (C) に示す第1の導電層1 1 0の断面において、第1の導電層1 1 0の側面は、基板5 2 1の表面に対し概略垂直、もしくは1 0度以上9 0度未満の傾斜を有することが好ましい。また、第1の導電層1 1 0は曲率半径が連続的に変化する形状であっても良い。なお、概略垂直とは9 0° (± 1°) をいう。このような形状とすることで、第1の導電層1 1 0上に積層するメモリ層1 1 1及び第2の導電層1 1 2等のカバレッジを良好なものとすることができる。

20

【0 0 7 2】

なお、メモリ層1 1 1を形成するための吐出材料は、液状であるため被形成領域の表面状態に大きく影響を受ける。そのため、隔壁 (絶縁層) 5 2 0にぬれ性を制御する処理を施しても良い。固体表面のぬれ性は、表面の化学的性質及び物理的な表面形状 (表面粗さ) に影響をうける。本発明において表面のぬれ性を制御する処理とは、液状の吐出材料の付着領域に該吐出材料に対してぬれ性の異なる領域を形成することである。なお、ぬれ性の異なる領域とは、吐出材料に対しぬれ性に差を有する、即ち吐出材料の接触角が異なる領域である。吐出材料の接触角が大きい領域は、よりぬれ性が低い領域 (以下、低ぬれ性領域ともいう) であり、接触角が小さい領域はぬれ性の高い領域 (以下、高ぬれ性領域ともいう) である。接触角が大きいと液状の吐出材料は領域表面上で広がらず、接触角が小さいと吐出材料は広がる。このように、ぬれ性が異なる領域では、表面エネルギーも異なり、ぬれ性が低い領域における表面エネルギーは小さく、ぬれ性の高い領域表面における表面エネルギーは大きい。

30

【0 0 7 3】

なお、ぬれ性の違いは両領域の相対的な関係であり、ここではメモリ層1 1 1の被形成領域である隔壁 (絶縁層) 5 2 0上に低ぬれ性領域を形成することで、所望の形成領域とぬれ性の異なる領域を形成することができる。選択的に低ぬれ性領域を形成する方法としては、マスク層を形成し、そのマスク層を用いて、選択的に低ぬれ性物質からなる層を形成する方法、選択的にぬれ性を低めるなどぬれ性を変化させる表面処理方法等を用いて形成することができる。

40

【0 0 7 4】

例えば、表面のぬれ性を変化させ制御する方法として、光照射のエネルギーによって表面の物質を分解し、領域表面を改質し、ぬれ性を変化させる方法がある。ぬれ性が低い物質として、フッ化炭素基 (フッ化炭素鎖) を含む物質、あるいはシランカップリング剤を含む物質を用いることができる。シランカップリング剤は単分子膜を形成することができるため、改質を効率よく行え、短時間でぬれ性を変化させることができる。また、シラン

50

カップリング剤は、フッ化炭素鎖を有するもののみでなく、アルキル基を有するものも基板に配列させることで低ぬれ性を示すため用いることができる。また、ぬれ性が低い物質としてチタネートカップリング剤、アルミネートカップリング剤を用いてもよい。

【0075】

液状の吐出材料はぬれ性の高い方へ移動するため、より正確な位置へのパターン形成が可能となる。また、材料の利用効率を向上させることができる。

【0076】

また、図8(A)のC-D間の断面構造に示されるように、記憶素子401において第1の導電層110と基板521との間に整流性を有する素子を設けてもよい。整流性を有する素子とは、ショットキー・バリア型、PIN型、PN型のダイオードの他、ダイオード接続されているトランジスタ等があげられる。ここでは、第3の導電層612及び半導体層613で構成されるダイオード611を第1の導電層110の下に接して設けている。なお、各記憶素子に対応するダイオード611は、層間絶縁膜614により分離されている。また、整流性を有する素子は第2の導電層112と接してメモリ層111と反対側に設けてもよい。

【0077】

また、第2の方向(C-D)において隣接する記憶素子間への電界の影響が懸念される場合は、図8(B)に示すように各記憶素子の第1の導電層110の間に隔壁(絶縁層)621を設けてもよい。これにより、隣接する記憶素子間への電界の影響を防止するだけでなく、第1の導電層110を覆ってメモリ層111を設ける際に第1の導電層110の段差により生じるメモリ層111の段切れを防止することができる。

【0078】

なお、図8(B)に示す隔壁(絶縁層)621の断面において、隔壁(絶縁層)621の側面は、第1の導電層110の表面に対して10度以上60度未満、好ましくは25度以上45度以下の傾斜角度を有することが好ましい。さらには、湾曲していることが好ましい。このように隔壁(絶縁層)621を設けた後、第1の導電層110および隔壁(絶縁層)621を覆うようにメモリ層111及び第2の導電層112を形成する。また、上記構成に限らず、図8(C)に示すように第1の導電層110上のみにメモリ層111を形成しても良い。この場合、隔壁(絶縁層)621上に対しぬれ性を制御する処理を施し、低ぬれ性領域を形成することが好ましい。

【0079】

次に、記憶素子へのデータの書き込み動作について説明する。ここでは、電気的作用、代表的には電圧の印加によりデータの書き込みを行う場合について図6を用いて説明する。なお、書き込みは記憶素子の電気的特性を変化させることで行うが、記憶素子の初期状態(電気的作用を加えていない状態)をデータ「0」、電気的特性を変化させた状態をデータ「1」とする。

【0080】

記憶素子401にデータ「1」を書き込む場合、まず、デコーダ412、413およびセクタ414によって記憶素子401を選択する。具体的には、デコーダ413によって、記憶素子401に接続されるワード線W3に所定の電位V2を印加する。また、デコーダ412とセクタ414によって、記憶素子401に接続されるビット線B3を読み出し/書き込み回路415に接続する。そして、読み出し/書き込み回路415からビット線B3へ書き込み電位V1を出力する。こうして、当該記憶素子401を構成する第1の導電層と第2の導電層の間に電圧Vw($Vw = V1 - V2$)を印加する。電圧Vwを適切に選ぶことで、当該導電層間に設けられたメモリ層を物理的もしくは電氣的に変化させ、データ「1」の書き込みを行う。具体的には、読み出し動作電圧において、データ「1」の状態の第1の導電層と第2の導電層の間の電気抵抗が、データ「0」の状態と比べて、大幅に小さくなるように変化させるとよく、例えば第1の導電層と第2の導電層を短絡(ショート)させれば良い。電圧Vwは、例えば5V以上かつ15V以下、あるいは-15V以上かつ-5V以下とすればよい。

【 0 0 8 1 】

なお、非選択のワード線および非選択のビット線には、接続される記憶素子にデータ「1」が書き込まれないよう制御する。例えば、非選択のワード線および非選択のビット線を浮遊状態とすればよい。また、非選択のワード線には、第2の導電層と同程度の電位を印加するとよい。

【 0 0 8 2 】

一方、記憶素子401にデータ「0」を書き込む場合は、記憶素子401には電気的作用を加えなければよい。回路動作上は、例えば、「1」を書き込む場合と同様に、デコーダ412、413およびセクタ414によって記憶素子401を選択するが、読み出し/書き込み回路415からビット線B3への出力電位を、選択されたワード線W3の電位あるいは非選択ワード線の電位と同程度とし、記憶素子401を構成する第1の導電層と第2の導電層の間に、記憶素子401の電気的特性を変化させない程度の電圧（例えば-5以上5V以下）を印加すればよい。

【 0 0 8 3 】

続いて、記憶素子からデータの読み出しを行う際の動作について図6（B）を用いて説明する。データの読み出しは、第1の導電層と第2の導電層の間の電気的特性が、データ「0」を有する記憶素子とデータ「1」を有する記憶素子とで異なることを利用して行う。例えば、データ「0」を有する記憶素子を構成する第1の導電層と第2の導電層の間の実効的な電気抵抗（以下、単に記憶素子の電気抵抗と呼ぶ）が、読み出し電圧においてR0、データ「1」を有する記憶素子の電気抵抗を、読み出し電圧においてR1とし、電気抵抗の差を利用して読み出す方法を説明する。なお、 $R1 < R0$ とする。読み出し/書き込み回路415は、読み出し部分の構成として、例えば図6（B）に示す抵抗素子450と差動増幅器451を有する回路を用いることができる。抵抗素子450は抵抗値Rrを有し、 $R1 < Rr < R0$ であるとする。また、抵抗素子450の代わりに図6（C）に示すように、トランジスタ452を用いても良いし、差動増幅器451の代わりにクロックトインバータ453を用いることも可能である。クロックトインバータ453には、読み出しを行うときにHigh、行わないときにLowとなる、信号又はその反転信号が入力される。もちろん、回路構成は図6（B）及び（C）に限定されない。

【 0 0 8 4 】

記憶素子402からデータの読み出しを行う場合、まず、デコーダ412、413およびセクタ414によって記憶素子402を選択する。具体的には、デコーダ413によって、記憶素子402に接続されるワード線Wyに所定の電位Vyを印加する。また、デコーダ412とセクタ414によって記憶素子402に接続されるビット線Bxを、読み出し/書き込み回路415の端子Pに接続する。その結果、端子Pの電位Vpは、VyとV0が抵抗素子450（抵抗値Rr）と記憶素子402（抵抗値R0もしくはR1）による抵抗分割によって決定される値となる。従って、記憶素子402がデータ「0」を有する場合の端子Pの電位Vp0は、 $Vp0 = Vy + (V0 - Vy) \times R0 / (R0 + Rr)$ となる。また、記憶素子402がデータ「1」を有する場合の端子Pの電位Vp1には、 $Vp1 = Vy + (V0 - Vy) \times R1 / (R1 + Rr)$ となる。その結果、図6（B）では、VrefをVp0とVp1の間となるように選択することで、図6（C）ではクロックトインバータ453の変化点をVp0とVp1の間となるように選択することで、出力電位Voutがデータ「0」/「1」に応じて、Low/High（もしくはHigh/Low）が出力され、読み出しを行うことができる。

【 0 0 8 5 】

例えば、差動増幅器451をVdd = 3Vで動作させ、Vy = 0V、V0 = 3V、Vref = 1.5Vとする。仮に、 $R0 / Rr = Rr / R1 = 9$ とすると、記憶素子のデータが「0」の場合、Vp0 = 2.7VとなりVoutはHighが出力され、記憶素子のデータが「1」の場合、Vp1 = 0.3VとなりVoutはLowが出力される。こうして、記憶素子の読み出しを行うことができる。

【 0 0 8 6 】

10

20

30

40

50

上記の方法では、メモリ層の電気抵抗の状態は、抵抗値の相違と抵抗分割を利用して電圧値で読み取っている。もちろん、読み出し方法は、この方法に限定されない。例えば、電気抵抗の差を利用する以外に、電流値の差を利用して読み出ししても構わない。また、記憶素子の電気的特性がデータ「0」と「1」とでしきい値電圧が異なるダイオード特性を有する場合には、しきい値電圧の差を利用して読み出ししても構わない。

【0087】

また、絶縁性を有する基板上に薄膜トランジスタ(TFT)を設けてその上に記憶素子又は記憶素子アレイを設けてもよいし、絶縁性を有する基板の代わりにSi等の半導体基板やSOI基板を用いて基板上に電界効果トランジスタ(FET)を形成しその上に記憶素子又は記憶素子アレイを設けてもよい。

10

【0088】

本実施形態で示した半導体装置は、データの書き込みが一度だけではなく、追加(追記)が可能である。一方、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。また、簡便に歩留り良く作製することができる本発明の記憶素子を有するため、性能及び信頼性に優れた半導体装置を安価に作製することが可能である。

【0089】

なお、本実施形態は、他の実施の形態及び実施例とも適宜組み合わせることができる。そのため、本実施形態で示した半導体装置が有する記憶素子には、例えばメモリ層と第1の導電層及び第2の導電層の少なくとも一方との間に絶縁層もしくは半導体層が設けられていても良い。

20

【0090】

(実施の形態3)

本実施形態では、本発明の記憶素子を有する半導体装置について図9を用いて説明する。なお、具体的にはアクティブマトリクス型の記憶装置について説明する。

【0091】

本実施形態で示す半導体装置の一構成例を図9(A)に示す。半導体装置700は、メモリセル701がマトリクス状に設けられたメモリセルアレイ711、デコーダ712、713、セクタ714、読み出し/書き込み回路715を有する。なお、ここで示す半導体装置700の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよい。

30

【0092】

なお、デコーダ712、713、セクタ714、読み出し/書き込み回路715、インターフェイス等は、記憶素子と同様に基板上に形成しても良いし、ICチップとして外付けしても良い。

【0093】

メモリセル701は、ビット線 $B_x(1 \times m)$ に接続される第1の配線と、ワード線 $W_y(1 \times y \times n)$ に接続される第2の配線と、薄膜トランジスタ721と、記憶素子722とを有する。記憶素子722は、一对の導電層の間にメモリ層が挟持された構造を有する。

40

【0094】

次に、上記構成を有するメモリセルアレイ711の上面図と断面図の一例に関して図10を用いて説明する。なお、図10(A)はメモリセルアレイ711の一部の上面図を示している。

【0095】

メモリセルアレイ711は、複数のメモリセル701がマトリクス状に設けられている。又、メモリセル701は、絶縁表面を有する基板上にスイッチング素子として機能する薄膜トランジスタ721および当該薄膜トランジスタ721に接続された記憶素子が設けられている。

【0096】

50

図10(A)におけるA-B間の断面構造の一例を図10(B)に示す。なお、図10(A)では、第1の導電層110上に設けられている、隔壁(絶縁層)822、メモリ層111、第2の導電層112、絶縁層522が省略されている。

【0097】

メモリセル701は、薄膜トランジスタ721と、記憶素子801と、絶縁層821と、第1の導電層110の一部を覆う隔壁(絶縁層)822とを有する。なお、記憶素子801を覆って保護膜として機能する絶縁層522が設けられている。絶縁表面を有する基板521上に形成された薄膜トランジスタ721に接続された記憶素子801は、絶縁層821上に形成された第1の導電層110と、メモリ層111と、第2の導電層112とを有する。メモリ層111は、上述したように有機薄膜で被覆された導電性材料よりなるナノ粒子により構成されている。また、薄膜トランジスタ721は、スイッチとして機能するものであれば特に限定されず、薄膜トランジスタである必要は特にない。

10

【0098】

薄膜トランジスタ721の一態様について、図11を用いて説明する。図11(A)はトップゲート型の薄膜トランジスタを適用する一例を示している。基板521上に下地膜として絶縁層901が設けられ、絶縁層901上に薄膜トランジスタ910が設けられている。薄膜トランジスタ910は、絶縁層901上に半導体層902及びゲート絶縁層として機能することができる絶縁層903が形成され、さらに半導体層902上には絶縁層903を介してゲート電極904が形成されている。なお、薄膜トランジスタ910上には保護層として機能する絶縁層905及び層間絶縁層として機能する絶縁層821が設けられている。また、半導体層のソース領域及びドレイン領域それぞれに接続する配線907が形成される。

20

【0099】

絶縁層901には、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜等の絶縁膜を用い、これら絶縁膜を単層又は2以上の複数層で形成する。なお、絶縁層901は、スパッタ法、CVD法等を用いて形成すればよい。

【0100】

半導体層902は、アモルファスシリコン等の非晶質半導体、セミアモルファス半導体、微結晶半導体等の他、ポリシリコン等の結晶性半導体膜を用いても良い。

【0101】

特に、非晶質若しくは微結晶質の半導体を、レーザ光の照射により結晶化させた結晶性半導体、加熱処理により結晶化させた結晶性半導体、加熱処理とレーザ光の照射を組み合わせることで結晶化させた結晶性半導体を適用することが好ましい。加熱処理においては、シリコン半導体の結晶化を助長する作用のあるニッケルなどの金属元素を用いた結晶化法を適用することができる。

30

【0102】

レーザ光を照射して結晶化する場合には、連続発振レーザ光の照射若しくは繰り返し周波数が10MHz以上であって、パルス幅が1ナノ秒以下、好ましくは1乃至100ピコ秒である高繰返周波数超短パルス光を照射することによって、結晶性半導体が溶融した溶融帯を、当該レーザ光の照射方向に連続的に移動させながら結晶化を行うことができる。このような結晶化法により、大粒径であって、結晶粒界が一方方向に延びる結晶性半導体を得ることができる。キャリアのドリフト方向を、この結晶粒界が延びる方向に合わせることで、トランジスタにおける電界効果移動度を高めることができる。例えば、 $400\text{ cm}^2/\text{V} \cdot \text{sec}$ 以上を実現することができる。

40

【0103】

上記結晶化工程を、ガラス基板の耐熱温度(約600)以下の結晶化プロセスを用いる場合、大面積ガラス基板を用いることが可能である。このため、基板あたり大量の半導体装置を作製することが可能であり、低コスト化が可能である。

【0104】

また、加熱温度にたえうる基板を用いて、ガラス基板の耐熱温度以上の加熱により結晶

50

化工程を行い、半導体層 902 を形成してもよい。代表的には、絶縁性基板に石英基板を用い、非晶質若しくは微結晶質の半導体を 700 度以上で加熱して半導体層 902 を形成する。この結果、結晶性の高い半導体を形成することが可能である。この場合、応答速度や移動度などの特性が良好で、高速な動作が可能な薄膜トランジスタを提供することができる。

【0105】

ゲート電極 904 は金属又は一導電型の不純物を添加した多結晶半導体で形成することができる。金属を用いる場合は、タングステン (W)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、アルミニウム (Al) などを用いることができる。また、金属を窒化させた金属窒化物を用いることができる。或いは、当該金属窒化物からなる第 1 層と金属から成る第 2 層とを積層させた構造としても良い。積層構造とする場合には、第 1 層の端部が第 2 層の端部より外側に突き出した所謂ハット形状としても良い。このとき第 1 層を金属窒化物とすることで、バリアメタルとすることができる。すなわち、第 2 層の金属が、絶縁層 903 やその下層の半導体層 902 に拡散することを防ぐことができる。

10

【0106】

なお、ゲート電極 904 の側面には、サイドウォール (側壁スペーサ) 908 を形成しても良い。サイドウォールは、CVD 法により絶縁層を形成し、該絶縁層を RIE (Reactive ion etching: 反応性イオンエッチング) 法により異方性エッチングすることで形成できる。

20

【0107】

半導体層 902、絶縁層 903、ゲート電極 904 などを組み合わせて構成されるトランジスタは、シングルドレイン構造、LDD (低濃度ドレイン) 構造、ゲートオーバーラップドレイン構造など各種構造を適用することができる。なお、図 11 (A) では、サイドウォールが重畳する半導体層において、低濃度不純物領域 909 が形成される LDD 構造の薄膜トランジスタを示している。また、シングルゲート構造、等価的には同電位のゲート電圧が印加されるトランジスタが直列に接続された形となるマルチゲート構造、半導体層を上下にゲート電極で挟むデュアルゲート構造を適用することも可能である。

【0108】

絶縁層 821 は、酸化珪素及び酸化窒化珪素などの無機絶縁材料、又はアクリル樹脂及びポリイミド樹脂などの有機絶縁材料で形成する。スピン塗布やロールコーターなど塗布法を用いる場合には、有機溶媒中に溶かされた絶縁膜材料を塗布した後、熱処理により酸化珪素で形成される絶縁層を用いることもできる。例えば、シロキサン結合を含む塗布膜を形成しておいて、200 ~ 400 度での熱処理により形成可能な絶縁層を用いることができる。絶縁層 821 に、塗布法で形成する絶縁層やリフローにより平坦化した絶縁層を用いることで、その層上に形成する配線の断線を防止することができる。また、このような方法により形成された絶縁層は、多層配線を形成する際にも有効に利用することができる。

30

【0109】

絶縁層 821 の上に形成される配線 907 は、ゲート電極 904 と同じ層で形成される配線と交差して設けることが可能であり、多層配線構造を形成している。絶縁層 821 と同様に機能を有する絶縁層を複数積層して、その層上に配線を形成することで多層配線構造を形成することができる。配線 907 はチタン (Ti) とアルミニウム (Al) の積層構造、モリブデン (Mo) とアルミニウム (Al) との積層構造など、アルミニウム (Al) のような低抵抗材料と、チタン (Ti) やモリブデン (Mo) などの高融点金属材料を用いたバリアメタルとの組み合わせで形成することが好ましい。

40

【0110】

図 11 (B) は、ボトムゲート型の薄膜トランジスタを適用する一例を示している。絶縁性基板 521 上に絶縁層 901 が形成され、その上に薄膜トランジスタ 920 が設けられている。薄膜トランジスタ 920 には、ゲート電極 904、ゲート絶縁層として機能する絶縁層 903 及び半導体層 902 が設けられ、さらにその上にはチャネル保護層 921

50

、保護層として機能する絶縁層 905 及び層間絶縁層として機能する絶縁層 821 が設けられている。さらにその上層には、保護層として機能する絶縁層を形成しても良い。半導体層のソース領域及びドレイン領域それぞれに接続された配線 907 は、絶縁層 905 の層上若しくは絶縁層 821 の層上に形成することができる。なお、ボトムゲート型の薄膜トランジスタの場合は、絶縁層 901 が形成されなくともよい。

【0111】

また、基板 521 が可撓性を有する基板である場合、耐熱温度がガラス基板等の非可撓性基板と比較して低い。このため、薄膜トランジスタの半導体層に、有機半導体を用いて形成することが好ましい。

【0112】

ここで、半導体層に有機半導体を用いる薄膜トランジスタの構造について、図 11 (C)、(D) を参照して説明する。図 11 (C) は、スタガ型の有機半導体トランジスタを適用する一例を示している。可撓性を有する基板 930 上に有機半導体トランジスタ 931 が設けられている。有機半導体トランジスタ 931 は、ゲート電極 932、ゲート絶縁膜として機能する絶縁層 933、ゲート電極 932 及び絶縁層 933 が重畳する場所に設けられた半導体層 934 とを有し、半導体層 934 には配線 907 が接続されている。なお、半導体層は、ゲート絶縁膜として機能する絶縁層 933 と配線 907 に接する。

【0113】

ゲート電極 932 は、ゲート電極 904 と同様の材料及び手法により、形成することができる。また、液滴吐出法を用い、乾燥・焼成してゲート電極 932 を形成することができる。また、可撓性を有する基板上に、微粒子を含むペーストを印刷法により印刷し、乾燥・焼成してゲート電極 932 を形成することができる。微粒子の代表例としては、金、銅、金と銀の合金、金と銅の合金、銀と銅の合金、金と銀と銅の合金のいずれかを主成分とする微粒子でもよい。また、インジウム錫酸化物 (ITO) などの導電性酸化物を主成分とする微粒子でもよい。

【0114】

ゲート絶縁膜として機能する絶縁層 933 は、絶縁層 903 と同様の材料及び手法により形成することができる。但し、有機溶媒中に溶解する絶縁膜材料を塗布した後、熱処理により絶縁層を形成する場合、熱処理温度が可撓性を有する基板の耐熱温度より低い温度で行う。

【0115】

有機半導体トランジスタの半導体層 934 の材料としては、多環芳香族化合物、共役二重結合系化合物、フタロシアニン、電荷移動型錯体等が挙げられる。例えばアントラセン、テトラセン、ペンタセン、6T (ヘキサチオフェン)、TCNQ (テトラシアノキノジメタン)、PTCDA (ペリレンカルボン酸無水化物)、NTCDA (ナフタレンカルボン酸無水化物) などを用いることができる。また、有機半導体トランジスタの半導体層 934 の材料としては、有機高分子化合物等の共役系高分子、カーボンナノチューブ、ポリビニルピリジン、フタロシアニン金属錯体等が挙げられる。特に骨格が共役二重結合から構成される共役系高分子である、ポリアセチレン、ポリアニリン、ポリピロール、ポリチエニレン、ポリチオフェン誘導体、ポリ (3 アルキルチオフェン)、ポリパラフェニレン誘導体又はポリパラフェニレンビニレン誘導体を用いると好ましい。

【0116】

また、有機半導体トランジスタの半導体層の形成方法としては、蒸着法、塗布法、スピンコーティング法、バーコート法、溶液キャスト法、ディップ法、スクリーン印刷法、ロールコーター法又は液滴吐出法を用いることができる。厚さは 1 nm 以上 1000 nm 以下、好ましくは 10 nm 以上 100 nm 以下が望ましい。

【0117】

図 11 (D) は、コブレナー型の有機半導体トランジスタを適用する一例を示している。可撓性を有する基板 930 上に有機半導体トランジスタ 941 が設けられている。有機半導体トランジスタ 941 は、ゲート電極 932、ゲート絶縁膜として機能する絶縁層 9

10

20

30

40

50

33、ゲート電極932及び絶縁層933が重畳する場所に設けられた半導体層934とを有し、半導体層934には配線907が接続されている。また、半導体層934に接続された配線907は、ゲート絶縁膜として機能する絶縁層及び半導体層に接する。

【0118】

薄膜トランジスタや有機半導体トランジスタはスイッチング素子として機能し得るものであれば、どのような構成で設けてもよい。なお、配線907を本発明の記憶素子における第1の導電層として利用しても良いし、配線907に本発明の記憶素子を接続しても良い。

【0119】

また、単結晶基板やSOI基板を用いてトランジスタを形成し、その上に記憶素子を設けてもよい。SOI基板はウェハの貼り合わせによる方法や酸素イオンをSi基板内に打ち込むことにより内部に絶縁層831を形成するSIMOXと呼ばれる方法を用いて形成すればよい。

【0120】

例えば、基板に単結晶半導体を用いた場合、図10(C)に示すように単結晶半導体基板830を用いて設けられた電界効果トランジスタ832に記憶素子801が接続されている。また、電界効果トランジスタ832に接続された配線を覆うように絶縁層833を設け、当該絶縁層833上に記憶素子801を設けている。

【0121】

このような単結晶半導体で形成されるトランジスタは、応答速度や移動度などの特性が良好なため高速な動作が可能なトランジスタを提供することができる。また、トランジスタは、その特性のパラッキが少ないために、高い信頼性を実現した半導体装置を提供することができる。

【0122】

なお、記憶素子801は、絶縁層833上に形成される第1の導電層110と、メモリ層111と、第2の導電層112とを有し、メモリ層111は第1の導電層110と第2の導電層112に挟持された構成である。

【0123】

このように、絶縁層833を設けて記憶素子801を形成することによって第1の導電層110を自由に配置することができる。つまり、図10(B)の構成では、トランジスタに接続された配線を避けた領域に記憶素子を設ける必要があったが、絶縁層833を設けることによって、例えば、図10(C)のようにトランジスタ832の上方にも記憶素子801を形成することが可能となる。その結果、記憶回路をより高集積化することが可能となる。もちろん、電界効果トランジスタ832が有する配線907を記憶素子が有する第1の導電層としても良い。

【0124】

なお、図10(B)、(C)に示す構成において、メモリ層111を第1の方向(A-B)に対し連続して設けた例を示しているが、各メモリセルのみにこれらのメモリ層111を設けてもよい。このような構成とすることで、さらに材料の利用効率を向上させることが可能となる。

【0125】

また、基板上に剥離層を設け、剥離層上にトランジスタを有する層1030及び記憶素子801を形成した後、トランジスタを有する層1030及び記憶素子801を剥離層を利用して基板から剥離し、図12に示すように接着層1032を用いてトランジスタを有する層1030及び記憶素子801を前記基板と異なる基板1031と貼り合わせても良い。剥離方法としては、(1)耐熱性の高い基板とトランジスタを有する層の間に剥離層として金属酸化物層を設け、当該金属酸化物層を結晶化により脆弱化して、当該トランジスタを有する層を剥離する方法、(2)耐熱性の高い基板とトランジスタを有する層の間に剥離層として水素を含む非晶質珪素膜を設け、レーザ光の照射またはエッチングにより当該非晶質珪素膜を除去することで、当該トランジスタを有する層を剥離する方法、(3)

10

20

30

40

50

トランジスタを有する層が形成された耐熱性の高い基板を機械的に削除する、又は溶液や NF_3 、 BrF_3 、 ClF_3 等のフッ化ハロゲンガスによるエッチングで除去する方法、
(4) 耐熱性の高い基板とトランジスタを有する層の間に剥離層として金属層及び金属酸化物層を設け、当該金属酸化物層を結晶化により脆弱化し、金属層の一部を溶液や NF_3 等のフッ化ガス、 BrF_3 、 ClF_3 等のフッ化ハロゲンガスによりエッチングで除去した後、脆弱化された金属酸化物層において物理的に剥離する方法等を用いればよい。

【0126】

また、基板 1031 としては、実施の形態 2 で示した基板 521 で示した可撓性基板、フィルム、繊維質な材料からなる紙等を用いることで、記憶装置の小型、薄型、軽量化を図ることが可能である。

10

【0127】

次に、記憶装置、即ち半導体装置 700 へのデータの書き込み動作について図 9 (A) を用いて説明する。実施の形態 2 と同様、ここでは電気的作用、代表的には電圧印加によりデータの書き込みを行うときの動作について説明する。なお、書き込みはメモリセルの電気的特性を変化させることで行うが、メモリセルの初期状態 (電気的作用を加えていない状態) をデータ「0」、電気的特性を変化させた状態をデータ「1」とする。

【0128】

x 行かつ y 列目のメモリセル 701 にデータを書き込む場合について説明する。メモリセル 701 にデータ「1」を書き込む場合、まず、デコーダ 712、713 およびセクタ 714 によってメモリセル 701 を選択する。具体的には、デコーダ 713 によって、メモリセル 701 に接続されるワード線 W_y に所定の電位 V_{22} を印加する。また、デコーダ 712 とセクタ 714 によって、メモリセル 701 に接続されるビット線 B_x を読み出し / 書き込み回路 715 に接続する。そして、読み出し / 書き込み回路 715 からビット線 B_x へ書き込み電位 V_{21} を出力する。

20

【0129】

こうして、メモリセルを構成する薄膜トランジスタ 721 をオン状態とし、記憶素子 722 に、共通電極及びビット線を電気的に接続し、おおむね V_w ($V_w = V_{com} - V_{21}$) の電圧を印加する。 V_{com} とは、記憶素子 722 における共通電極、即ち第 2 の導電層の電位である。電圧 V_w を適切に選ぶことで、当該電極層の間に設けられたメモリ層を物理的もしくは電気的変化させ、データ「1」の書き込みを行う。具体的には、読み出し動作電圧において、データ「1」の状態の第 1 の導電層と第 2 の導電層の間の電気抵抗が、データ「0」の状態と比較して、大幅に小さくなるように変化させるとよく、単に短絡 (ショート) させてもよい。なお、電圧 V_w は例えば 5 V 以上かつ 15 V 以下、あるいは - 15 V 以上かつ - 5 V 以下とすればよい。

30

【0130】

なお、非選択のワード線および非選択のビット線には、接続されるメモリセルにデータ「1」が書き込まれないよう制御する。具体的には、非選択のワード線には接続されるメモリセルのトランジスタをオフ状態とする電位や V_{com} と同程度の電位を印加するとよい。

【0131】

一方、メモリセル 701 にデータ「0」を書き込む場合は、メモリセル 701 には電気的作用を加えなければよい。回路動作上は、例えば、「1」を書き込む場合と同様に、デコーダ 712、713 およびセクタ 714 によってメモリセル 701 を選択するが、読み出し / 書き込み回路 715 からビット線 B_x への出力電位を V_{com} と同程度とするか、メモリセルの薄膜トランジスタ 721 をオフ状態とする電位とする。その結果、記憶素子 722 には、小さい電圧 (例えば - 5 ~ 5 V) が印加されるか、電圧が印加されないため、電気的特性が変化せず、データ「0」書き込みが実現される。

40

【0132】

次に、電気的作用により、データの読み出しを行う際の動作について図 9 (B) を用いて説明する。データの読み出しは、記憶素子 722 の電気的特性が、データ「0」を有す

50

るメモリセルとデータ「1」を有するメモリセルとで異なることを利用して行う。例えば、データ「0」を有するメモリセルを構成する記憶素子の電気抵抗が読み出し電圧において R_0 、データ「1」を有するメモリセルを構成する記憶素子の電気抵抗が読み出し電圧において R_1 とし、電気抵抗の差を利用して読み出す方法を説明する。なお、 $R_1 < R_0$ とする。読み出し／書き込み回路715は、読み出し部分の構成として、例えば図9(B)に示す抵抗素子750と差動増幅器751を用いた回路を考えることができる。抵抗素子は抵抗値 R_r を有し、 $R_1 < R_r < R_0$ であるとする。抵抗素子750の代わりに、図9(C)に示すようにトランジスタ752を用いても良いし、差動増幅器751の代わりにクロックインバータ753を用いることも可能である。もちろん、回路構成は図9(B)及び(C)に限定されない。

10

【0133】

x行y列目メモリセル702からデータの読み出しを行う場合、まず、デコーダ712、713およびセクタ714によってメモリセル702を選択する。具体的には、デコーダ713によって、メモリセル702に接続されるワード線 W_y に所定の電位 V_{24} を印加し、薄膜トランジスタ721をオン状態にする。また、デコーダ712とセクタ714によって、メモリセル702に接続されるビット線 B_x を読み出し／書き込み回路715の端子Pに接続する。その結果、端子Pの電位 V_p は、 V_{com} と V_0 が抵抗素子750(抵抗値 R_r)と記憶素子722(抵抗値 R_0 もしくは R_1)による抵抗分割によって決定される値となる。従って、メモリセル702がデータ「0」を有する場合の端子Pの電位 V_{p0} には、 $V_{p0} = V_{com} + (V_0 - V_{com}) \times R_0 / (R_0 + R_r)$ となる。また、メモリセル702がデータ「1」を有する場合の端子Pの電位 V_{p1} には、 $V_{p1} = V_{com} + (V_0 - V_{com}) \times R_1 / (R_1 + R_r)$ となる。その結果、図9(B)では、 V_{ref} を V_{p0} と V_{p1} の間となるように選択することで、図9(C)では、クロックインバータの変化点を V_{p0} と V_{p1} の間となるように選択することで、出力電位 V_{out} がデータ「0」／「1」に応じて、Low/High(もしくはHigh/Low)が出力され、読み出しを行うことができる。

20

【0134】

例えば、差動増幅器751を $V_{dd} = 3V$ で動作させ、 $V_{com} = 0V$ 、 $V_0 = 3V$ 、 $V_{ref} = 1.5V$ とする。仮に、 $R_0 / R_r = R_r / R_1 = 9$ とし、薄膜トランジスタ721のオン抵抗を無視できるとすると、メモリセルのデータが「0」の場合、 $V_{p0} = 2.7V$ となり V_{out} はHighが出力され、メモリセルのデータが「1」の場合、 $V_{p1} = 0.3V$ となり V_{out} はLowが出力される。こうして、メモリセルの読み出しを行うことができる。

30

【0135】

上記の方法によると、記憶素子722の抵抗値の相違と抵抗分割を利用して、電圧値で読み取っている。もちろん、読み出し方法は、この方法に限定されない。例えば、電気抵抗の差を利用する以外に、電流値の差を利用して読み出ししても構わない。また、メモリセルの電気的特性が、データ「0」と「1」とで、しきい値電圧が異なるダイオード特性を有する場合には、しきい値電圧の差を利用して読み出ししても構わない。

40

【0136】

また、絶縁性を有する基板上に薄膜トランジスタ(TFT)を設けてその上に記憶素子又は記憶素子アレイを設けてもよいし、絶縁性を有する基板の代わりにSi等の半導体基板やSOI基板を用いて基板上に電界効果トランジスタ(FET)を形成しその上に記憶素子又は記憶素子アレイを設けてもよい。

【0137】

本実施形態で示した半導体装置は、データの書き込みが一度だけではなく、追加(追記)が可能である。一方、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。また、簡便に歩留り良く作製することができる本発明の記憶素子を有するため、性能及び信頼性に優れた半導体装置を安価に作製することが可能である。

50

【 0 1 3 8 】

なお、本実施形態は、他の実施の形態及び実施例とも適宜組み合わせることができる。そのため、本実施形態で示した半導体装置が有する記憶素子には、例えばメモリ層と第1の導電層及び第2の導電層の少なくとも一方との間に絶縁層もしくは半導体層が設けられていても良い。

【 0 1 3 9 】

(実施の形態4)

本実施の形態では、上記実施の形態で示す記憶装置を有する半導体装置の一構成例に関して図面を用いて説明する。

【 0 1 4 0 】

本実施の形態で示す半導体装置は、非接触でデータの読み出しと書き込みが可能であることを特徴としており、データの伝送形式は、一对のコイルを対向に配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別されるが、いずれの方式を用いてもよい。また、データの伝送に用いるアンテナは2通りの設け方があり、1つはトランジスタおよび記憶素子が設けられた基板上にアンテナを設ける場合、もう1つはトランジスタおよび記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合がある。

【 0 1 4 1 】

本実施形態で示す半導体装置の構成について、図13を参照して説明する。図13(A)に示すように、本発明の半導体装置20は、非接触でデータを交信する機能を有し、電源回路11、クロック発生回路12、データ復調/変調回路13、他の回路を制御する制御回路14、インターフェイス回路15、記憶回路16、バス17、アンテナ18を有する。

【 0 1 4 2 】

また、図13(B)に示すように、本発明の半導体装置20は、非接触でデータを交信する機能を有し、電源回路11、クロック発生回路12、データ復調/変調回路13、他の回路を制御する制御回路14、インターフェイス回路15、記憶回路16、バス17、アンテナ18の他、中央処理ユニット1を有しても良い。

【 0 1 4 3 】

また、図13(C)に示すように、本発明の半導体装置20は、非接触でデータを交信する機能を有し、電源回路11、クロック発生回路12、データ復調/変調回路13、他の回路を制御する制御回路14、インターフェイス回路15、記憶回路16、バス17、アンテナ18、中央処理ユニット1の他、検出素子3、検出回路4からなる検出部2を有しても良い。

【 0 1 4 4 】

電源回路11は、アンテナ18から入力された交流信号を基に、半導体装置20の内部の各回路に供給する各種電源を生成する回路である。クロック発生回路12は、アンテナ18から入力された交流信号を基に、半導体装置20の内部の各回路に供給する各種クロック信号を生成する回路である。データ復調/変調回路13は、リーダライタ19と交信するデータを復調/変調する機能を有する。制御回路14は、記憶回路16を制御する機能を有する。アンテナ18は、電磁界或いは電波の送受信を行う機能を有する。リーダライタ19は、半導体装置との交信、制御及びそのデータに関する処理を制御する。なお、半導体装置は上記構成に制約されず、例えば、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した構成であってもよい。

【 0 1 4 5 】

記憶回路16は、実施の形態1に示す記憶素子から選択される1つ又は複数の記憶素子を有する。本発明の記憶素子を用いることにより、簡便に歩留まり良く記憶回路を作製することができる。

【 0 1 4 6 】

また、記憶素子へのデータの書き込みの機会は一度だけではなく、データの追加（追記）が可能である。一方、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。よって、性能及び信頼性に優れた半導体装置を安価に作製することが可能である。

【0147】

また、検出部2は、温度、圧力、流量、光、磁気、音波、加速度、湿度、気体成分、液体成分、その他の特性を物理的又は化学的手段により検出することができる。なお、検出部2は、物理量または化学量を検出する検出素子3と当該検出素子3で検出された物理量または化学量を電気信号等の適切な信号に変換する検出回路4とを有している。検出素子3としては、抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオード等で形成することができる。なお、検出部2は複数設けてもよく、この場合、複数の物理量または化学量を同時に検出することが可能である。

10

【0148】

ここでいう物理量とは、温度、圧力、流量、光、磁気、音波、加速度、湿度等を指し、化学量とは、ガス等の気体成分やイオン等の液体成分等の化学物質等を指す。化学量としては、他にも、血液、汗、尿等に含まれる特定の生体物質（例えば、血液中に含まれる血糖値等）等の有機化合物も含まれる。特に、化学量を検出しようとする場合には、必然的にある特定の物質を選択的に検出することになるため、あらかじめ検出素子3に検出したい物質と選択的に反応する物質を設けておく。例えば、生体物質の検出を行う場合には、検出素子3に検出させたい生体物質と選択的に反応する酵素、抗体または微生物細胞等を高分子等に固定化して設けておくことが好ましい。

20

【0149】

次に、複数の素子および記憶素子が設けられた基板上に、アンテナを設けた半導体装置の一構成例を図14に示す。なお、図14は記憶回路16とアンテナ18の部分断面図である。

【0150】

図14(A)はパッシブマトリクス型で構成される記憶回路を有する半導体装置を示している。半導体装置は、基板1350上にトランジスタ1300、1301を有する層1351と、トランジスタを有する層1351の上方に形成される記憶素子部1352及びアンテナとして機能する導電層1353とを有する。

30

【0151】

なお、ここではトランジスタを有する層1351の上方に記憶素子部1352及びアンテナとして機能する導電層1353を有する場合を示しているが、この構成に限られず記憶素子部1352またはアンテナとして機能する導電層1353を、トランジスタを有する層1351の下方や同一の層に有してもよい。

【0152】

記憶素子部1352は複数の記憶素子1352a、1352bを有する。記憶素子1352aは、絶縁層1252上に設けられた第1の導電層110と、第1の導電層110上に設けられたメモリ層111a及び第2の導電層112aとを有する。また、記憶素子1352bは、絶縁層1252上に設けられた第1の導電層110と、第1の導電層110上に設けられたメモリ層111b及び第2の導電層112bとを有する。なお、個々の記憶素子1352a、1352bは隔壁（絶縁層）1374により分離されている。

40

【0153】

記憶素子部1352における第1の導電層110は、トランジスタ1301に接続された配線に接続されており、記憶素子部1352は上記実施の形態で示した記憶素子と同様の材料または作製方法を用いて形成することができる。また、第2の導電層112a、112b及びアンテナとして機能する導電層1353を覆って保護膜として機能する絶縁層522が形成されている。

【0154】

50

なお、アンテナとして機能する導電層 1353 は導電層 1360 上に設けられている。導電層 1360 は、記憶素子部 1352 における第 1 の導電層 110 と同一工程にて形成された配線 1310 を介してトランジスタ 1300 と接続されている。また、アンテナとして機能する導電層は第 2 の導電層 112a、112b と同一の層で形成してもよい。

【0155】

アンテナとして機能する導電層 1353 は、CVD 法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、白金 (Pt)、ニッケル (Ni)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

10

【0156】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電層を形成する場合には、粒径が数 nm から数十 μm の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを所望の領域に選択的に印刷することによって設けることができる。導電体粒子としては、銀 (Ag)、金 (Au)、銅 (Cu)、ニッケル (Ni)、白金 (Pt)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) およびチタン (Ti) 等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、シリコン樹脂等の有機樹脂が挙げられる。また、導電層の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子 (例えば粒径 1 nm 以上 100 nm 以下) を用いる場合、150 ~ 300 の温度範囲で焼成することにより硬化させて導電層を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径 20 μm 以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。また、上述した材料以外にも、セラミックやフェライト等をアンテナに適用してもよい。

20

【0157】

トランジスタを有する層 1351 に含まれるトランジスタ 1300、1301 は、実施の形態 3 で示したトランジスタ等を適宜選択し、用いることができる。

30

【0158】

また、基板上に剥離層を設け、前記剥離層上にトランジスタを有する層 1351、記憶素子部 1352、及びアンテナとして機能する導電層 1353 を形成し、実施の形態 3 に示す剥離方法を適宜用いてトランジスタを有する層 1351、記憶素子部 1352 及びアンテナとして機能する導電層 1353 を剥離し、基板上に接着層を用いて貼り付けてもよい。基板としては、実施の形態 2 の基板 521 で示した可撓性基板、フィルム、繊維質な材料からなる紙、基材フィルム等を用いることで、記憶装置の小型、薄型、軽量化を図ることが可能である。

【0159】

図 14 (B) にアクティブマトリクス型の記憶回路を有する半導体装置の一例を示す。なお、図 14 (B) については、図 14 (A) と異なる部分に関して説明する。

40

【0160】

図 14 (B) に示す半導体装置は、基板 1350 上にトランジスタ 1300、1301 を有する層 1351 と、トランジスタを有する層 1351 の上方に記憶素子部 1356 及びアンテナとして機能する導電層 1353 とを有する。なお、ここではトランジスタを有する層 1351 の上方に記憶素子部 1356 及びアンテナとして機能する導電層 1353 を有する場合を示しているが、この構成に限られずトランジスタ 1301 を有する層 1351 の上方や下方に有してもよいし、記憶素子部 1356 やアンテナとして機能する導電層 1353 を、トランジスタを有する層 1351 の下方や同一の層に有しても可能である

50

。

【0161】

記憶素子部1356は、記憶素子1356a、1356bを有する。記憶素子1356aは、絶縁層1252上に形成された第1の導電層110aと、第1の導電層110a上に設けられたメモリ層111及び第2の導電層112とを有する。記憶素子1356bは、絶縁層1252上に形成された第1の導電層110bと、第1の導電層110b上に設けられたメモリ層111及び第2の導電層112とを有する。なお、記憶素子1356a、1356bは隔壁（絶縁層）1374により分離されており、記憶素子部1356は上記実施の形態で示した記憶素子と同様の材料または作製方法を用いて形成することができる。また、記憶素子を構成する第1の導電層の各々には、トランジスタに接続された配線が接続されている。すなわち、記憶素子はそれぞれ一つのトランジスタに接続されている。なお、図14（B）に示す断面方向においても、メモリ層111は各記憶素子で分離されている。10

【0162】

また、基板上に剥離層を設け、前記剥離層上にトランジスタを有する層1351、記憶素子部1356及びアンテナとして機能する導電層1353を形成し、実施の形態3に示す剥離方法を適宜用いてトランジスタを有する層1351、記憶素子部1356及びアンテナとして機能する導電層1353を剥離し、基板上に接着層を用いて貼り付けてもよい。

【0163】

次に、トランジスタを有する層、アンテナに接続される端子部及び記憶素子を有する第1の基板と、当該端子部に接続されるアンテナが形成された第2の基板とを有する半導体装置の一構成例に関して図15を用いて説明する。なお、図15に関し図14と異なる部分に関して説明を行う。20

【0164】

図15（A）はパッシブマトリクス型の記憶装置を有する半導体装置を示している。半導体装置は、基板1350上に形成されたトランジスタ1300、1301を有する層1351と、トランジスタを有する層1351の上方に形成される記憶素子部1352と、アンテナに接続する端子部と、アンテナとして機能する導電層1357が形成された基板1365とを有する。導電層1357と接続端子となる導電層1360とは、樹脂1375中に含まれる導電性粒子1359により電氣的に接続されている。なお、トランジスタを有する層1351と記憶素子部1352等を有する基板1350と、アンテナとして機能する導電層1357が設けられた基板1365とは、接着性を有する樹脂1375により貼り合わされている。30

【0165】

また、銀ペースト、銅ペースト、カーボンペースト等の導電性接着剤や半田接合を行う方法を用いてアンテナとして機能する導電層1357と接続端子となる導電層1360とを接続してもよい。ここではトランジスタを有する層1351の上方に記憶素子部1352を設けた場合を示しているが、この構成に限られず記憶素子部1352を、トランジスタを有する層1351の下方や同一の層に有してもよい。40

【0166】

図15（B）はアクティブマトリクス型の記憶装置が設けられた半導体装置を示している。半導体装置は、基板1350上に形成されたトランジスタ1300、1301を有する層1351と、トランジスタを有する層1351の上方に形成される記憶素子部1356と、トランジスタに接続する端子部と、アンテナとして機能する導電層1357が形成された基板1365とを有する。導電層1357と接続端子となる導電層1360とは、樹脂1375中に含まれる導電性粒子1359により接続されている。なお、トランジスタを有する層1351と記憶素子部1356等を有する基板と、アンテナとして機能する導電層1357が設けられた基板1365とは、接着性を有する樹脂1375により貼り合わされている。50

【 0 1 6 7 】

また、銀ペースト、銅ペースト、カーボンペースト等の導電性接着剤や半田接合を行う方法を用いてトランジスタを有する層 1 3 5 1 と記憶素子部 1 3 5 6 等を有する基板 1 3 5 0 と、アンテナとして機能する導電層 1 3 5 7 が設けられた基板 1 3 6 5 とを貼り合わせてもよい。ここではトランジスタを有する層 1 3 5 1 の上方に記憶素子部 1 3 5 2 を設けた場合を示しているが、この構成に限られず記憶素子部 1 3 5 6 を、トランジスタを有する層 1 3 5 1 の下方や同一の層に有してもよい。

【 0 1 6 8 】

また、基板上に剥離層を形成し、前記剥離層上にトランジスタを有する層 1 3 5 1、記憶素子部 1 3 5 2 もしくは記憶素子部 1 3 5 6 を形成し、実施の形態 3 に示す剥離方法を適宜用いてトランジスタを有する層 1 3 5 1 及び記憶素子部 1 3 5 2、1 3 5 6 を剥離し、基板上に接着層を用いて貼り付けてもよい。

10

【 0 1 6 9 】

さらには、記憶素子部 1 3 5 2、1 3 5 6 を、アンテナとして機能する導電層 1 3 5 7 が設けられた基板 1 3 6 5 に設けてもよい。すなわち、トランジスタを有する層が形成される第 1 の基板と、記憶素子部及びアンテナとして機能する導電層が形成される第 2 の基板とを、導電性粒子を含む樹脂により貼り合わせてもよい。また、図 1 4 (A) 及び (B) に示す半導体装置と同様に、トランジスタに接続するセンサを設けてもよい。

【 0 1 7 0 】

本実施形態で示した半導体装置は、データの書き込みが一度だけではなく、追加（追記）が可能である。一方、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。また、簡便に歩留り良く作製することができる本発明の記憶素子を有するため、性能及び信頼性に優れた半導体装置を安価に作製することが可能である。

20

【 0 1 7 1 】

なお、本実施形態は、他の実施の形態及び実施例とも適宜組み合わせることができる。そのため、本実施形態で示した半導体装置が有する記憶素子には、例えばメモリ層と第 1 の導電層及び第 2 の導電層の少なくとも一方との間に絶縁層もしくは半導体層が設けられていても良い。

【 0 1 7 2 】

30

（実施の形態 5）

本実施の形態では、本発明の記憶素子を有する半導体装置の一例に関して図面を用いて説明する。本実施の形態の半導体装置の上面図を図 1 6 (A) に、図 1 6 (A) における線 X - Y の断面図を図 1 6 (B) に示す。

【 0 1 7 3 】

図 1 6 (A) に示すように、基板 1 4 0 0 上に記憶素子を有する記憶素子部 1 4 0 4、回路部 1 4 2 1、アンテナ 1 4 3 1 が形成されている。図 1 6 (A) 及び (B) は、作成工程途中であり、作製条件に耐えうる基板 1 4 0 0 上に記憶素子部、回路部、及びアンテナを形成した状態である。材料及び作製工程は上記実施の形態と同様に適宜選択し、作製すればよい。

40

【 0 1 7 4 】

基板 1 4 0 0 上に剥離層 1 4 5 2、絶縁層 1 4 5 3 を介して記憶素子部 1 4 0 4 にはトランジスタ 1 4 4 1、回路部 1 4 2 1 にはトランジスタ 1 4 4 2 が設けられている。トランジスタ 1 4 4 1 及びトランジスタ 1 4 4 2 上には絶縁層 1 4 6 1、絶縁層 1 4 5 4、絶縁層 1 4 5 5 が形成されており、絶縁層 1 4 5 5 上には記憶素子 1 4 4 3 が形成されている。

【 0 1 7 5 】

記憶素子 1 4 4 3 は、絶縁層 1 4 5 5 上に設けられた第 1 の導電層 1 1 0 d と、メモリ層 1 1 1 と、第 2 の導電層 1 1 2 とを有し、メモリ層 1 1 1 は第 1 の導電層 1 1 0 d と第 2 の導電層 1 1 2 に挟持されている。なお、記憶素子 1 4 4 3 は上記実施の形態で示した

50

記憶素子と同様の材料または作製方法を用いて形成することができる。図 16 では省略されているが、隔壁として機能する絶縁層 1460b 等により多数設けられた記憶素子 1443 は個々に隔てられている。

【0176】

第 1 の導電層 110d はトランジスタ 1441 の配線層と接続されている。一方、第 2 の導電層 112 は、配線層 1456a に積層された導電層 1457c と接続されている。また、絶縁層 1455 上には導電層と図 16 (A) で示すアンテナ 1431 が積層して設けられている。図 16 (B) において、前記導電層は、導電層 1457a、導電層 1457b、導電層 1457e、導電層 1457f であり、導電層 1457a とアンテナ 1431a、導電層 1457b とアンテナ 1431b、及び導電層 1457f とアンテナ 1431d とがそれぞれ積層された構成となっている。なお、導電層 1457e とアンテナ 1431c については、絶縁層 1455 に形成された配線層 1456b に達する開口部において形成されており、導電層 1457e と配線層 1456b とが接続されている。このようにして、アンテナと記憶素子部 1404 及び回路部 1421 とを電氣的に接続されている。また、アンテナ 1431a、アンテナ 1431b、アンテナ 1431c、及び 1431d 下にそれぞれ形成されている導電層 1457a、導電層 1457b、導電層 1457e、導電層 1457f は、絶縁層 1455 とアンテナとの密着性を向上させる効果も有する。本実施の形態では、絶縁層 1455 にポリイミド膜、導電層 1457a、導電層 1457b、導電層 1457e、及び導電層 1457f にチタン膜、アンテナ 1431a、アンテナ 1431b、アンテナ 1431c、及びアンテナ 1431d にアルミニウム膜をそれぞれ用いている。

10

20

【0177】

なお、第 1 の導電層 110d とトランジスタ 1441、導電層 1457c と配線層 1456a 及び導電層 1457e と配線層 1456b とがそれぞれ接続するために絶縁層 1455 に開口（コンタクトホールとも言う）を形成している。開口を大きくし、導電層同士の接触面積を増加した方がより低抵抗となるため、本実施の形態では、第 1 の導電層 110d とトランジスタ 1441 とが接続する開口が一番小さく、その次が導電層 1457c と配線層 1456a とが接続する開口、導電層 1457e と配線層 1456b とが接続する開口が一番大きいというように順に開口を大きく設定している。本実施の形態では、第 1 の導電層 110d とトランジスタ 1441 とが接続する開口を $5\mu\text{m} \times 5\mu\text{m}$ 、導電層 1457c と配線層 1456a とが接続する開口を $50\mu\text{m} \times 50\mu\text{m}$ 、導電層 1457e と配線層 1456b とが接続する開口を $500\mu\text{m} \times 500\mu\text{m}$ としている。

30

【0178】

本実施の形態では、絶縁層 1460a からアンテナ 1431b までの距離 a を $500\mu\text{m}$ 以上、第 2 の導電層 112 の端部から絶縁層 1460a の端部までの距離 b を $250\mu\text{m}$ 以上、第 2 の導電層 112 の端部から絶縁層 1460c の端部までの距離 c を $500\mu\text{m}$ 以上、絶縁層 1460c の端部からアンテナ 1431c までの距離 d を $250\mu\text{m}$ 以上としている。なお、回路部 1421 は部分的に絶縁層 1460c が形成されており、トランジスタ 1442 も絶縁層 1460c に覆われていない領域と覆われている領域がある。

40

【0179】

以上のような半導体装置を用いることで、外部入力部から電源電圧や信号を記憶素子部 1404 に直接入力することで、記憶素子部 1404 にデータ（情報に相当する）を書き込む、もしくは記憶素子部 1404 からデータを読み出すことが可能となる。

【0180】

また、アンテナは、記憶素子部に対して、重なって設けてもよいし、重ならず周囲に設ける構造でもよい。また重なる場合も全面が重なってもよいし、一部が重なっている構造でもよい。例えば、アンテナ部と記憶素子部が重なる構成であると、アンテナが交信する際に信号に載っているノイズや電磁誘導により発生する起電力の変動等の影響による、半導体装置の動作不良を減らすことが可能である。

【0181】

50

また、上述した非接触データの入出力が可能である半導体装置における信号の伝送方式は、電磁結合方式、電磁誘導方式またはマイクロ波方式等を用いることができる。伝送方式は、用途を考慮して適宜選択すればよく、伝送方式に伴って最適なアンテナを設ければよい。

【0182】

図17(A)乃至(D)に、基板1501上に形成されたアンテナとして機能する導電層1502及び記憶素子部1503を有するチップ状の半導体装置の例を示す。なお、半導体装置には記憶素子の他、集積回路等を搭載していても良い。

【0183】

半導体装置における信号の伝送方式として、マイクロ波方式(例えば、UHF帯(860~960MHz帯)、2.45GHz帯等)を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を適宜設定すればよく、例えば、アンテナとして機能する導電層を線状(例えば、ダイポールアンテナ(図17(A)参照))、平坦な形状(例えば、パッチアンテナ(図17(B)参照))またはリボン型の形状(図17(C)及び(D)参照)等に形成することができる。また、アンテナとして機能する導電層の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

【0184】

また、半導体装置における信号の伝送方式として、電磁結合方式または電磁誘導方式(例えば13.56MHz帯)を適用する場合には、磁界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電層を輪状(例えば、ループアンテナ)、らせん状(例えば、スパイラルアンテナ)に形成することが好ましい。

【0185】

また、電磁結合方式または電磁誘導方式を適用する場合であって、アンテナを備えた半導体装置を金属に接して設ける場合には、当該半導体装置と金属との間に透磁率を備えた磁性材料を設けることが好ましい。アンテナを備えた半導体装置を金属に接して設ける場合には、磁界の変化に伴い金属に渦電流が流れ、当該渦電流により発生する反磁界によって、磁界の変化が弱められて通信距離が低下する。そのため、半導体装置と金属との間に透磁率を備えた材料を設けることにより金属の渦電流を抑制し通信距離の低下を抑制することができる。なお、磁性材料としては、高い透磁率を有し高周波損失の少ないフェライトや金属薄膜を用いることができる。

【0186】

また、アンテナを設ける場合には、1枚の基板上にトランジスタ等の半導体素子とアンテナとして機能する導電層を直接作り込んで設けてもよいし、半導体素子とアンテナとして機能する導電層を別々の基板上に設けた後に、電氣的に接続するように貼り合わせることにによって設けてもよい。

【0187】

本実施形態で示した半導体装置は、データの書き込みが一度だけではなく、追加(追記)することが可能である。一方、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。また、簡便に歩留り良く作製することができる本発明の記憶素子を有するため、性能及び信頼性に優れた半導体装置を安価に作製することが可能である。

【0188】

なお、本実施形態は、他の実施の形態及び実施例とも適宜組み合わせることができる。例えば、本実施形態で示した半導体装置が有する記憶素子には、メモリ層と第1の導電層及び第2の導電層の少なくとも一方との間に絶縁層もしくは半導体層が設けられていても良い。

【0189】

(実施の形態6)

本発明により無線チップとして機能する半導体装置を形成することができる。無線チッ

10

20

30

40

50

ブの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類（運転免許証や住民票等、図18（A）参照）、包装用容器類（包装紙やボトル等、図18（C）参照）、記録媒体（DVDソフトやビデオテープ等、図18（B）参照）、乗物類（自転車等、図18（D）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札（図18（E）、図18（F）参照）等の物品に設けて使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。

【0190】

本発明の半導体装置1610は、本発明の記憶素子を有し、プリント基板に実装する、表面に貼る、あるいは基板に埋め込むことにより、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして各物品に固定される。本発明の半導体装置1610は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証券類等に本発明の半導体装置1610を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【0191】

次に、本発明の半導体装置を実装した電子機器の一態様について図19を用いて説明する。ここで例示する電子機器は携帯電話機であり、筐体1700、1706、パネル1701、ハウジング1702、プリント配線基板1703、操作ボタン1704、バッテリー1705を有する。パネル1701はハウジング1702に脱着自在に組み込まれ、ハウジング1702はプリント配線基板1703に嵌着される。ハウジング1702はパネル1701が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板1703には、パッケージングされた複数の半導体装置が実装されており、このうちの1つとして、本発明の記憶素子を有する半導体装置を用いることができる。プリント配線基板1703に実装される複数の半導体装置は、コントローラ、中央処理ユニット（CPU、Central Processing Unit）、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

【0192】

パネル1701は、接続フィルム1708を介して、プリント配線基板1703と接続される。上記のパネル1701、ハウジング1702、プリント配線基板1703は、操作ボタン1704やバッテリー1705と共に、筐体1700、1706の内部に収納される。パネル1701が含む画素領域1709は、筐体1700に設けられた開口窓から視認できるように配置されている。

【0193】

上記の通り、本発明の半導体装置は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体1700、1706内部の限られた空間を有効に利用することができる。なお、筐体1700、1706は、携帯電話機の外觀形状を一例として示したものであり、本実施形態に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

【0194】

なお、本発明の記憶素子は、第1の導電層と、メモリ層と、第2の導電層とを有し、メモリ層は第1の導電層と第2の導電層に挟持されている。なお、メモリ層は有機薄膜で被覆された導電性材料よりなるナノ粒子から構成され、液滴吐出法を用いて形成する。そのため、本発明の記憶素子は、簡便に歩留り良く作製することができる。

【0195】

また、このような記憶素子を有する半導体装置は、データの書き込みが一度だけではな

く、追加（追記）することが可能である。一方、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。よって、性能及び信頼性に優れた半導体装置を安価に作製することが可能である。

【0196】

なお、本実施形態は、他の実施の形態及び実施例とも適宜組み合わせることができる。例えば、本実施形態で示した半導体装置が有する記憶素子には、メモリ層と第1の導電層及び第2の導電層の少なくとも一方との間に絶縁層もしくは半導体層が設けられていても良い。

【実施例1】

【0197】

本実施例では、メモリ層が有機薄膜で被覆された導電性材料よりなるナノ粒子から構成されている記憶素子を作製し、その本発明の一構成例である記憶素子における書き込みによる構造変化について観察した結果を示す。記憶素子は、基板上に第1の導電層と、メモリ層と、第2の導電層とを順に積層した素子であり、その作製方法については図1を用いて説明する。なお、用いた記憶素子のサイズは5 μ 角である。

【0198】

まず、基板上に、スパッタリング法を用いてチタンを成膜し、第1の導電層110とした。なお、膜厚は100nmとした。

【0199】

次に、ホットプレートを用いて基板を加熱しながら液滴吐出法を用いてメモリ層111を膜厚100nmとなるように形成した。吐出材料には、有機薄膜で被覆された銀のナノ粒子が水及び水溶性有機溶媒中に分散された溶液を用いた。なお、溶液中の銀濃度は約2.5wt%（ ± 2.5 wt%）であり、用いたナノ粒子の粒径は20nm以上30nm以下である。また、粘度が25で約15Pa \cdot s、表面張力が約35mN/mの吐出材料を用いた。まず、50のホットプレートを用いて基板を加熱しながら上述の吐出材料を液滴として第1の導電層110上に吐出し、ホットプレートの温度を80にして10分間加熱し、乾燥することで、有機薄膜で被覆された銀のナノ粒子から構成されるメモリ層111を形成した。

【0200】

次に、メモリ層111上に抵抗加熱による蒸着法を用いてアルミニウムを膜厚が200nmとなるよう形成し、第2の導電層112とした。

【0201】

以上のようにして得られた記憶素子に電圧を印加することにより書き込みを行った。書き込み時における記憶素子の電圧-電流特性を図20（A）に示す。なお、電圧の印加方法は連続的に印加電圧を変化させるスイープ方式により行い、抵抗を用いて記憶素子に流れる電流の限界値を10mAに設定した。図20（A）より、約8.4V付近で電流値が急増し、その電流値は限界値である10mAに達した。すなわち、電極間がショートし、記憶素子に書き込みができたことがわかる。

【0202】

この記憶素子に対し再度スイープ方式により電圧を印加することで、書き込み後の記憶素子の電圧-電流特性について調べた。結果を図20（B）に示す。図20（B）より電圧の印加直後から記憶素子に流れる電流値は限界値である10mAに達した。よって、電極間はすでにショートされており、書き込みが正常に行われていたことを確認した。

【0203】

このようにして書き込みが完了した記憶素子のSEM写真を図21乃至図23に示す。図21はメモリ層111の膜厚方向における1/2の箇所での切断面である。なお、この膜厚方向をy方向とした際、図21はxz平面を示している。また、図22は記憶素子の断面であり、xy平面を示している。また、図23も記憶素子の断面であり、yz平面を示している。

【0204】

10

20

30

40

50

図 2 1 乃至図 2 3 より、書き込みによるナノ粒子の融着によって導電部 1 2 0 が形成されていることがわかる。また、この導電部 1 2 0 を介して第 1 の導電層 1 1 0 と第 2 の導電層 1 1 2 とが電氣的に接続され、記憶素子がショートすることで書き込みができたことがわかる。なお、導電部 1 2 0 の形状は円錐に近い形状であった。また、導電部 1 2 0 の周囲には空間 1 2 1 が形成されており、導電部 1 2 0 の形状におおよそ依存している様子がわかる。また、第 1 の導電層 1 1 0 上には空間 1 2 1 以外の場所においても空間が観察された。さらに、書き込み後における第 2 の導電層 1 1 2 に変形は生じていないことがわかった。よって、例えば第 2 の導電層 1 1 2 上に他の層を設けた場合などには前記他の層の膜剥がれ等を懸念する必要もなくなる。

【 0 2 0 5 】

また、本実施例で作製した記憶素子を 8 5 の雰囲気下に 2 4 0 時間曝すことにより信頼性試験を行った。2 4 0 時間経過した後であっても、正常に書き込みができた。よって、本発明の記憶素子は、信頼性が高いことがわかる。

【 0 2 0 6 】

また、本実施例で作製した記憶素子を 1 5 0 のホットプレートを用いて 1 6 時間加熱した後であっても記憶素子はショートすることなく、電圧の印加により書き込みをすることが可能であった。

【 0 2 0 7 】

なお、本実施例で作製した記憶素子におけるメモリ層 1 1 1 は、上述したように吐出材料を液滴として吐出した後、8 0 のホットプレートを用いて乾燥しているが、1 4 0 で 1 0 分間乾燥しても 8 0 の際と同様の書き込み特性を示した。

【 0 2 0 8 】

以上のように本発明の記憶素子を簡便に歩留り良く作製することができた。

【 0 2 0 9 】

また、本発明の記憶素子は、書き込みを一度行った記憶素子に対しデータを消去することは不可能なため、書き換えによる偽造を防止することができる。よって、性能及び信頼性に優れた記憶素子を安価に作製することが可能となる。

【図面の簡単な説明】

【 0 2 1 0 】

【図 1】本発明の記憶素子の一構成例について説明する図。

【図 2】本発明の記憶素子の動作機構について説明する図。

【図 3】書き込み前後のメモリ層の上面図の一例を示す図。

【図 4】液滴吐出装置の一態様を示す図。

【図 5】本発明の記憶素子の一構成例について説明する図。

【図 6】本発明の半導体装置の一構成例について説明する図。

【図 7】本発明の半導体装置が有するメモリセルについて説明する図。

【図 8】本発明の記憶素子の一構成例について説明する図。

【図 9】本発明の半導体装置の一構成例について説明する図。

【図 1 0】本発明の半導体装置が有するメモリセルについて説明する図。

【図 1 1】薄膜トランジスタの一態様について説明する図。

【図 1 2】本発明の半導体装置の一構成例について説明する図。

【図 1 3】本発明の半導体装置の一構成例について説明する図。

【図 1 4】本発明の半導体装置の断面の一部を説明する図。

【図 1 5】本発明の半導体装置の断面の一部を説明する図。

【図 1 6】本発明の半導体装置について説明する図。

【図 1 7】本発明のチップ状の半導体装置について説明する図。

【図 1 8】本発明の半導体装置を搭載した物品について説明する図。

【図 1 9】本発明の半導体装置を搭載した携帯電話について説明する図。

【図 2 0】実施例 1 で作製した記憶素子の電圧 - 電流特性を示す図。

【図 2 1】実施例 1 で作製した記憶素子のメモリ層の膜厚方向における切断面を示す図。

10

20

30

40

50

【図 2 2】実施例 1 で作製した記憶素子の断面図。

【図 2 3】実施例 1 で作製した記憶素子の断面図。

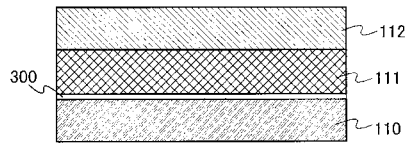
【符号の説明】

【 0 2 1 1 】

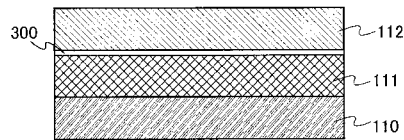
1 1 0	第 1 の導電層	
1 1 1	メモリ層	
1 1 2	第 2 の導電層	
1 2 0	導電部	
1 2 1	空間	
3 0 0	層	10
4 0 0	半導体装置	
4 0 1	記憶素子	
4 0 2	記憶素子	
4 1 1	メモリセルアレイ	
4 1 2	デコーダ	
4 1 3	デコーダ	
4 1 4	セレクト	
4 1 5	読み出し / 書き込み回路	
4 5 0	抵抗素子	
4 5 1	差動増幅器	20
4 5 2	トランジスタ	
4 5 3	クロックインバータ	
5 1 0	第 1 の導電層	
5 1 2	第 2 の導電層	
5 2 0	隔壁 (絶縁層)	
5 2 1	基板	
5 2 2	絶縁層	
6 1 1	ダイオード	
6 1 2	導電層	
6 1 3	半導体層	30
6 1 4	層間絶縁膜	
6 2 1	隔壁 (絶縁層)	

【図 5】

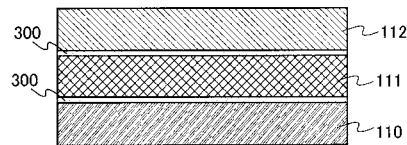
(A)



(B)

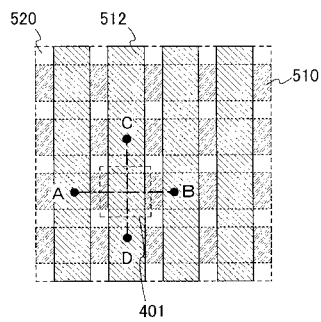


(C)

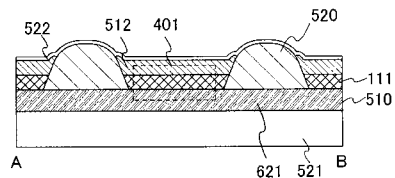


【図 7】

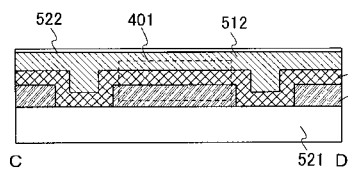
(A)



(B)

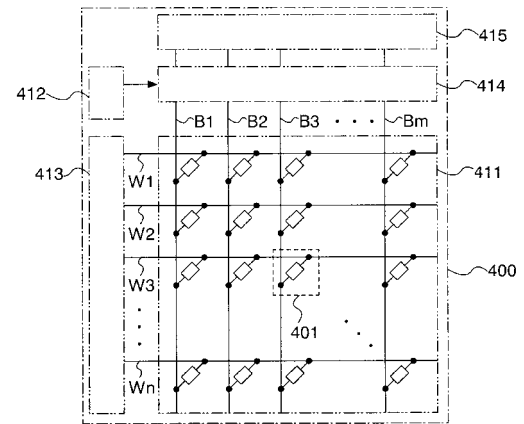


(C)

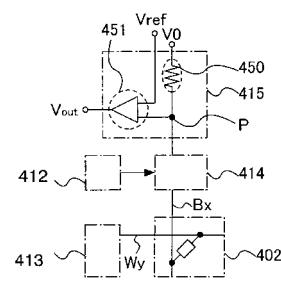


【図 6】

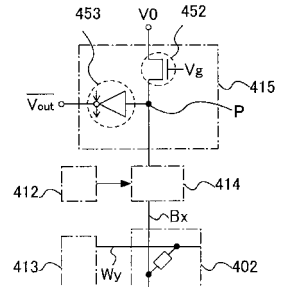
(A)



(B)

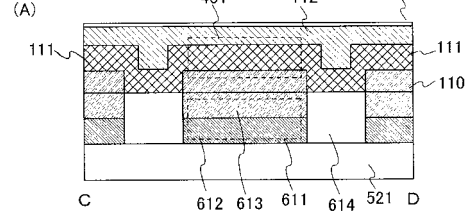


(C)

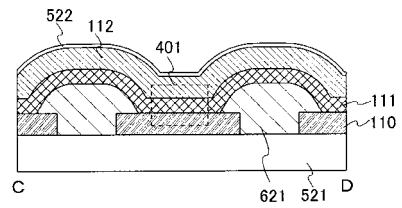


【図 8】

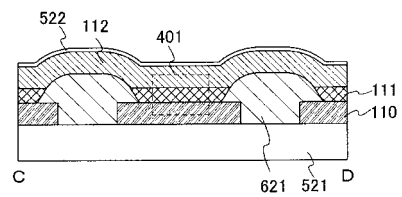
(A)



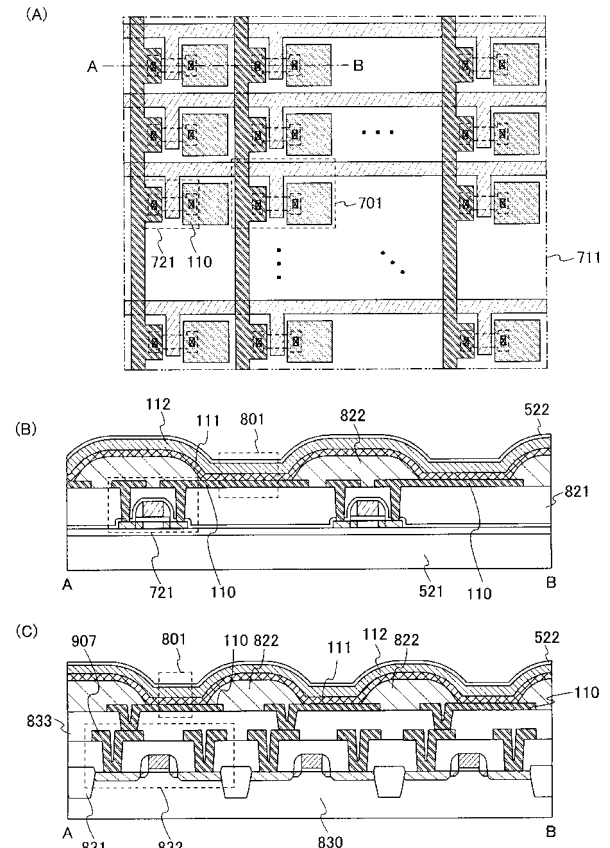
(B)



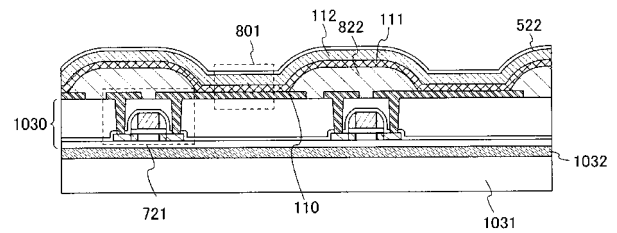
(C)



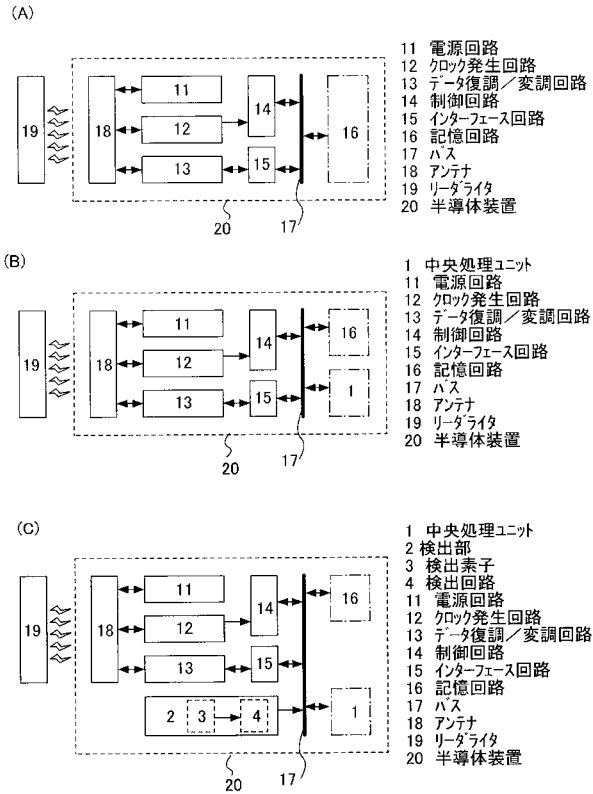
【 図 1 0 】



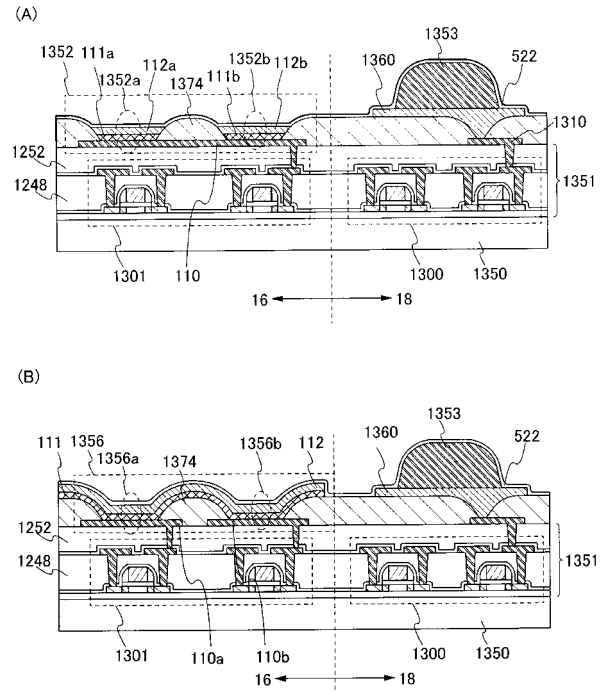
【 図 1 2 】



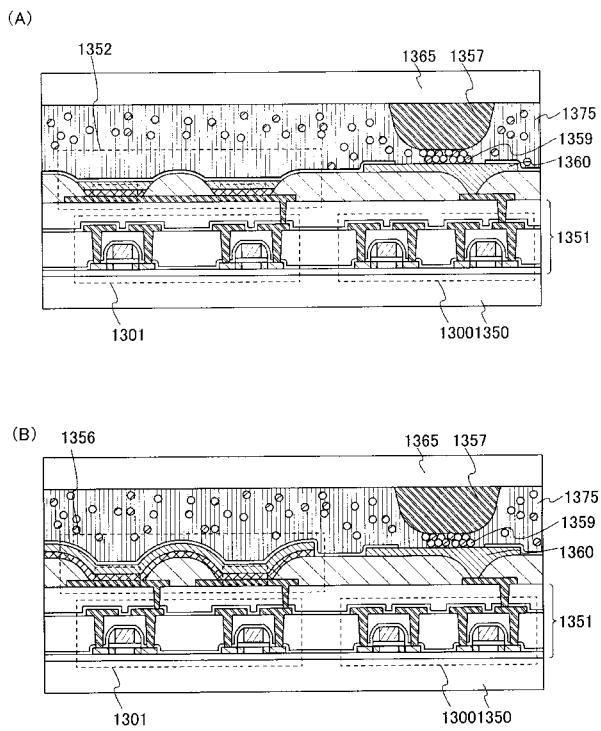
【図 13】



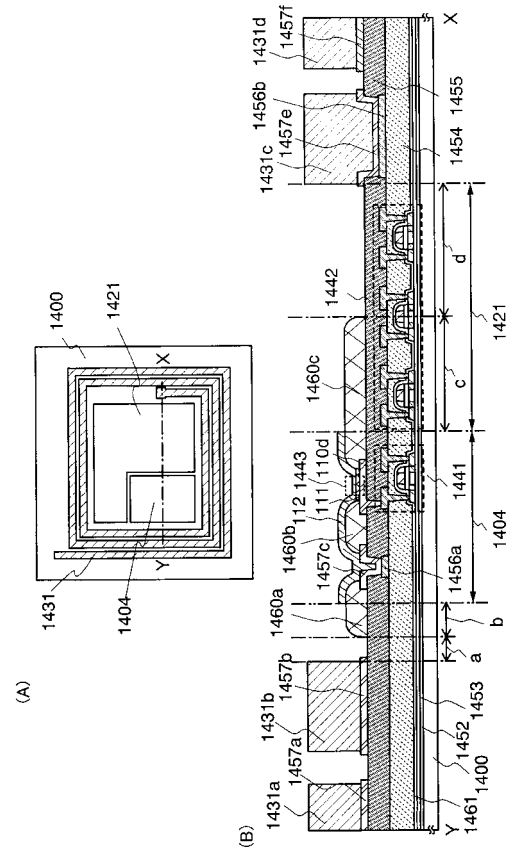
【図 14】



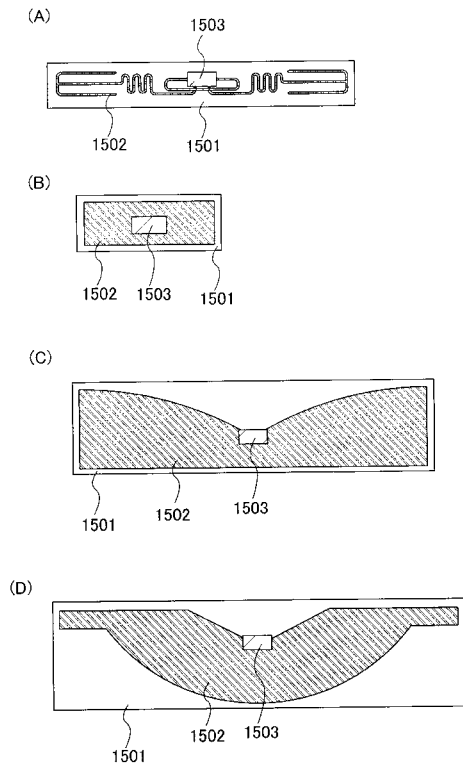
【図 15】



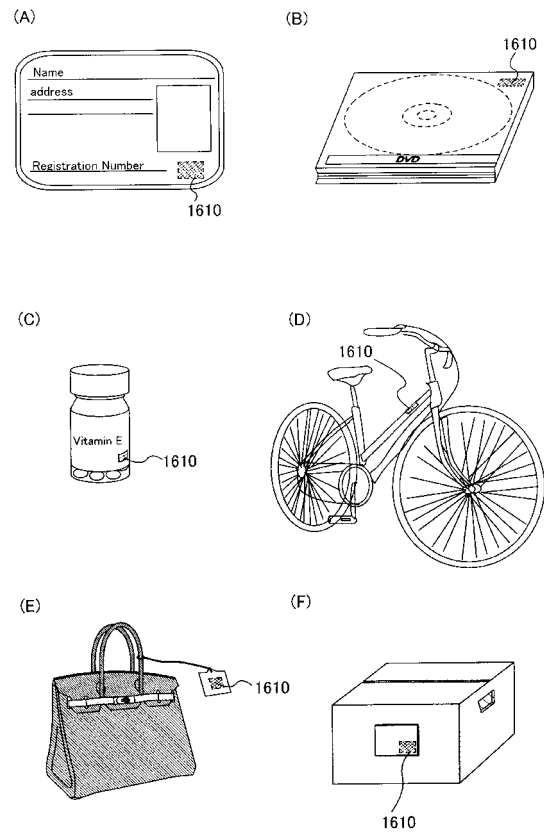
【図 16】



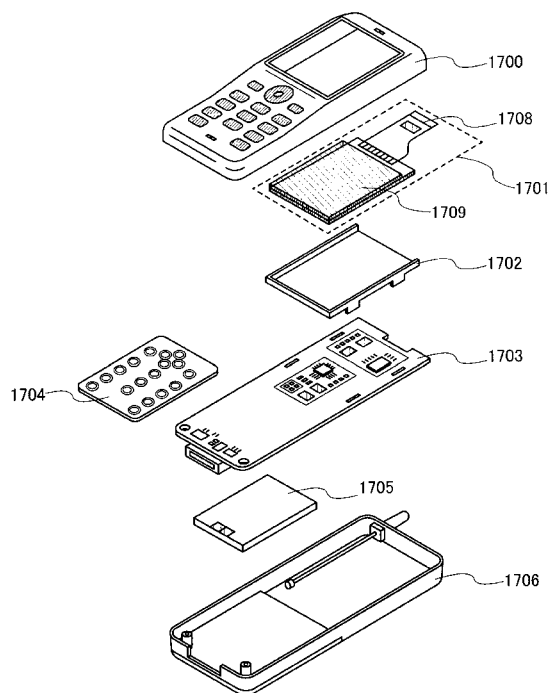
【図 17】



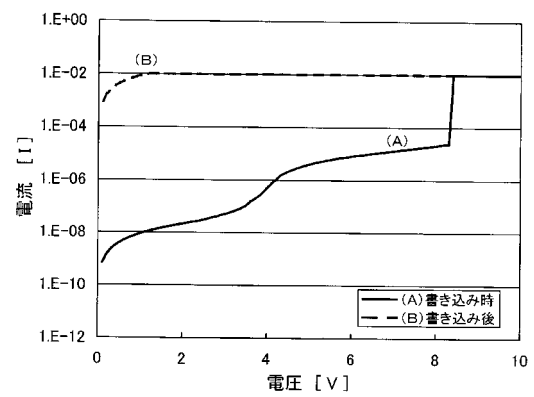
【図 18】



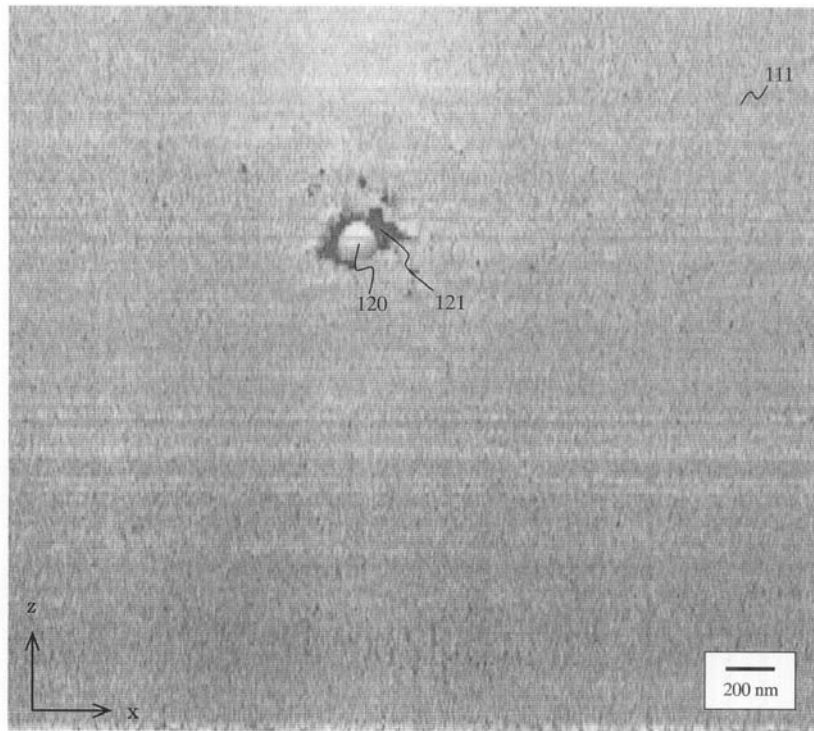
【図 19】



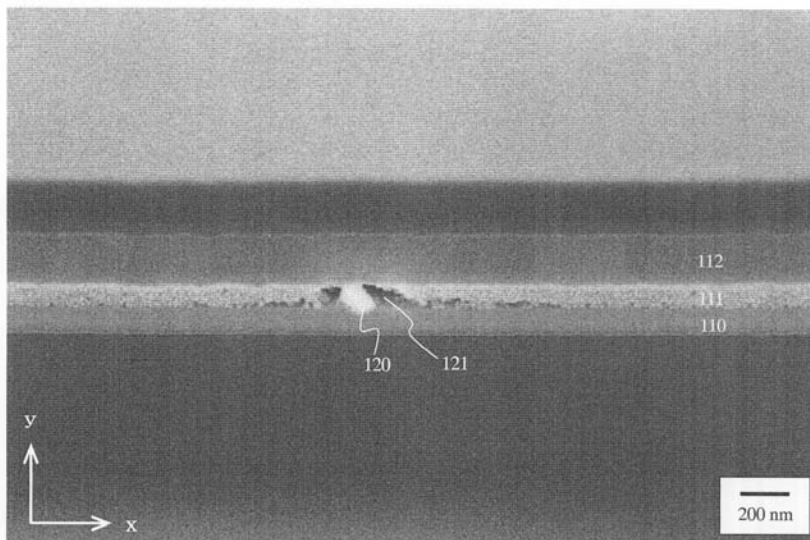
【図 20】



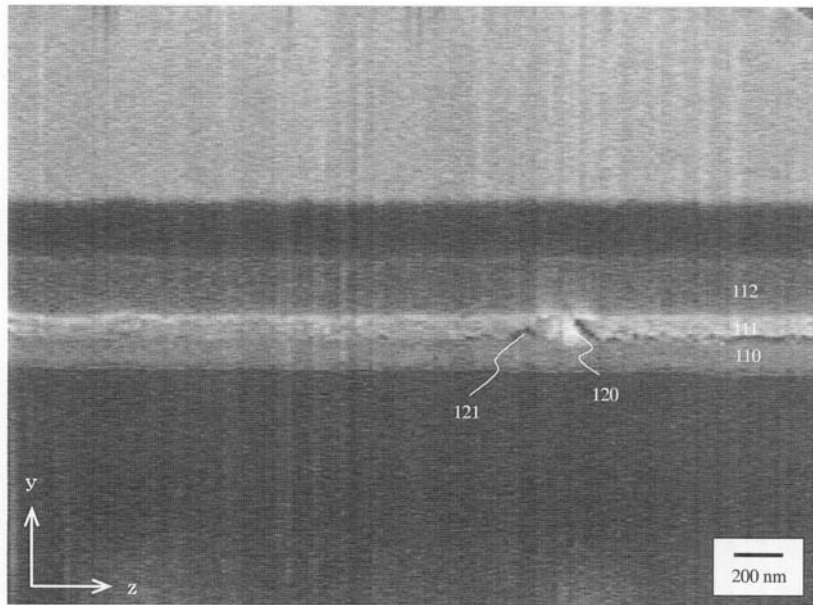
【図 2 1】



【図 2 2】



【図 23】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 1 1 C 13/00

A

F ターム (参考) 5F110 AA16 BB05 CC02 CC03 CC07 DD02 DD05 DD13 DD14 DD15
EE02 EE03 EE04 EE07 EE22 EE31 GG02 GG05 GG12 GG13
GG14 GG15 GG24 GG42 HL03 HL04 HL11 HM15 NN02 NN12
NN22 NN23 NN27 NN33 NN71 PP01 PP03 PP10 PP29 PP34
QQ16