(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0054008
(43) 공개일자 2020년05월19일

(51) 국제특허분류(Int. Cl.)
H02M 3/157 (2006.01)
(52) CPC특허분류
H02M 3/157 (2013.01)
(21) 출원번호 10-2018-0137611
(22) 출원일자 2018년11월09일
심사청구일자 2018년11월09일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221, 401동 1003호 (도곡동, 도곡렉슬아파트)
김은희
인천광역시 계양구 양지로 7, 106동 507호 (동양동, 주공아파트)
(74) 대리인
이기성

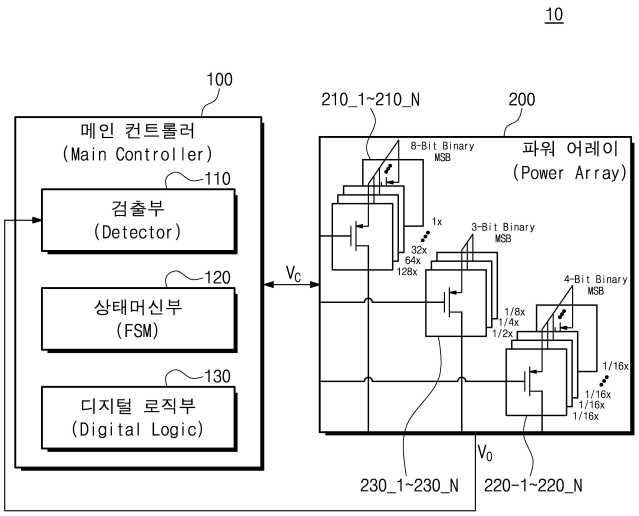
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **디지털 LDO 레귤레이터 및 그 동작 방법**

(57) 요 약

본 출원의 일 실시예에 따르는 디지털 LDO 레귤레이터는, 메인 컨트롤러 및 상기 메인 컨트롤러부터 인가받는 제어전압에 기초하여 출력전압을 출력하는 파워 어레이를 포함하고, 상기 메인 컨트롤러는, 상기 출력전압과 적어도 하나 이상의 기준전압을 비교하여 상기 출력전압에 대한 트랜지션 정보를 검출하는 검출부, 상기 트랜지션 정보와 상기 제어전압에 기초하여, COARSE, FINE 및 MIDDLE 중 하나의 상태신호를 출력하는 상태신호 생성부 및 상기 COARSE 상태신호에 응답하여, 상기 제어전압을 적응형 SAR 알고리즘을 통해 조절하는 디지털 로직부를 포함하고, 상기 적응형 SAR 알고리즘은, 상기 트랜지션 정보에 따라, MSB-FT 알고리즘과 MODIFIED LSB-FT 알고리즘 중 어느 하나의 알고리즘이 선택적으로 적용된다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1711076106
부처명	과학기술정보통신부
연구관리전문기관	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천 기술 개발(정보화)
연구과제명	스마트 센서 SoC용 초저전압 회로 및 IP 설계 기술 개발
기 여 율	1/1
주관기관	연세대학교 산학협력단
연구기간	2018.04.01 ~ 2019.01.31

명 세 서

청구범위

청구항 1

메인 컨트롤러; 및

상기 메인 컨트롤러부터 인가받는 제어전압에 기초하여 출력전압을 출력하는 파워 어레이를 포함하고,

상기 메인 컨트롤러는, 상기 출력전압과 적어도 하나 이상의 기준전압을 비교하여 상기 출력전압에 대한 트랜지션 정보를 검출하는 검출부;

상기 트랜지션 정보와 상기 제어전압에 기초하여, COARSE, FINE 및 MIDDLE 중 하나의 상태신호를 출력하는 상태신호 생성부; 및

상기 COARSE 상태신호에 응답하여, 상기 제어전압을 적응형 SAR 알고리즘을 통해 조절하는 디지털 로직부를 포함하고,

상기 적응형 SAR 알고리즘은, 상기 트랜지션 정보에 따라, MSB-FT 알고리즘과 MODIFIED LSB-FT 알고리즘 중 어느 하나의 알고리즘이 선택적으로 적용되는 디지털 LDO 레귤레이터.

청구항 2

제1항에 있어서,

상기 디지털 로직부는, 상기 FINE 상태신호에 응답하여, 상기 제어전압을 배럴 쉬프터 알고리즘을 통해 조절하는 디지털 LDO 레귤레이터.

청구항 3

제1항에 있어서,

상기 디지털 로직부는, 상기 MIDDLE 상태신호에 응답하여, 상기 제어전압을 LSB-FT 알고리즘을 통해 조절하는 디지털 LDO 레귤레이터.

청구항 4

제1항에 있어서,

상기 트랜지션 정보는, 상기 출력전압에 대한 데드존크로싱 정보 및 기울기정보를 포함하고,

상기 데드존크로싱 정보는, 상기 출력전압과 상기 적어도 하나 이상의 기준전압이 서로 교차하는 시간정보에 대응되고,

상기 기울기정보는, 상기 데드존크로싱 정보에 따라 판단되는 헤비 트랜지션상태 및 마일드 트랜지션상태 중 어느 하나의 트랜지션 상태에 대응되는 디지털 LDO 레귤레이터.

청구항 5

제1항에 있어서,

상기 디지털 로직부는, 상기 트랜지션 정보가 헤비 트렌지션 상태인 경우, 상기 제어전압에 대해 상기 MSB-FT 알고리즘의 초기화동작, 비교동작, 설정동작 및 완료동작을 차례로 수행하고,

상기 트랜지션 정보가 마일드 트렌지션 상태인 경우, 상기 제어전압을 상기 MODIFIED LSB-FT 알고리즘의 초기화동작, 설정동작, 비교동작 및 완료동작을 차례로 수행하는 디지털 LDO 레귤레이터.

청구항 6

제5항에 있어서,

상기 디지털 로직부는, 상기 트랜지션 정보에 기초하여, 기설정된 룩업 테이블로부터 상기 제어전압의 상위의 비트들에 대응되는 기설정된 코드를 검출하여 상기 초기화 동작을 수행하는 디지털 LDO 레귤레이터.

청구항 7

제5항에 있어서,

상기 디지털 로직부는, 상기 MODIFIED LSB-FT 알고리즘의 설정동작 시, 상기 제어전압의 나머지 비트들과 상태가 다른 하나의 비트가 설정될 때, 상기 MODIFIED LSB-FT 알고리즘의 설정동작을 마치고,

상기 다른 하나의 비트 다음의 하위비트들에 대해 상기 MODIFIED LSB-FT 알고리즘의 완료동작인 상기 MSB-FT 알고리즘의 설정동작을 수행하는 디지털 LDO 레귤레이터.

청구항 8

제5항에 있어서,

상기 디지털 로직부는, 상기 제어전압과 목표제어전압 간의 기설정된 트랜지션 경계 내에 변화할 수 있는 비트들의 마지막 비트가 상기 제어전압에 설정될 때, 상기 MODIFIED LSB-FT 알고리즘의 설정동작을 마치고, 상기 마지막 비트의 다음의 하위비트들에 대해 상기 MSB-FT 알고리즘의 설정동작을 수행하는 디지털 LDO 레귤레이터.

청구항 9

제6항에 있어서,

클럭을 생성하는 클럭생성기; 및

상기 클럭을 제공받고, 상기 출력전압과 목표출력전압을 비교하여, 업 신호 또는 다운 신호를 출력하는 동적 비교기를 더 포함하고,

상기 메인 컨트롤러는, 상기 클럭을 제공받고, 상기 업 신호 또는 상기 다운 신호를 카운트하는 카운터를 더 포함하며,

상기 카운터는, 상기 초기화동작 이후, 상기 제어전압에 대한 비트변경 횟수를 카운트하는 디지털 LDO 레귤레이터.

청구항 10

제9항에 있어서,

상기 상태신호 생성부는, 상기 FINE 상태신호가 출력되고, 상기 제1 교차시점에서, 상기 업 신호 또는 상기 다운 신호 중 어느 하나가 기설정된 횟수 이상 연속적으로 카운트되는 경우,

상기 FINE 상태신호를 상기 MIDDLE 상태신호로 전이하여 상기 디지털 로직부에 출력하는 디지털 LDO 레귤레이터.

청구항 11

제4항에 있어서,

상기 검출부는, 상기 데드존크로싱 정보의 제1 교차시점을 검출하고, 상기 제1 교차시점에서 동작신호를 생성하는 제1 검출부;

상기 동작신호에 응답하여, 상기 데드존크로싱 정보의 제2 교차시점을 검출하고, 상기 제2 교차시점에서 상승펄스를 생성하는 제2 검출부;

상기 동작신호를 딜레이 셀들과 커패시터 어레이들을 통해 디지털적으로 딜레이시켜 지연신호를 생성하는 딜레이부; 및

상기 지연신호와 상기 상승펄스에 기초하여, 상기 출력전압의 기울기정보를 판단하는 판단부를 포함하는 디지털 LDO 레귤레이터.

청구항 12

제11항에 있어서,

상기 상태신호 생성부는, 상기 FINE 상태신호가 출력되는 경우, 상기 제1 교차시점에서, 상기 FINE 상태신호를 상기 COARSE 상태신호로 전이하여 상기 디지털 로직부에 출력하는 디지털 LDO 레귤레이터.

청구항 13

제11항에 있어서,

상기 제1 검출부는, 상기 적어도 하나 이상의 기준전압과 상기 출력전압을 비교하는 한쌍의 정적 비교기를 포함하는 디지털 LDO 레귤레이터.

청구항 14

제11항에 있어서,

상기 제2 검출부는, 상기 동작신호에 응답하여, 상기 출력전압 및 상기 상기 적어도 하나 이상의 기준전압을 비교하는 한쌍의 동적 비교기를 포함하는 디지털 LDO 레귤레이터.

청구항 15

제11항에 있어서,

상기 판단부는, 상기 지연신호를 입력신호로 전송받고, 상기 상승펄스를 트리거신호로 전송받는 D 플립플롭을 포함하는 디지털 LDO 레귤레이터.

청구항 16

파워 어레이와 메인 컨트롤러를 포함하는 디지털 LDO 레귤레이터의 동작방법으로서,

상기 파워 어레이가 상기 메인 컨트롤러로부터 인가받는 제어전압에 기초하여, 출력전압을 출력하는 단계;

상기 메인 컨트롤러가 상기 출력전압과 적어도 하나 이상의 기준전압을 비교하여 트랜지션 정보를 검출하는 단계;

상기 메인 컨트롤러가 상기 트랜지션 정보와 제어전압에 기초하여, COARSE, MIDDLE 및 FINE 상태신호 중 하나의 상태신호를 출력하는 단계; 및

상기 메인 컨트롤러가 상기 하나의 상태신호에 대응되는 알고리즘을 통해 상기 제어전압을 목표제어전압으로 조절하는 단계를 포함하는 디지털 LDO 레귤레이터의 동작방법.

청구항 17

제16항에 있어서,

상기 조절하는 단계는, 상기 메인 컨트롤러가 상기 COARSE 상태신호를 출력받는 경우, 상기 제어전압을 적응형 SAR 알고리즘을 선택하는 단계; 및

상기 트랜지션 정보에 따라, 상기 메인 컨트롤러가 MSB-FT 알고리즘 및 MODIFIED LSB-FT 알고리즘 중 어느 하나의 알고리즘을 통해 상기 제어전압을 조절하는 단계를 포함하는 디지털 LDO 레귤레이터의 동작방법.

청구항 18

제16항에 있어서,

상기 조절하는 단계는, 상기 메인 컨트롤러가 상기 FINE 상태신호를 출력받는 경우, 상기 제어전압을 배럴 쉬프터 알고리즘을 통해 조절하는 단계를 포함하는 디지털 LDO 레귤레이터의 동작방법.

청구항 19

제16항에 있어서,

상기 조절하는 단계는, 상기 메인 컨트롤러가 상기 MIDDLE 상태신호를 출력받는 경우, 상기 제어전압을 LSB-FT

알고리즘을 통해 조절하는 단계를 포함하는 디지털 LDO 레귤레이터의 동작방법.

청구항 20

제16항에 있어서,

상기 트랜지션 정보를 검출하는 단계는, 상기 출력전압과 상기 적어도 하나 이상의 기준전압을 비교를 통해 데드존크로싱 정보의 제1 교차시점을 검출하고, 상기 제1 교차시점에서 동작신호를 생성하는 단계;

상기 동작신호에 응답하여, 상기 출력전압과 상기 적어도 하나 이상의 기준전압을 비교를 통해 상기 데드존크로싱 정보의 제2 교차시점을 검출하고, 상기 제2 교차시점에서 상승펄스를 생성하는 단계;

상기 동작신호를 딜레이 셀들과 커패시터 어레이들을 통해 디지털적으로 딜레이시켜 지연신호를 생성하는 단계; 및

상기 지연신호와 상기 상승펄스에 기초하여, 상기 출력전압의 기울기정보를 판단하는 단계를 포함하는 디지털 LDO 레귤레이터의 동작방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 디지털 LDO 레귤레이터 및 그 동작 방법에 관한 것으로, 적응형 SAR 알고리즘(Adaptive SAR-based Algorithm)을 이용한 디지털 LDO 레귤레이터 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 최근, System-On-a-Chip(SOC) 기술의 향상에 따라 SOC의 코어 당 동적 전압 및 주파수 스케일링 체계는 Near-threshold 또는 Sub-threshold 범위까지의 광범위한 전원 전압을 제공하는 레귤레이터를 요구하고 있다.

[0003] 그렇기에, 낮은 전압에서 사용 가능하도록 공급전압에 민감한 증폭기와 같은 아날로그 회로를 사용하지 않고, 디지털 회로로 동작하는 디지털 LDO 레귤레이터(Digital Low-Dropout)가 활발히 연구되고 있다.

[0004] 이에 따라, 본 출원에서는 종래의 SAR 알고리즘을 통해 빠른 회복 시간 및 간단한 구조 등의 장점을 얻는 동시에, 낮은 공급전압에서 동작할 수 있고, 빠른 과도 응답을 얻을 수 있으며, 제어전압의 초기화로 발생하는 비트 사이클(Bit Cycle) 손실을 줄일 수 있는 적응형 SAR 알고리즘을 이용한 디지털 LDO 레귤레이터를 제공한다.

발명의 내용

해결하려는 과제

[0005] 본 출원의 목적은, 기존의 SAR 알고리즘을 통해 발생하는 제어전압의 초기화로 인한 손실과 데드-존(Dead-Zone) 구조에서 발생하는 DC 정확성감소 문제를 해결할 수 있는 디지털 LDO 레귤레이터 및 그 동작 방법에 관한 것이다.

과제의 해결 수단

[0006] 본 출원의 일 실시예에 따르는 디지털 LDO 레귤레이터는, 메인 컨트롤러 및 상기 메인 컨트롤러부터 인가받는 제어전압에 기초하여 출력전압을 출력하는 파워 어레이를 포함하고, 상기 메인 컨트롤러는, 상기 출력전압과 적어도 하나 이상의 기준전압을 비교하여 상기 출력전압에 대한 트랜지션 정보를 검출하는 검출부, 상기 트랜지션 정보와 상기 제어전압에 기초하여, COARSE, FINE 및 MIDDLE 중 하나의 상태신호를 출력하는 상태신호 생성부 및 상기 COARSE 상태신호에 응답하여, 상기 제어전압을 적응형 SAR 알고리즘을 통해 조절하는 디지털 로직부를 포함하고, 상기 적응형 SAR 알고리즘은, 상기 트랜지션 정보에 따라, MSB-FT 알고리즘과 MODIFIED LSB-FT 알고리즘 중 어느 하나의 알고리즘이 선택적으로 적용된다.

[0007] 실시예에 있어서, 상기 디지털 로직부는, 상기 FINE 상태신호에 응답하여, 상기 제어전압을 배럴 쉬프터 알고리즘을 통해 조절한다.

[0008] 실시예에 있어서, 상기 디지털 로직부는, 상기 MIDDLE 상태신호에 응답하여, 상기 제어전압을 LSB-FT 알고리즘을 통해 조절한다.

[0009] 실시예에 있어서, 상기 트랜지션 정보는, 상기 출력전압에 대한 데드존크로싱 정보 및 기울기정보를 포함하고, 상기 데드존크로싱 정보는, 상기 출력전압과 상기 적어도 하나 이상의 기준전압이 서로 교차하는 시간정보에 대응되고, 상기 기울기정보는, 상기 데드존크로싱 정보에 따라 판단되는 헤비 트랜지션상태 및 마일드 트랜지션상태 중 어느 하나의 트랜지션 상태에 대응된다.

[0010] 실시예에 있어서, 상기 디지털 로직부는, 상기 트랜지션 정보가 헤비 트렌지션 상태인 경우, 상기 제어전압에 대해 상기 MSB-FT 알고리즘의 초기화동작, 비교동작, 설정동작 및 완료동작을 차례로 수행하고, 상기 트랜지션 정보가 마일드 트렌지션 상태인 경우, 상기 제어전압을 상기 MODIFIED LSB-FT 알고리즘의 초기화동작, 설정동작, 비교동작 및 완료동작을 차례로 수행한다.

[0011] 실시예에 있어서, 상기 디지털 로직부는, 상기 트랜지션 정보에 기초하여, 기설정된 룩업 테이블로부터 상기 제어전압의 상위의 비트들에 대응되는 기설정된 코드를 검출하여 상기 초기화 동작을 수행한다.

[0012] 실시예에 있어서, 상기 디지털 로직부는, 상기 MODIFIED LSB-FT 알고리즘의 설정동작 시, 상기 제어전압의 나머지 비트들과 상태가 다른 하나의 비트가 설정될 때, 상기 MODIFIED LSB-FT 알고리즘의 설정동작을 마치고, 상기 다른 하나의 비트 다음의 하위비트들에 대해 상기 MODIFIED LSB-FT 알고리즘의 완료동작인 상기 MSB-FT 알고리즘의 설정동작을 수행한다.

[0013] 실시예에 있어서, 상기 디지털 로직부는, 상기 제어전압과 목표제어전압 간의 기설정된 트랜지션 경계 내에 변화할 수 있는 비트들의 마지막 비트가 상기 제어전압에 설정될 때, 상기 Modified LSB-FT 알고리즘의 설정동작을 마치고, 상기 마지막비트의 다음의 하위비트들에 대해 상기 MSB-FT 알고리즘의 설정동작을 수행한다.

[0014] 실시예에 있어서, 클럭을 생성하는 클럭생성기 및 상기 클럭을 제공받고, 상기 출력전압과 목표출력전압을 비교하여, 업 신호 또는 다운 신호를 출력하는 동적 비교기를 더 포함하고, 상기 메인 컨트롤러는, 상기 클럭을 제공받고, 상기 업 신호 또는 상기 다운 신호를 카운트하는 카운터를 더 포함하며, 상기 카운터는, 상기 초기화동작 이후, 상기 제어전압에 대한 비트변경 횟수를 카운트한다.

[0015] 실시예에 있어서, 상기 상태신호 생성부는, 상기 FINE 상태신호가 출력되고, 상기 업 신호 또는 상기 다운 신호 중 어느 하나가 기설정된 횟수 이상 연속적으로 카운트되는 경우, 상기 FINE 상태신호를 상기 MIDDLE 상태신호로 전이하여 상기 디지털 로직부에 출력한다.

[0016] 실시예에 있어서, 상기 검출부는, 상기 데드존크로싱 정보의 제1 교차시점을 검출하고, 상기 제1 교차시점에서 동작신호를 생성하는 제1 검출부, 상기 동작신호에 응답하여, 상기 데드존크로싱 정보의 제2 교차시점을 검출하고, 상기 제2 교차시점에서 상승펄스를 생성하는 제2 검출부, 상기 동작신호를 딜레이 셀들과 커패시터 어레이들을 통해 디지털적으로 딜레이시켜 지연신호를 생성하는 딜레이부 및 상기 지연신호와 상기 상승펄스에 기초하여, 상기 출력전압의 기울기정보를 판단하는 판단부를 포함한다.

[0017] 실시예에 있어서, 상기 상태신호 생성부는, 상기 FINE 상태신호가 출력되는 경우, 상기 제1 교차시점에서, 상기 FINE 상태신호를 상기 COARSE 상태신호로 전이하여 상기 디지털 로직부에 출력한다.

[0018] 실시예에 있어서, 상기 제1 검출부는, 상기 적어도 하나 이상의 기준전압과 상기 출력전압을 비교하는 한쌍의 정적 비교기를 포함한다.

[0019] 실시예에 있어서, 상기 제2 검출부는, 상기 동작신호에 응답하여, 상기 출력전압 및 상기 상기 적어도 하나 이상의 기준전압을 비교하는 한쌍의 동적 비교기를 포함한다.

[0020] 실시예에 있어서, 상기 판단부는, 상기 지연신호를 입력신호로 전송받고, 상기 상승펄스를 트리거신호로 전송받는 D 플립플롭을 포함한다.

[0021] 본 출원의 일 실시예에 따르는 파워 어레이와 메인 컨트롤러를 포함하는 디지털 LDO 레귤레이터의 동작방법으로서, 상기 파워 어레이가 상기 메인 컨트롤러로부터 인가받는 제어전압에 기초하여, 출력전압을 출력하는 단계, 상기 메인 컨트롤러가 상기 출력전압과 적어도 하나 이상의 기준전압을 비교하여 트랜지션 정보를 검출하는 단계, 상기 메인 컨트롤러가 상기 트랜지션 정보와 제어전압에 기초하여, COARSE, MIDDLE 및 FINE 상태신호 중 하나의 상태신호를 출력하는 단계 및 상기 메인 컨트롤러가 상기 하나의 상태신호에 대응되는 알고리즘을 통해 상기 제어전압을 목표제어전압으로 조절하는 단계를 포함한다.

[0022] 실시예에 있어서, 상기 조절하는 단계는, 상기 메인 컨트롤러가 상기 COARSE 상태신호를 출력받는 경우, 상기 제어전압을 적응형 SAR 알고리즘을 선택하는 단계 및 상기 트랜지션 정보에 따라, 상기 메인 컨트롤러가 MSB-FT 알고리즘 및 MODIFIED LSB-FT 알고리즘 중 어느 하나의 알고리즘을 통해 상기 제어전압을 조절하는 단계를 포함한다.

[0023] 실시예에 있어서, 상기 조절하는 단계는, 상기 메인 컨트롤러가 상기 FINE 상태신호를 출력받는 경우, 상기 제어전압을 배럴 쉬프터 알고리즘을 통해 조절하는 단계를 포함한다.

[0024] 실시예에 있어서, 상기 조절하는 단계는, 상기 메인 컨트롤러가 상기 MIDDLE 상태신호를 출력받는 경우, 상기 제어전압을 LSB-FT 알고리즘을 통해 조절하는 단계를 포함한다.

[0025] 실시예에 있어서, 상기 트랜지션 정보를 검출하는 단계는, 상기 출력전압과 상기 적어도 하나 이상의 기준전압을 비교를 통해 데드존크로싱 정보의 제1 교차시점을 검출하고, 상기 제1 교차시점에서 동작신호를 생성하는 단계, 상기 동작신호에 응답하여, 상기 출력전압과 상기 적어도 하나 이상의 기준전압을 비교를 통해 상기 데드존크로싱 정보의 제2 교차시점을 검출하고, 상기 제2 교차시점에서 상승펄스를 생성하는 단계, 상기 동작신호를 딜레이 셀들과 커패시터 어레이들을 통해 디지털적으로 딜레이시켜 지연신호를 생성하는 단계 및 상기 지연신호와 상기 상승펄스에 기초하여, 상기 출력전압의 기울기정보를 판단하는 단계를 포함한다.

발명의 효과

[0026] 본 출원의 실시 예에 따른 디지털 LDO 레귤레이터 및 그 동작 방법은, 적응형 SAR 알고리즘을 통해 제어전압의 스위칭동작을 감소시켜, 제어전압에 대한 초기화로 인한 손실을 줄일 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 출원의 일 실시예에 따른 디지털 LDO 레귤레이터의 블록도이다.

도 2a 내지 도 2d는 출력전압에 대한 트랜지션 정보(Transient Statue)를 설명하기 위한 실시 예이다.

도 3은 도 1의 상태신호 생성부의 동작에 따른 실시 예이다.

도 4는 도 1의 디지털 로직부의 동작에 따른 실시 예이다.

도 5는 본 출원의 다른 실시예에 따른 디지털 LDO 레귤레이터의 블록도이다.

도 6은 도 5의 디지털 LDO 레귤레이터의 실시 예이다.

도 7은 본 출원의 다른 실시예에 따른 디지털 LDO 레귤레이터의 블록도이다.

도 8은 도 1의 검출부에 대한 실시 예이다.

도 9는 본 출원의 실시예에 따른 디지털 LDO 레귤레이터의 동작 프로세스이다.

도 10은 도 5의 디지털 LDO 레귤레이터의 동작 프로세스이다.

도 11은 도 1의 검출부의 실시예에 따른 동작 프로세스이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 명세서에 개시되어 있는 본 출원의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 출원의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 출원의 개념에 따른 실시 예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.

[0029] 본 출원의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다. 그러나, 이는 본 출원의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 출원의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0030] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 출원의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1구성요소는 제2구성요소로 명명될 수

있고, 유사하게 제2구성요소는 제1구성요소로도 명명될 수 있다.

[0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0032] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 출원을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 출원이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0034] 이하, 첨부한 도면을 참조하여 본 출원의 바람직한 실시 예를 설명함으로써, 본 출원을 상세히 설명한다.

[0035] 도 1은 본 출원의 일 실시예에 따른 디지털 LDO 레귤레이터(10)의 블록도이고, 도 2a 내지 도 2d는 출력전압(V_O)에 대한 트랜지션 정보(Transient Statue)를 설명하기 위한 실시 예들이며, 도 3은 도 1의 상태신호 생성부(120)의 동작에 따른 실시 예이고, 도 4는 도 1의 디지털 로직부(130)의 동작에 따른 실시 예이다.

[0036] 도 1 내지 도 4를 참조하면, 디지털 LDO 레귤레이터(10)는 메인 컨트롤러(100) 및 파워 어레이(200)를 포함할 수 있다.

[0037] 먼저, 메인 컨트롤러(100)는 제어전압(V_C)을 파워 어레이(200)에 인가할 수 있다. 여기서, 파워 어레이(200)는 메인 컨트롤러(100)로부터 인가된 제어전압(V_C)에 기초하여, 출력전압(V_O)을 출력할 수 있다.

[0038] 실시예에 따른 파워 어레이(200)는 드레인측으로 제어전압(V_C)을 전송받고, 출력전압(V_O)을 소스측으로 출력하는 복수의 파워 트랜지스터들(210_1~210_N, 220_1~220_N, 230_1~230_N)을 포함할 수 있다.

[0039] 보다 구체적으로, 복수의 파워 트랜지스터들(210_1~210_N, 220_1~220_N, 230_1~230_N)은 제어전압(V_C)의 기설정된 최상위 비트들에 따라 동작하는 제1 파워 트랜지스터부(210_1~210_N), 제어전압(V_C)의 기설정된 최하위 비트들에 따라 동작하는 제2 파워 트랜지스터부(220_1~220_N) 및 제어전압(V_C)의 최하위 비트들과 최상위 비트들 사이의 필드에 위치한 미들 비트들에 따라 동작하는 제3 파워 트랜지스터부(230_1~230_N)를 포함할 수 있다. 이때, 각 파워 트랜지스터(210_1~210_N, 220_1~220_N, 230_1~230_N)는 PMOS 트랜지스터일 수 있다.

[0040] 예를 들면, 제1 파워 트랜지스터부(210_1~210_N)는 8-BIT Binary MSB 이고, 제2 파워 트랜지스터부(220_1~220_N)는 4-Bit Unary LSB 이며, 제3 파워 트랜지스터부(230_1~230_N)는 3-Bit Binary Middle 일 수 있다.

[0041] 이하, 본 출원에서, 제어전압(V_C)은 복수의 비트들을 가지는 제어코드라 지칭하여 설명한다. 여기서, 제어전압(V_C)의 제어코드는 제1 파워 트랜지스터부(210_1~210_N)에 대응되는 최상위 비트들을 변경하기 위한 최상위 제어코드(VG), 제2 파워 트랜지스터부(220_1~220_N)에 대응되는 최하위 비트들을 변경하기 위한 최하위 제어코드(VL) 및 제3 파워 트랜지스터부(230_1~230_N)에 대응되는 미들 비트들을 변경하기 위한 미들 제어코드(VM)를 포함할 수 있다. 이때, 최상위 제어코드(VG), 최하위 제어코드(VL) 및 미들 제어코드(VM) 중 어느 하나의 코드에서 비트하나를 변경하는 동작은 제어전압(V_C)을 1회 스위칭함을 의미할 수 있다. 이하, 본 출원에서는 명확한 설명을 위하여, 제어전압(V_C)의 최상위 제어코드(VG)를 변경하는 동작 예로 설명한다.

[0042] 예를 들면, 최상위 제어코드(VG)가 '1010110'이고, 목표제어전압(V_{TC})이 '1110111'인 경우, 제어코드의 비트 하나를 변경하는 동작은 제1 파워 트랜지스터부(210_1~210_N)에 대한 2회 스위칭함을 의미할 수 있다. 이하, 설명의 편의를 위해, '1010110'과 같은 제어코드 VG<7:0>에 대해, 제어전압(V_C)의 최상위 제어코드(VG)로 정하여 설명된다.

[0043] 실시예에 따른 메인 컨트롤러(100)는 검출부(110), 상태신호 생성부(120) 및 디지털 로직부(130)를 포함할 수 있다.

[0044] 먼저, 검출부(110)는 출력전압(V_0)과 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2)을 비교하여 출력전압(V_0)에 대한 트랜지션 정보(Transient Statue)를 검출할 수 있다. 여기서, 출력전압(V_0)에 대한 트랜지션 정보는 데드존크로싱(Dead-Zone Crossing) 정보와 기울기정보를 포함할 수 있다.

[0045] 보다 구체적으로, 데드존크로싱 정보는 출력전압(V_0)과 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2)이 서로 교차하는 시간에 대응될 수 있다. 여기서, 데드존(Dead-Zone)은 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2)이 형성한 전압구간들을 의미할 수 있다.

[0046] 예를 들면, 도 2a에 도시된 바와같이, 데드존은 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2) 중 제1 한쌍의 기준전압(VREFH1, VREFL1)이 형성한 제1 데드존과 도 2b에 도시된 바와같이, 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2) 중 제2 한쌍의 기준전압(VREFH2, VREFL2)이 형성한 제2 데드존을 포함할 수 있다. 여기서, 제2 데드존은 제1 데드존보다 더 넓은 영역으로 형성될 수 있다.

[0047] 또한, 데드존 크로싱정보는 출력전압(V_0)과 제1 데드존이 서로 교차하는 제1 교차시점(T1)과 출력전압(V_0)과 제2 데드존이 서로 교차하는 제2 교차시점(T2)을 포함할 수 있다. 예를 들면, 도 2c와 도 2d에 도시된 바와같이, 출력전압이 감소하는 경우, 데드존 크로싱정보는 제1 데드존의 기준전압(예컨대, VREFL1)과 출력전압(V_0)이 교차하는 제1 교차시점(T1)과 제2 데드존의 기준전압(예컨대, VREFL2)과 출력전압(V_0)이 교차하는 제2 교차시점(T2)을 포함할 수 있다.

[0048] 또한, 출력전압(V_0)의 기울기정보는 데드존크로싱 정보에 따라 판단되는 헤비트랜지션(Heavy Transient, HT) 상태 및 마일드 트랜지션(Mild Transient, MT) 상태 중 어느 하나의 트랜지션 상태에 대응될 수 있다. 예를 들면, 도 2c에 도시된 바와 같이, 출력전압(V_0)의 기울기정보는 기설정된 기울기보다 작거나 같을 때, 마일드 트랜지션(MT) 상태에 대응되고, 도 2d에 도시된 바와 같이, 출력전압(V_0)의 기울기정보는 기설정된 기울기보다 클 때, 헤비 트랜지션(HT) 상태에 대응될 수 있다.

[0049] 다음으로, 상태신호 생성부(120)는 트랜지션 정보와 제어전압(V_C)에 기초하여, COARSE, FINE 및 MIDDLE 중 하나의 상태신호를 출력하는 유한 상태 기계(Finite State machine, FSM)일 수 있다.

[0050] 보다 구체적으로, 상태신호 생성부(120)는 검출부(110)를 통해 검출되는 트랜지션 정보의 제1 교차시점(T1)에서 COARSE 상태신호를 출력할 수 있다.

[0051] 또한, COARSE 상태신호에 따라 후술될 디지털 로직부(130)를 통해 제어전압(V_C)이 조절된 경우, 상태신호 생성부(120)는 COARSE 상태신호를 MIDDLE 상태신호로 전이(TRAN)하여 MIDDLE 상태신호를 출력할 수 있다.

[0052] 또한, MIDDLE 상태신호에 따라 후술될 디지털 로직부(130)를 통해 제어전압(V_C)이 조절된 경우, 상태신호 생성부(120)는 MIDDLE 상태신호를 FINE 상태신호로 전이하여 FINE 상태신호를 출력할 수 있다.

[0053] 일 실시예에 따라, 상태신호 생성부(120)는 데드존 크로싱정보에 기초하여, FINE 상태신호를 COARSE 상태신호로 전이(TRAN)할 수 있다. 도 3에 도시된 바와 같이, 상태신호 생성부(120)는 검출부(110)를 통해 검출된 데드존 크로싱정보에 기초하여, 데드존 크로싱정보의 제1 교차시점(T1)에서, FINE 상태신호를 COARSE 상태신호로 전이(TRAN)하여 디지털 로직부(130)에 출력할 수 있다.

[0054] 다른 실시예에 따라, 상태신호 생성부(120)는 상태신호 생성부(120)는 도 7에 도시된 카운터(140)를 통해 카운트된 횟수에 기초하여 FINE 상태신호를 MIDDLE 상태신호로 전이(TRAN)할 수 있다. 보다 구체적으로, 도 7에 도시된 카운터(140)가 업 신호(UP) 또는 다운 신호(DN)를 연속적으로 기설정된 횟수 이상 카운트할 때, 상태신호 생성부(120)는 FINE 상태신호를 MIDDLE 상태신호로 전이(TRAN)하여 디지털 로직부(130)에 출력할 수 있다. 예를

들면, 업 신호(UP) 또는 다운 신호(DN) 중 어느 하나의 신호가 8회 이상 연속적으로 카운트될 때, 상태신호 생성부(120)는 도 3에 도시된 바와 같이, FINE 상태신호를 MIDDLE 상태신호로 전이(TRAN)하여 디지털 로직부(130)에 출력할 수 있다. 이하, 도 7에서, 카운터(140)에 대해 보다 구체적으로 설명한다.

[0055] 다음으로, 디지털 로직부(130)는 제어전압(V_C)을 목표제어전압(V_{TC})으로 조절할 수 있다. 보다 구체적으로, 디지털 로직부(130)는 상태신호 생성부(120)를 통해 어느 하나의 상태신호를 출력받고, 어느 하나의 상태신호에 대응되는 알고리즘을 통해 제어전압(V_C)을 목표제어전압(V_{TC})으로 조절할 수 있다.

[0056] 실시예에 따라, 디지털 로직부(130)는 상태신호 생성부(120)를 통해 출력받는 COARSE 상태신호에 응답하여 제어전압(V_C)을 적응형 SAR 알고리즘(Adaptive SAR-based Algorithm, ASA)을 통해 조절할 수 있다. 여기서, 적응형 SAR 알고리즘(ASA)은 트랜지션 정보에 따라, MSB-FT 알고리즘(MSB First-Track Algorithm)과 Modified LSB-FT 알고리즘(LSB First-Track Algorithm) 중 어느 하나의 알고리즘이 선택적으로 적용되는 알고리즘일 수 있다.

[0057] 도 4에 도시된 바와 같이, 디지털 로직부(130)는 상태신호 생성부(120)를 통해 출력받는 COARSE 상태신호에 응답하여, COARSE 상태신호에 대응되는 적응형 SAR 알고리즘(Adaptive SAR-based Algorithm, ASA)을 선택하며, 트랜지션 정보에 따라, MSB-FT 알고리즘과 Modified LSB-FT 알고리즘 중 어느 하나의 알고리즘을 통해 제어전압(V_C)을 목표제어전압(V_{TC})으로 조절할 수 있다. 예를 들면, 디지털 로직부(130)는 최상위 제어코드(VG)에 대응되는 제어코드 VC<10:3>, 최하위 제어코드(VL)에 대응되는 제어코드 VC<15:0> 및 미들 제어코드(VM)에 대응되는 제어코드 VC<2:3>를 조절할 수 있다.

[0058] 보다 구체적으로, 디지털 로직부(130)는 트랜지션 정보가 헤비 트랜지션 상태인 경우, MSB-FT 알고리즘을 통해 제어전압(V_C)을 초기화동작, 비교동작, 설정동작 및 완료동작을 차례로 수행하여, 목표제어전압(V_{TC})으로 조절할 수 있다.

[0059] 먼저, 초기화동작은 출력전압(V_O)과 목표전압(V_T) 간의 대소 여부에 따라, 제어전압(V_C)을 기설정된 제어코드로 초기화하는 동작일 수 있다. 예를 들면, 출력전압(V_O)이 목표전압(V_T)보다 큰 경우, 디지털 로직부(130)는 제어전압(V_C)을 기설정된 제어코드인 '10000000'로 초기화하고, 출력전압(V_O)이 목표전압(V_T)보다 작은 경우, 디지털 로직부(130)는 제어전압(V_C)을 기설정된 제어코드인 '011111111'으로 초기화할 수 있다.

[0060] 그런 다음, 비교동작은 상기 기설정된 제어코드의 최상위 비트를 업 신호(UP) 또는 다운 신호(DN)에 따라, 변경 또는 유지하는 동작일 수 있다. 예를 들면, 출력전압(V_O)이 목표전압(V_T)보다 작고, 카운터(140)를 통해 다운 신호(DN)가 카운트된 경우, 디지털 로직부(130)는 '011111111'을 최상위 비트 '0'을 '1'로 변경하고, 출력전압(V_O)이 목표전압(V_T)보다 작고, 카운터(140)를 통해 업 신호(UP)가 카운트된 경우, 0'을 그대로 유지할 수 있다.

[0061] 그런 다음, 설정동작은 최상위 비트 다음의 하위 비트를 출력전압(V_O)과 목표전압(V_T) 간의 대소 여부에 따라, 0 또는 1로 설정하는 동작일 수 있다. 예를 들면, 출력전압(V_O)이 '011111111'이고, 목표전압(V_T)이 '111000000'인 경우, 디지털 로직부(130)는 출력전압(V_O)의 최상위 비트 다음의 하위 비트 '1'('011111111')을 '0'으로 설정할 수 있다.

[0062] 이후, 완료동작은 다음의 하위 비트 '1'('011111111')부터 비교동작과 설정동작을 최하위 비트까지 수행하는 동작일 수 있다.

[0063] 또한, 디지털 로직부(130)는 트랜지션 정보가 마일드 트랜지션 상태인 경우, Modified LSB-FT 알고리즘을 통해 제어전압(V_C)을 초기화동작, 설정동작, 비교동작 및 완료동작을 차례로 수행하여, 목표제어전압(V_{TC})으로 조절할 수 있다. 여기서, 초기화동작을 P1 phase, 설정동작과 비교동작을 P2 phase 및 완료동작을 P3 phase로 분류하여 정의할 수 있다.

[0064] 먼저, 초기화동작(P1 phase)은 제어전압(V_C)의 비트들을 초기화할 때, 기설정된 룩업 테이블로부터 기존에 가지고 있던 제어전압(V_C)의 상위 비트들에 대응되는 초기화코드를 검출하여 제어전압(V_C)의 제어코드로 초기화하는 동작일 수 있다.

[0065] 다음의 표 1은 기설정된 룩업 테이블에 대한 실시 예이다.

표 1

[0066]

제어전압의 상위비트들	초기화 코드	제어전압의 상위비트들	초기화코드
0000	00001111	1000	10001111
0001	00011111	1001	10011111
0010	00111111	1010	10111111
0011	00111111	1011	10111111
0100	01111111	1100	11001111
0101	01111111	1101	11011111
0110	01111111	1110	11101111
0111	01111111	1111	11111111

[0067] 표 1에 도시된 바와 같이, 디지털 로직부(130)는 제어전압(V_C)의 최상위 비트부터 4번째 상위비트까지의 상위비트들에 대응되는 초기화코드들을 가지는 기설정된 룩업 테이블을 포함할 수 있다. 즉, 디지털 로직부(130)는 Modified LSB-FT 알고리즘을 이용하는 경우, 기설정된 룩업 테이블로부터 제어전압(V_C)의 상위 비트들에 대응되는 초기화코드를 검출하여 제어전압(V_C)의 제어코드로 초기화할 수 있다.

[0068] 이때, 표 1은 출력전압(V_O)이 목표전압(V_T)보다 작은 경우의 일 예이며, 출력전압(V_O)이 목표전압(V_T)보다 큰 경우, 디지털 로직부(130)는 제어전압(V_C)의 상위비트들의 상태를 변환하고, 변환된 상위비트들에 대응되는 초기화코드를 기설정된 룩업 테이블로부터 검출하며, 검출된 초기화코드의 상태를 변환하여, 제어전압(V_C)의 제어코드로 초기화할 수 있다.

[0069] 예를 들면, 출력전압(V_O)이 목표전압(V_T)보다 크고, 제어전압(V_C)의 상위비트가 '1101'인 경우, 디지털 로직부(130)는 상위비트 '1101'의 '0'을 '1'로, '1'을 '0'으로 변환하고, 변환된 상위비트 '0010'에 대응되는 초기화코드 '001111111'를 검출하고, 검출된 초기화코드 '001111111'에서, '0'을 '1'로, '1'을 '0'으로 변환하여, 110000000'을 제어전압(V_C)의 제어코드로 초기화할 수 있다.

[0070] 다음으로, 설정동작(P2 phase)은 출력전압(V_O)과 목표전압(V_T) 간의 대소 여부에 따라, 제어코드를 최하위 비트부터 최상위 비트까지 0 또는 1로 차례대로 설정하는 동작일 수 있다.

[0071] 예를 들면, 제어코드가 '11011000'이고, 목표전압(V_T)이 '11100000'인 경우, 디지털 로직부(130)는 제어코드 '11011000'의 최하위 비트부터 최상위 비트까지 '0'을 '1'로 차례대로 변경하고, 제어코드가 '11011011'이고, 목표전압(V_T)이 '10000000'인 경우, 최하위 비트부터 최상위 비트까지 '1'을 '0'으로 차례대로 변경하는 설정동작을 수행할 수 있다.

[0072] 일 실시예에 따라, 제어코드가 나머지 비트들과 상태가 다른 하나의 비트로 설정될 때, MODIFIED LSB-FT 알고리즘의 설정동작을 마치고, 설정동작은 다른 하나의 비트 다음의 하위비트들에 대해 MODIFIED LSB-FT 알고리즘의 완료동작인 MSB-FT 알고리즘의 설정동작을 적용하여 완료할 수 있다.

[0073] 다음의 표 2는 Modified LSB-FT 알고리즘의 설정동작을 설명하기 위한 실시 예이다.

표 2

[0074]

제어코드의 변경횟수 (카운팅 회수)	Modified LSB-FT 알고리즘의 제1 실시예	Modified LSB-FT 알고리즘의 제2 실시예
초기화	11011111	00001111
0	11101111	00011111
1	11100111	00101111
2	11100011	00100111
3	11100001	00100011
4	11100000	00100001

5	11100001	00100000
6		00100000
7		
8		
9		

[0075] 표 2의 제1 실시예에 기재된 바와 같이, 제어코드 '11011111'가 나머지 비트들과 상태가 다른 하나의 비트로 설정될 때, 디지털 로직부(130)는 다른 하나의 비트 '0' 다음의 하위비트들 '11111'에 대해 0 카운팅 횟수부터, MSB-FT 알고리즘의 설정동작을 적용할 수 있다. 즉, 디지털 로직부(130)가 Modified LSB-FT 알고리즘을 통해 동작할 때, MSB-FT 알고리즘의 설정동작을 적용하는 설정동작은, Modified LSB-FT 알고리즘의 설정동작과 비교동작을 완료한 이후에, Modified LSB-FT 알고리즘의 완료동작에 적용함을 의미할 수 있다.

[0076] 이후, 디지털 로직부(130)는 MSB-FT 알고리즘의 설정동작을 통해 설정된 비트 다음의 하위비트들에 대해 5 카운팅 횟수까지, MSB-FT 알고리즘을 통해 제어코드를 목표제어전압(V_{TC})으로 조절하는 동작일 수 있다.

[0077] 다른 실시예에 따라, 제어코드와 목표제어전압(V_{TC}) 간의 기설정된 트랜지션 경계(Transiton Boundary)내에 변화할 수 있는 비트들의 마지막 비트가 제어코드에 설정될 때, Modified LSB-FT 알고리즘의 설정동작을 마치고, 마지막비트의 다음의 하위비트들에 대해 Modified LSB-FT 알고리즘의 완료동작인 MSB-FT 알고리즘의 설정동작을 적용할 수 있다.

[0078] 표 2의 제1 실시예에 기재된 바와 같이, 설정동작에서, 제어코드와 목표제어전압(V_{TC}) 간의 기설정된 트랜지션 경계(Transiton Boundary) 내에서 변화할 수 있는 비트들 '00011111'의 마지막 비트 '00011111'가 설정되는 경우, 마지막 비트의 다음 하위비트들 '00011111'에 대해 MSB-FT 알고리즘의 설정동작을 적용할 수 있다.

[0079] 다음으로, 비교동작은 제어코드가 비트마다 차례대로 설정동작을 통해 설정될 때, 제어코드와 목표제어전압(V_{TC})을 비교하는 동작일 수 있다.

[0080] 예를 들면, 제어코드가 '11011000'이고, 목표제어전압(V_{TC})이 '11100000'인 경우, 설정동작을 통해 제어코드가 '11011001', '11011011', '11011111'로 변경될 때, 디지털 로직부(130)는 목표제어전압(V_{TC}) '11100000'와 비교할 수 있다.

[0081] 이후, 완료동작은 비교동작에서 제어코드와 목표제어전압(V_{TC}) 간의 대소가 변경되는 것이 판단될 때, 설정동작을 통해 설정된 비트 다음의 하위비트 부터 최하위 비트까지 MSB-FT 알고리즘을 통해 제어코드를 목표제어전압(V_{TC})으로 조절하는 동작일 수 있다.

[0082] 다른 실시예에 따라, 디지털 로직부(130)는 상태신호 생성부(120)를 통해 출력받는 FINE 상태신호에 응답하여, 제어전압(V_C)을 배럴 쉬프터 알고리즘(Barrel Shifter Algorithm)을 통해 목표제어전압(V_{TC})으로 조절할 수 있다.

[0083] 또 다른 실시예에 따라, 디지털 로직부(130)는 상태신호 생성부(120)를 통해 출력받는 MIDDLE 상태신호에 응답하여, 제어전압(V_C)을 LSB-FT 알고리즘(LSB First-Track Algorithm)을 통해 목표제어전압(V_{TC})으로 조절할 수 있다. 이에, 디지털 로직부(130)는 COARSE 상태와 FINE 상태 사이에서 조절되는 제어전압(V_C)을 LSB-FT 알고리즘(LSB First-Track Algorithm)을 통해 매끄럽게 전환시킬 수 있고, 데드존으로 발생하는 DC 정확성의 문제를 감소시킬 수 있다.

[0084] 본 출원의 실시예에 따른 디지털 LDO 레귤레이터(10)는 검출부(110)를 통해 출력전압(V_O)과 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2)을 비교하여 트랜지션 정보를 검출할 수 있다. 이때, 디지털 LDO 레귤레이터(10)는 상태신호 생성부(120)를 통해 트랜지션 정보와 제어전압에 기초하여, COARSE 상태신호을 출력할 수 있다. 그런 다음, 디지털 LDO 레귤레이터(10)는 디지털 로직부(130)를 통해 COARSE 상태신호에 대응되는 적응형 SAR 알고리즘(ASA)을 통해 제어전압(V_C)을 목표제어전압(V_{TC})으로 조절할 수 있다. 이에 따라, 디지털 LDO 레귤레이터(10)는 종래의 SAR 알고리즘을 통해 발생하는 초기화 손실과 제어전압(V_C)의 스위칭동작을 보다 더 감소시킬 수 있다.

[0085] 도 5는 본 출원의 다른 실시예에 따른 디지털 LDO 레귤레이터(11)의 블록도이고, 도 6은 도 5의 디지털 LDO 레귤레이터(11)의 실시 예이다.

[0086] 도 5와 도 6을 참조하면, 디지털 LDO 레귤레이터(11)는 메인 컨트롤러(100), 파워 어레이(200), 클럭생성기(400) 및 동적비교기(400)를 포함할 수 있다. 여기서, 메인 컨트롤러(100)와 파워 어레이(200)는 도 1에서 설명된 기능과 구성이 동일하므로, 중복된 설명은 생략한다.

[0087] 먼저, 동적 비교기(300)는 파워 어레이(200)를 통해 출력전압(V_O)을 출력받고, 출력전압(V_O)과 목표전압(V_T)을 비교할 수 있다. 그런 다음, 동적 비교기(300)는 출력전압(V_O)과 목표전압(V_T) 간의 비교 결과에 따라, 업 신호(UP) 또는 다운 신호(DN)를 생성할 수 있다. 그런 다음, 동적 비교기(300)는 업 신호(UP) 또는 다운 신호(DN)를 클럭생성기(400)와 메인 컨트롤러(100)에 출력할 수 있다.

[0088] 다음으로, 클럭생성기(400)는 클럭을 생성하여, 메인 컨트롤러(100)와 동적비교기(400)에 제공할 수 있다. 즉, 클럭생성기(400)가 클럭을 동적 비교기(300)에 제공하기 때문에, 동적 비교기(300)는 클럭에 응답하여, 파워 어레이(200)를 통해 출력받는 출력전압(V_O)과 목표전압(V_T)을 주기적으로 비교하여 업 신호(UP) 또는 다운 신호(DN)를 메인 컨트롤러(100)와 클럭생성기(400)에 출력할 수 있다. 또한, 클럭생성기(400)가 클럭을 메인 컨트롤러(100)에 제공하기 때문에, 메인 컨트롤러(100)는 클럭에 응답하여, 동적 비교기(300)로부터 출력전압(V_O)에 대한 업 신호(UP) 또는 다운 신호(DN)를 전송받고, 파워 어레이(200)를 통해 출력전압(V_O)을 출력받을 수 있다.

[0089] 도 7은 본 출원의 다른 실시예에 따른 디지털 LDO 레귤레이터(12)의 블록도이다.

[0090] 도 1 내지 도 7을 참조하면, 디지털 LDO 레귤레이터(12)는 메인 컨트롤러(100), 파워 어레이(200), 클럭생성기(400) 및 동적비교기(400)를 포함할 수 있다. 여기서, 파워 어레이(200), 클럭생성기(400) 및 동적비교기(400)는 도 5에서 설명된 기능과 구성이 동일하므로, 중복된 설명은 생략한다.

[0091] 먼저, 메인 컨트롤러(100)는 카운터(140)를 더 포함할 수 있다.

[0092] 여기서, 카운터(140)는 동적비교기(400)를 통해 출력되는 업 신호(UP) 또는 다운 신호(DN)를 카운트할 수 있다.

[0093] 실시예에 따라, 디지털 로직부(130)가 제어전압(V_C)을 LSB-FT 알고리즘 및 MSB-FT 알고리즘 중 어느 하나의 알고리즘을 통해 조절할 때, 카운터(140)는 디지털 로직부(130)의 초기화동작 이후 비트변경 횟수를 카운트할 수 있다. 즉, 본 출원에서, 카운트 동작이라 함은, 제어전압(V_C)의 조절동작 횟수를 의미할 수 있다.

[0094] 이때, FINE 상태신호가 디지털 로직부(130)에 출력되고, 동적비교기(400)를 통해 출력된 업 신호(UP) 또는 다운 신호(DN) 중 어느 하나가 기설정된 횟수 이상 연속적으로 카운트되는 경우, 상태신호 생성부(120)는 FINE 상태신호를 MIDDLE 상태신호로 전이하여 디지털 로직부(130)에 MIDDLE 상태신호를 출력할 수 있다.

[0095] 도 8은 도 1의 검출부(110)에 대한 실시 예이다.

[0096] 도 8을 참조하면, 검출부(110)는 제1 검출부(111) 및 제2 검출부(112), 딜레이부(113) 및 판단부(114)를 포함할 수 있다.

[0097] 먼저, 제1 검출부(111)는 한쌍의 정적 비교기(111_1, 111_2), 한쌍의 플립플롭(111_3, 111_4) 및 제1 OR 게이트(111_5)를 포함할 수 있다.

[0098] 보다 구체적으로, 한쌍의 정적 비교기(111_1, 111_2)는 제1 한쌍의 기준전압(VREFH1, VREFL1)과 출력전압(V_O)을 비교하여, 비교 결과에 상응하는 출력신호를 한쌍의 플립플롭(111_3, 111_4)에 출력할 수 있다. 여기서, 비교 결과에 상응하는 출력신호는 출력전압(V_O)에 대한 데드존크로싱 정보의 제1 교차시점(T1)일 수 있다. 즉, 한쌍의 정적 비교기(111_1, 111_2)는 출력전압(V_O)과 제1 한쌍의 기준전압(VREFH1, VREFL1)이 형성한 제1 데드존을 비교하여, 출력전압(V_O)에 대한 데드존크로싱 정보의 제1 교차시점(T1)을 검출하는 Static Comparator일 수 있다.

[0099] 이때, 한쌍의 플립플롭(111_3, 111_4)은 기설정된 전압을 입력신호로 전송받고, 한쌍의 정적 비교기(111_1, 111_2)를 통해 출력받는 출력신호를 트리거 신호로 입력받아 출력된 출력값을 제1 OR 게이트(111_5)로 전송할

수 있다.

[0100] 그런 다음, 제1 OR 게이트(111_5)는 한쌍의 정적 비교기(111_1, 111_2) 중 어느 하나의 비교기를 통해 검출된 출력전압(V_0)에 대한 데드존크로싱 정보의 제1 교차시점(T1)에 기초하여, 동작신호(VA)를 출력할 수 있다. 여기서, 동작신호(VA)는 제2 검출부(112), 딜레이부(113) 및 판단부(114)를 동작시키기 위한 신호일 수 있다. 즉, 제1 검출부(111)는 데드존크로싱 정보의 제1 교차시점(T1)에서 동작신호(VA)를 생성할 수 있다.

[0101] 즉, 출력전압(V_0)이 제1 한쌍의 기준전압(VREFH1, VREFL1)을 통해 형성된 제1 데드존을 벗어날 때, 제1 검출부(111)는 한쌍의 정적 비교기(111_1, 111_2)를 통해 동작신호(VA)를 출력할 수 있다.

[0102] 다음으로, 제2 검출부(112)는 한쌍의 동적 비교기(112_1, 112_2) 및 제2 OR 게이트(112_3)를 포함할 수 있다.

[0103] 먼저, 한쌍의 동적 비교기(112_1, 112_2)는 동작신호(VA)에 응답하여, 제2 한쌍의 기준전압(VREFH2, VREFL2)과 출력전압(V_0)을 비교하고, 비교 결과에 상응하는 출력신호(D2)를 제2 OR 게이트(112_3)에 출력할 수 있다.

[0104] 여기서, 비교 결과에 상응하는 출력신호(D2)는 출력전압(V_0)에 대한 데드존크로싱 정보의 제2 교차시점(T2)일 수 있다. 즉, 한쌍의 동적 비교기(112_1, 112_2)는 출력전압(V_0)과 제1 한쌍의 기준전압(VREFH1, VREFL1)을 비교하여, 출력전압(V_0)에 대한 데드존크로싱 정보의 제2 교차시점(T2)을 검출할 수 있다. 이에, 한쌍의 동적 비교기(112_1, 112_2)는 출력전압(V_0)과 제2 한쌍의 기준전압(VREFH2, VREFL2)을 비교하여, 출력전압(V_0)에 대한 데드존크로싱 정보의 제2 교차시점(T2)을 검출하는 한쌍의 정적 비교기를 대체함으로써, 전력소모를 감소시킬 수 있다.

[0105] 보다 구체적으로, 한쌍의 동적 비교기(112_1, 112_2)는 출력전압(V_0)과 제1 한쌍의 기준전압(VREFH1, VREFL1) 중 어느 하나의 기준전압 간의 차이에 따라, 클럭 신호(CLK)를 기준으로, 출력신호(D2)의 지연이 달라지는 Dynamic Comparator일 수 있다. 예를 들면, 출력전압(V_0)과 제1 한쌍의 기준전압(VREFH1, VREFL1) 중 어느 하나의 기준전압 간의 차이가 큰 경우, 출력신호(D2)의 지연은 짧아지고, 출력전압(V_0)과 제1 한쌍의 기준전압(VREFH1, VREFL1) 중 어느 하나의 기준전압 간의 차이가 작은 경우, 출력신호(D2)의 지연은 길어질 수 있다. 즉, 한쌍의 동적 비교기(112_1, 112_2)는 동작신호(VA)를 클럭 신호(CLK)로 입력받아, 출력전압(V_0)과 제1 한쌍의 기준전압(VREFH1, VREFL1)을 비교하여, 비교 차이에 따라, 동작신호(VA)를 기준으로 출력신호(D2)의 지연이 달라지는 출력전압(V_0)에 대한 데드존크로싱 정보의 제2 교차시점(T2)을 검출할 수 있다.

[0106] 그런 다음, 제2 OR 게이트(112_3)는 한쌍의 동적 비교기(112_1, 112_2) 중 어느 하나의 동적 비교기를 통해 검출된 출력전압(V_0)에 대한 데드존크로싱 정보의 제2 교차시점(T2)에 기초하여, 상승펄스(VD2)를 생성하여 출력할 수 있다. 여기서, 상승펄스(VD2)는 동작신호(VA)로부터 일정시간 지연된 신호일 수 있다. 즉, 제2 검출부(112)는 데드존크로싱 정보의 제2 교차시점(T2)에서 상승펄스(VD2)를 생성할 수 있다.

[0107] 한편, 도 1에 도시된 바와 같이, FINE 상태신호가 상태신호 생성부(120)를 통해 디지털 로직부(130)에 출력되고, 동작신호(VA)가 제1 검출부(111)를 통해 생성된 경우, 상태신호 생성부(120)는 데드존크로싱 정보의 제1 교차시점(T1)에서, FINE 상태신호를 COARSE 상태신호로 전이하여 디지털 로직부(130)에 COARSE 상태신호를 전송할 수 있다.

[0108] 다시 도 8을 참조하면, 딜레이부(113)는 복수의 딜레이 셀들(113_11~113_1N)과 커패시터 어레이(113_2)를 포함할 수 있다.

[0109] 먼저, 복수의 딜레이 셀들(113_11~113_1N)은 제1 검출부(111)를 통해 출력받는 동작신호(VA)를 디지털적으로 딜레이시켜, 동작신호(VA)에 대한 지연신호(VD1)를 출력할 수 있다. 이때, 커패시터 어레이(113_2)는 복수의 딜레이 셀들(113_11~113_1N) 사이에 위치하여, 동작신호(VA)에 대한 지연신호(VD1)의 지연정도를 조절할 수 있다.

[0110] 즉, 딜레이부(113)는 제1 검출부(111)를 통해 출력받는 동작신호(VA)를 복수의 딜레이 셀들(113_11~113_1N)과 커패시터 어레이(113_2)를 통해 디지털적으로 딜레이시켜 지연신호(VD1)를 생성할 수 있다.

[0111] 이후, 판단부(114)는 D 플립플롭(114_1)을 포함하고, 제2 검출부(112) 및 딜레이부(113)와 전기적으로 연결되어, 지연신호(VD1)와 상승펄스(VD2)를 전송받을 수 있다. 이때, D 플립플롭(114_1)은 지연신호(VD1)를 입력신호로 전송받고, 상승펄스(VD2)를 트리거신호로 전송받아 출력전압(V_0)에 대한 기울기정보에 대응되는 출력신

호(1 또는 0)를 출력할 수 있다.

[0112] 이렇게, 판단부(114)는 지연신호(VD1)와 상승펄스(VD2)에 기초하여, 출력전압(V_0)에 대한 기울기정보를 판단할 수 있다. 예를 들면, 판단부(114)는 D 플립플롭(114_1)을 통해 출력된 출력신호가 0인 경우, 출력전압(V_0)에 대한 기울기정보를 헤비 트랜지션 상태로 판단할 수 있다. 또한, 판단부(114)는 플립플롭(114_1)을 통해 출력된 출력신호가 1인 경우, 출력전압(V_0)에 대한 기울기정보를 마일드 트랜지션 상태로 판단할 수 있다.

[0113] 즉, 검출부(110)는 제1 검출부(111)를 통해 제1 교차시점(T1)을 검출하고, 제2 검출부(112)를 통해 제2 교차시점(T2)을 검출하여, 데드존크로싱 정보를 검출할 수 있다. 또한, 검출부(110)는 판단부(114)를 통해 출력전압(V_0)에 대한 기울기정보에 대응되는 출력신호를 1 또는 0으로 출력할 수 있다. 이에, 검출부(110)는 출력전압(V_0)과 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2)과 비교하여, 출력전압(V_0)에 대한 데드존크로싱 정보 및 출력전압(V_0)에 대한 기울기 정보를 포함하는 트랜지션 정보를 검출할 수 있다.

[0114] 도 9는 본 출원의 실시예에 따른 디지털 LDO 레귤레이터(10)의 동작 프로세스이다.

[0115] 도 1 내지 도 9를 참조하면, 먼저, S110 단계에서, 파워 어레이(200)는 메인 컨트롤러부터 인가받는 제어전압(V_C)에 기초하여, 출력전압(V_0)을 출력할 수 있다.

[0116] 이때, S120 단계에서, 검출부(110)는 출력전압(V_0)과 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2)을 비교하여 트랜지션 정보를 검출할 수 있다.

[0117] 그런 다음, S130 단계에서, 상태신호 생성부(120)는 트랜지션 정보와 제어전압(V_C)에 기초하여, COARSE, FINE 및 MIDDLE 중 하나의 상태신호를 출력할 수 있다.

[0118] 이후, S140 단계에서, 디지털 로직부(130)는 하나의 상태신호에 대응되는 알고리즘을 통해 제어전압(V_C)을 목표제어전압(V_{TC})으로 조절하고, 파워 어레이(200)에 출력할 수 있다.

[0119] 도 10은 도 5의 디지털 LDO 레귤레이터(11)의 동작 프로세스이다.

[0120] 도 1 내지 도 10을 참조하면, 먼저, S210 단계에서, 클럭생성기(400)는 클럭을 생성하여, 메인 컨트롤러(100) 및 동적비교기(300)에 제공할 수 있다.

[0121] 이때, S220 단계에서, 메인 컨트롤러(100)는 클럭을 제공받아, 기설정된 제어전압(V_C)을 파워 어레이(200)에 인가할 수 있다.

[0122] 그런 다음, S230 단계에서, 파워 어레이(200)는 메인 컨트롤러(100)로부터 인가받는 제어전압(V_C)에 응답하여, 출력전압(V_0)을 메인 컨트롤러(100)의 검출부(110)와 동적비교기(300)에 출력할 수 있다.

[0123] 그런 다음, S240 단계에서, 동적비교기(300)는 클럭을 제공받아 출력전압(V_0)과 목표출력전압(VT)을 비교하여 업 신호(UP) 또는 다운 신호(DN) 중 어느 하나의 신호를 클럭생성기(400) 및 메인 컨트롤러(100)에 출력할 수 있다. 이때, 클럭생성기(400)는 어느 하나의 신호에 따라 클럭의 위상을 조절할 수 있다.

[0124] 이때, S250 단계에서, 검출부(110)는 업 신호(UP) 또는 다운 신호(DN) 중 어느 하나의 신호에 응답하여, 출력전압(V_0)과 적어도 하나 이상의 기준전압(VREFH1, VREFL1, VREFH2, VREFL2)을 비교하고, 트랜지션 정보를 검출할 수 있다.

[0125] 그런 다음, S260 단계에서, 상태신호 생성부(120)는 트랜지션 정보와 제어전압(V_C)에 기초하여, COARSE, FINE 및 MIDDLE 중 하나의 상태신호를 출력할 수 있다.

[0126] 그런 다음, S270 단계에서, 디지털 로직부(130)는 상태신호 생성부(120)를 통해 CCOARSE 상태신호를 출력받는 경우, CCOARSE 상태신호에 대응되는 적응형 SAR 알고리즘(ASA)을 선택할 수 있다.

[0127] 이때, S280 단계에서, 디지털 로직부(130)는 검출부(11)를 통해 출력받는 트랜지션 정보가 헤비 트랜지션 상태인지 또는 마일드 트랜지션 상태인지를 판단하고, 트랜지션 정보에 따라, MSB-FT 알고리즘 및 MODIFIED LSB-FT 알고리즘 중 어느 하나의 알고리즘을 통해 제어전압(V_C)을 목표제어전압(V_{TC})으로 조절할 수 있다.

[0128] 일 실시예에 따라, 트랜지션 정보가 헤비 트랜지션 상태로 판단된 경우, 디지털 로직부(130)는 제어전압(V_C)에 대해 MSB-FT 알고리즘의 초기화동작, 비교동작, 설정동작 및 완료동작을 차례로 수행하여 목표제어전압(V_{TC})으로 조절할 수 있다.

[0129] 다른 실시예에 따라, 트랜지션 정보가 마일드 트랜지션 상태로 판단된 경우, 디지털 로직부(130)는 제어전압(V_C)에 대해 MODIFIED LSB-FT 알고리즘의 초기화동작, 설정동작, 비교동작 및 완료동작을 차례로 수행하여, 목표제어전압(V_{TC})으로 조절할 수 있다.

[0130] 이후, S290 단계에서, 파워 어레이(200)는 디지털 로직부(130)를 통해 조절된 제어전압(V_C)에 기초하여, 레귤레이션된 출력전압(V_O)을 출력할 수 있다.

[0131] 도 11은 도 5의 검출부(110)의 실시예에 따른 동작 프로세스이다.

[0132] 도 1 내지 도 11을 참조하면, 먼저, S310 단계에서, 제1 검출부(111)는 데드존크로싱 정보의 제1 교차시점(T)을 검출하고, 제1 교차시점(T)에서 동작신호(VA)를 생성할 수 있다.

[0133] 그런 다음, S320 단계에서, 제2 검출부(112)는 동작신호에 응답하여, 데드존크로싱 정보의 제2 교차시점(T2)을 검출하고, 제2 교차시점(T2)에서 상승펄스(VD2)를 생성할 수 있다.

[0134] 이때, S330 단계에서, 딜레이부(113)는 딜레이 셀들(113_11~113_1N)과 커패시터 어레이(113_2)를 통해 상기 동작신호를 디지털적으로 딜레이시켜 지연신호(VD1)를 생성할 수 있다.

[0135] 이후, S340단계에서, 판단부(114)는 지연신호(VD1)와 상승펄스(VD2)에 기초하여, 출력전압(V_O)에 대한 기울기정보를 판단할 수 있다. 여기서, 출력전압(V_O)에 대한 기울기정보는 마일드 트랜지션 상태 또는 헤비 트랜지션 상태 중 어느 하나의 트랜지션 상태에 대응될 수 있다.

[0136] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0137] 10, 11, 12: 디지털 LDO 레귤레이터

100: 메인 컨트롤러

110: 검출부

120: 상태신호 생성부

130: 디지털 로직부

140: 카운터

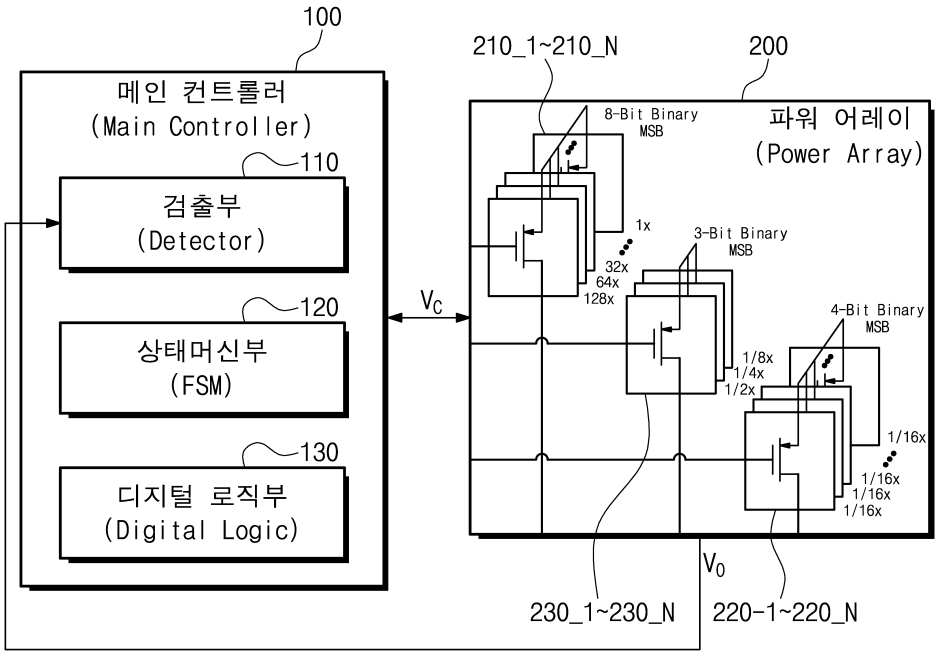
200: 파워 어레이

300: 동적 비교기

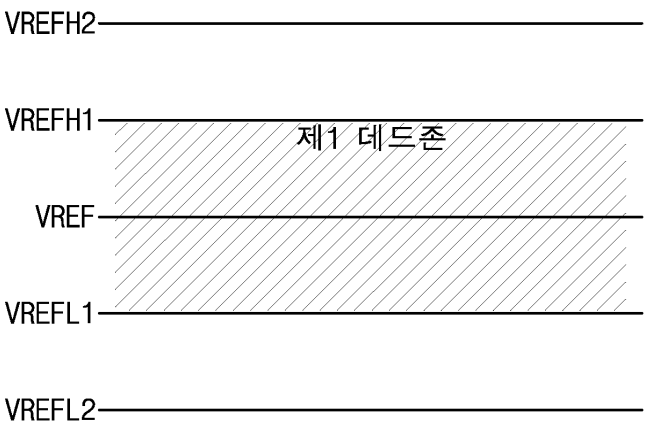
400: 클럭 생성기

도면

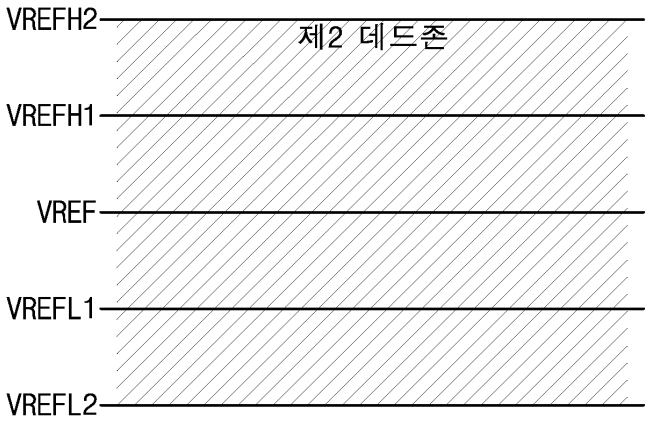
도면1


10
100
메인 컨트롤러
(Main Controller)
110
검출부
(Detector)
120
상태머신부
(FSM)
130
디지털 로직부
(Digital Logic)
V_C
210_1~210_N
200
파워 어레이
(Power Array)
8-Bit Binary
MSB
1x
32x
64x
128x
3-Bit Binary
MSB
1/8x
1/4x
1/2x
4-Bit Binary
MSB
1/16x
1/16x
1/16x
1/16x
V_O
230_1~230_N
220-1~220_N

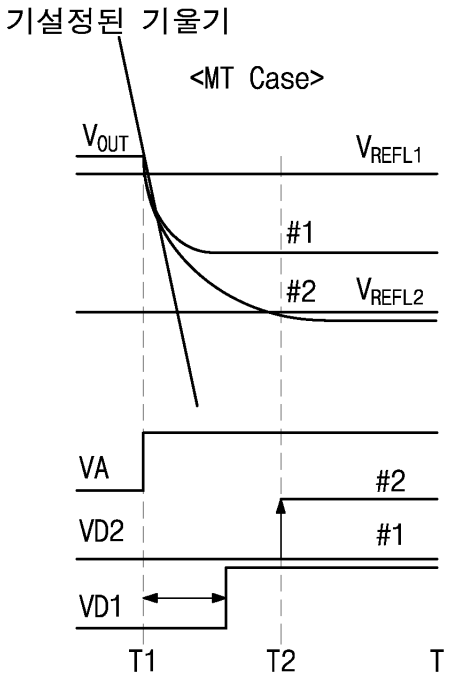
도면2a


VREFH2
VREFH1
제1 데드존
VREF
VREFL1
VREFL2

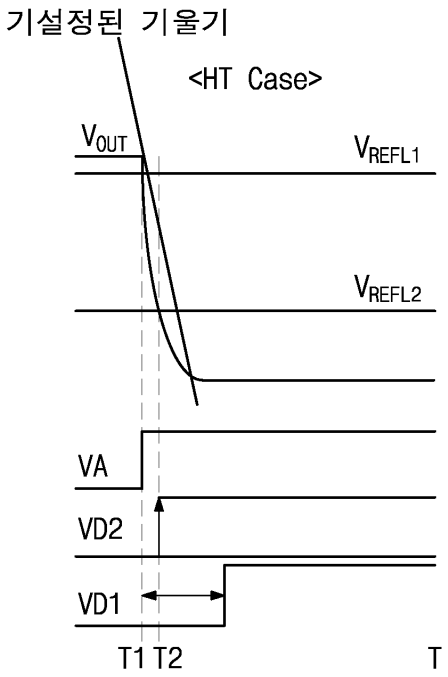
도면2b


VREFH2
제2 데드존
VREFH1
VREF
VREFL1
VREFL2

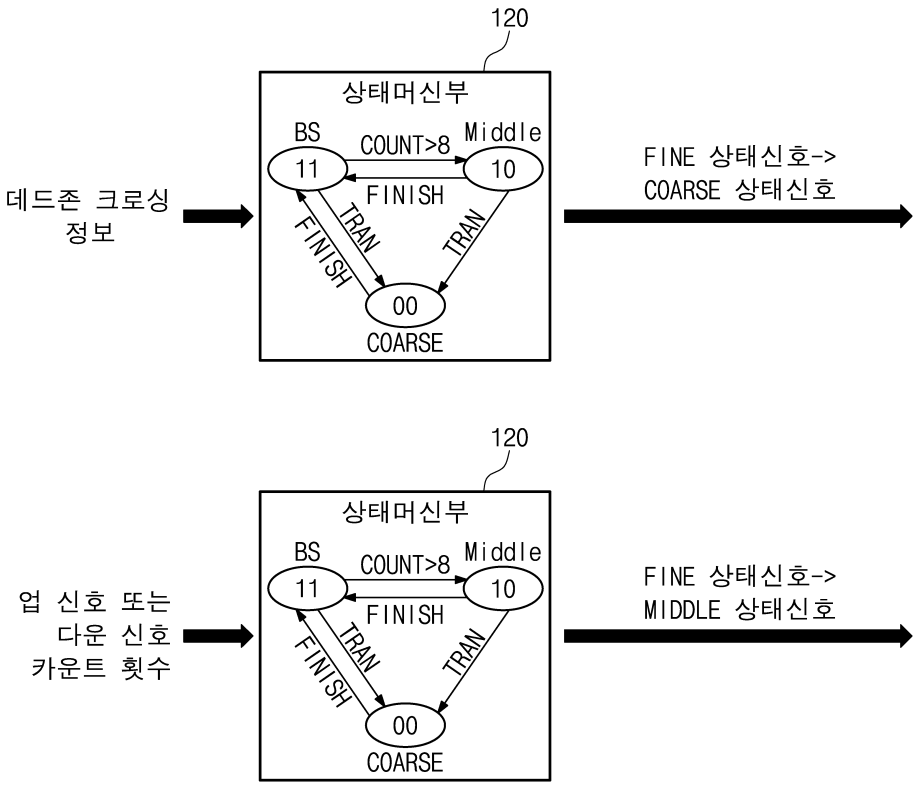
도면2c


기설정된 기울기
<MT Case>
VOUT
VREFL1
#1
#2
VREFL2
VA
#2
VD2
#1
VD1
T1
T2
T

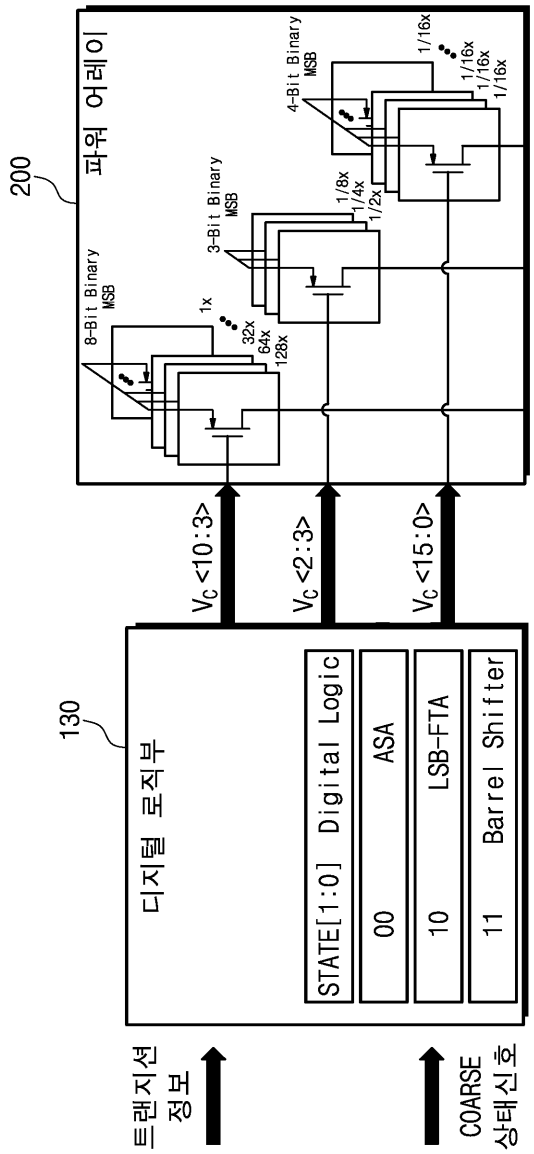
도면2d


기설정된 기울기
<HT Case>
VOUT
VREFL1
VREFL2
VA
VD2
VD1
T1 T2
T

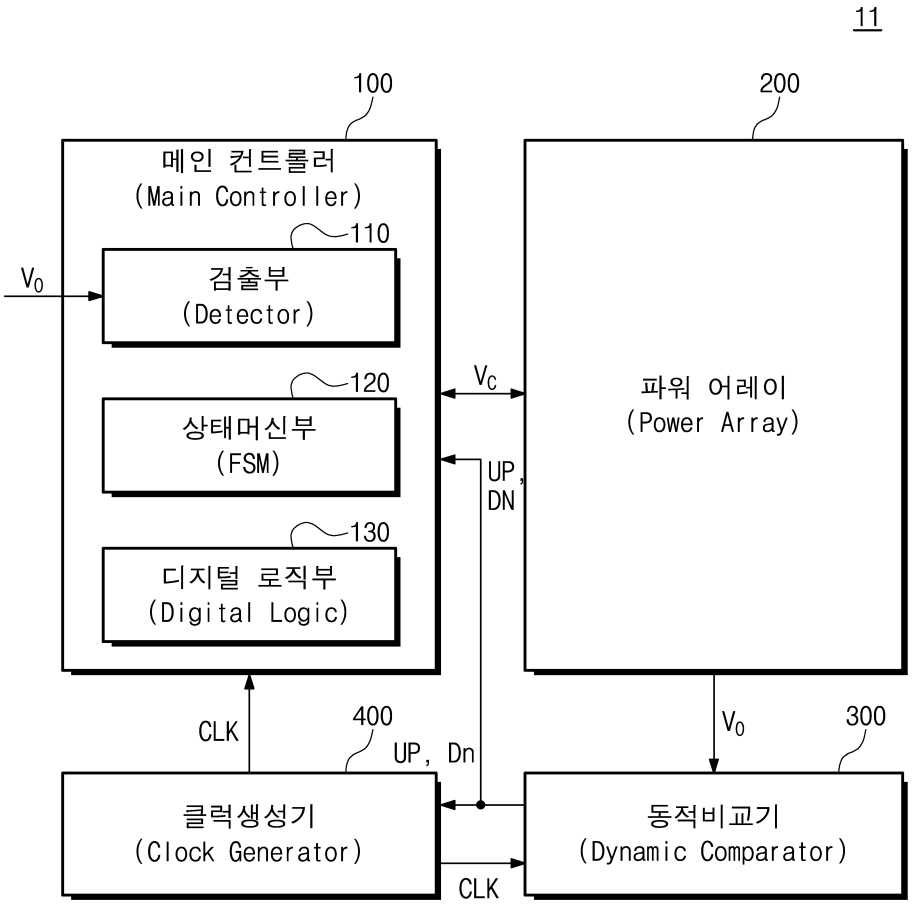
도면3


120
상태머신부
BS
COUNT>8
Middle
11
10
FINISH
TRAN
FINISH
TRAN
00
COARSE
데드존 크로싱 정보
FINE 상태신호-> COARSE 상태신호
120
상태머신부
BS
COUNT>8
Middle
11
10
FINISH
TRAN
FINISH
TRAN
00
COARSE
업 신호 또는 다운 신호 카운트 횟수
FINE 상태신호-> MIDDLE 상태신호

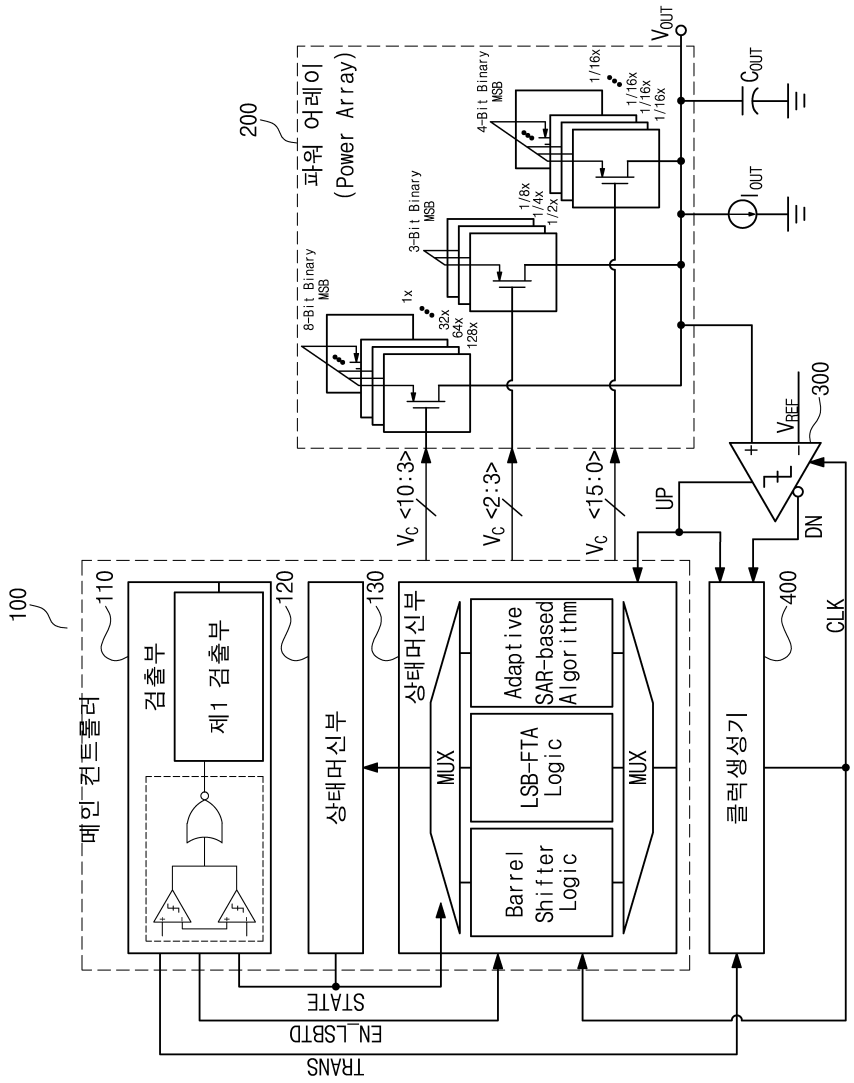
도면4


200
파워 어레이
8-Bit Binary MSB
1x
32x
64x
128x
3-Bit Binary MSB
1/8x
1/4x
1/2x
4-Bit Binary MSB
1/16x
1/16x
1/16x
1/16x
V_C<10:3>
V_C<2:3>
V_C<15:0>
130
디지털 로직부
STATE[1:0] Digital Logic
00 ASA
10 LSB-FTA
11 Barrel Shifter
트랜지션 정보
COARSE 상태신호

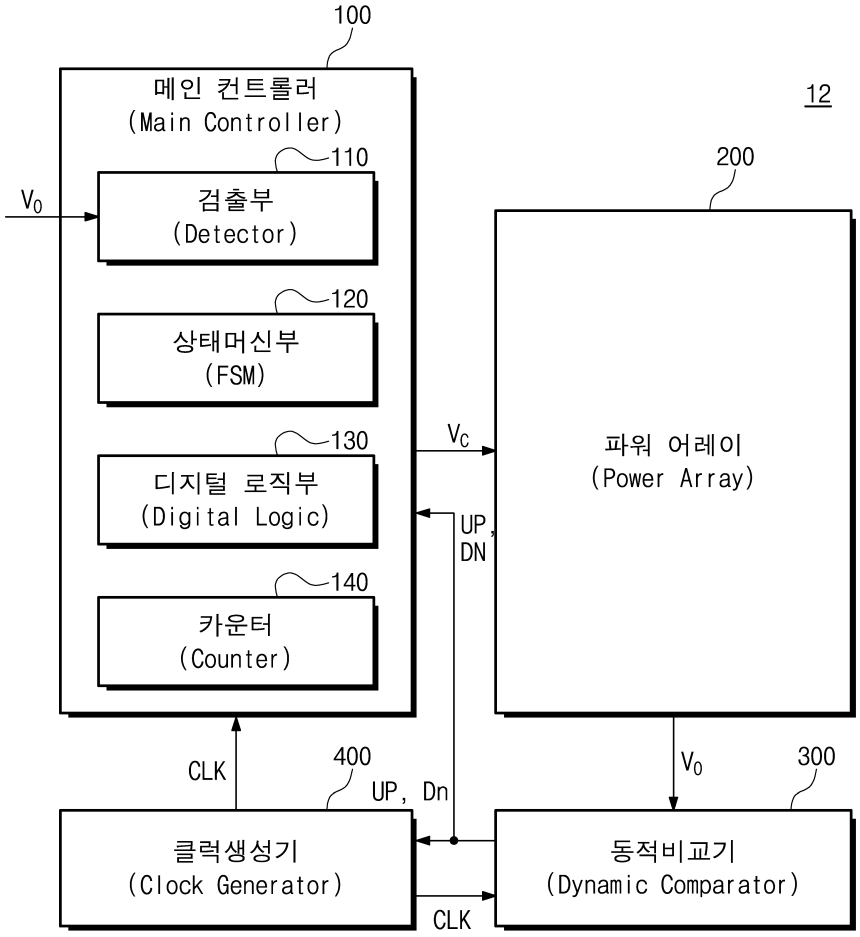
도면5


11
100
200
메인 컨트롤러
(Main Controller)
110
검출부
(Detector)
120
상태머신부
(FSM)
130
디지털 로직부
(Digital Logic)
V_0
V_C
UP,
DN
파워 어레이
(Power Array)
CLK
400
UP, Dn
V_0
300
클럭생성기
(Clock Generator)
동적비교기
(Dynamic Comparator)
CLK

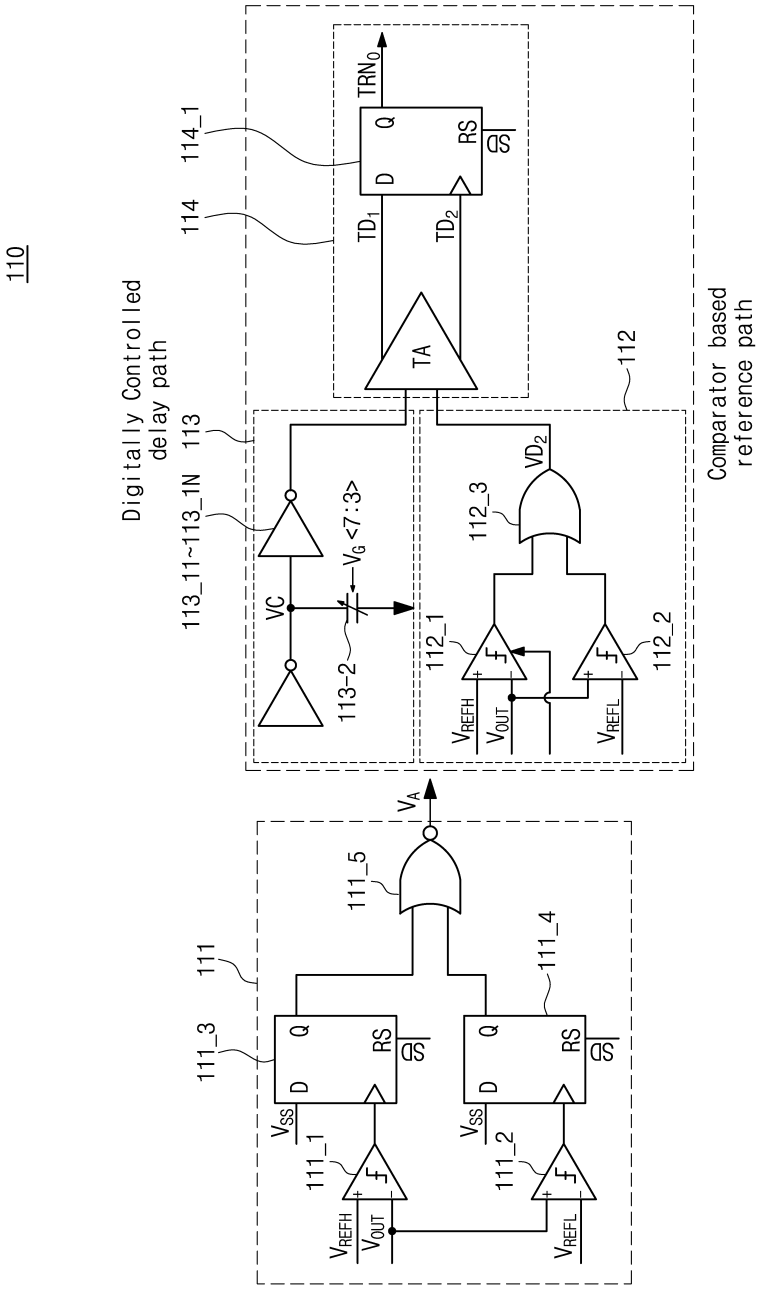
도면6


100
메인 컨트롤러
110
검출부
제1 검출부
120
상태머신부
130
상태머신부
MUX
Adaptive SAR-based Algorithm
LSB-FTA Logic
Barrel Shifter Logic
MUX
400
클럭생성기
CLK
UP
DN
300
VREF
VC <10:3>
VC <2:3>
VC <15:0>
200
파워 어레이
(Power Array)
8-Bit Binary MSB
1x
32x
64x
128x
3-Bit Binary MSB
1/8x
1/4x
1/2x
4-Bit Binary MSB
1/16x
1/16x
1/16x
1/16x
VOUT
COUT
IOUT
STATE
EN_LSBTD
TRANS

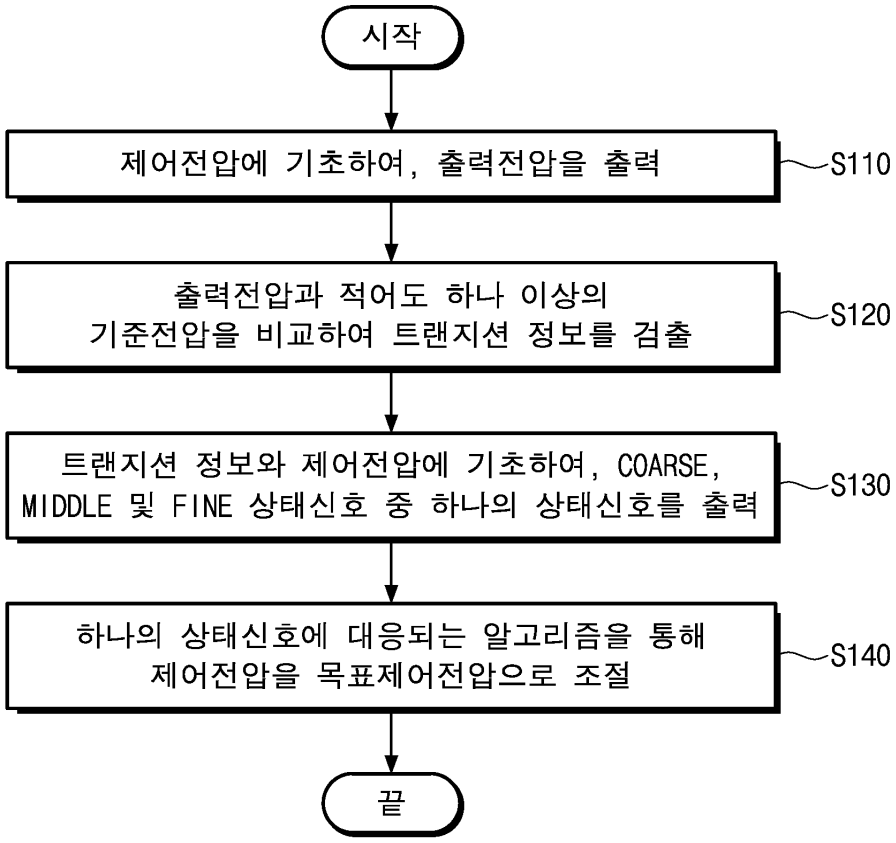
도면7


100
메인 컨트롤러
(Main Controller)
110
검출부
(Detector)
120
상태머신부
(FSM)
130
디지털 로직부
(Digital Logic)
140
카운터
(Counter)
V_0
V_C
UP,
DN
12
200
파워 어레이
(Power Array)
CLK
400
UP, Dn
클럭생성기
(Clock Generator)
CLK
V_0
300
동적비교기
(Dynamic Comparator)

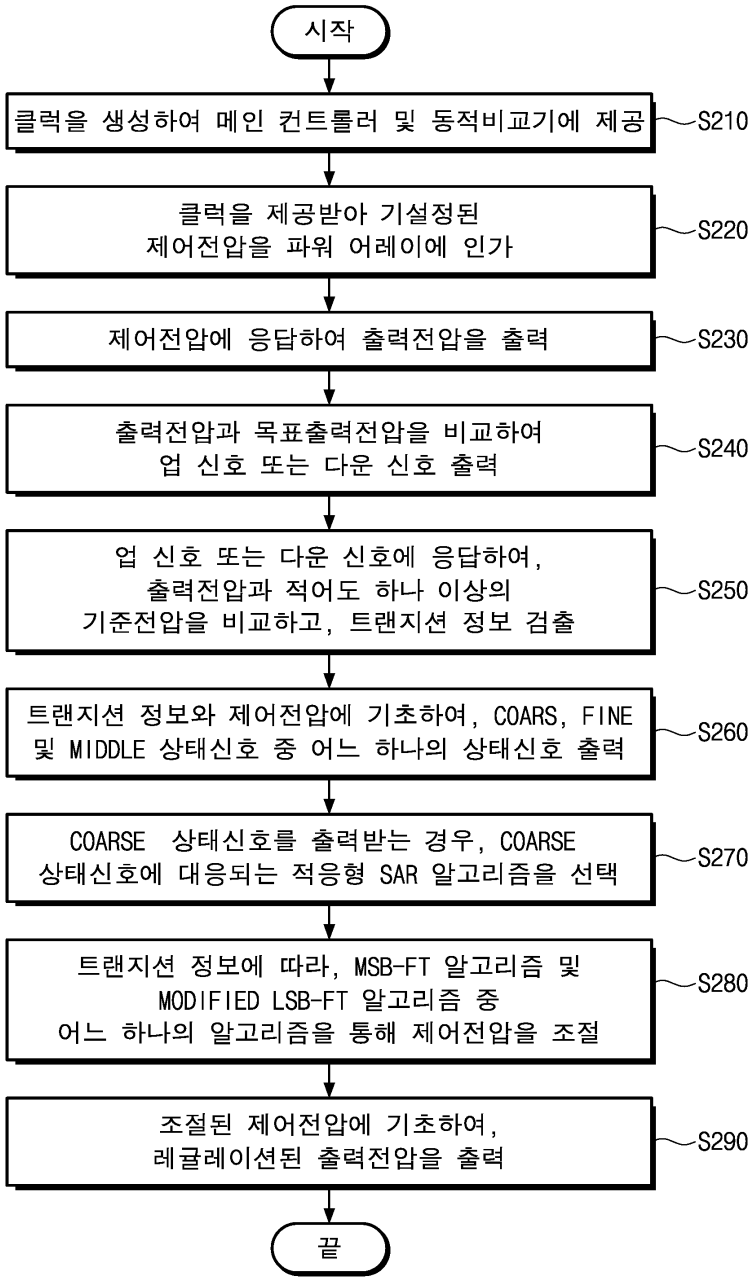
도면8


110
Digitally Controlled delay path
Comparator based reference path
114_1
114
113
113_11~113_1N
113-2
112
112_1
112_2
112_3
111
111_1
111_2
111_3
111_4
111_5
TRN0
TD1
TD2
TA
VD2
VC
VG<7:3>
VREFH
VOUT
VREFL
VSS
VA
Q
D
RS

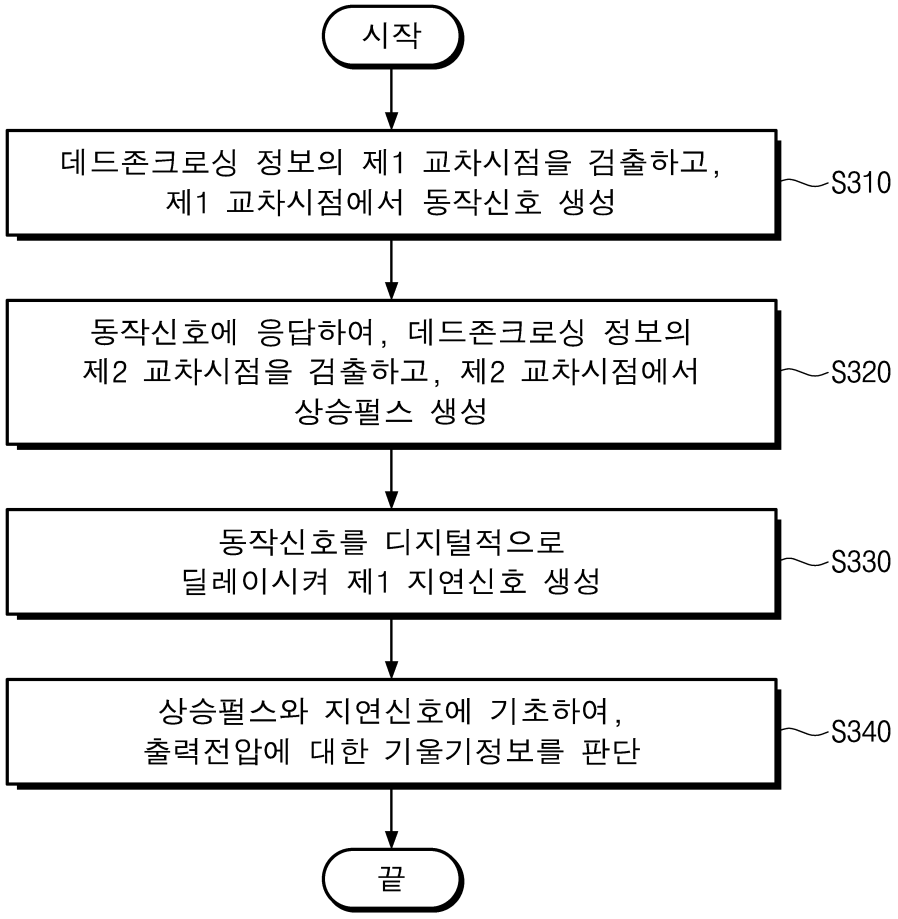
도면9


시작
제어전압에 기초하여, 출력전압을 출력
S110
출력전압과 적어도 하나 이상의
기준전압을 비교하여 트랜지션 정보를 검출
S120
트랜지션 정보와 제어전압에 기초하여, COARSE,
MIDDLE 및 FINE 상태신호 중 하나의 상태신호를 출력
S130
하나의 상태신호에 대응되는 알고리즘을 통해
제어전압을 목표제어전압으로 조절
S140
끝

도면10


시작
클럭을 생성하여 메인 컨트롤러 및 동적비교기에 제공
S210
클럭을 제공받아 기설정된
제어전압을 파워 어레이에 인가
S220
제어전압에 응답하여 출력전압을 출력
S230
출력전압과 목표출력전압을 비교하여
업 신호 또는 다운 신호 출력
S240
업 신호 또는 다운 신호에 응답하여,
출력전압과 적어도 하나 이상의
기준전압을 비교하고, 트랜지션 정보 검출
S250
트랜지션 정보와 제어전압에 기초하여, COARS, FINE
및 MIDDLE 상태신호 중 어느 하나의 상태신호 출력
S260
COARSE 상태신호를 출력받는 경우, COARSE
상태신호에 대응되는 적응형 SAR 알고리즘을 선택
S270
트랜지션 정보에 따라, MSB-FT 알고리즘 및
MODIFIED LSB-FT 알고리즘 중
어느 하나의 알고리즘을 통해 제어전압을 조절
S280
조절된 제어전압에 기초하여,
레귤레이션된 출력전압을 출력
S290
끝

도면11


시작
데드존크로싱 정보의 제1 교차시점을 검출하고, 제1 교차시점에서 동작신호 생성
S310
동작신호에 응답하여, 데드존크로싱 정보의 제2 교차시점을 검출하고, 제2 교차시점에서 상승펄스 생성
S320
동작신호를 디지털적으로 딜레이시켜 제1 지연신호 생성
S330
상승펄스와 지연신호에 기초하여, 출력전압에 대한 기울기정보를 판단
S340
끝