(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/409

(45) 공고일자 1999년02월01일
(11) 등록번호 특0161307
(24) 등록일자 1998년08월24일

(21) 출원번호 특1994-015743
(22) 출원일자 1994년07월01일
(65) 공개번호 특1995-010084
(43) 공개일자 1995년04월26일
(30) 우선권주장 93-224546 1993년09월09일 일본(JP)

(73) 특허권자 후지쓰 가부시키가이샤 세키자와 다다시
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지후지쓰 브이 엘 에스 아이 가부시키가이샤 하니 도시유키
일본국 아이치켄 가스가이시 고조지쵸 2죠메 1844반 2
(72) 발명자 가와모토 사토루
일본국 아이치켄 가스가이시 고조지쵸 2죠메 1844반 2 후지쓰 브이 엘 에스 아이 가부시키가이샤 나이
(74) 대리인 이상섭, 나영환

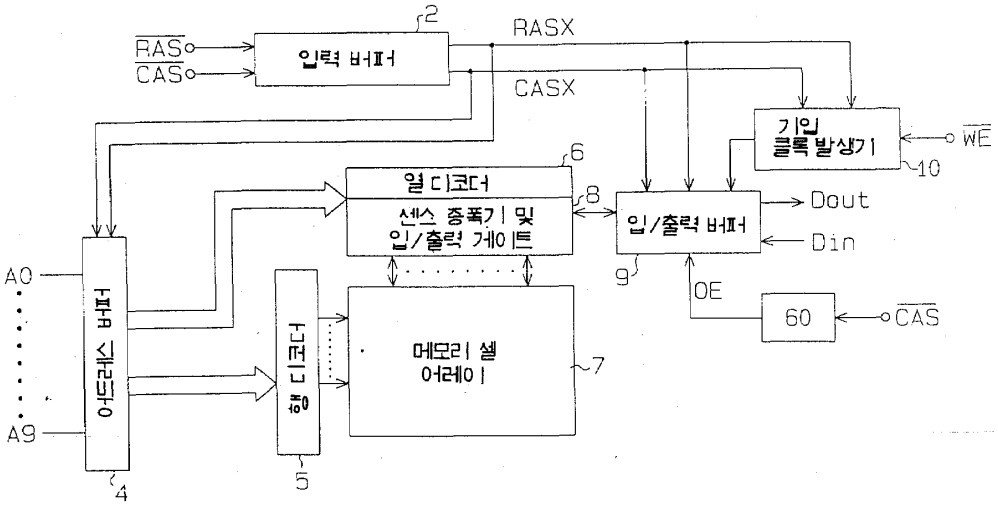
심사관 : 김종찬

(54) 반도체 메모리 장치

요약

본 발명은 제어 신호 및 어드레스 신호에 따라 데이타 입/출력을 제어하는 반도체 메모리 장치에 관한 것이다. 이 장치는 데이타 버스와, 복수의 메모리 셀을 갖는 메모리 셀 어레이와, 메모리 셀로부터 특정 메모리 셀을 선택하여 데이타 베이스에 선택된 셀에 기억된 셀 정보 데이타를 공급하기 위한 회로를 구비한다. 이 장치는 또한 제어 회로에 공급되는 적어도 하나의 제어 신호에 기초하여 메모리 장치로부터의 데이타 출력을 제어하기 위한 데이타 출력 제어 회로를 구비한다. 이 제어 회로는 출력 데이타를 출력하기 위한 출력 단자를 갖고, 데이타 버스에 공급되는 셀 정보가 제어 회로에 공급되지 않는 한 출력 단자를 고임피던스 상태로 유지한다.

대표도



명세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 DRAM의 블럭도.

제2도는 제1도에 도시된 DRAM의 판독 회로의 회로도.

제3도는 DRAM의 판독 회로에서의 센스 버퍼의 회로도.

제4도는 DRAM의 판독 회로에서의 공통 버스 구동기의 회로도.

제5도는 DRAM의 판독 회로에서의 출력 회로의 회로도.

제6도는 판독 회로의 판독 동작을 설명하기 위한 파형도.

제7도는 종래의 공통 버스 구동기의 회로도.

제8도는 종래의 출력 회로의 회로도.

제9도는 제2도에 도시된 판독 회로의 다른 판독 동작을 설명하기 위한 파형도.

* 도면의 주요부분에 대한 부호의 설명

$\overline{RAS}$, $\overline{CAS}$, RASX, CASX : 제어 신호 LE : 센스 증폭기 인에이블 신호

$\overline{WE}$: 기입 인에이블 신호 OE : 출력 제어 신호

ATD : 어드레스 변화 검출 신호 C : 메모리 셀

BL, $\overline{BL}$: 비트 라인 Dout : 출력 데이타

Din : 기입 데이타 WL : 워드 라인

DB, $\overline{DB}$: 데이타 버스 VPR : 리세트 전위

BRSL : 고레벨 리세트 신호 PSG : 고전위 공급 전압

NSG : 저전위 공급 전압

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 메모리 셀로부터 셀 정보를 판독하기 위한 장치에 관한 것이다.

집적 회로 기술의 급격한 변화로 인해 더욱 빠른 속도로 동작하는 보다 큰 메모리 용량의 반도체 메모리 장치에 대한 요구가 증가하고 있다. 그러한 장치의 동작 속도를 증가시키기 위해서는 공급 전압의 소비 전력 및 노이즈를 감소시켜야 한다. 따라서, 셀 정보 판독 장치에서의 공급 전압의 소비 전력 및 노이즈를 감소시키고 그것의 동작 속도를 증가시킬 필요가 있다.

반도체 메모리 장치의 일예로서 DRAM으로부터 셀 정보를 판독할 시, 특정 메모리 셀은 어드레스 신호에 기초하여 선택된다. 선택된 메모리 셀에 기억되어 있는 셀 정보는 비트 라인으로 판독된다. 판독된 셀 정보는 래치되어 센스 증폭기에 의해 증폭된 다음 데이타 버스로 출력된다. 데이타 버스로 출력된 셀 정보는 추가로 증폭되고 센스 버퍼에 의해 래치된다. 이 센스 버퍼에 의해 래치된 셀 정보는 출력 회로를 통해 외부로 출력된다.

상기 DRAM에서 셀 정보는 반복적인 판독 동작에 의해 메모리 셀로부터 특정 순서에 의거 판독되는데, 여기서 단일의 판독 싸이클은 판독 동작을 개시하기 위한 지시 신호의 입력으로부터 출력 회로로의 셀 정보의 출력까지로 한다. 판독 동작이 개시하자마자 출력 회로가 센스 버퍼에 래치된 데이타를 출력하게 할 수 있다, 판독 동작의 초기에 센스 버퍼는 선행 싸이클에서 판독되었던 셀 정보를 래치하고, 이 래치된 셀 정보는 출력 회로로부터 무효 데이타로서 일시적으로 출력되어야 한다. 그후, 판독 동작의 통상의 액세스 시간이 경과한 후에 선택된 메모리 셀로부터 판독된 셀 정보가 센스 버퍼에 의해 래치된 다음, 이 래치된 셀 정보가 출력 회로로부터 유효 데이타로서 출력된다.

상기 무효 및 유효 데이타가 상보 관계를 가질 때는 출력 회로가 유효 데이타를 출력하기 위해 일시적으로 출력되었던 무효 데이타를 변환할 필요가 있다. 이와 같은 동작이 특정 메모리 셀의 선택으로부터 유효 데이타로서 그 메모리 셀의 셀 정보의 출력까지의 판독 속도에 장애를 일으킨다.

무효 데이타가 유효 데이타로 변환될 때, 고전압 공급원과 저전압 공급원(에컨대, 접지)간의 관통 전류 및/또는 단자와 고전압 및 저전압 공급원 중 하나 사이의 충방전 전류가 출력 회로 및/또는 이 출력 회로의 선행단의 어떤 다른 회로에서 발생된다. 이러한 관통 전류 또는 충방전 전류는 소비 전력을 증가시키고, 공급 전압 노이즈의 발생 원인이 된다.

본 발명의 목적은 판독 동작시 무효 데이타가 출력되는 것을 방지하여 판독 속도를 증가시키고 소비 전력 및 공급 전압 노이즈를 감소시킬 수 있는 반도체 메모리 장치를 제공하는데 있다.

본 발명에 따른 반도체 메모리 장치는 복수의 제어 신호와 어드레스 신호에 따라 데이타 입/출력 제어를 실행한다. 이 메모리 장치는 데이타 버스와, 셀 정보 데이타를 기억하는 복수의 메모리 셀을 갖는 메모리 셀 어레이와, 메모리 셀로부터 특정 메모리 셀을 선택하여 선택된 메모리 셀의 셀 정보 데이타를 데이타 버스에 제공하기 위한 회로를 구비한다. 또한, 이 메모리 장치는 상기 데이타 버스에 접속되는 데이타 출력 제어 회로를 구비한다. 이 제어 회로는 이 제어 회로에 제공되는 적어도 하나의 제어 신호에 기초하여 반도체 메모리 장치로부터의 데이타 출력을 제어한다. 그리고, 이 제어 회로는 상기 데이타 버스에 제공된 셀 정보 데이타에 기초하여 신호를 래치하기 위한 유니트와, 이 래치된 신호에 기초하여 생성될 출력 데이타를 출력하기 위한 출력 단자를 갖는다. 또한, 이 데이타 출력 제어 회로는 데이타 버스상에 제공된 셀 정보가 이 데이타 출력 제어 회로에 공급되지 않는 한 고임피던스 상태를 유지한다.

상기 데이타 출력 제어 회로에 제공되는 제어 신호는 센스 증폭기 인에이블 신호와 어드레스 변화 검출

신호 중 적어도 하나를 포함하는 것이 바람직하다.

본 발명은 이하 첨부 도면을 참고로 한 바람직한 실시예의 설명으로부터 더욱 잘 이해될 것이다.

제1도는 본 발명의 실시예에 따른 DRAM의 구조를 나타낸다. 제어 신호 $\overline{RAS}$ (행 어드레스 스트로브 신호)와 $\overline{CAS}$ (열 어드레스 스트로브 신호)는 DRAM의 동작을 제어하여 DRAM의 입력 버퍼(2)를 통해 DRAM의 내부 회로로 제어 신호 RASX, CASX로서 출력된다. 제어 신호 CASX는 어드레스 버퍼(4)에 열 어드레스를 래치하기 위한 신호로 입력되고, 제어 신호 RASX 또한 어드레스 버퍼(4)에 행 어드레스를 래치하기 위한 신호로 입력된다. 제어 신호 RASX는 액티브 또는 인에이블 신호로서 입/출력(I/O) 버퍼(9)에 입력되고, 제어 신호 CASX는 입/출력 제어 신호로서 입/출력 버퍼(9)에 입력된다. 또한, 제어 신호 RASX는 클럭 발생기(10)를 액티브시키기 위한 기입 클럭 발생기(10)에 입력된다. 제어 신호 CASX는 클럭 발생기(10)에 입력되는 기입 인에이블 신호 $\overline{WE}$를 래치하기 위한 신호로서 기입 클럭 발생기(10)에 입력된다.

어드레스 버퍼(4)에 입력되는 어드레스 신호 A0~A9는 제어 신호 RASX, CASX에 기초하여 어드레스 버퍼(4)에 의해 래치되고, 이 어드레스 버퍼로부터 행 디코더(5)와 열 디코더(6)를 출력된다. 행 디코더(5)와 열 디코더(6)는 어드레스 신호 A0~A9에 기초하여 메모리 셀 어레이(7)의 특정 메모리 셀을 선택한다. 셀 정보 판독시, 선택된 메모리 셀로부터 판독된 셀 정보는 센스 증폭기 및 입/출력(I/O) 게이트(8)와 입/출력(I/O) 버퍼(9)를 통해 출력 데이타 Dout로서 출력된다. 셀 정보 기입시에는 I/O 버퍼(9)를 통해 수신되는 기입 데이타 Din가 센스 증폭기 및 I/O 게이트(8)를 통해 선택된 메모리 셀에 기입된다. I/O 버퍼(9)는 4개의 신호:제어 신호 RASX, 제어 신호 CASX, 기입 클럭 발생기(10)를 통해 제공되는 기입 인에이블 신호 $\overline{WL}$, 그리고 제어 신호 $\overline{CAS}$ 에 기초하여 DRAM의 신호 발생기(60)에 의해 발생되는 출력 제어 신호 OE에 의해 제어된다.

이제, DRAM에서 셀 정보를 판독하는데 이용되는 셀 회로 구조를 도면을 통해 설명하겠다. 제2도에 도시된 바와 같이, 메모리 셀 어레이(7)는 다수의 쌍으로 된 비트 라인 BL, $\overline{BL}$을 갖는다. 복수의 메모리 셀(C)은 각쌍의 비트 라인 BL, $\overline{BL}$ 에 접속된다. 워드 라인 WL은 각각의 메모리 셀(C)에 접속된다. 워드 라인 WL중 하나가 행 디코더(5)에 의해 선택되는 경우 관련된 메모리 셀(C)에 기억되어 있던 셀 정보가 비트 라인 BL, $\overline{BL}$ 로 판독된다.

비트 라인 BL, $\overline{BL}$ 에 접속된 N 채널 MOS 트랜지스터 Tr1, Tr2, Tr3, Tr4는 비트 라인 BL, $\overline{BL}$과 워드 라인 WL이 선택되지 않은 경우 비트 라인 BL, $\overline{BL}$에서의 전위를 리세트 전위 VPR로 리세트 하기 위한 회로를 형성한다. 트랜지스터 Tr1~Tr4의 게이트에 고레벨 리세트 신호 BRSL이 입력되는 경우, 트랜지스터 Tr1~Tr4는 턴온되어 예컨대 접지 레벨과 공급 전압 Vcc의 평균인 Vcc/2의 리세트 전위 VPR로 비트 라인 BL, $\overline{BL}$ 의 전위를 리세트한다.

센스 증폭기(11)는 한쌍의 비트 라인 BL, $\overline{BL}$에 접속되고, 고전위 공급 전압 PSG와 저전위 공급 전압 NSG이 공급된다. 이 센스 증폭기(11)는 신호 $\overline{RAS}$ 에 의해 발생되는 센스 증폭기 인에이블 신호 LE에 의해 제어된다. 센스 증폭기(11)는 인에이블 될 경우 비트 라인 BL, $\overline{BL}$에 공급되는 셀 정보를 증폭하고 래치한다.

센스 증폭기 및 I/O 게이트(8)는 센스 증폭기(11)와 열 게이트 Tr5, Tr6를 포함한다. 비트 라인 BL, $\overline{BL}$ 은 제2도에 도시된 바와 같이, 열 게이트 Tr5, Tr6를 통해 데이타 버스 DB, $\overline{DB}$에 접속된다. 이 열 게이트 Tr5, Tr6는 열 디코더(6)로부터 열 선택 신호 CL를 수신한다. 열 선택 신호 CL가 고레벨로 될 때, 열 게이트 Tr5, Tr6는 인에이블되어 센스 증폭기(11)에 의해 증폭된 셀 정보를 데이타 버스 DB, $\overline{DB}$ 로 출력되게 한다.

열 디코더(6)는 제2도에 도시된 바와 같이, NAND 게이트(15a), 인버터 회로(16a), 그리고 제어 신호 $\overline{RAS}$ 에 의거해 센스 증폭기 인에이블 신호 LE를 발생시키는 신호 발생기(61)를 포함한다. NAND 게이트(15a)는 센스 증폭기 인에이블 신호 LE와, 어드레스 신호 A0~A9로부터 도출된 디코드 신호 a_0~a_n를 수신한다. NAND 게이트(15a)의 출력 신호는 인버터 회로(16a)에 입력되고, 이 인버터 회로(16a)의 출력 신호는 열 선택 신호 CL로서 열 게이트 Tr5, Tr6로 출력된다. 상기 디코드 신호 a_0~a_n와 인에이블 신호 LE가 고 레벨로 될 경우, 열 선택 신호 CL가 고 레벨로 되어 열 게이트 Tr5, Tr6가 턴온된다. 열 디코더(6)는 관련 비트 라인 쌍에 해당하는 열 게이트 Tr5, Tr6를 제어하기 위해 각각 한 쌍의 NAND 게이트(15a)와 인버터 회로(16a)로 형성되는 복수의 출력 회로를 포함한다.

I/O 버퍼(9)는 제2도에 도시되어 있는 바와 같이, 센스 버퍼(12), 공통 버스 구동기(13), 그리고 출력 신호(14)를 포함한다. 데이타 버스 DB, $\overline{DB}$는 센스 버퍼(12)에 접속된다. 센스 버퍼(12)의 출력 신호 SD, $\overline{SD}$ 는 공통 버스 구동기(13)에 입력되고, 공통 버스 구동기(13)의 출력 신호 CB, $\overline{CB}$는 출력 신호

(14)에 입력된다. 출력 신호(14)는 출력 데이타 Dout를 출력한다.

이제 센스 버퍼(12)의 구조를 제3도를 참고로 설명하겠다. 이 센스 버퍼(12)는 직렬로 접속되는 전류 미러(mirror) 회로(17a,17b), 래치 회로를 구성하는 NAND 게이트(15b,15c), 출력 회로를 형성하는 인버터 회로(16b,16c), 그리고 전류 미러 회로(17a,17b)를 인에이블하기 위한 인에이블 신호 발생기(18)를 포함한다. 상기 전류 미러 회로는 이미 잘 알려져 있는 관계로 구체적인 설명은 생략하겠다. 상기 인에이블 신호 발생기(18)는 신호 발생기(61)로부터 센스 증폭기 인에이블 신호 LE를, 그리고 어드레스 신호 A0~A9의 변화를 검출하기 위한 회로(62)로부터 어드레스 변화 검출 신호 ATD를 수신한다. 이 어드레스 변화 검출 회로(62)는 열 디코더에 입력된 어드레스 신호 A0~A9중 어느 하나에 변화를 주었던 신호 ATD, 즉 원 쇼트(one-shot;단사) 고레벨 펄스 신호를 출력한다.

인에이블 신호 발생기(18)는 2개의 NAND 게이트(15d,15e)와 4개의 인버터 회로(16d,16e)를 포함한다. 센스 증폭기 인에이블 신호 LE는 NAND 게이트(15e)의 제1입력 단자와, 3개의 인버터 회로(16d)를 통해 NAND 게이트(15d)의 제2입력 단자에 입력된다. 따라서, NAND 게이트(15d)는 센스 증폭기 인에이블 신호 LE가 고레벨로 될 경우 저 레벨 원 쇼트 펄스 신호를 출력하고, 그렇지 않을 경우 NAND 게이트(15d)의 출력 신호는 고 레벨을 유지한다.

NAND 게이트(15d)의 저 레벨 출력 신호는 NAND 게이트(15e)의 제1입력 단자에 입력되고, 전술한 어드레스 변화 검출 신호 ATD는 인버터 회로(16e)를 통해 NAND 게이트(15e)의 제2입력 단자에 입력된다. 센스 증폭기 인에이블 신호 LE가 고 레벨로 되거나 어드레스 변화 검출 신호 ATD가 인에이블 신호 발생기(8)에 입력될 경우, NAND 게이트(15e)는 출력 신호 SBE로서 고 레벨 원 쇼트 펄스 신호를 출력한다. 전류 미러 회로(17a,17b)는 상기 출력 신호 SBE에 응답해 인에이블된다. 이러한 동작을 오토 파워 다운(auto power-down)이라 하며 센스 버퍼(12)의 소비 전력을 감소시킨다.

출력 신호 SEB가 고 레벨로 될 경우, 전류 미러 회로(17a,17b)는 데이타 버스 DB, $\overline{DB}$로 판독된 셀 정보를 증폭하여 출력하기 위해 인에이블 된다. 전류 미러 회로(17b)의 상보 출력 신호중 하나는 NAND 게이트(15b)의 제1입력 단자로 입력되는 한편, 다른 상보 출력 신호는 NAND 게이트(15c)의 제1입력 단자에 입력된다. NAND 게이트(15b)의 출력 신호는 NAND 게이트(15e)의 제2입력 단자와 인버터 회로(16b)에 입력된다. NAND 게이트(15c)의 출력 신호는 NAND 게이트(15b)의 제2입력 단자와 인버터 회로(16c)에 입력된다. 따라서, NAND 게이트(15b,15c)는 전류 미러 회로(17b)의 상보 출력 신호를 래치하고, 이 래치된 신호를 인버터 회로(16b,16c)로 출력한다. 인버터 회로(16b,16c)의 출력 신호 SD, $\overline{SD}$는 공통 버스 구동기(13)로 출력된다.

상기 공통 버스 구동기(13)는 제4도에 도시되어 있는 바와 같이, 2개의 NAND 게이트(15F,15G)와 3개의 인버터 회로(16f,16g,16h)를 포함한다. 출력 신호 SD는 인버터 회로(16f)를 통해 NAND 게이트(15f)에 입력되고 출력 신호 $\overline{SD}$는 인버터 회로(16g)를 통해 NAND 게이트(15g)에 입력된다. 센스 증폭기 인에이블 신호 LE는 NAND 게이트(15f,15g)에 입력되고, 어드레스 변화 검출 신호 ATD는 인버터 회로(16h)를 통해 입력된다. 센스 증폭기 인에이블 신호 LE가 고 레벨로 되고 어드레스 변화 검출 신호 ATD가 저 레벨로 될 경우 센스 버퍼(12)의 출력 신호 SD, $\overline{SD}$와 동상의 신호가 출력 신호 CB, $\overline{CB}$로서 NAND 게이트(15f,15g)로부터 출력된다. 센스 증폭기 인에이블 신호 LE가 저 레벨로 되거나 어드레스 변화 검출 신호 ATD가 고 레벨로 될 경우 NAND 게이트(15f,15g)의 출력 신호 CB, $\overline{CB}$는 둘 다 저 레벨로 된다

제5도에 도시된 바와 같이, 출력 회로(14)는 공통 버스 구동기(13)의 출력 신호 CB, $\overline{CB}$, 출력 제어 신호 OE, 센스 증폭기 인에이블 신호 LE, 그리고 어드레스 변화 검출 신호 ATD를 수신한다. 출력 회로(14)는 출력 제어 신호 OE, 센스 증폭기 인에이블 신호 LE, 인버터 회로(16i)를 통해 입력되는 어드레스 변화 검출 신호 ATD를 입력하는 NAND 게이트(15h)를 포함한다. 또한 출력 회로(14)는 NAND 게이트(15h)이 출력 신호를 수신하는 인버터 회로(16j)를 포함한다. 상기 인버터 회로(16j)의 출력 신호는 N 채널 MOS 트랜지스터 Tr7, Tr8의 게이트와 P 채널 MOS 트랜지스터 Tr9, Tr10의 게이트에 입력된다.

공통 버스 구동기(13)로부터의 출력 신호 $\overline{CB}$는 트랜지스터 Tr7을 통해 인버터 회로(16k)에 입력되고, 출력 신호 CB는 트랜지스터 Tr8을 통해 인버터 회로(16m)에 입력된다. 인버터 회로(16k)의 입력 단자는 트랜지스터 Tr9의 드레인에 접속된다. 인버터 회로(16m)의 입력 단자는 트랜지스터 Tr10의 드레인에 접속된다. 트랜지스터 Tr9, Tr10의 소스는 전원 Vcc에 접속된다.

인버터 회로(16k)의 출력 신호는 N 채널 MOS 출력 트랜지스터 Tr11의 게이트에 입력되고, 인버터 회로(16m)의 출력 신호는 N 채널 MOS 출력 트랜지스터 Tr12의 게이트에 입력된다. 트랜지스터 Tr11의 드레인은 전원 Vcc에 접속된다. 트랜지스터 Tr11의 소스와 트랜지스터 Tr12의 드레인은 출력 단자 T_0에 접속된다. 트랜지스터 Tr12의 소스는 접지 GND에 접속된다. 트랜지스터 Tr7, Tr8, Tr9, Tr10는 트랜지스터 Tr11, Tr12를 구동하기 위한 2모드중 하나를 선택하는 스위칭 회로를 형성한다. 제1모드는 공통 버스 구동기(13)로부터의 출력 신호 CB, $\overline{CB}$에 따라 트랜지스터 Tr11, Tr12를 구동한다. 제2모드는 트랜지스터 Tr11, Tr12가 턴오프될 때 출력 단자 T_0를 고임피던스 상태로 구동된다.

이제 상기 구성의 DRAM의 동작을 제6도를 참고로 설명하겠다. DRAM에 입력되는 제어 신호 $\overline{RAS}$가 저 레벨로 될 경우 어드레스 버퍼(4)와 같은 메모리 셀 어레이(7)의 주변 회로는 인에이블 된다. 행 디코더(5)에 행 어드레스 신호가 입력될 때, 행 어드레스 신호에 응답하여 행 디코더(5)에 의해 선택되는 워드 라인 WL의 전위는 하이로 된다. 결과적으로, 선택된 워드 라인 WL에 접속된 메모리 셀(C)이 인에이블 되고, 이 메모리 셀의 셀 정보가 비트 라인 BL, $\overline{BL}$으로 판독된다. 이것은 비트 라인 BL과 비트 라인

$\overline{BL}$ 간에 약간의 전위차를 형성한다.

이때, 출력 제어 신호 OE와 센스 증폭기 인에이블 신호 LE는 둘 다 저레벨로 되고, 출력 회로(14)의 트랜지스터 Tr7, Tr8는 오프로 되고, 트랜지스터 Tr9, Tr10는 온으로 된다. 그러므로 인버터 회로(16k,16m)의 출력 신호는 둘 다 저 레벨로 되고, 출력 트랜지스터 Tr11, Tr12는 둘 다 턴 오프된다. 이것은 출력 단자 T_0를 고임피던스 상태로 되게 한다.

센스 버퍼(12)는 선행 싸이클에서 판독된 데이타를 래치하고 상보 출력 신호 SD, $\overline{SD}$를 출력하는 한편 공통 버스 구동기(13)의 출력 신호 CB, $\overline{CB}$는 둘 다 저 레벨로 된다. 이것은 저 레벨 센스 증폭기 인에이블 신호 LE로 인해 출력 신호 SD, $\overline{SD}$와 무관하게 실행된다. 다음에 출력 제어 신호 OE는 제어 신호 $\overline{CAS}$ 의 하강에 따라 고 레벨로 된다. 이러한 상태에서 센스 증폭기 인에이블 신호 LE가 저 레벨로 되어 공통 버스 구동기(13)의 출력 신호 CB, $\overline{CB}$는 고 레벨로 되고 출력 단자 T_0는 고임피던스 상태로 된다.

센스 증폭기 인에이블 신호 LE가 고 레벨로 될 때, 센스 증폭기(11)는 인에이블 되어 비트 라인 BL과 비트 라인 $\overline{BL}$ 간의 근소한 전위차를 증폭한다. 이때, 열 어드레스 신호에 기초하여 열 디코더(6)에 의해 선택된 열 선택 신호 CL는 고 레벨로 된다. 결과적으로, 열 게이트 Tr5, Tr6가 턴온되어 비트 라인 BL, $\overline{BL}$ 으로 판독된 셀 정보가 데이타 버스 DB, $\overline{DB}$로 출력되게 된다.

센스 증폭기 인에이블 신호 LE가 상승할 때, 센스 버퍼(12)의 인에이블 신호 발생기(8)는 고 레벨 원쇼트 펄스 신호 SBE를 출력하여 전류 미러 회로(17a,17b)를 일시적으로 인에이블한다. 그러면, 데이타 버스 DB, $\overline{DB}$ 상의 판독된 셀 정보는 전류 미러 회로(17a,17b)에 의해 증폭되고, 이 증폭된 셀 정보는 NAND 게이트(15b,15c)에 의해 래치되어 출력 신호 SD, $\overline{SD}$로서 인버터 회로(16b,16c)로부터 출력된다.

공통 버스 구동기(13)는 고레벨 센스 증폭기 인에이블 신호 LE와 저레벨 어드레스 변화 검출 신호 ATD에 따라 센스 버퍼(12)로 부터의 출력 신호 SD, $\overline{SD}$와 동상으로 출력 신호 CB, $\overline{CB}$를 출력한다. 고레벨 출력 제어 신호 OE, 고레벨 센스 증폭기 인에이블 신호 LE 및 저레벨 어드레스 변화 검출 신호 ATD에 기초하여, 출력 회로(14)의 트랜지스터 Tr7, Tr8은 턴온되고, 트랜지스터 Tr9, Tr10은 턴오프된다.

결과적으로, 공통 버스 구동기(13)로부터의 출력 신호 CB, $\overline{CB}$는 트랜지스터 Tr7. Tr8를 통해 인버터 회로(16k,16m)에 입력된다. 인버터 회로(16k,16m)로부터의 상보 출력 신호로 인해 출력 트랜지스터 Tr11, Tr12는 상보적으로 제어된다. 예컨대, 인버터 회로(16k,16m)으로부터의 상보 출력 신호에 기초하여 출력 트랜지스터 Tr11이 턴온되고 출력 트랜지스터 Tr12가 턴오프될 경우, 고레벨 출력 데이타 Dout가 출력 단자 T_0로부터 출력된다.

제7도는 한쌍의 2단 인버터 회로(16p,16q)를 형성하는 4개의 인버터 회로를 구비하는 종래의 공통 버스 구동기(13')를 나타낸 것이다. 제8도는 상기 공통 버스 구동기(13')와 관련된 종래의 출력 회로(14')를 나타낸 것이다. 이 출력 회로(14')는 본 실시예의 출력 회로(14)와 다른데, 그 차이는 인버터 회로(16r)가 출력 회로(14)의 NAND 게이트(15h) 대신에 출력 제어 신호 OE만을 수신한다는데 있다.

종래의 공통 버스 구동기(13')는 제6도에 도시되어 있는 바와 같이, 센스 버퍼(12')의 출력 신호 SD, $\overline{SD}$ 와 동상으로 신호 CB, $\overline{CB}$ 를 출력한다. 종래의 출력 신호(14')는 출력 신호 CB, $\overline{CB}$에 기초하여 출력한다. 출력 제어 신호 OE가 고레벨로 될 경우 출력 회로(14')는 예컨대 상보 출력 신호 CB, $\overline{CB}$에 기초하여 출력 데이타 Dout로서 선행 싸이클에서 판독된 저레벨 무효 데이타 D_7를 출력한다. 다음에, 새롭게 선택된 메모리 셀로부터 판독된 셀 정보가 센스 버퍼(12')에 의해 래치되어 출력 신호 SD, $\overline{SD}$로서 출력될 때, 예컨대 공통 버스 구동기(13')의 출력 신호 CB, $\overline{CB}$는 출력 데이타 Dout를 반전시킨다.

이와 대조적으로, 본 실시예에서는 센스 증폭기 인에이블 신호 LE가 상승할 때까지 공통 버스 구동기(13)의 출력 신호 CB, $\overline{CB}$ 가 둘다 고레벨로 유지된다. 게다가, 출력 회로(14)의 출력 트랜지스터 Tr11, Tr12는 둘 다 턴 오프되어 출력 데이타 Dout를 고임피던스 상태로 유지한다. 센스 증폭기 인에이블 신호 LE가 고레벨로 되고 센스 버퍼(12)가 유효 데이타를 출력할 경우, 공통 버스 구동기(13)와 출력 회로(14)는 인에이블되어 출력 데이타 Dout로서 유효 데이타를 출력하게 된다.

따라서, 본 발명의 실시예에 따르면, 무효 데이타 D_n를 출력함이 없이 유효 데이타가 출력 데이타 Dout로서 적절히 출력됨으로서 출력 데이타 Dout의 상승 속도 및 하강 속도가 개선되어 메모리 판독 속도를 증가시키게 된다. 게다가, 무효 데이타 D_n으로부터 유효 데이타로의 신호 반전이 공통 버스 구동기(13)와 출력 회로(14)에서는 일어나지 않는다. 그러므로, 관통전류(예컨대, 제5도에서 Vcc와 GND 사이) 및/또는 충방전 전류(예컨대, 출력 단자 To와 Vcc 및 GND 중 하나 사이)가 방지 또는 억제되어 회로의 전력 소비를 감소시킨다. 또한, 관통 전류의 발생이 방지 또는 억제될 수 있어 상기 관통 전류로 인해 발생되는 Vcc 및/또는 GND에서의 노이즈, 즉 전원 노이즈의 발생이 방지될 수 있다.

상기 실시예가 센스 증폭기 인에이블 신호 LE를 제어 신호 $\overline{CAS}$ 의 하강 후, 상승하게 하는 것에 의해 판독 동작을 제어하는 경우를 참고로 설명하였지만 상기 실시예에 따른 DRAM은 제어 신호 $\overline{CAS}$ 를 센스 증폭기 인에이블 신호 LE의 상승 후, 하강하게 하는 것에 의해 상기 판독 동작을 제어하게 할 수도 있다. 이제 제9도를 참고로 하여 상기 후자의 동작을 설명하도록 하겠다.

제어 신호 $\overline{RAS}$ 가 저레벨로 되고 행 어드레스 신호가 행 디코더(5)에 입력될 경우, 상기 행 어드레스 신호에 기초하여 행 디코더(5)에 의해 선택된 워드 라인 WL의 전위는 고레벨로 된다. 이때, 선택된 워드 라인 WL에 접속된 메모리 셀(C)이 인에이블되고, 그 셀 정보가 비트 라인 BL, $\overline{BL}$로 판독되어 비트 라인 BL과 비트 라인 $\overline{BL}$ 간에 근소한 전위차가 생성된다. 이때, 출력 제어 신호 OE와 센스 증폭기 인에이블 신호 LE가 둘 다 고레벨에 있기 때문에 출력 회로(14)의 트랜지스터 Tr7, Tr8은 턴오프되고 트랜지스터 Tr9, Tr10은 턴온된다. 따라서, 인버터 회로(16k,16m)의 출력 신호는 저레벨로 되고 출력 트랜지스터 Tr11, Tr12는 둘 다 턴오프되어 출력 단자 To를 고임피던스 상태로 되게 한다.

센스 버퍼(12)는 선형 싸이클에서의 판독 데이타를 래치하고 상보 출력 신호 SD, $\overline{SD}$를 출력하는 한편 공통 버스 구동기(13)의 출력 신호 CB, $\overline{CB}$는 둘 다 센스 증폭기 인에이블 신호 LE가 저레벨로 되기 때문에 상보 출력 신호 SD, $\overline{SD}$ 에 관계없이 고레벨로 된다.

센스 증폭기 인에이블 신호 LE가 제어 신호 $\overline{RAS}$ 에 기초하여 고레벨로 될 때, 센스 증폭기(1)가 인에이블 되어 비트 라인 BL과 비트 라인 $\overline{BL}$간의 근소한 전위차를 증폭한다. 열 어드레스 신호에 따라 열 디코더(6)에 의해 선택된 열과 관련된 열 선택 신호 CL는 고레벨로 된다. 결과적으로, 열 게이트 Tr5, Tr6가 턴온되어 비트 라인 BL, $\overline{BL}$으로 판독된 셀 정보가 데이타 버스 DB, $\overline{DB}$로 출력되게 한다. 어드레스 변화 검출 신호 ATD에 따라, 센스 버퍼(12)의 인에이블 신호 발생기(18)가 고레벨 원쇼트 펄스 신호 SBE를 출력하여 전류 미러 회로(17a,17b)를 일시적으로 인에이블 한다. 이때, 데이타 버스 DB, $\overline{DB}$ 상의 판독된 셀 정보는 전류 미러 회로(17a,17b)에 의해 증폭된다. 이 증폭된 셀 정보 신호는 NAND 게이트(15b,15c)에 의해 래치되고 출력 신호 SD, $\overline{SD}$로서 인버터 회로(16b,16c)로부터 출력된다.

공통 버스 구동기(13)는 고레벨 센스 증폭기 인에이블 신호 LE와 저레벨 어드레스 변화 검출 신호 ATD에 기초하여 센스 버퍼(12)의 출력 신호 SD, $\overline{SD}$와 동상으로 출력 신호 CB, $\overline{CB}$를 출력한다. 저레벨 출력 제어 신호 OE에 기초하여 출력 회로(4)의 트랜지스터 Tr7, Tr8은 턴 오프되고, 트랜지스터 Tr9, Tr10은 턴 온된다. 공통 버스 구동기(13)로부터의 출력 신호 CB, $\overline{CB}$와 무관하게. 인버터 회로(16k,16m)의 출력 신호는 저레벨로 되고, 출력 단자 To는 고임피던스 상태로 된다.

출력 제어 신호 OE가 제어 신호 $\overline{CAS}$ 의 하강 및 열 어드레스 신호의 변화와 동기적으로 고레벨로 될 경우, 어드레스 변화 검출 신호 ATD는 인에이블 신호 발생기(8), 공통 버스 구동기(13) 및 출력 회로(14)에 입력된다. 어드레스 변화 검출 신호 ATD가 고레벨로 세트됨으로서 출력 단자 To(즉, 출력 데이타 Dout)가 고임피던스 상태로 유지된다. 어드레스 변화 검출 신호 ATD가 저레벨로 될 경우, 공통 버스 구동기(13)는 센스 버퍼(13)의 출력 신호 SD, $\overline{SD}$와 동상으로 출력 신호 CB, $\overline{CB}$를 출력한다. 이 출력 신호 CB, $\overline{CB}$ 에 기초하여 출력 회로(14)는 출력 데이타 Dout를 출력한다.

이때, 상기 종래 기술에 따르면 출력 회로(14')는 출력 제어 신호 OE의 상승 에지에 따라 작용하고 공통 버스 구동기(13)로부터의 출력 신호 CB, $\overline{CB}$에 따라 무효 데이타 D_n를 출력한다. 이 출력은 제9도에 파선으로 도시된 바와 같이, 선행 어드레스에서의 셀 정보에 기초된다. 어드레스 변화 검출 신호 ATD의 입력에 기초한 센스 버퍼(12)의 출력 신호 SD, $\overline{SD}$의 스위칭에 응답하여 공통 버스 구동기(13')의 출력 신호 CB, $\overline{CB}$ 는 스위칭되어 출력 회로(14')가 출력 데이타 Dout로서 유효 데이타를 출력하게 한다.

본 실시예에 따르면, 공통 버스 구동기(13)로부터의 출력 신호 CB, $\overline{CB}$는 어드레스 변화 검출 신호 ATD의 상승 에지에 따라 일시적으로 고레벨로 리세트된다. 어드레스 변화 검출 신호 ATD가 하강할 때까지 출력 회로(14)의 출력 트랜지스터 Tr11, Tr12는 둘 다 턴 오프되어 출력 단자 To를 고임피던스 상태로 유지하게 한다. 어드레스 변화 검출 신호 ATD가 하강할 때 출력 데이타 Dout로서 유효 데이타가 출력된다.

출력 데이타 Dout로서 무효 데이타의 발생없이 유효 데이타가 출력되기 때문에 판독 속도가 개선될 수 있다. 아울러, 본 실시예에 따르면 무효 데이타와 유효 데이타간의 데이타 반전이 일어나지 않기 때문에 데이타 반전으로 인한 관통 전류가 방지 또는 억제되어 소비 전력을 감소시킨다. 이러한 관통 전류의 방지 또는 억제는 공급 전압 노이즈의 발생을 방지한다.

비록 본 발명의 일실시예만 설명하였지만, 당업자라면 본 발명이 발명의 정신 또는 범위로부터 벗어남이 없이 다른 특정 형태로 실시될 수 있다는 것을 이해할 수 있다. 특히, 본 발명은 다음의 방법으로 실시될

수 있다는 것에 주목된다.

센스 버퍼(12)는 직렬로 연결되는 2단의 전류 미러 회로가 항상 필요한 것은 아니고 대신에 단일 단의 전류 미러 회로만을 포함할 수도 있다. 래치 회로를 구성하는 센스 버퍼(12)의 NAND 게이트(15b,15c)는 인버터식 정궤환 회로(inverter-based positive feedback circuit)로 구성되는 다른 래치 회로로 대체될 수 있다.

센스 버퍼(12)로부터의 출력 신호 SD, $\overline{SD}$를 출력하는 인버터 회로(16b,16c)는 입력 신호로서 반전된 센스 증폭기 인에이블 신호 LE와 어드레스 변화 검출 신호 ATD를 NAND 게이트로 대체될 수도 있다. 이것은 센스 증폭기 인에이블 신호 LE 또는 어드레스 변화 검출 신호 ATD를 사용하여 센스 버퍼(12)의 출력으로서 셀 정보 신호 SD, $\overline{SD}$ 의 타이밍을 고려한 것이다.

그러므로, 실시예는 단지 예일 뿐이고, 본 발명은 상기 실시예에 한정되지 않으며 청구범위 내에서 변형될 수 있다.

(57) 청구의 범위

청구항 1

데이타 버스와, 셀 정보 데이타를 기억하는 복수의 메모리 셀을 갖는 메모리 셀 어레이와, 상기 메모리 셀로부터 특정 메모리 셀을 선택하여 이 선택된 메모리 셀의 셀 정보 데이타를 상기 데이타 버스에 공급하기 위한 회로와, 상기 데이타 버스에 접속되고, 데이타 출력 제어 회로에 제공되는 적어도 하나의 제어 신호에 기초하여 반도체 메모리 장치로부터의 데이타 출력을 제어하기 위한 데이타 출력 제어 회로를 구비하는데, 상기 데이타 출력 제어 회로는 상기 데이타 버스에 제공되는 셀 정보 데이타에 기초하여 신호를 래치하기 위한 수단과, 상기 래치 신호에 기초하여 발생되는 상기 출력 데이타를 출력하기 위한 출력 단자를 구비하고, 상기 데이타 버스에 공급되는 셀 정보가 데이타 출력 제어 회로에 공급되지 않는 한 상기 출력 단자를 고임피던스 상태로 유지하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 데이타 출력 제어 회로에 공급되는 제어 신호는 센스 증폭기 인에이블 신호 LE와 어드레스 변화 검출 신호 ATD 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제1항에 있어서, 반도체 메모리 장치에 공급되는 행 어드레스 스트로브 신호에 기초하여, 상기 제어 신호로서 상기 데이타 출력 제어 회로에 공급되는 센스 증폭기 인에이블 신호 LE를 발생시키기 위한 신호 발생기를 추가로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제1항에 있어서, 반도체 메모리 장치에 공급되는 어드레스 신호에 기초하여, 상기 제어 신호로서 상기 데이타 출력 제어 회로에 공급되는 어드레스 변화 검출 신호 ATD를 발생시키기 위한 회로를 추가로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제1항에 있어서, 상기 데이타 버스에 선택된 메모리 셀의 셀 정보 데이타를 공급하기 위한 회로는 상기 메모리 셀에 접속되어 상기 메모리 셀 중 하나를 선택하기 위한 워드 라인과, 상기 메모리 셀을 상기 데이타 버스에 접속하고, 상기 선택된 메모리 셀로부터 판독된 셀 정보 데이타를 수신하기 위한 비트 라인과, 상기 비트 라인으로부터 상기 데이타 버스로 상기 셀 정보의 공급을 조절하기 위한 열 게이트 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제1항에 있어서, 상기 데이타 출력 제어 회로는 상기 데이타 버스에 접속되는 상기 래치 수단으로서의 센스 버퍼와, 상기 센스 버퍼로부터 입력되는 신호에 기초하여 신호를 출력하기 위한 버스 구동기와, 상기 버스 구동기로부터 입력되는 신호에 기초하여 출력 데이타 Dout를 출력하기 위한 출력 회로를 구비하고, 상기 버스 구동기와 상기 출력 회로 중 적어도 하나는 상기 제어 신호로서 상기 데이타 출력 제어 회로에 공급되는 센스 증폭기 인에이블 신호 LE에 기초하여 동작하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

제6항에 있어서, 반도체 메모리 장치에 공급되는 행 어드레스 스트로브 신호에 기초하여 상기 센스 증폭기 인에이블 신호 LE를 발생시키기 위한 신호 발생기를 추가로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 8

제1항에 있어서, 상기 데이타 출력 제어 회로는 상기 데이타 버스에 접속되는 상기 래치 수단으로서의 센스 버퍼와, 상기 센스 버퍼로부터 입력되는 신호에 기초하여 신호를 출력하기 위한 버스 구동기와, 상기 버스 구동기로부터 입력되는 신호에 기초하여 출력 데이타 Dout를 출력하기 위한 출력 회로를 구비하고, 상기 버스 구동기와 상기 출력 회로 중 적어도 하나는 상기 제어 신호로서 상기 데이타 출력 제어 회로에 공급되는 어드레스 변화 검출 신호 ATD에 기초하여 동작하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 9

제8항에 있어서, 반도체 메모리 장치에 공급되는 어드레스 신호에 기초하여 상기 어드레스 변화 검출 신호 ATD를 발생시키기 위한 회로를 추가로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

제5항에 있어서, 상기 데이타 출력 제어 회로는 상기 데이타

버스에 접속되고, 상기 셀 정보 데이타에 기초하여 상보 신호 SD, $\overline{SD}$를 래치하기 위한 센스 버퍼와, 상기 센스 버퍼에 접속되고, 상기 센스 버퍼로부터 입력된 신호 SD, $\overline{SD}$에 기초하여 상보 신호 CB, $\overline{CB}$를 출력하기 위한 버스 구동기와, 상기 버스 구동기에 접속되고, 입력 신호 CB, $\overline{CB}$에 기초하여, 그리고 상기 제어 신호로서 상기 출력 회로에 공급되는 센스 증폭기 인에이블 신호 LE와 어드레스 변화 검출 신호 ATD 중 적어도 하나에 기초하여 출력 데이타 Dout를 출력하기 위한 출력 회로를 구비하며, 상기 출력 회로는 상기 출력 데이타 Dout를 출력하기 위한 출력 단자를 가지고, 상기 센스 버퍼가 상기 메모리 셀로부터 셀 정보 데이타를 수신하지 않는 상기 출력 단자를 고임피던스 상태로 유지하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 11

제10항에 있어서, 상기 버스 구동기는 상기 센스 버퍼로부터 입력되는 신호 SD, $\overline{SD}$에 기초하여, 그리고 상기 버스 구동기에 공급되는 제어 신호로서의 센스 증폭기 인에이블 신호 LE와 어드레스 변화 검출 신호 ATD 중 적어도 하나에 기초하여 상보 신호 CB, $\overline{CB}$를 출력하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 12

제11항에 있어서, 상기 버스 구동기는 상기 센스 버퍼로부터 상보 신호 SD, $\overline{SD}$와 관련된 한 쌍의 논리곱 회로를 구비하고, 상기 논리곱 회로는 각각 상보 신호 SD, $\overline{SD}$ 중 하나를 수신하는 제1입력 단자와, 상기 센스 증폭기 인에이블 신호 LE와 상기 어드레스 변화 검출 신호 ATD 중 하나를 수신하는 제2입력 단자를 갖는 것을 특징으로 하는 반도체 메모리 장치.

청구항 13

제10항에 있어서, 상기 출력 회로는 상기 버스 구동기로부터 상기 상보 신호 CB, $\overline{CB}$를 수신하기 위한 스위칭 회로와, 상기 스위칭 회로와 상기 출력 단자간에 제공되는 적어도 하나의 출력 트랜지스터와, 상기 스위칭 회로에 접속되는 출력 단자, 상기 제어 신호중 하나로서 상기 출력 회로에 공급되는 출력 제어 신호 OE를 수신하기 위한 제1입력 단자 및 상기 센스 증폭기 인에이블 신호 LE와 상기 어드레스 변화 검출 신호 ATD 중 하나를 수신하기 위한 제2입력 단자를 갖는 논리곱 회로를 구비하고, 상기 스위칭 회로는 상기 논리곱 회로로부터의 신호에 의해 인에블되고, 상기 출력 회로의 출력 단자는 상기 스위칭 회로가 인에이블되지 않는 한 고임피던스 상태를 유지하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 14

제13항에 있어서, 상기 반도체 메모리 장치에 공급되는 열 어드레스 스트로브 신호에 기초하여 상기 출력 제어 신호 OE를 발생시키기 위한 신호 발생기를 추가로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15

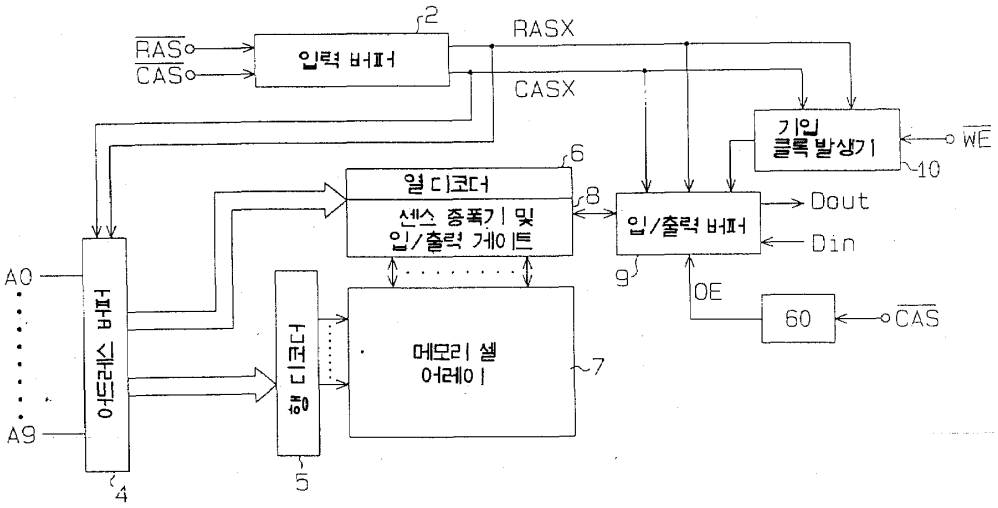
제10항에 있어서, 상기 반도체 메모리 장치에 공급되는 행 어드레스 스트로브 신호에 기초하여 상기 센스 증폭기 인에이블 신호 LE를 발생시키기 위한 신호 발생기를 추가로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16

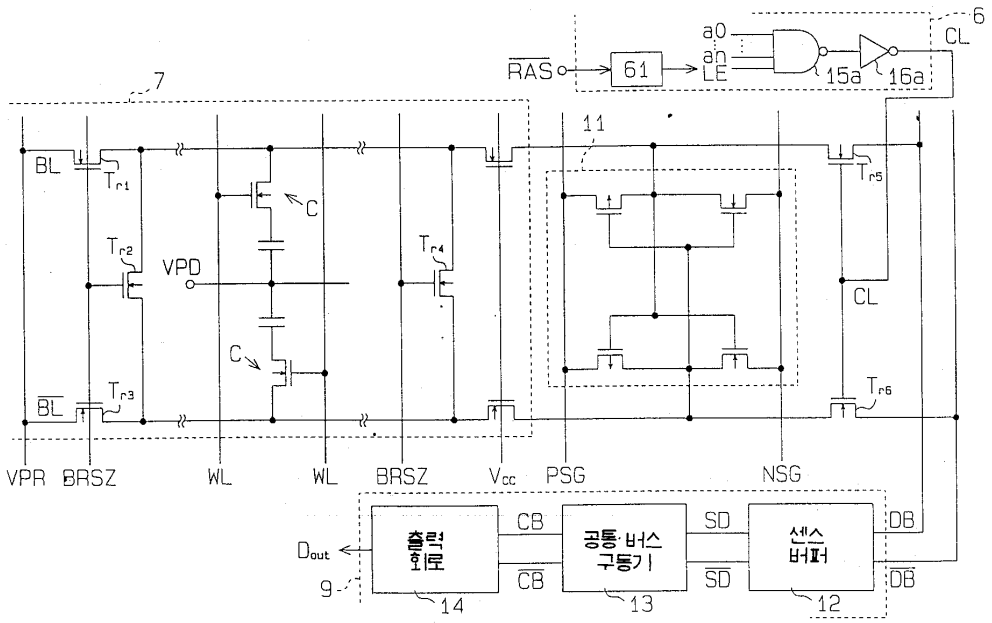
제10항에 있어서, 상기 반도체 메모리 장치에 공급되는 어드레스 신호에 기초하여 어드레스 변화 검출 신호 ATD를 발생시키기 위한 회로를 추가로 구비하는 것을 특징으로 하는 반도체 메모리 장치.

도면

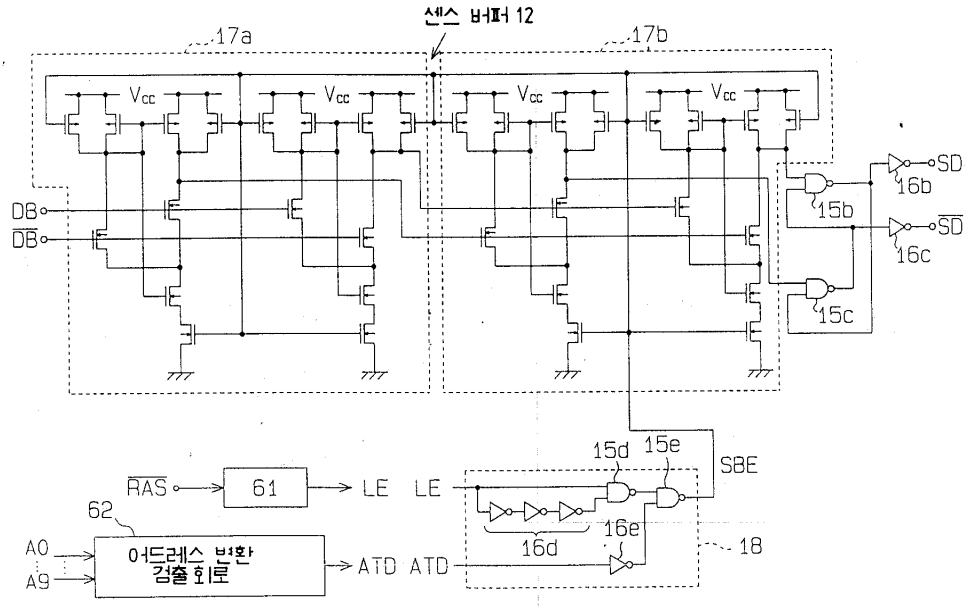
도면1


RAS
CAS
입력 버퍼
2
RASX
CASX
기입 클록 발생기
WE
10
열 디코더
6
센스 증폭기 및 입/출력 게이트
8
입/출력 버퍼
Dout
Din
9
OE
60
CAS
A0
A9
어드레스 버퍼
4
행 디코더
5
메모리 셀 어레이
7

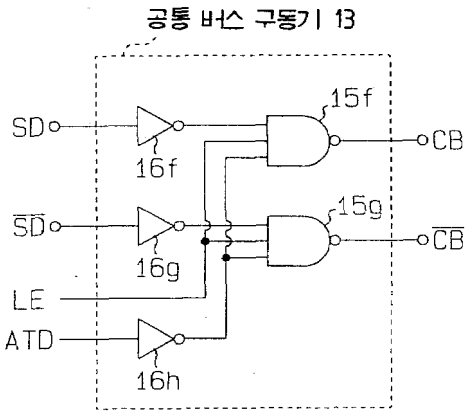
도면2


RAS
61
a0
an
LE
15a
16a
CL
6
7
11
BL
C
VPD
CL
VPR
BRSZ
WL
WL
BRSZ
Vcc
PSG
NSG
출력 회로
CB
공통 버스 구동기
SD
센스 버퍼
DB
Dout
9
14
13
12

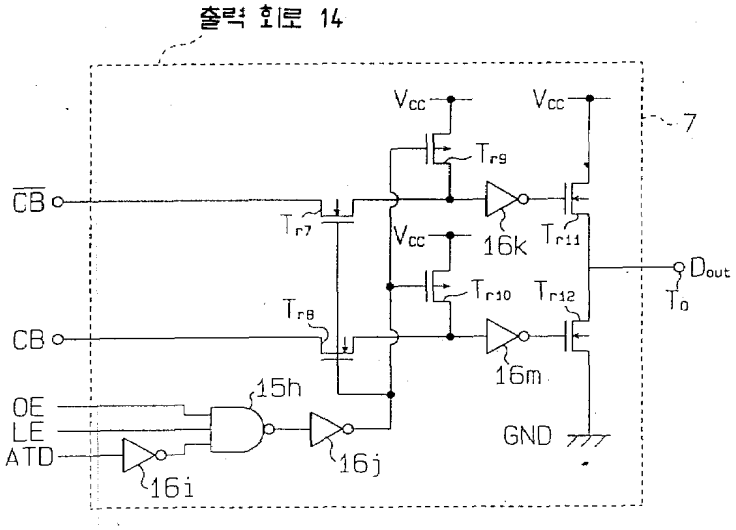
도면3


센스 버퍼 12
17a
17b
Vcc
DB
DB
SD
SD
16b
16c
15b
15c
RAS
61
LE
LE
62
A0
A9
어드레스 변환 검출회로
ATD
ATD
15d
15e
SBE
16d
16e
18

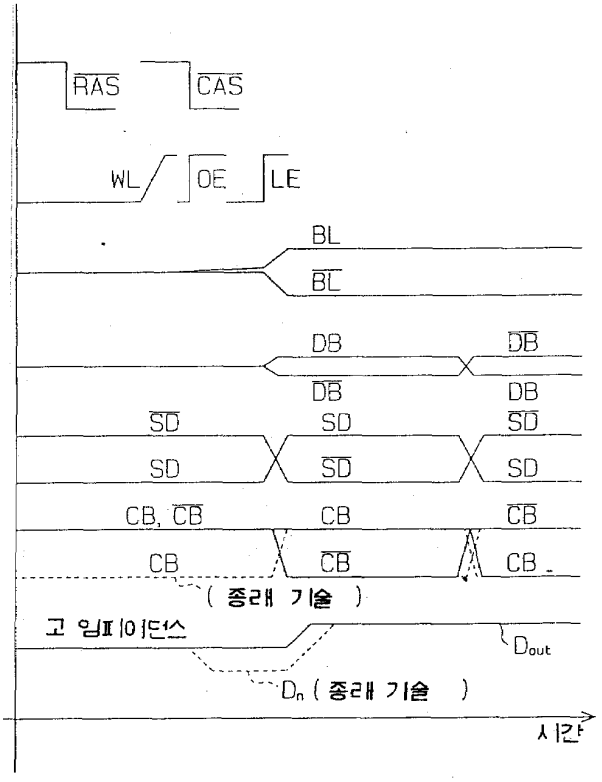
도면4


공통 버스 구동기 13
SD
SD
LE
ATD
16f
16g
16h
15f
15g
CB
CB

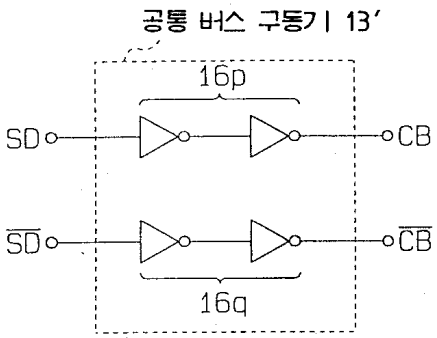
도면5


출력 회로 14
Vcc
Vcc
7
CB
CB
OE
LE
ATD
16i
16j
15h
16k
16m
GND
Dout

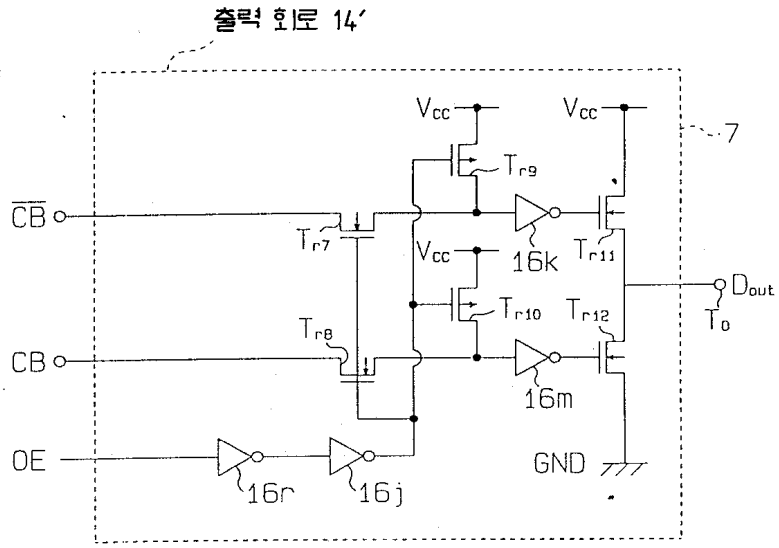
도면6


RAS
CAS
WL
OE
LE
BL
BL
DB
DB
DB
DB
SD
SD
SD
SD
SD
SD
CB, CB
CB
CB
CB
CB
CB
(종래 기술)
고 임피이던스
Dout
Dn (종래 기술)
시간

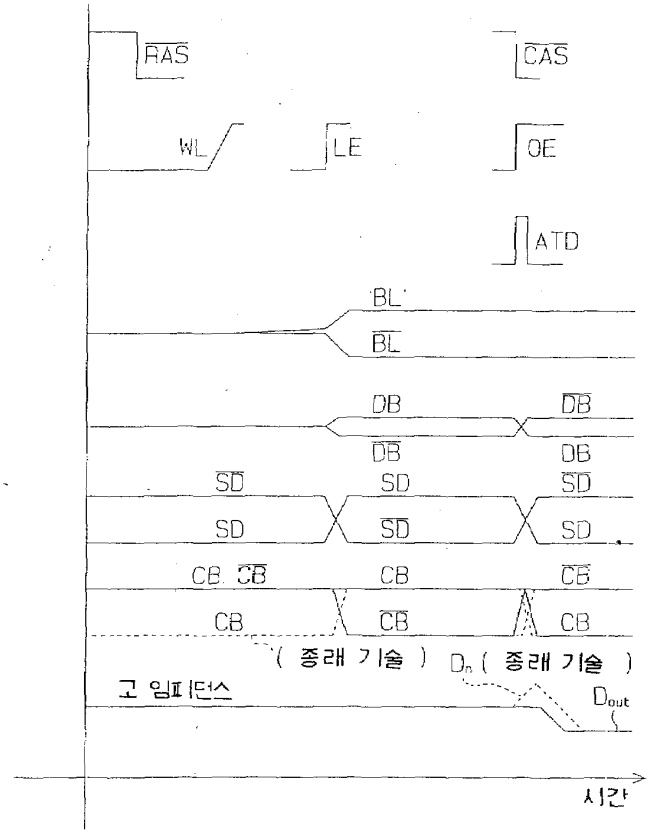
도면7


공통 버스 구동기 13'
16p
SD
CB
SD
CB
16q

도면8


출력 회로 14'
Vcc
Vcc
7
Tr9
CB
Tr7
Vcc
16k
Tr11
Dout
Tr10
Tr12
Tr8
CB
16m
OE
16r
16j
GND

도면9


RAS
CAS
WL
LE
OE
ATD
BL
BL
DB
DB
DB
DB
SD
SD
SD
SD
SD
SD
CB
CB
CB
CB
CB
CB
(종래 기술)
Dn (종래 기술)
고 임피던스
Dout
시간